(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-207481
(P2004-207481A)
(43)公開日　平成16年7月22日(2004.7.22)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/8234	H01L 27/08	102C	4M104
H01L 21/28	H01L 21/28	301R	5F048
H01L 21/8238	H01L 27/08	321D	5F140
H01L 27/088	H01L 29/58	G	
H01L 27/092	H01L 29/78	301G	

審査請求 未請求　請求項の数 21　ＯＬ　（全 18 頁）　最終頁に続く

(21)出願番号　特願2002-374679(P2002-374679)
(22)出願日　平成14年12月25日(2002.12.25)

(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100068504
弁理士　小川　勝男
(72)発明者　山本　直樹
東京都国分寺市東恋ケ窪一丁目２８０番地
株式会社日立製作所中央研究所内

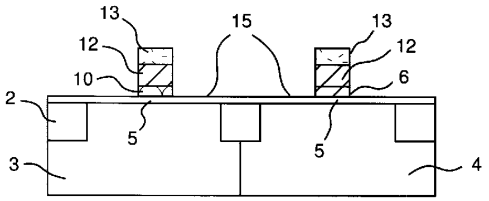
Ｆターム(参考)　4M104 AA01 BB13 BB16 BB17 BB18
BB24 BB34 BB35 BB36 BB37
BB40 CC05 DD37 DD55 DD64
DD65 DD78 DD82 DD83 DD86
DD89 EE05 EE14 EE16 EE17
FF13 GG09 GG10 GG14 HH11
HH14 HH16

最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】
【課題】本発明の課題は、nチャンネルMOSトランジスターとpチャンネルMOSトランジスターのためのゲート電極として、同一金属膜内で高仕事関数と低仕事関数を有する領域を所望域に形成できるようにすることにある。かつそれらの仕事関数領域が半導体装置製造工程に耐えられ、多結晶シリコンゲート電極より低抵抗のゲート電極・配線とでき、またこれらのゲート電極が熱工程でゲート絶縁膜と反応して電極とシリコン基板を短絡させないことにある。
【解決手段】ゲート電極のベース金属としてゲート絶縁膜材料の酸化物あるいは窒化物生成自由エネルギーより高い酸化物あるいは窒化物生成自由エネルギーを有するタングステン、モリブデンあるいはタンタルなどのVa族あるいはVIa族金属を用いる。また所定域に炭素又は珪素を含有させ、これらの金属の炭化物又は珪化物領域を形成する。
【選択図】　図１

図　1



【特許請求の範囲】
【請求項１】
半導体基板上に形成された絶縁膜と、
前記半導体基板表層部に選択的に形成された第１領域に前記絶縁膜を介して形成され、第１の仕事関数を有する第１の金属膜と、
前記半導体基板表層部に前記第１領域と隣接して設けられた第２領域に前記絶縁膜を介して形成され、前記第１の仕事関数より低い仕事関数を有する第２の金属膜と、
前記第１および第２の金属膜上に堆積された低抵抗を有する電極材とを有することを特徴とする半導体装置。
【請求項２】
半導体基板上に形成された絶縁膜と、
前記半導体基板表層部に選択的に形成された第１領域に前記絶縁膜を介して形成され、第１の仕事関数を有する第１の金属膜と、
前記半導体基板表層部に前記第１領域と隣接して設けられた第２領域に前記絶縁膜を介して形成され、前記第１の仕事関数より低い仕事関数を有する第２の金属膜と、
前記第１および第２の金属膜上に堆積された低抵抗を有する電極材とを備え、
前記第２の金属膜は、前記第１の金属膜材料をベースとして、その膜内に炭素または珪素を含有させたことを特徴とする半導体装置。
【請求項３】
半導体基板上に形成された絶縁膜と、
前記半導体基板表層部に選択的に形成された第１領域に前記絶縁膜を介して形成され、第１の仕事関数を有する第１の金属膜と、
前記半導体基板表層部に前記第１領域と隣接して設けられた第２領域に前記絶縁膜を介して形成され、前記第１の仕事関数より低い仕事関数を有する第２の金属膜と、
前記第１および第２の金属膜上に堆積された低抵抗を有する電極材とを備え、
前記第２の金属膜は、前記第１の金属膜材料をベースとして、その膜内に炭素または珪素が含有され、
前記第１の金属膜には選択的に、VIIa族またはVIII族の元素が少なくとも１種類含有されていることを特徴とする半導体装置の製造方法。
【請求項４】
半導体基板上に形成された絶縁膜と、
前記半導体基板表層部に選択的に形成された第１領域に前記絶縁膜を介して形成され、第１の仕事関数を有する第１の金属膜と、
前記半導体基板表層部に前記第１領域と隣接して設けられた第２領域に前記絶縁膜を介して形成され、前記第１の仕事関数より低い仕事関数を有する第２の金属膜と、
前記第１および第２の金属膜上に堆積された低抵抗を有する電極材とを備え、
前記第１の金属膜には選択的に、VIIa族またはVIII族の元素が少なくとも１種類含有されていることを特徴とする半導体装置の製造方法。
【請求項５】
前記第１の金属膜は、融点が１１００℃以上の遷移金属からなることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。
【請求項６】
前記第１の金属膜は、（１１０）配向面を有する結晶粒を含む遷移金属からなることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。
【請求項７】
前記第１の金属膜は、タングステン、モリブデン、タンタル、ニオブ、バナジウム、クロムのうち少なくとも１種類を含む膜で構成されていることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。
【請求項８】
前記絶縁膜は、チタン、ジルコニウム、ハフニウム、アルミニウム、イットリウム、セリ

ウムのうち少なくとも１種類を含む金属酸化物からなることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。
【請求項９】
前記絶縁膜は、シリコン窒化物あるいはシリコン窒化物およびシリコン酸化物の混合物からなることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。
【請求項１０】
前記絶縁膜は、シリコン酸化膜上にタングステン、モリブデン、タンタル、ニオブ、バナジウム、クロムの少なくとも１つを含む金属を酸化してなる金属酸化膜、あるいはシリコン窒化物またはシリコン窒化物とシリコン酸化物の混合物が積層された構造からなることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。
【請求項１１】
半導体基板表層部に選択的に第１導電型領域を形成し、前記第１導電型と隣接して第２導電型領域を設ける工程と、
前記第１導電型領域および第２導電型領域上に絶縁膜を形成する工程と、
前記絶縁膜上に第１の仕事関数を有する第１の金属膜を形成する工程と、
前記第１の金属膜上にエッチングのマスクとなる薄膜を堆積する工程と、
前記第１導電型領域上にある前記薄膜をエッチングし、前記第１導電型領域上にある前記第１の金属膜を露出する工程と、
前記第１の金属膜の露出した領域に炭素または珪素を導入し、第２の金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法。
【請求項１２】
半導体基板表層部に選択的に第１導電型領域を形成し、前記第１導電型と隣接して第２導電型領域を設ける工程と、
前記第１導電型領域および第２導電型領域上に絶縁膜を形成する工程と、
前記絶縁膜上に第１の仕事関数を有する第１の金属膜を形成する工程と、
前記第１の金属膜上にエッチングのマスクとなる薄膜を堆積する工程と、
前記第１導電型領域上にある前記薄膜をエッチングし、前記第１導電型領域上にある前記第１の金属膜を露出する工程と、
前記第１の金属膜の露出した領域に炭素または珪素を導入し、第２の金属膜を形成する工程と、
前記第１および第２の金属膜上に低抵抗を有する電極材を堆積する工程とを有することを特徴とする半導体装置の製造方法。
【請求項１３】
半導体基板表層部に選択的に第１導電型領域を形成し、前記第１導電型と隣接して第２導電型領域を設ける工程と、
前記第１導電型領域および第２導電型領域上に絶縁膜を形成する工程と、
前記絶縁膜上に第１の仕事関数を有する第１の金属膜を形成する工程と、
前記第１の金属膜上にエッチングのマスクとなる薄膜を堆積する工程と、
前記第１導電型領域上にある前記薄膜をエッチングし、前記第１導電型領域上にある前記第１の金属膜を露出する工程と、
前記第１の金属膜の露出した領域に炭素または珪素を導入し、第２の金属膜を形成する工程と、
前記第２導電型領域上の第１の金属膜に選択的に、VIIa族またはVIII族の元素を少なくとも１種類含有させる工程とを有することを特徴とする半導体装置の製造方法。
【請求項１４】
半導体基板表層部に選択的に第１導電型領域を形成し、前記第１導電型と隣接して第２導電型領域を設ける工程と、
前記第１導電型領域および第２導電型領域上に絶縁膜を形成する工程と、
前記絶縁膜上に第１の仕事関数を有する第１の金属膜を形成する工程とを備え、
前記第２導電型領域上の第１の金属膜に選択的に、VIIa族またはVIII族の元素を少なくと

も１種類含有させる工程とを有することを特徴とする半導体装置の製造方法。
【請求項１５】
前記第１の金属膜への炭素または珪素の導入には、拡散を用いることを特徴とする請求項１１乃至１４のいずれかに記載の半導体装置の製造方法。
【請求項１６】
前記第１の金属膜への炭素または珪素の導入は、アモルファス層を介してイオン注入することを特徴とする請求項１１乃至１４のいずれかに記載の半導体装置の製造方法。
【請求項１７】
前記第２導電型領域上の第１の金属膜に選択的に含有する元素は、ニッケル、コバルト、鉄、あるいは白金、パラジウム、イリジウム、レニウムなどの貴金属のうち少なくとも１種類を含有していることを特徴とする請求項１３または１４に記載の半導体装置の製造方法。
【請求項１８】
前記第２導電型領域上の第１の金属膜上の所定領域に、VIIa族またはVIII族の元素を少なくとも１種類含有した第３の金属を堆積させた後、前記第３の金属膜および前記第１の金属膜内の一部に達するようにアルゴンなどの不活性元素のイオンを打ち込むことにより、前記第３の金属を前記第１の金属に混合させることを特徴とする請求項１３または１４に記載の半導体装置の製造方法。
【請求項１９】
前記第１の金属膜へのVIIa族またはVIII族の元素を少なくとも１種類含有した第３の金属の導入は、化合物ガスの反応を用いることを特徴とする請求項１３または１４に記載の半導体装置の製造方法。
【請求項２０】
前記第１および第２の金属膜上にシリコン酸化膜あるいはシリコン窒化膜を形成し、次にリソグラフィ技術とドライエッチング技術を用いて、前記第１の金属膜の領域に堆積された前記シリコン酸化膜あるいは窒化膜を除去する工程と、
前記第１の金属膜の所定領域を露出させて、第１および第２導電型領域上にVIIa族またはVIII族の元素を少なくとも１種類含有した第３の金属膜を堆積する工程と、
前記第３の金属膜が堆積されたままの状態で化学機械研磨技術を用いて前記第１導電型領域上の前記シリコン酸化膜あるいはシリコン窒化膜上に形成された前記第３の金属膜を除去する工程と、
その後に第２導電型領域上の前記第３の金属膜にアルゴンなどの不活性元素の導入することにより、前記第１の金属膜の所定領域のみに前記第３の金属を含有させる工程とを有することを特徴とする請求項１３または１４に記載の半導体装置の製造方法。
【請求項２１】
前記薄膜を除去して前記第１の金属膜を露出させ、前記半導体基板を真空槽あるいは炉内において２００℃乃至８００℃の温度に加熱し、前記真空槽あるいは前記炉内に設置した炭素片を加熱して炭素を昇華させるか又は炭素水素化合物ガスもしくは炭素ハロゲン化物ガスを導入し、前記第１の金属膜の所定領域に炭素を含有させて第１の金属の炭素化合物により第２の金属膜を形成することを特徴とする請求項１１乃至１３のいずれかに記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、低抵抗で高温熱処理に耐えるゲート電極や配線を有するＭＯＳ(メタル－オキサイド－セミコンダクター：Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ)型半導体装置およびその製造方法に関する。
【０００２】
【従来の技術】
半導体装置の高集積化が進むとともにそれを構成するゲート電極やコンタクト孔も微細化

されている。これにともないゲート絶縁膜として用いられるシリコン酸化膜の薄膜化が急速に進められている。0.1μm技術ノードあるいはそれ以後ノードになるとCMOS(コムプリメンタリ　モス：complementary MOS)型半導体装置に用いられるゲートシリコン酸化膜の厚さは1.5nm以下に薄くなる（例えば、非特許文献１など参照）。ゲート電極には通常、多結晶シリコンあるいは多結晶シリコン層のうえにコバルト、チタン、タングステン、モリブデンなどの金属珪化物、または金属窒化物バリア層とタングステンなどの金属層を重ねた積層構造ゲート電極が用いられてきた。このようにゲートシリコン酸化膜の厚さが薄くなるとCMOS半導体装置を構成するpチャンネルMOSトランジスターにおいて種々の問題が顕在化する。すなわちゲート電極の多結晶シリコン層にドーピングされたボロンが極薄の酸化膜を拡散して、トランジスターのチャンネル領域の基板不純物濃度を高め、閾値電圧を変動させる。またトランジスターがオン状態になるようにゲート電極に電圧を加えると、ゲート絶縁膜界面近傍の多結晶シリコン内で空乏化が起こり、見かけ上のゲート酸化膜厚が厚くなった状態になるため、実際のゲート酸化膜厚のとき得られるべき動作電流の確保が難しく、動作速度の低下が顕著になる。また微細化とともにゲート電極・配線の抵抗の増大も問題になる。

【０００３】

一方、ゲート絶縁膜であるシリコン酸化膜の厚さが薄くなると、特に3nm程度以下になると電子が絶縁膜中をダイレクトトンネリングと呼ばれる量子効果により通り抜け、リーク電流が増大する。ゲート絶縁膜の薄膜化によるリーク電流増大を少なくするために、ゲート絶縁膜材料をシリコン酸化膜から、より高誘電率（ε_h）の材料に置き換える検討が進められている。これは所望シリコン酸化膜厚で構成したMOSトランジスターと同じ特性を得るのに、酸化膜厚換算容量を同じにしながら実際の物理膜厚を（ε_h/シリコン酸化膜の誘電率）倍厚くできるため、結果としてリーク電流を少なくできるためである。この高誘電率絶縁膜にはハフニウムやジルコニウムなど種々の金属酸化膜が検討されているが、このようなゲート絶縁膜においても多結晶シリコン層を用いたゲート電極では、シリコン酸化膜の場合と同様にボロンが絶縁膜の中を拡散して閾値電圧を変動させる。また多結晶シリコンとこれらの絶縁膜は半導体装置を作製するための熱工程で反応してトランジスターの特性不良を生じる欠点がある。

【０００４】

そこでゲート電極として多結晶シリコンを含まない、すなわち金属単層で構成する、いわゆるメタルゲートの検討が進められている。

メタルゲートでは、ゲート電極からのボロンのトランジスターのチャンネル領域への拡散やゲート電極層内での空乏化などの問題を生じない。また高誘電率絶縁膜との反応性は多結晶シリコンより低い。また金属層単層のため多結晶シリコン層を含むゲート電極より低抵抗化でき、またアスペクト比を小さくできるなどの利点がある。

【０００５】

しかしメタルゲートではデュアルゲート電極を実現するのが難しいという欠点がある。半導体装置、特にCMOSでは低消費電力設計が重要であり、そのためには閾値電圧の低減が必要になる。このため、微細ゲート長MOSトランジスターでは短チャンネル効果をできるだけ起こらないようにして、低閾値電圧ながらデプリーションMOS特性が生じないようにする必要がある。このためにはnチャンネルトランジスターとpチャンネルトランジスターでそれぞれに適した仕事関数を有するゲート電極を適用する必要がある。従来の多結晶シリコン層を有するゲート電極ではnチャンネルトランジスターには多結晶シリコンにりんをドーピングし、pチャンネルトランジスターにはボロンをドーピングした多結晶シリコンを用いることにより上記課題に対処していた。このように同じ半導体装置内で仕事関数の異なるゲート電極を用いることをデュアルゲートと呼ばれる。

【０００６】

デュアルメタルゲート電極を実現するには、従来のりんをドーピングされた多結晶シリコンのフェルミレベルおよびボロンをドーピングされた多結晶シリコンのフェルミレベルに近い仕事関数を有し、半導体装置の製造プロセスに耐える金属材料を実現することにある

。
【０００７】
多くの研究や技術開発の機関でメタルゲートの検討が進められており、その代表的な材料としてチタン窒化物がある。その仕事関数制御法としてチタン窒化物の窒素の含有量を制御する方法(例えば、非特許文献２を参照)と、(111)と(200)面方位のチタン窒化物結晶で仕事関数が異なることを利用する方法が報告されている（例えば、非特許文献３参照）。しかしながら前者の方法では膜厚が10nm以下の薄いTiNx膜に高濃度の窒素をイオン打ち込みする必要があり、数keVの低エネルギーで打ち込んでも打ち込んだ窒素が基板まで到達してMOSトランジスター特性を劣化させる可能性がある。また後者の方法では同じTiNx膜から形成したゲート電極の面方位を、nチャンネルとpチャンネルで選択的に制御することは技術的に困難である。別のデュアルゲート電極としてモリブデン膜にアルゴンあるいは窒素をイオン打ち込みして仕事関数を制御する方法が報告されている（例えば、非特許文献４参照）。しかしながらモリブデンやタングステンに含有させたアルゴンや窒素は高温で不安定なことがよく知られている。このため半導体装置製造のための熱処理工程で膜内の窒素やアルゴンはドーピングされた熱処理前の状態を維持するのが困難である。そしてそれらの一部は外部に散逸してしまい、一部はゲート絶縁膜界面に偏析し、それらの散逸量および偏析量を制御するのは非常に難しいという欠点を有する。
【０００８】
【非特許文献１】
“International Technology Roadmap for Semiconductor 2001 Update”
【非特許文献２】
IEEE Trans. Electron Devices, 48, No.10, pp.2363-2369
【非特許文献３】
Proc. Symp. VLSI Technology, 1999, pp. 96-97
【非特許文献４】
Proc. Symp. VLSI Technology, 2001, pp. 45-46
【非特許文献５】
(N. Yamamoto et al., Extended Abstract of the 15th Conference on Solid State Devices and Materials, Tokyo, 1983, pp. 217-220
【０００９】
【発明が解決しようとする課題】
本発明が解決しようとする課題は、上記の各メタルゲートのような欠点を有せず、同じ金属膜から所望域の仕事関数を制御した耐熱性のあるデュアルメタルゲートを実現することにある。そしてデュアルメタルゲートの仕事関数として多結晶シリコンゲートでりんをドープした場合とボロンをドープした場合の各フェルミレベルに近い各値が得られるようにし、その値が半導体装置の製造のための熱工程後に達成できることを課題とする。
【００１０】
【課題を解決するための手段】
メタルゲート電極となるベースとなる金属材料として１１００℃以上の高融点遷移金属を用い、それらの中でもゲート絶縁膜となるシリコン酸化物系あるいはIIIa、IVa族金属あるいはアルミナ、タンタル酸化物、シリコン窒化物の熱力学的生成エネルギーより高い酸化物あるいは窒化物生成エネルギーの金属を用いる。それらの中で代表的な金属としてタングステンあるいはモリブデンをあげることができる。これらの金属からなる膜内で所定域のみに炭素を含有させて炭素化合物を形成して、図１に示すCMOS半導体装置を構成する。これらのベースとなる金属膜は4.5eVから4.8eVの値を有し、一方、金属炭化物は3.7eVから4.1eVの仕事関数を有する。これらの金属炭化物の仕事関数はりんを高濃度ドーピングした多結晶シリコンのフェルミエネルギーにほぼ一致しており、ベースとなる金属はボロンを高濃度ドーピングした多結晶シリコンよりやや低い値である。上記の金属炭化物は非常に耐熱性があり、いったん化合物を形成すると高温熱処理を経ても炭素が散逸して仕事関数が変化するようなことはない。また耐薬品性もあり非常に安定な材料である。この

ためこのままの状態でも多結晶シリコンを用いた従来のデュアルゲートCMOSに近い特性をもった半導体装置を得ることができる。

【００１１】

なお、pチャンネルMOSトランジスターの仕事関数として母体金属の仕事関数がやや低く、回路設計が難しくなる半導体装置の場合は、以下の手法で局部的に仕事関数を高くする。すなわち、ベースとなる第一の金属膜の所定領域にVIIa族あるいはVIIIa族の金属を混合または合金を形成させることにより仕事関数を高める。該金属の例として、コバルト、ニッケル、白金、パラジウム、イリジウム、レニウム、オスミウムなどをあげることができる。

【００１２】

【発明の実施の形態】

＜実施例１＞

図２乃至図５を用いて本実施例を説明する。

CMOS型半導体装置を作製するのに必要なｐウエル、nウエル形成、ゲート酸化膜形成、MOSトランジスター閾値電圧制御のためのチャンネルドーピング、ソース/ドレイン形成そして信号入出力のための配線やその層間絶縁膜などの各プロセス条件やプロセスフローは、従来の0.13μmないし0.15μm技術ノードにおける多結晶シリコンを主構造とする積層デュアルゲートプロセスとほぼ同じとしたので省略し、本発明のゲート電極関連プロセスについてのみ述べる。なお本実施例で用いたゲート酸化膜は3.5nmのシリコン酸窒化膜を用いた。

【００１３】

ゲート絶縁膜を形成後、マグネトロンスパッター装置を用いてモリブデン膜６を20nm堆積した。この膜形成にあたっては、装置の設定可能最高温度である550℃に基板温度を設定し、かつ装置のチャンバーにアルゴンを導入したときの真空度を通常のスパッター条件より低い0.2Paになるようにアルゴン流入量を調整した。そして放電のための入力電力を0.2KWとした。この値は使用した装置おいて、上記ガス圧で放電できる最低の放電電力である。このようなスパッター条件は、予備検討で高基板温度、低アルゴン圧、低放電パワーにすることにより、高い仕事関数を持つモリブデン膜やタングステン膜を得られることがわかっていたため選定した。すなわちモリブデンやタングステンの結晶面の中で仕事関数が高い(110)配向した結晶粒ができるだけ多く含有した膜とすることをめざした。そしてこのモリブデン膜の上に同様の条件で5nmのタングステン膜７を形成した。

【００１４】

次にプラズマCVD装置を用いて４２０℃でシリコン窒化膜８を100nm形成し、続いてシリコン酸化膜９を50nm堆積した。この後、通常のホトリソグラフィ技術とドライエッチング技術を用いて、nチャンネルMOSトランジスターを形成する領域上のシリコン酸化膜とシリコン窒化膜を除去してタングステン膜/モリブデン膜積層構造の表面を露出させた。この後、該構造を形成したシリコンウエハを真空炉に装填して６００℃に加熱した。この状態で同一真空炉内に設置した炭素片に１５分間通電して炭素を昇華させて、露出したタングステン/モリブデン領域に炭素２８を拡散させてモリブデン炭化膜１０とタングステン炭化膜１１を形成した。

【００１５】

次にフッ酸系水溶液で最上層のシリコン酸化膜をエッチングして除去した後、１６０℃の熱りん酸でシリコン窒化膜をエッチングして除去した。このエッチング過程でモリブデン炭化物およびタングステン炭化物はほとんどエッチングされることはなかった。また上に示したモリブデン膜上に形成したタングステン膜はこの熱りん酸に浸漬されている間にモリブデンがエッチングされることを防止するために形成したが、目的どおりの役割をはたしており、モリブデン膜の損傷はほとんどみられなかった。次にゲート電極の低抵抗化を図るため、先に示したと同じスパッター条件で50nm厚さのモリブデン膜１２を形成した。次に再びプラズマCVD装置を用いて100nm厚さのシリコン窒化膜１３を形成し、この膜をドライエッチング技術によりゲート電極・配線形状に加工してモリブデン、モリブデン炭化

物およびタングステン炭化物の加工用マスクとした。そして炭素塩化物と酸素を混合したガスを用いたドライエッチング技術により、これらの金属および金属炭化物を加工してメタルゲート電極を形成した。

【００１６】

ゲート電極形成後、ドライエッチングプロセスで損傷をうけた電極周辺のシリコン基板上シリコン酸化膜１４を修復した。なお、モリブデンやタングステンは非常に酸化されやすいため、通常の酸素を用いたシリコンの酸化プロセスを適用できない。そこでこの修復にあたっては熱力学の理論的考察から導き出された水素に微量の水分を添加した雰囲気で行う熱処理技術を適用した(例えば、非特許文献５を参照)。この熱処理では１０リットル/分の流量の水素ガス中に１０％の水分を添加した雰囲気で７５０℃、２５分行った。この熱処理条件ではモリブデンやタングステンを酸化することなく、基板シリコンのみを酸化することができる。この条件で形成されるシリコン酸化膜厚は2.8nmであった。

【００１７】

この後の、LDD形成、ソース/ドレイン形成、信号入出力のための電極・配線形成工程などは、先に述べたように標準的なCMOS型半導体製造プロセスにより遂行した。

【００１８】

なお本実施例の半導体装置作製と平行して5nmから150nmの範囲で種々の厚さのシリコン酸化膜をゲート酸化膜としたMOS容量素子を作製した。そしてMOS容量素子のフラットバンド電圧のゲート酸化膜厚依存性より、ゲート電極の仕事関数を求めた。その結果、先に述べたモリブデン膜形成条件の効果により、4.7eVと比較的高い仕事関数を持つモリブデン電極が形成できていることがわかった。一方、モリブデン炭化物ゲート電極ではCMOS型半導体装置を作製する過程で１０５０℃、１秒の熱処理を経ているにもかかわらず当初目標とした値に近い3.9eVの仕事関数が得られた。また$1mm^2$大面積電極を有し、かつゲート酸化膜が3.5nmのMOS容量素子の絶縁耐圧を評価した結果、耐圧不良素子はほとんど発生しなかった。またCMOS型半導体装置を構成するトランジスターの閾値電圧のチャンネル長依存性を評価した。モリブデン窒化膜をゲート電極としたnチャンネルMOSトランジスターでは多結晶シリコンゲートを用いた場合とほとんど同じ依存性を示し、0.15nmゲート長あたりから閾値電圧の低下が見られたが、当初の目標としていた0.2Vないし0.25Vが得られた。一方、ｐチャンネルMOSトランジスターでは0.2μmゲート長あたりから短チャンネル効果が現れはじめ、その閾値電圧の低下量は多結晶シリコンゲートより10mVないし20mV多い値を示した。

【００１９】

なお、上記の半導体装置形成過程を経て形成されたモリブデン炭化物領域の炭素分布をオージェ電子分析装置により求めた。図６に示すようにCMOS製造のための熱処理を経ているにかかわらずモリブデン膜中に炭素が均一に分布しており、窒素含有モリブデンのようにゲート絶縁膜界面に偏析したり、外部に散逸することが少なく、耐熱性があることが確認された。

【００２０】

＜実施例２＞

本実施例を図７乃至１０により説明する。

実施例１ではｐチャンネルMOSトランジスターに用いるゲート電極の仕事関数が少し低かったため、多結晶シリコンを用いたゲート電極の場合よりややチャンネル長依存性が急峻になるという結果が得られた。このため本実施例ではpチャンネルMOSトランジスターにより高い仕事関数のゲート電極を形成できるようにした。ｎチャンネルMOSトランジスター領域に炭素を拡散して金属炭化物を形成させた後、pチャンネル上のシリコン酸化膜、シリコン窒化膜除去までは実施例１と同じプロセスで形成した。次に再びプラズマCVD装置を用いて30nmのシリコン酸化膜２９を形成してnチャンネル領域を被覆した。この後、リソグラフィ技術とドライエッチング技術を用いてｐチャンネル領域となるウエル上のシリコン酸化膜とシリコン窒化膜を除去した。この後、実施例１で用いたモリブデン膜上のタングステンをドライエッチング法で除去した。なおこのタングステン層の除去は過酸化水

素水溶液を用いても除去可能である。続いて先に述べたスパッター装置を用いてコバルト２５を2nm堆積した。その後、アルゴンイオン２６を3KeVで$1\times10^{16}/cm^2$打ち込むことによりコバルト層とその下のモリブデン層を物理的に混合させた。この後、７５０℃、６０秒の窒素熱処理を行うことにより合金化２７を促進させた。この後、pチャンネル領域以外のシリコン酸化膜上のコバルトを硫酸、過酸化水素、アンモニアそして水の混液でエッチングして除去した。

【００２１】

この後のシリコン酸化膜９とシリコン窒化膜８除去、そしてゲート電極・配線の低抵抗化のためのモリブデン膜１２形成以後は実施例１と同じプロセスを用いて形成した。なおコバルトを含有させたpチャンネルMOSトランジスター用ゲート電極の加工とnチャンネルゲート用のモリブデン炭化物の加工を同時に行うのが難しかったため、別工程とした。これはコバルトを含有したモリブデンを実施例１で示したガスだけで加工するのが難しかったため、アルゴンを添加してミリング性を少し加えて行った。

本実施例で得られたpチャンネルMOS素子用ゲート電極の仕事関数は実施例１より約0.2eV程度高くなり、トランジスターの短チャンネル効果による閾値電圧低下が0.15μmゲート長あたりから始まるまでに改善できた。

【００２２】

＜実施例３＞

本実施例では実施例２におけるコバルトのかわりにイリジウムを用いた。したがって半導体装置の製造順序は図７乃至１０とほぼ同じであり、余分な領域のイリジウム除去工程に関連した図８(d)と図９(a)あたりの工程が少し異なるだけである。

実施例２ではｐチャンネル領域以外で下地がシリコン酸化膜であり、モリブデン層と化合物を形成させない領域の未反応層を化学薬品で比較的容易にエッチングできる材料としてコバルトを選んだ。しかしさらに高仕事関数を必要とする場合はイリジウム、白金、パラジウムあるいはレニウムなどの貴金属材料を用いる必要がある。そこで最も高い仕事関数のゲート電極を形成できる可能性のあるイリジウムを本実施例では用いた。イリジウム膜形成には本実施例でもスパッター法を用い、その膜厚を1nmとした。アルゴンイオンの打ち込みなどは実施例２と同じとした。

【００２３】

この後、機械研磨技術でｐチャンネル領域以外のシリコン酸化膜上のイリジウムを除去した。またゲート電極・配線のパターンニングは実施例２と同じようにpチャンネル領域の加工にはアルゴンを添加してイオンミリング性を持たせたドライエッチング技術を用いた。このようにしても加工後に電極周辺シリコン酸化膜上にエッチング残渣が発生する場合があったため、電極周辺のシリコン酸化膜を完全に除去した後、実施例１で述べたシリコンの選択酸化技術を用いて新たに2.8nmのシリコン酸化膜を形成した。これらの工程で残渣がなくゲート耐圧不良の発生頻度が少ない半導体装置を形成することができた。本実施例でも、上記各実施例と同様の評価を行った。本実施例では実施例２よりさらに0.1eV程度高い仕事関数を有するpチャンネルMOSトランジスターを作製することができた。

【００２４】

以上の実施例ではいずれもモリブデンをベース金属に用いた。ベース金属としてはこの他にタングステンやタンタルがあり、さらにはクロム、ニオブ、バナジウムを用いることができる。ただしハフニウム、ジルコニウムあるいはチタンなどはそれらの酸化物あるいは窒化物の生成自由エネルギーがゲート酸化膜として用いられるシリコン酸化膜、シリコン窒化膜の生成自由エネルギーより低いかあるいは同等レベルのエネルギーを持つため、半導体製造のための熱工程でゲート絶縁膜と反応してゲート電極とシリコン基板間を短絡させてしまう可能性があるために適用は難しい。また、いずれの実施例でも所定のnチャンネル領域に金属炭化物を形成する方法として過熱した炭素ヒーターから昇華した炭素の拡散を利用した。所定域への炭素化合物の形成方法としてはメタンなどの炭水化物ガスを含む雰囲気で熱処理を行うことにより形成することができ、またイオン打ち込み法で所定域に炭素イオンを打ち込む方法も適用できる。

【００２５】
ただし、シリコン基板にV字型あるいは垂直に溝を掘って、その斜面や側面をMOSトランジスターのチャンネル領域として利用するような半導体装置においては、側壁に被着した金属膜の所望域や面に所定どおりに炭素を打ち込むのは難しい。このような場合は、昇華炭素や炭素化合物ガスのほうが適している。この状況は高仕事関数域を形成する場合も同様である。すなわち所定域に所望金属をイオン打ち込みして合金膜を形成することもできるが、斜面は垂直面へのイオン打ち込みは利を得ていないと思われる。このような場合は、所望金属を各種金属膜形成法で被着して合金を形成するほうが簡便であり、制御性がある。これに関連して次のことも述べておく必要がある。すなわち、高仕事関数合金を形成する方法としてベース金属に所望金属の薄膜を形成し、それらをアルゴンなどのイオン打ち込みで混合する方法を用いたが、この他に熱処理でベース金属と反応させる方法、あるいは所望金属の化合物ガスを用いて所定域のベース金属と反応させて合金を形成することもできる。
【００２６】
なお、実施例ではシリコン酸窒化膜をゲート絶縁膜に用いた場合のみ示したが、ゲート絶縁膜としてハフニウム、ジルコニウム、チタンなどのIVa族金属あるいはイットリウムやランタン系金属などの酸化物、さらにはアルミナ、シリコン窒化膜そしてシリコン酸化膜とこれらの積層膜をゲート酸化膜として適用できる。これらの場合も、上に述べたようにベース金属の酸化物あるいは窒化物の生成自由エネルギーがゲート絶縁膜の生成自由エネルギーより高エネルギー側にあり絶縁膜と反応しにくい材料を選ぶ必要がある。この観点からこれらのゲート絶縁膜においてもIVa族金属をゲート電極のベース金属とするのは難しい。そしてこの条件を満たすことができるのはVa族からVIII族金属となるが、VIIa族および
VIII族金属はドライエッチングが難しい場合が多いので、適用できるベース金属は先に述べたと同様にVa族およびVIa族金属になる。そしてこれらの中で比較的高仕事関数の結晶方位に配向した膜を形成できる金属としてモリブデン、タングステンおよびタンタルをあげることができる。
【００２７】
なお、低仕事関数材料として金属炭化物を用いたが金属とボロンの化合物、いわゆるボライドや金属珪化物も適用可能である。ただしボライドはゲート電極からnチャンネルMOSトランジスターのチャンネル域にボロンが拡散する可能性があり、また金属珪化物ではゲート絶縁膜と反応する可能性があるため、プロセス条件の選定が必要である。
【００２８】
＜実施例４＞
本実施例を図１１乃至１４を用いて説明する。
シリコン基板１に素子間分離領域２、ｐウエル３、ｎウエル４そしてゲート酸化膜５を形成するまでのプロセスは実施例１と同じである。次にスパッター法で70nm厚さのタングステンを堆積して高仕事関数用金属層６とした。この膜形成にあたっては、堆積中の基板温度を500℃、堆積室のアルゴンガス圧を0.2Pa、放電電力を0.3kWとした。このような条件の選定は、実施例１のモリブデンと同様に他の結晶面より高い仕事関数を有する(110)配向タングステン膜を形成できるためである。次にプラズマＣＶＤ法を用いて、15nmのシリコン窒化膜８を形成した。次にプラズマＣＶＤ法で100nm厚さのシリコン酸化膜９を形成した。次に通常のリソグラフィ技術を用いてｎチャンネルウエル上のみレジストを除去し、このレジストをドライエッチングマスクとしてシリコン酸化膜９を加工した。なおこのときｎチャンネル領域のW膜上のシリコン窒化膜８が残存するように加工条件を制御した。次にイオン打ち込み技術を用いて炭素イオン３０をシリコン窒化膜８を通してタングステン膜に打ち込んだ。このときの炭素イオン打ち込みエネルギーは10keVとし、打ち込みイオン量は$5x10^{15}/cm^2$とした。なおシリコン窒化膜を通してイオン打ち込みを行ったのは打ち込みイオンのタングステン膜中でのチャネリング現象の発生を抑止するためである。タングステンやモリブデンのような高融点金属の多結晶膜に直接イオン打ち込みするとチ

ャネリング現象が生じる。このため非晶質膜で通常予測されるより深くイオンが打ち込まれ、最悪の場合は炭素イオンがシリコン基板まで到達してＭＯＳトランジスター特性を劣化させる可能性がある。

【００２９】

次にｎチャンネル以外の領域に残存していたイオン打ち込みマスク用のシリコン酸化膜８をフッ酸水溶液を用いてエッチング除去し、続いて700℃、5分の窒素熱処理を行って打ち込まれた炭素をタングステン膜方向に拡散して、ｎチャンネル領域上にタングステン炭化膜（ＷＣ）を形成した。そしてこの後、シリコン窒化膜９を160℃の熱りん酸でエッチング除去した。次にスパッター法で実施例１と同じ条件でモリブデン１２を堆積した。この層はタングステン炭化物が金属タングステンより約一桁程度配線抵抗が高くなるため、配線の低抵抗化のための裏打ち金属膜とした。なおこの層はタングステンを用いてもよいが、モリブデンのほうが形成した膜の配線抵抗が約30%低くなるため利用した。

【００３０】

次にプラズマＣＶＤ法でゲート電極・配線パターンニングのための加工用シリコン窒化膜１３を160nm堆積した。次に通常のホトリソグラフィ技術およびドライエッチング技術を用いて、ｎチャンネル領域上のＷＣ/Ｍｏ積層構造とｐチャンネル領域上のＷ/Ｍｏ積層構造を所望のゲート電極形状に加工した。これ以後の工程は実施例１と同じなので省略する。

【００３１】

上記のプロセスを経て得られたＭＯＳトランジスターの閾値電圧などの電気特性より各チャンネル領域のゲート電極の仕事関数を評価した。そしてｎチャンネルＭＯＳトランジスターのタングステン炭化物（ＷＣ）ゲート電極の仕事関数は4.0eVおよび、ｐチャンネルＭＯＳトランジスターのタングステン（Ｗ）ゲート電極の仕事関数として4.9eVの値が得られた。なお、この仕事関数評価は本実施例と同じプロセスを用いたりんドープ多結晶シリコンゲートｎチャンネルＭＯＳトランジスターおよびボロンドープ多結晶シリコンｐチャンネルＭＯＳトランジスターの閾値電圧ならびにゲート酸化膜厚さの異なるＷＣゲートＭＯＳ容量素子群、ＷゲートＭＯＳ容量素子群のフラットバンド電圧などを用いた確認実験で得られた値ともよく一致した。なお本実施例では打ち込みイオンのチャネリング抑止法としてシリコン窒化膜を用いたが、シリコン酸化膜を用いても同じ効果が得られた。

【００３２】

＜実施例５＞

本実施例では実施例４で用いたシリコン窒化膜あるいはシリコン酸化膜のかわりに、ゲート電極金属の極表面を酸化して金属酸化膜３１をチャネリング阻止層として用いた。そして本実施例はチャネリング阻止層形成関連プロセス以外は、実施例４と同じである。

【００３３】

本実施例ではタングステンゲート電極とモリブデンゲート電極の２種類について検討した。これらのいずれの金属においても表面を10nm～20nm酸化し、この膜をチャネリング阻止層として用いた。これらの酸化膜形成には陽極酸化法と低温酸化法の両方について検討した。前者は湿式酸化法であり、電極材料により陽極酸化のための液および印加電圧や通電電流の最適化を行う必要があった。Ｘ線回折測定により得られた金属酸化膜は非晶質であることを確認した。この非晶質膜はシリコン窒化膜やシリコン酸化膜より質量が大きいため、非晶質膜下の金属層に打ち込まれた炭素イオンは、金属層内で深さ方向分布にほとんど広がりを持たないことをオージェ分析および２次イオン質量分析より確認した。すなわちシリコン窒化膜やシリコン酸化膜より顕著なチャネリング抑止効果を持つことがわかった。なお金属層表面での酸化膜形成に低温酸化法を用いる場合は、酸化雰囲気炉で400℃程度以下の低温で数１０秒の短時間処理行う必要があった。これはゲート電極となる金属の極表面を限定して酸化する必要があり、また500℃程度の高温で酸化すると形成された酸化膜が非晶質でなく多結晶化するためチャネリング阻止能が低下するためである。そして高温酸化すると形成された酸化膜が昇華し、所望膜厚の金属酸化膜を再現性よく形成するのが難しくなるとともに、シリコン基板やプロセス装置に金属汚染などの問題が生じる

。本実施例ではゲート電極材料にタングステンおよびモリブデンを適用した。モリブデンはタングステンよりが酸化されやすく、かつ昇華しやすいため低温酸化法を適用する場合、昇温、降温速度、酸化時間などを高精度で制御する必要があった。

【００３４】

本実施例では金属酸化膜を形成した後、実施例４で述べたシリコン窒化膜を形成せずに、同実施例と同じ厚さのシリコン酸化膜を形成し、その後に通常のリソグラフィ技術、ドライエッチング技術を用いてｎチャンネル領域のシリコン酸化膜を除去した。そして残存させたシリコン酸化膜をマスクとしてｎチャンネル領域に炭素イオンを金属非晶質酸化膜を通して下地の金属層に打ち込んだ。この後、シリコン酸化膜をフッ酸水溶液でエッチング除去した。続いてアンモニア水溶液あるいは沃化アンモニウム液でタングステン酸化膜やモリブデン酸化膜などの金属酸化膜を除去した。なお金属酸化膜除去法として水素雰囲気で950℃、10秒の熱処理を行い酸化物を還元することも可能であった。金属酸化膜除去後は実施例１や実施例４と同じように配線抵抗の低抵抗化のためにモリブデンを形成した。

【００３５】

この工程以後はこれらの実施例と同じであるため省略する。本実施例で得られたモリブデン炭化物ゲート電極およびモリブデンゲート電極は実施例１、またタングステン炭化物ゲート電極およびタングステンゲート電極は実施例４とほぼ同じ閾値電圧を示した。なお本実施例において金属酸化物除去に高温水素処理による還元を用いた場合は、同じ閾値電圧を持つＭＯＳトランジスターを得るためにトランジスターのチャンネル領域およびソース・ドレイン端領域に低濃度の不純物をドーピングする条件を調整した。

【００３６】

＜実施例６＞

本実施例では実施例２および実施例３においてｎチャンネルＭＯＳトランジスター領域に炭素を含有させる工程を省略した。ただしベース金属となるモリブデン膜の形成条件を工夫して、高仕事関数を有する（１１０）配向を可能な限り少なくするようにした。すなわち膜形成時の基板温度を２００℃と低くし、スパッターアルゴンガス圧を１．５Paと高くし、さらにスパッター放電のための投入電力を３ｋＷと高くした。このような条件で形成した膜はＸ線回折測定で弱い（１１０）配向の回折ピークが検出されるが、（２００）、（２１１）、（２２０），（３１０）など他の配向の結晶粒も存在することを示す回折ピークが観察された。この膜形成後は、実施例２および実施例３におけるｎチャンネルＭＯＳトランジスター領域に限定して炭素を拡散して金属炭化物を形成するための関連工程、その後pチャンネル上のシリコン酸化膜、シリコン窒化膜を除去するまでの工程を省略した。次にプラズマＣＶＤ装置を用いて３０ｎｍのシリコン酸化膜を形成してnチャンネル領域を被覆する工程およびそれ以後の工程は全てこれらの実施例と同じとした。このようにして得られたｎチャンネルトランジスターにおけるＭｏゲート電極の仕事関数は（１１０）配向の場合より低い４．１ｅＶないし４．３ｅＶの値が得られた。一方、コバルトあるいはイリジウムを混入させたｐチャンネルＭＯＳトランジスターでは仕事関数は実施例２および実施例３より０．１ｅＶ低くなる程度でトランジスター性能上はほとんど違いが無かった。これは実施例２および実施例３においてコバルトやイリジウムを混入することによりｐチャンネル領域のＭｏ膜では（１１０）配向がすでに崩れており、合金の仕事関数がトランジスターの閾値電圧などを決めていたためである。

【００３７】

本実施例で得られたｎチャンネルＭＯＳトランジスターの仕事関数は先の実施例で炭素を混入させた場合より約０．２ｅＶないし０．３ｅＶ高いが、回路的工夫を行うことによりデュアルメタルゲートを用いた半導体装置を構成することができた。

【００３８】

なお、本実施例ではモリブデン膜を形成する際の基板温度を２００℃としたが、室温で形成した場合はほとんどＸ線回折ピークを検出できず、非晶質に近い膜が形成された。このような膜を用いた場合、膜形成後の高温熱処理で（１１０）に配向した結晶粒が成長しやすくなるため、製造されたｎチャンネルＭＯＳトランジスターのゲート電極の仕事関数は

本実施例よりさらに０．３ｅＶ高い値を示した。そしてこの程度まで仕事関数が高くなると回路的工夫だけではデュアルメタルゲート半導体装置を構成するのが難しかった。すなわち、本実施例のようにベース金属膜の仕事関数を比較的低い値としたい場合は、高仕事関数を有する金属ゲート電極を形成する場合と同様に、膜形成条件の選定が重要になる。このような状況はタングステンなど他の金属を用いてデュアルゲート電極半導体装置を作製する場合も同様である。

【００３９】

【発明の効果】

本発明によると、同一の金属膜内に低仕事関数を有する領域と高仕事関数を有する領域を造りわけることができるため、nチャンネルとpチャンネルMOSトランジスターごとに別々の金属を形成する必要がない。またそれらの領域の仕事関数を高濃度のりんやボロンをドープした多結晶シリコンのフェルミレベルに近い値にできるため、従来の多結晶シリコンをベースとしたCMOS型半導体装置と同様のプロセスでデュアルメタルゲート半導体装置を製造できる。

【００４０】

さらに本発明によるデュアルゲート電極では多結晶シリコンをベースとしたゲート電極を有する半導体装置で問題となった、ゲート電極からの基板へのボロンの拡散によるトランジスターの閾値電圧変動、およびゲート絶縁膜近傍の多結晶シリコン層内で生じたような空乏化による実効ゲート絶縁膜の厚膜化などの現象は生じない。

【図面の簡単な説明】

【図１】本発明の基本構造となるゲート電極部およびその周辺部の断面構造を示す。

【図２】実施例１におけるデュアルゲート電極関連プロセス順序を示す。

【図３】実施例１におけるデュアルゲート電極関連プロセス順序を示す。

【図４】実施例１におけるデュアルゲート電極関連プロセス順序を示す。

【図５】実施例１におけるデュアルゲート電極関連プロセス順序を示す。

【図６】実施例１により形成されたモリブデン炭化物膜内の炭素分布をオージェ電子分析装置により求めた結果を示す。

【図７】実施例２におけるデュアルゲート電極関連プロセス順序を示す。

【図８】実施例２におけるデュアルゲート電極関連プロセス順序を示す。

【図９】実施例２におけるデュアルゲート電極関連プロセス順序を示す。

【図１０】実施例２におけるデュアルゲート電極関連プロセス順序を示す。

【図１１】実施例４におけるデュアルゲート電極関連プロセス順序を示す。

【図１２】実施例４におけるデュアルゲート電極関連プロセス順序を示す。

【図１３】実施例４におけるデュアルゲート電極関連プロセス順序を示す。

【図１４】実施例４におけるデュアルゲート電極関連プロセス順序を示す。

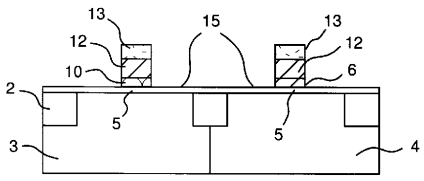
【符号の説明】

１……シリコン基板、２……素子間分離領域、
３……ｐウエル、４……ｎウエル、５……ゲート酸化膜、
６……高仕事関数ゲート用金属膜、
７……タングステン膜、
８……加工マスク用シリコン窒化膜、
９……加工マスク用シリコン酸化膜、
１０……低仕事関数ゲート用金属炭化物（モリブデンまたはタングステンの炭化膜）、
１１……タングステン炭化膜、
１２……ゲート電極・配線低抵抗化のためのモリブデン膜、
１３……ゲート電極・配線パターンニングのための加工用シリコン窒化膜、
１４……ゲート電極・配線周辺に残存させたシリコン酸化膜、
１５……損傷を除去されたゲート電極・配線周辺シリコン酸化膜、
１６……ｎチャンネルMOSトランジスタのソース、ドレイン部濃度勾配を設けるための低濃度りん不純物（LDD用低濃度ｎ型不純物）、

１７……ｐチャンネルMOSトランジスタのソース、ドレイン部濃度勾配を設けるための低濃度ボロン不純物（LDD用低濃度ｐ型不純物）、
１８……ゲート電極側壁部に設けて絶縁膜（LDDスペーサー）、
１９……ｎチャンネルＭＯＳトランジスタのソース、ドレイン部高濃度砒素、
２０……ｐチャンネルＭＯＳトランジスタのソース、ドレイン部高濃度ボロン、
２１……ソース/ドレイン低抵抗化用シリサイド層、
２２……層間絶縁膜、２３……信号入出力用電極・配線、
２５……コバルト膜、
２６……イオン打ち込みされるアルゴンイオン、
２７……モリブデンとコバルトの合金、
２８……昇華してきた拡散用炭素、
２９……ｎチャンネル領域保護のためのシリコン酸化膜、
３０ …イオン打ち込みされる炭素イオン、
３１……チャネリング阻止のための金属酸化膜。

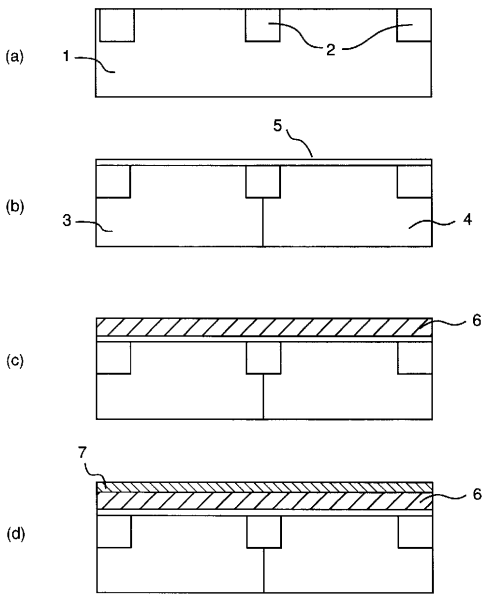
【図１】

図 1



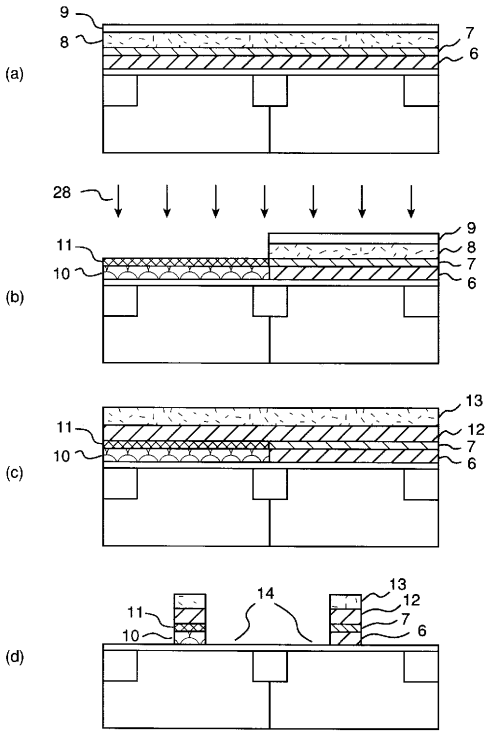
【図２】

図 2



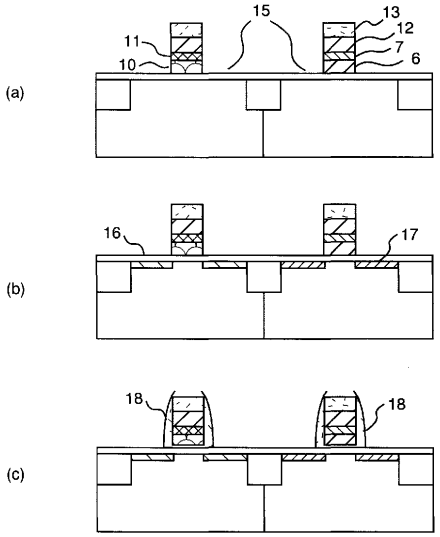
【図３】

図 3



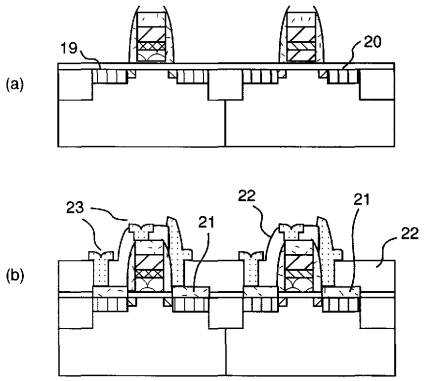
【図４】

図 4



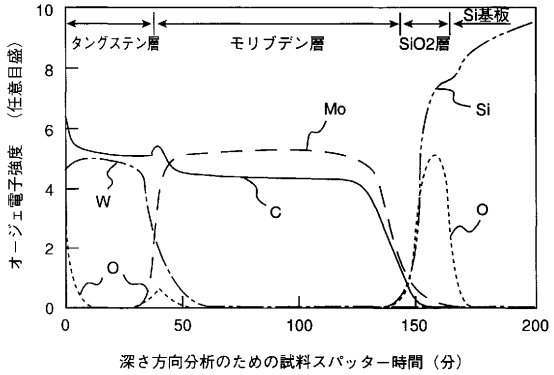
【図５】

図 5



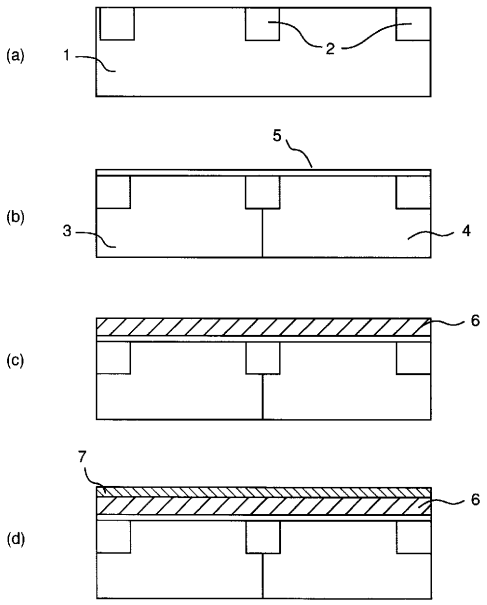
【図６】

図 6



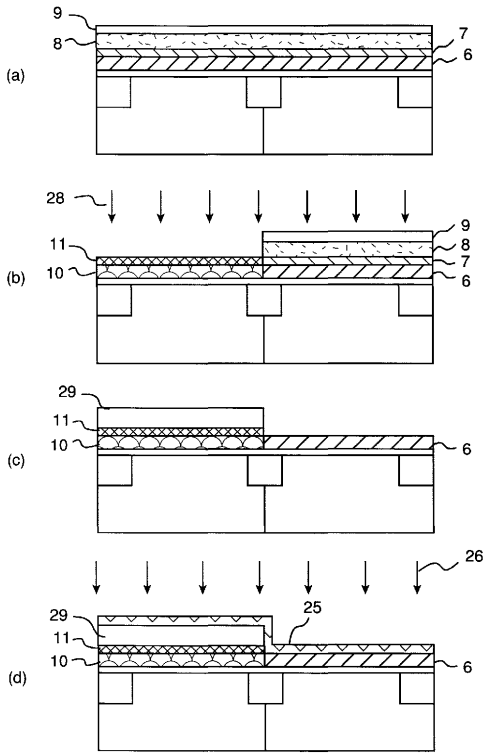
【図７】

図 7



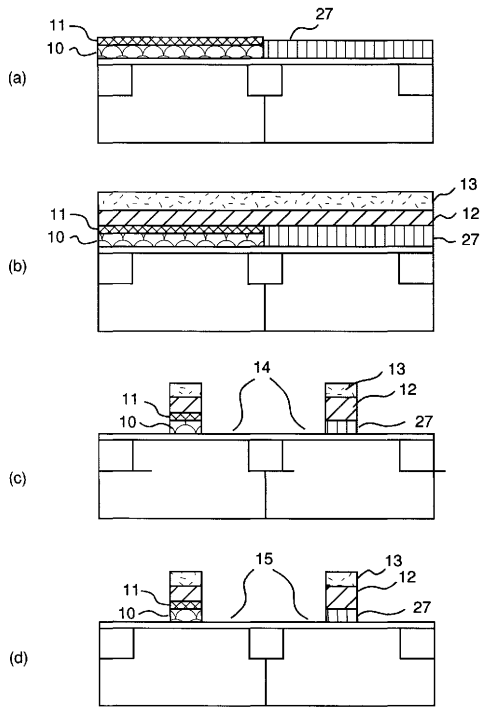
【図８】

図 8



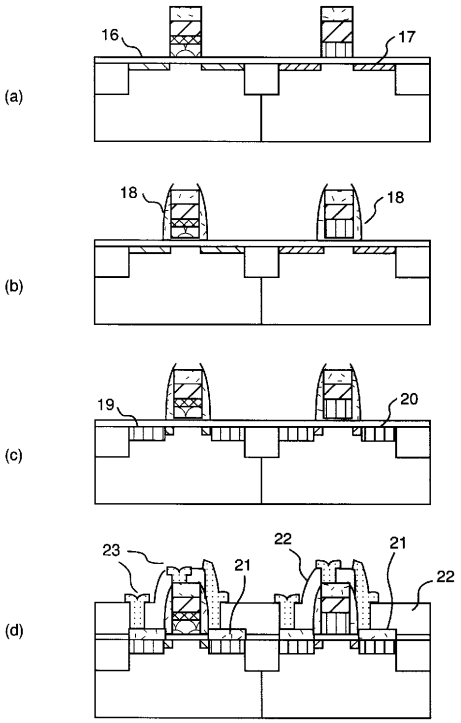
【図９】

図 9



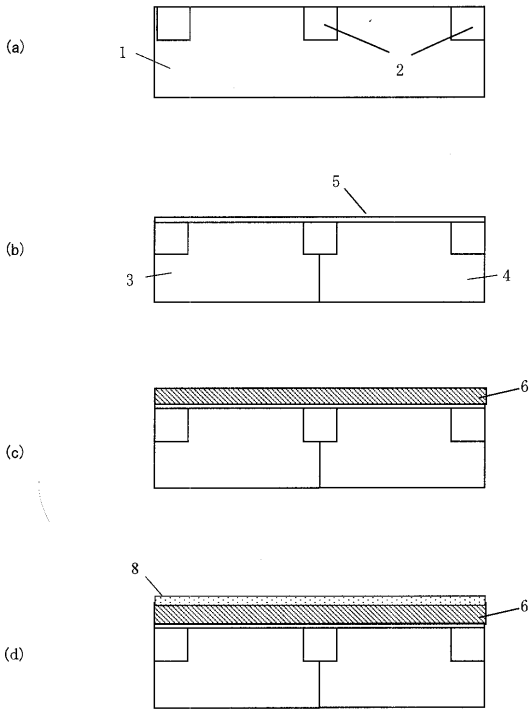
【図１０】

図 10



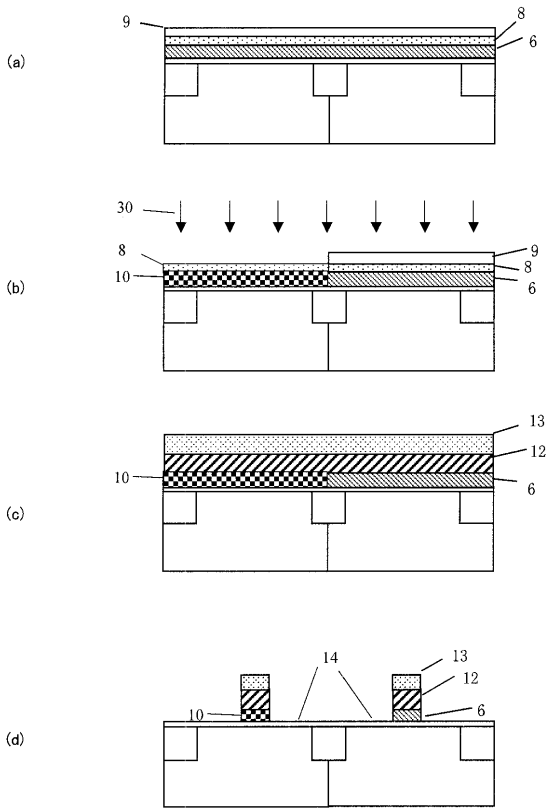
【図１１】

図１１



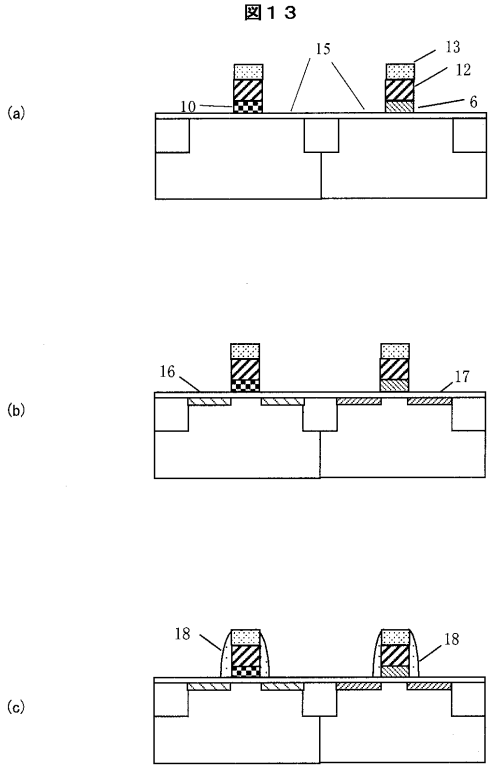
【図１２】

図１２



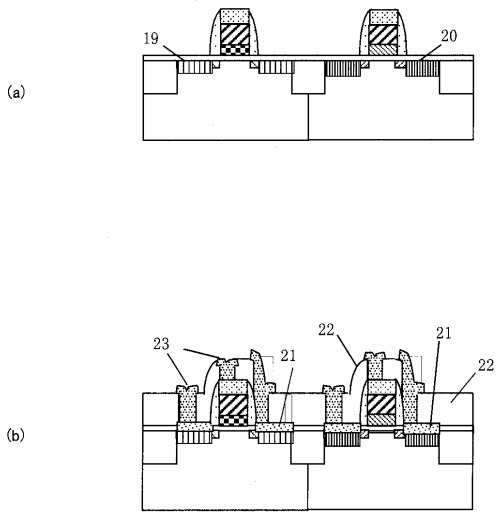
【図１３】

図１３



【図１４】

図１４



フロントページの続き

(51)Int.Cl.[7]	ＦＩ	テーマコード（参考）
Ｈ０１Ｌ　29/423		
Ｈ０１Ｌ　29/49		
Ｈ０１Ｌ　29/78		

Ｆターム(参考) 5F048 AA07 AC01 AC03 BB04 BB08 BB09 BB10 BB11 BB13 BB14
BC06 BD04 BE03 DA25
5F140 AA02 AA06 AB03 BA01 BD07 BD09 BD11 BF03 BF06 BF07
BF11 BF13 BF17 BF21 BF27 BF38 BG08 BG22 BG30 BG32
BG33 BG38 BG44 CB08