

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6132506号
(P6132506)

(45) 発行日 平成29年5月24日 (2017.5.24)

(24) 登録日 平成29年4月28日 (2017.4.28)

(51) Int.Cl.

F I

H O 4 N 5/378 (2011.01)

H O 4 N 5/335 7 8 0

H O 3 M 1/56 (2006.01)

H O 3 M 1/56

H O 1 L 27/146 (2006.01)

H O 1 L 27/14 A

請求項の数 16 (全 17 頁)

(21) 出願番号 特願2012-223307 (P2012-223307)
 (22) 出願日 平成24年10月5日 (2012.10.5)
 (65) 公開番号 特開2014-75748 (P2014-75748A)
 (43) 公開日 平成26年4月24日 (2014.4.24)
 審査請求日 平成27年8月31日 (2015.8.31)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 中村 恒一
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 岩田 公一郎
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

(54) 【発明の名称】 光電変換装置および撮像システム

(57) 【特許請求の範囲】

【請求項 1】

複数の列を成すように設けられた複数の画素と、
 各々が前記複数の列のいずれか1つに対応して設けられた複数の比較器と、
 前記複数の比較器に参照信号を供給する参照信号生成部と、
 グレイコードを構成する複数のビットを含むカウント信号を、第1のクロック信号に同
 期して生成するカウンタと、
 前記カウンタから出力された前記グレイコードを構成する複数のビットを第2のクロッ
 ク信号に同期化することによって生成された同期化後カウント信号を出力する同期化部と
 、
 各々が前記比較器に対応して設けられ、対応する前記比較器の出力の変化を受けて前記
 同期化後カウント信号を保持する複数のメモリを有すること
 を特徴とする光電変換装置。

【請求項 2】

前記カウンタは、バイナリコードのカウント信号を生成するバイナリカウンタ部と、前
 記バイナリカウンタ部の出力をグレイコードに変換する E X O R 回路とを含むこと
 を特徴とする請求項 1 記載の光電変換装置。

【請求項 3】

複数の列を成すように設けられた複数の画素と、
 各々が前記複数の列のいずれか1つに対応して設けられた複数の比較器と、

前記複数の比較器に参照信号を供給する参照信号生成部と、
複数のビットを含むカウント信号を、第1のクロック信号に同期して生成するカウンタと、

前記複数のビットを第2のクロック信号に同期化することによって生成された同期化後カウント信号を出力する同期化部と、

各々が前記比較器に対応して設けられ、対応する前記比較器の出力の変化を受けて前記同期化後カウント信号を保持する複数のメモリと、

デジタルデータを供給するデータ供給部と、

選択部と、を備え、

前記選択部は、前記デジタルデータと前記カウント信号を選択的に前記同期化部に出力すること

を特徴とする光電変換装置。

【請求項4】

前記デジタルデータは、前記カウンタが出力する最大値に対応するデータであることを特徴とする請求項3に記載の光電変換装置。

【請求項5】

前記同期化部から出力された前記同期化後カウント信号を前記第2のクロック信号に同期して出力する第2の同期化部を有し、

前記同期化部から出力された前記同期化後カウント信号を前記複数のメモリのうちの一部に供給し、前記第2の同期化部の出力を前記複数のメモリの別の一部に供給すること

を特徴とする請求項1～4のいずれかに記載の光電変換装置。

【請求項6】

前記第2のクロック信号は、前記第1のクロック信号よりも周波数が高いことを特徴とする請求項1～5のいずれかに記載の光電変換装置。

【請求項7】

前記第2のクロック信号の周波数は、 n を自然数として、前記第1のクロック信号の周波数の $2n$ 倍であることを特徴とする請求項6に記載の光電変換装置。

【請求項8】

前記カウンタは、グレイコードを前記カウント信号として出力するグレイコードカウンタであることを特徴とする請求項3または4に記載の光電変換装置。

【請求項9】

前記カウンタは、バイナリコードを前記カウント信号として出力するバイナリカウンタであることを特徴とする請求項3または4に記載の光電変換装置。

【請求項10】

前記同期化部は、フリップフロップを含むことを特徴とする請求項1～9のいずれかに記載の光電変換装置。

【請求項11】

複数の列を成すように配された複数の画素と、

前記複数の列に対応して設けられた複数の比較器と、

前記複数の比較器に参照信号を供給する参照信号生成部と、

前記複数の比較器に対応して設けられた複数のデジタル信号生成部と、

互いに位相の異なる複数のクロック信号を生成するクロック信号生成部と、

前記複数のクロック信号を第2のクロック信号に同期化することによって生成された複数の同期化後クロック信号を出力する同期化部と、を備え、

前記複数のデジタル信号生成部の各々は、デコード回路とカウンタとを含み、

前記デコード回路は、前記複数の同期化後クロック信号をデコードして第1のデジタル値に変換し、

前記カウンタは、前記複数の同期化後クロック信号の1つを受けてカウント動作を行うこと

を特徴とする光電変換装置。

10

20

30

40

50

【請求項 1 2】

前記デジタル信号生成部は、前記比較器の出力が反転した時に前記カウンタが保持しているカウント値を上位ビットとし、前記比較器の出力が反転した時に前記デコード回路が出力する前記第 1 のデジタル値を下位ビットとして、デジタル信号を生成する

ことを特徴とする請求項 1 1 に記載の光電変換装置。

【請求項 1 3】

前記同期化部から出力された前記複数の同期化後クロック信号を前記第 2 のクロック信号に同期して複数の第 2 の同期化後クロック信号を出力する第 2 の同期化部を有し、

前記同期化部から出力された前記複数の同期化後クロック信号を前記複数のデジタル信号生成部のうちの一部に供給し、前記第 2 の同期化部から出力された前記複数の第 2 の同期化後クロック信号を前記複数のデジタル信号生成部の別の一部に供給すること

を特徴とする請求項 1 1 または請求項 1 2 に記載の光電変換装置。

【請求項 1 4】

前記第 2 のクロック信号は、前記複数のクロック信号よりも周波数が高いことを特徴とする請求項 1 1 ~ 1 3 のいずれかに記載の光電変換装置。

【請求項 1 5】

前記第 2 のクロック信号の周波数は、 n を自然数として、前記複数のクロック信号の周波数の $2n$ 倍であることを特徴とする請求項 1 4 に記載の光電変換装置。

【請求項 1 6】

請求項 1 ~ 1 5 のいずれかに記載の光電変換装置と、
前記複数の画素から成る画素アレイに像を形成する光学系と、
前記光電変換装置から出力された信号を処理して画像データを生成する信号処理部と、
をさらに備えたこと

を特徴とする撮像システム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、光電変換装置及び撮像システムに関する。

【背景技術】**【0002】**

行列状に画素が設けられた画素アレイの各列に応じて、A/D変換器が設けられた固体撮像素子が知られている。特許文献 1 には、各 A/D 変換器がカウンタ回路を備え、各カウンタに対して位相の異なる複数のクロック信号を供給することが記載されている。各クロック信号のデューティずれを低減するために、特許文献 1 は、クロック信号の伝送部において、複数のリピータバッファを直列に接続した主伝送ラインと、複数のリピータバッファを直列に接続した副伝送ラインとを備え、副伝送ラインが主伝送ラインから分岐する構成を用いている。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2011 - 166197 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

ところが、特許文献 1 に記載された構成ではクロック信号のデューティずれを十分に抑制できないおそれがある。

また、複数の A/D 変換器でカウンタ回路を共有する構成においても、デューティずれの問題が生じるおそれがある。

本発明は、上述した問題の少なくとも一方を解決することを目的とする。

【課題を解決するための手段】

【 0 0 0 5 】

本発明の一側面である光電変換装置は、複数の列を成すように設けられた複数の画素と、各々が前記複数の列のいずれか1つに対応して設けられた複数の比較器と、前記複数の比較器に参照信号を供給する参照信号生成部と、グレイコードを構成する複数のビットを含むカウント信号を、第1のクロック信号に同期して生成するカウンタと、前記カウンタから出力された前記グレイコードを構成する複数のビットを第2のクロック信号に同期化することによって生成された同期化後カウント信号を出力する同期化部と、各々が前記比較器に対応して設けられ、対応する前記比較器の出力の変化を受けて前記同期化後カウント信号を保持する複数のメモリを有することを特徴とする。

【 0 0 0 6 】

本発明の別の側面である光電変換装置は、複数の列を成すように配された複数の画素と、前記複数の列に対応して設けられた複数の比較器と、前記複数の比較器に参照信号を供給する参照信号生成部と、前記複数の比較器に対応して設けられた複数のデジタル信号生成部と、互いに位相の異なる複数のクロック信号を生成するクロック信号生成部と、前記複数のクロック信号を第2のクロック信号に同期化することによって生成された複数の同期化後クロック信号を出力する同期化部と、を備え、前記複数のデジタル信号生成部の各々は、デコード回路とカウンタとを備え、前記デコード回路は、前記複数の同期化後クロック信号をデコードして第1のデジタル値に変換し、前記カウンタは、前記複数の同期化後クロック信号の1つを受けてカウント動作を行うことを特徴とする。

【 発明の効果 】

【 0 0 0 7 】

本発明によればデューティずれを低減できる。

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 光電変換装置の構成を示す図である。

【 図 2 】 光電変換装置の一部の構成を示す図である。

【 図 3 】 光電変換装置の動作を示すタイミング図である。

【 図 4 】 カウンタの構成を示す図である。

【 図 5 】 E X O R 回路の構成を示す図である。

【 図 6 】 E X O R 回路の動作を示すタイミング図である。

【 図 7 】 グレイコードカウンタ回路におけるデューティずれを説明するためのタイミング図である。

【 図 8 】 同期化部の構成を示す図である。

【 図 9 】 カウンタの動作を説明するためのタイミング図である。

【 図 1 0 】 選択部の構成を示す図である。

【 図 1 1 】 バイナリコードカウンタ回路におけるデューティずれを説明するための図である。

【 図 1 2 】 光電変換装置の構成を示す図である。

【 図 1 3 】 同期化後カウント信号の伝送経路の構成を示す図である。

【 図 1 4 】 光電変換装置の構成を示す図である。

【 図 1 5 】 光電変換装置の一部の構成を示す図である。

【 図 1 6 】 デジタル信号生成部の動作を示すタイミング図である。

【 図 1 7 】 撮像システムの構成を示す図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

(実施例 1)

図 1 は、実施例 1 に係る光電変換装置の構成を示すブロック図である。光電変換装置は、画素アレイ 1、読み出し部群 2、比較部群 3、メモリ部群 4、参照信号生成部 5、カウンタ 6、選択部 7、同期化部 8 を含む。

【 0 0 1 0 】

画素アレイ 1 は、複数列設けられた複数の画素を含む。読み出し部群 2 は、それぞれが画素アレイ 1 の各列に対応して設けられた複数の読み出し部を含む。比較部群 3 は、それぞれが各読み出し部に対応して設けられた複数の比較器を含む。メモリ部群 4 は、それぞれが各比較器に対応して設けられた複数のメモリ部を含む。参照信号生成部 5 は、ランプイネーブル信号 RAMP_EN の入力に応じて、時間に対して信号レベルが変化する参照信号を出力する。カウンタ 6 は、カウントイネーブル信号 CNT_EN に応じて、第 1 のクロック信号 CLK 1 をカウントして M ビットのカウンタ信号を出力する。選択部 7 は、カウンタ 6 から出力されたカウンタ信号および M ビットのデジタルデータ 9 のいずれかを選択的に同期化部 8 に出力する。デジタルデータ 9 は、不図示のデータ供給部から与えられる。同期化部 8 は、選択部 7 から出力された M ビットの信号を、第 2 のクロック信号 CLK 2 に同期した同期化後クロック信号を出力する。各列のメモリ部は対応する比較部の出力が変化すると、それをトリガとして同期化部 8 の出力を保持する。

10

【0011】

図 2 は、画素アレイ 1、読み出し部群 2、および比較部群 3 の構成例を 1 列分だけ示したブロック図である。画素アレイ 1 には複数の画素 2 1 が 1 個の読み出し部 2 2 に共通に接続されている。読み出し部 2 2 は例えば定電流源 2 3 と増幅器 2 4 を含む。定電流源 2 3 は、画素 2 1 が増幅トランジスタを有する場合に、増幅トランジスタとともにソースフォロワ回路を構成する。増幅器 2 4 は、図示したように画素から出力された信号に -A 倍のゲインをかける反転増幅回路でも良いし、正のゲインをかける非反転増幅回路でも良く、バッファリングのみを行うバッファ回路であっても良い。読み出し部 2 2 は、画素から出力された信号に含まれるノイズ成分を低減するノイズ低減回路をさらに備えても良い。ここでは、増幅器 2 4 の出力が、読み出し部 2 2 の出力として比較器 2 5 に与えられる。

20

【0012】

図 3 は、図 1 に示した光電変換装置の動作を説明するためのタイミング図である。説明を簡単にするために、カウンタから出力されるカウンタ信号の値を 10 進数で示しているが、実際には M ビットの信号として出力される。また、時刻 t 1 から時刻 t 3 までの期間、選択部 7 は、カウンタ 6 から出力されたカウンタ信号をメモリ部群 4 に供給するように設定される。

【0013】

時刻 t 1 より前に、デジタル信号に変換されるべきアナログ信号が、比較部群 3 に、読み出し部群 2 から与えられているものとする。時刻 t 1 にランプイネーブル信号 RAMP_EN およびカウントイネーブル信号 CNT_EN が H レベルになる。これにより、参照信号生成部の出力が時間に対して変化を開始するとともに、カウンタ 6 が第 1 のクロック信号 CLK 1 のカウンタ動作を開始する。本例では、第 1 のクロック信号 CLK 1 の立ち上がりとともにカウンタ値がインクリメントする。参照信号は、時間に対してスロープ状に変化するものでもよいし、ステップ状に変化するものであっても良い。

30

【0014】

時刻 t 2 に読み出し部の出力と参照信号のレベルの大小関係が逆転すると、比較部の出力が H レベルから L レベルに変化し、メモリ部はこの時のカウンタ信号を保持する。このとき保持されたカウンタ信号は、読み出し部から出力されたアナログ信号に相当するデジタル信号となる。

40

【0015】

その後、時刻 t 3 まで参照信号のレベルが変化し続けてから参照信号の出力がリセットされる。

【0016】

変換されるアナログ信号が、A/D 変換できるダイナミックレンジに入らない場合には、時刻 t 3 までに比較部の出力が変化しない。この場合、当該列のメモリ部には時刻 t 1 よりも前のデータが保持されたままになっているので、異常値となってしまう。そこで、時刻 t 3 の後に、カウンタ信号に換えてデジタルデータ 9 をメモリ部に供給するように選択部 7 を制御して、メモリ部にデジタルデータ 9 を保持させる。デジタルデータ 9 は所定の

50

値であり、例えばA D変換できる最大値に対応するデジタル信号である。

【0017】

この後、メモリ部群4に保持されたデジタル信号を、不図示の列選択部により後段の回路へと出力させる。

【0018】

カウンタ6の構成例として、 $G_r[0]$ から $G_r[M-1]$ のMビット出力を行うグレイコードカウンタ回路の構成を図4に示す。グレイコードカウンタは、Mビットのバイナリカウンタ回路41とM個の排他的論理和(E X O R)回路42とを含む。バイナリカウンタは第1のクロック信号C L K 1の入力を受けてカウント動作を行う。グレイコードカウンタ回路の最上位ビット $G_r[M-1]$ を出力するE X O R回路42を除く各E X O R回路42は、バイナリカウンタ回路41の出力のうちの隣接する2個のビットの出力を入力として、1ビットの出力を行う。具体的には、バイナリカウンタの出力 $B[n]$ および $B[n+1]$ を入力としてグレイコードカウンタの出力 $G_r[n]$ が生成される(n は自然数)。最上位ビット $G_r[M-1]$ を出力するE X O R回路42は、 $B[M-1]$ とG N Dとに接続される。

10

【0019】

最下位ビット $G_r[0]$ を例に取って、E X O R回路42の構成を図5に示す。E X O R回路42はインバータ回路部51とスイッチ回路部52とを含む。インバータ回路部51は2個のインバータ回路を含み、 $B[0]$ と $B[1]$ とを受けて、これらの反転信号 $Bb[0]$ と $Bb[1]$ とを出力する。

20

【0020】

スイッチ回路部52は、4個のスイッチ部 $SW(T1) \sim SW(T4)$ を含む。スイッチ部 $SW(T1)$ は、反転信号 $Bb[0]$ で制御されるN M O Sトランジスタと反転信号 $Bb[1]$ で制御されるN M O Sトランジスタが直列に接続されて構成される。スイッチ部 $SW(T2)$ は、反転信号 $Bb[0]$ で制御されるP M O Sトランジスタと信号 $B[1]$ で制御されるP M O Sトランジスタが直列に接続されて構成される。スイッチ部 $SW(T3)$ は、信号 $B[0]$ で制御されるP M O Sトランジスタと反転信号 $Bb[1]$ で制御されるP M O Sトランジスタが直列に接続されて構成される。スイッチ部 $SW(T4)$ は、信号 $B[0]$ で制御されるN M O Sトランジスタと信号 $B[1]$ で制御されるN M O Sトランジスタが直列に接続されて構成される。

30

【0021】

これらのスイッチ部のうち、スイッチ部 $SW(T3)$ とスイッチ部 $SW(T1)$ とが直列に接続されており、両者の共通ノードがE X O R回路42の出力ノード $G_r[0]$ に接続される。同様に、スイッチ部 $SW(T2)$ とスイッチ部 $SW(T4)$ とが直列に接続されており、両者の共通ノードがE X O R回路42の出力ノード $G_r[0]$ に接続される。

【0022】

次に、図6を参照しながらE X O R回路42の動作を説明する。インバータ回路部51の各インバータで生じる遅延を t とする。

【0023】

バイナリカウンタ回路41の出力 $B[0]$ および $B[1]$ は、出力 $B[0]$ に対して1/2の周波数で変化する。出力 $B[0]$ および $B[1]$ の状態を踏まえて、 $T1 \sim T4$ の期間に分けて説明する。

40

【0024】

期間 $T1$ は、出力 $B[0]$ および $B[1]$ がともにLレベルである。このとき反転信号 $Bb[0]$ および $Bb[1]$ はともにHレベルとなりスイッチ部 $SW(T1)$ がオンする。これにより、E X O R回路42の出力 $G_r[0]$ はLレベルになる。

【0025】

期間 $T2$ は、出力 $B[0]$ がHレベルになり、出力 $B[1]$ はLレベルを維持する。出力 $B[0]$ の遷移により、その反転信号 $Bb[0]$ もLレベルに遷移するが、インバータ回路による t だけ遅れて遷移する。期間 $T2$ にはスイッチ部 $SW(T2)$ がオンするの

50

で、信号 B [0] の遷移から t だけ遅れて E X O R 回路 4 2 の出力 G r [0] が H レベルになる。

【 0 0 2 6 】

期間 T 3 は、出力 B [0] が再び L レベルになり、出力 B [1] が H レベルになる。反転信号 B b [0] と B b [1] はともに出力 B [0] と B [1] の遷移から t だけ遅れて遷移する。期間 T 3 にはスイッチ部 S W (T 3) がオンするので、E X O R 回路 4 2 の出力 G r [0] は H レベルを維持する。

【 0 0 2 7 】

期間 T 4 は、出力 B [0] が H レベルになり、出力 B [1] が H レベルを維持する。反転信号 B b [0] は信号 B [0] に対して t だけ遅れて遷移する。期間 T 4 にはスイッチ部 S W (T 4) がオンするので、E X O R 回路 4 2 の出力 G r [0] は L レベルになる。

10

【 0 0 2 8 】

以上の説明から理解されるとおり、E X O R 回路 4 2 の出力 G r [0] は、L レベルから H レベルに遷移するときに t だけ遅延し、H レベルから L レベルに遷移するときには遅延が生じない。この結果、出力 G r [0] は H レベルである期間が L レベルである期間よりも短くなり、デューティ比が 5 0 % でなくなる。つまり、デューティずれが生じた状態となる。

【 0 0 2 9 】

4 ビットのグレイコードカウンタ回路において、上述したデューティずれが各ビットで発生する場合のタイミング図を図 7 に示す。

20

【 0 0 3 0 】

グレイコードが、あるビットの立ち上がりエッジから別のビットの立ち上がりエッジまでで決定される場合には、正常な期間だけそのコードが維持される。図 7 においては 1 および 4 のグレイコードが該当する。同様に、あるビットの立ち下がりエッジから別のビットの立ち下がりエッジまでで決定される場合にも、正常な期間だけそのコードが維持される。図 7 においては 6 のグレイコードが該当する。

【 0 0 3 1 】

しかし、グレイコードがあるビットの立ち下がりエッジから別のビットの立ち上がりエッジまでで決定される場合には、正常な期間よりも長くそのコードが維持される。図 7 においては 0、3、7 のグレイコードが該当する。

30

【 0 0 3 2 】

一方、グレイコードがあるビットの立ち上がりエッジから別のビットの立ち下がりエッジまでで決定される場合には、正常な期間よりも短くそのコードが維持される。図 7 においては 2 および 5 のグレイコードが該当する。

【 0 0 3 3 】

グレイコードカウンタ回路が各グレイコードを出力する期間の長さが異なる場合には、このグレイコードをカウント信号として用いて A D 変換を行うと、変換されるアナログ信号に対して得られるデジタルデータの関係がリニアではなくなる。つまり、A D 変換部のリニアリティが低下することになり、ひいては得られる画像の画質が劣化する。

40

【 0 0 3 4 】

そこで、本実施例では、カウンタ 6 の出力を第 2 のクロック信号 C L K 2 に同期させて、同期化後クロック信号をメモリ部群 4 に供給する。

【 0 0 3 5 】

図 8 に同期化部 8 の構成を示す。同期化部 8 は M 個のフリップフロップ 1 0 1 を含む。各フリップフロップ 1 0 1 は、第 2 のクロック信号 C L K 2 が共通に与えられるほか、リセット信号 R B も共通に与えられる。リセット信号 R B が L レベルになるとフリップフロップ 1 0 1 の出力がリセットされる。各フリップフロップ 1 0 1 の D 端子には、それぞれグレイコード G i [0 : M - 1] の各ビットが与えられる。そして、Q 端子からは対応するグレイコードを第 2 のクロック信号 C L K 2 に同期した同期化後クロック信号として、

50

G o [0 : M - 1] を出力する。

【 0 0 3 6 】

図 9 をさらに参照しながら、カウンタ 6 の出力である G i [0 : M - 1] と同期化後クロック信号 G o [0 : M - 1] の関係を説明する。説明を簡単にするために、第 1 および第 2 のクロック信号が同位相で同周波数のクロック信号であるとする。

【 0 0 3 7 】

カウンタ 6 の出力 G i [0 : M - 1] は、先述の通り正常な期間の長さよりも長いあるいは短い期間だけ出力されるグレイコードがある。これに対して、カウンタ 6 の出力 G i [0 : M - 1] をクロック信号の立ち上がり同期させると、得られる同期化後カウント信号からは各コードが等しい長さで得られる。この同期化後カウント信号をメモリ部群 4 に与えることにより、A D 変換部のリニアリティが低下することを抑制できる。

10

【 0 0 3 8 】

同期化部 8 は、カウント信号のデューティずれを低減するだけでなく、位相ずれも低減できる。図 1 0 は選択部 7 の 1 ビット分の構成例を示した回路図である。

【 0 0 3 9 】

図 1 0 に示した選択部 7 は、カウント信号が入力される系とデジタルデータが入力される系とを含む。各系に対して N M O S トランジスタ 9 1 と P M O S トランジスタ 9 2 で構成された C M O S スイッチが設けられており、2 つの C M O S スイッチは、信号 S E L とその反転信号 S E L B によって排他的にオンするように構成されている。図 1 では信号 S E L および S E L B は図示を省略した。仮に N M O S トランジスタ 9 1 と P M O S トランジスタ 9 2 とが、例えば製造時のプロセスばらつきによって異なる駆動力を持つと、選択部 7 から出力される信号はデューティがずれるおそれがある。さらに、ビット間でもデューティずれの量が異なると、選択部 7 を経由して出力されたカウント信号はビット間で位相のずれが生じるおそれもある。したがって、図 1 のように選択部 7 を備える構成では、選択部 7 の後段に同期化部 8 を設けることで、選択部 7 に起因して生じうるデューティずれや位相ずれも低減することができる。

20

【 0 0 4 0 】

本実施例ではカウンタ 6 がグレイコードカウンタである場合を詳細に説明したが、例えばバイナリコードカウンタであっても良い。

【 0 0 4 1 】

バイナリコードカウンタにデューティずれが生じた場合の影響を説明する。図 1 1 (A) は 3 ビットのカウンタにおいて、最下位ビット (1 ビット目) にデューティずれが生じて、H レベルの期間が長い場合のカウント値を示すタイミング図である。2 ビット目および 3 ビット目にはデューティずれが生じておらず、それぞれデューティずれが生じていない場合の最下位ビットの信号に対して 1 / 2 倍、1 / 4 倍の周期で遷移するものとする。

30

【 0 0 4 2 】

この場合には、2、4、6 のカウント値が出力される期間が他のカウント値よりも短くなってしまう。この条件の下、図 1 に示した光電変換装置に含まれる A D 変換部の入出力特性を図 1 1 (B) に示す。横軸が変換されるべきアナログ信号で、縦軸が A D 変換された後のデジタル信号に対応する。実線で示した理想的な入出力特性に対して、図 1 1 (A) に示したデューティずれが生じた場合の入出力特性は破線で示している。破線で示した入出力特性は、理想値からずれているため、A D 変換部のリニアリティが低下していることになる。

40

【 0 0 4 3 】

上記のように、バイナリコードカウンタをカウンタ 6 として用いても、同期化部 8 を設けることにより、デューティずれを低減し、A D 変換部のリニアリティが低下することを抑制できる。

【 0 0 4 4 】

本実施例では選択部 7 がデジタルデータ 9 またはカウンタ 6 から出力されたカウント信号を選択的に同期化部 8 に出力する構成を説明したが、選択部 7 およびデジタルデータ 9

50

を省略しても、カウント信号のビット間のデューティずれを低減できる。

【0045】

また、本実施例では、第2のクロック信号の立ち上がりエッジに同期して同期化後カウント信号を生成する例を説明したが、立ち下がりエッジを用いても良いし、ビットによって第2のクロック信号のどちらのエッジに同期するかが異なってもよい。

【0046】

また、第1のクロック信号と第2のクロック信号とは異なるものとして説明したが、同一のクロックでも良い。さらに、第1のクロック信号はカウンタを動作させるために用いるため、周波数を過剰に上げるとカウンタが正常に動作しなくなるおそれがある。一方、第2のクロック信号は、カウント信号を同期させるために用いるものなので、第1のクロック信号よりも高い周波数を設定することが容易である。例えば、第2のクロック信号を、第1のクロック信号の 2^n （ n は自然数）倍の周波数を有するクロック信号としても良い。具体的な構成としては、分周器を設けて、第2のクロック信号を $1/(2^n)$ に分周したものを第1のクロック信号とすることができる。

10

【0047】

以上で説明したとおり、本実施例によれば、デューティずれを低減することができる。

【0048】

（実施例2）

実施例2を、実施例1との相違点を中心に説明する。

【0049】

20

図12は、本実施例に係る光電変換装置の構成を示すブロック図である。図1に示した構成と異なるのは第2の同期化部124を備える点である。本実施例では、第1の同期化部である同期化部8から出力された同期化後カウント信号を、第2の同期化部124がさらに第2のクロック信号CLK2に同期して出力する。

【0050】

画素アレイの列が増大すると、これに合わせて同期化部8から出力された同期化後カウント信号を伝送する配線も長くなる。これらの配線の寄生抵抗や寄生容量も増大するため、同期化後カウント信号のデューティずれや、各ビット間の位相ずれが生じやすくなる。そこで、本実施例のように構成することで、画素アレイの列が増大しても、同期化後カウント信号のデューティずれを低減することができる。

30

【0051】

また、同期化後カウント信号を伝送するために、リピータバッファを設けることが考えられる。図13は、同期化部8から出力される同期化後カウント信号の1ビット分を伝送する経路の構成例を示す図である。図のように、リピータバッファとしてリピータ131を伝送系路上に設けて、リピータ131の出力を同期化後カウント信号としてメモリ部群4に供給する。リピータ131は例えば2段のインバータで構成され、インバータを構成するNMOSトランジスタとPMOSトランジスタとの駆動力のばらつきによって各ビットのデューティずれや各ビット間の位相ずれも生じうる。第2の同期化部124を設けることにより、リピータ131に起因するデューティずれや位相のずれを低減できる。

【0052】

40

本実施例では、第2の同期化部124を1個設けた例を示したが、複数の第2の同期化部124を設けても良い。

【0053】

（実施例3）

図14を参照しながら、実施例3に係る光電変換装置を実施例1との相違点を中心に説明する。

【0054】

本実施例に係る光電変換装置は、メモリ部群4に換えて、デジタル信号生成部群130を備え、カウンタ6に換えてクロック信号生成部131を備える。さらに、本実施例に係る光電変換装置において、第1の同期化部132および第2の同期化部133は、クロッ

50

ク信号生成部 1 3 1 から出力されたクロック信号を第 2 のクロック信号 C L K 2 に同期させて同期化後クロック信号を出力する。本実施例では、クロック信号生成部 1 3 1 は第 1 のクロック信号 C L K 1 を受けて、位相の異なる 4 個のクロック信号を生成する。第 1 および第 2 の同期化部 1 3 2 および 1 3 3 は、図 8 に示したものと同様の構成とすることができる。ただし、カウンタの出力として各フリップフロップに与えられた信号は、クロック信号生成部 1 3 1 から与えられたクロック信号となる点で異なる。

【 0 0 5 5 】

図 1 5 に、比較部群 3 とデジタル信号生成部群 1 3 0 のうち、画素アレイの 1 列に対応する部分を抜き出した図を示す。

【 0 0 5 6 】

1 個のデジタル信号生成部 1 3 4 はラッチ回路とデコード回路とを含むラッチ & デコード部 1 3 5 と、カウンタ 1 3 6 とを含む。ラッチ & デコード部 1 3 5 は、4 個の同期化後クロック信号 C L K A ~ C L K D および比較部の出力を入力信号として受け、比較部の出力が変化したことに応じて、同期化後クロック信号 C L K A ~ C L K D をラッチ回路がラッチする。ラッチされた同期化後クロック信号は、デコード回路によりデコードされてデコード値として出力される。カウンタ 1 3 6 は、同期化後クロック信号 C L K D と比較部の出力を入力信号として受け、同期化後クロック信号 C L K D 信号に応じてカウント動作を行う。比較部の出力が変化すると、カウンタ 1 3 6 はカウント動作を停止し、その時点でのカウント値を保持する。

【 0 0 5 7 】

図 1 6 は、ラッチ & デコード部 1 3 5 およびカウンタ 1 3 6 の動作例を示すタイミング図である。同期化後クロック信号 C L K A ~ C L K D は、4 5 度ずつ位相がずれたクロック信号であり、それぞれは、第 1 のクロック信号 C L K 1 の 8 周期が 1 周期となっている。

【 0 0 5 8 】

カウンタ 1 3 6 は同期化後クロック信号 C L K D に応じてカウント動作を行う一方で、ラッチ & デコード部 1 3 5 には同期化後クロック信号 C L K A ~ C L K D が与えられるため、カウンタ 1 3 6 の 1 カウントに対してラッチ & デコード部 1 3 5 の出力は 8 個の状態を取り得る。デジタル信号生成部 1 3 4 がカウンタ 1 3 6 しか持たない場合には、比較器の出力が時刻 t A に変化しても、時刻 t B に変化しても「 0 」のカウント値しか得られない。しかし、本例のように構成することで、時刻 t A と時刻 t B とでラッチ & デコード部 1 3 5 の出力は異なるため、カウント値「 0 」をさらに高分解能で表現することができる。

【 0 0 5 9 】

以上で説明した本実施例によれば、クロック信号生成部 1 3 1 で生成されたカウント信号を第 1 の同期化部 1 3 2 で第 2 のクロック信号に同期させることにより、クロック信号のデューティずれや位相のずれを低減することができる。したがって、光電変換装置の入射光量に対する出力特性のリニアリティが低下することを抑制できる。

【 0 0 6 0 】

本実施例では、第 2 の同期化部 1 3 3 を設けて、第 1 の同期化部 1 3 2 が一部のデジタル信号生成部 1 3 4 に同期化後クロック信号を与え、第 2 の同期化部 1 3 3 が別の一部のデジタル信号生成部 1 3 4 に同期化後クロック信号を与える構成を示した。しかし、第 1 の同期化部 1 3 2 から出力されるクロック信号を全てのデジタル信号生成部に与えても良いし、同期化部 1 3 2 の出力を、リピータを介してデジタル信号生成部群 1 3 0 に与えても良い。

【 0 0 6 1 】

本実施例でも、先の実施例と同じく、第 2 のクロック信号 C L K 2 の周波数は、第 1 のクロック信号 C L K 1 の周波数よりも高く設定することができる。第 2 のクロック信号 C L K 2 が第 1 のクロック信号 C L K 1 の 2ⁿ 倍の周波数を持っていたとしても良く、分周器を用いてこの関係を実現することも先の実施例と同じである。

10

20

30

40

50

【 0 0 6 2 】

また、各デジタル信号生成部が備えるカウンタは、バイナリコードカウンタでもグレイコードカウンタでも良い。

【 0 0 6 3 】

(実施例 4)

本発明に係る別の実施例を説明する。撮像システムの概略を、図 1 7 に示す。

【 0 0 6 4 】

撮像システム 1 1 0 0 は、例えば、光学部 1 1 1 0、撮像装置 1 1 0 1、信号処理部 1 1 3 0、記録・通信部 1 1 4 0、タイミング制御回路部 1 1 5 0、システムコントロール回路部 1 1 6 0、および再生・表示部 1 1 7 0を含む。撮像装置 1 1 0 1 は、先述の各実施形態で説明した光電変換装置 1 0 0 が用いられる。例えば信号処理部 1 1 3 0 は、第 2 の実施例で説明した、光電変換装置の後段に設けられた回路の機能を有してもよい。

10

【 0 0 6 5 】

レンズなどの光学系である光学部 1 1 1 0 は、被写体からの光を撮像装置 1 1 0 1 の、複数の画素が 2 次元状に配列された画素アレイに結像させ、被写体の像を形成する。撮像装置 1 1 0 1 は、タイミング制御回路部 1 1 5 0 からの信号に基づくタイミングで、画素アレイに結像された光に応じた信号を出力する。

【 0 0 6 6 】

撮像装置 1 1 0 1 から出力された信号は、映像信号処理部である信号処理部 1 1 3 0 に入力され、信号処理部 1 1 3 0 が、プログラムなどによって定められた方法に従って、入力された電気信号に対して補正などの処理を行う。信号処理部 1 1 3 0 での処理によって得られた信号は画像データとして記録・通信部 1 1 4 0 に送られる。記録・通信部 1 1 4 0 は、画像を形成するための信号を再生・表示部 1 1 7 0 に送り、再生・表示部 1 1 7 0 に動画や静止画像が再生・表示させる。記録通信部 1 1 4 0 は、また、信号処理部 1 1 3 0 からの信号を受けて、システムコントロール回路部 1 1 6 0 と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

20

【 0 0 6 7 】

システムコントロール回路部 1 1 6 0 は、撮像システムの動作を統括的に制御するものであり、光学部 1 1 1 0、タイミング制御回路部 1 1 5 0、記録・通信部 1 1 4 0、および再生・表示部 1 1 7 0 の駆動を制御する。また、システムコントロール回路部 1 1 6 0 は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラムなどが記録される。また、システムコントロール回路部 1 1 6 0 は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内で供給する。具体的な例としては、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらしなどである。

30

【 0 0 6 8 】

タイミング制御回路部 1 1 5 0 は、制御部であるシステムコントロール回路部 1 1 6 0 による制御に基づいて撮像装置 1 1 0 1 および信号処理部 1 1 3 0 の駆動タイミングを制御する。

【 0 0 6 9 】

上述の各実施例は例示的なものであり、本発明の思想を逸脱しない範囲で適宜変更を加えることが可能である。

40

【 符号の説明 】

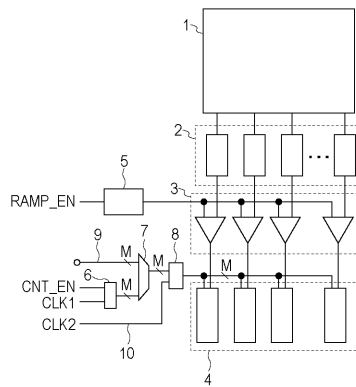
【 0 0 7 0 】

- 1 画素アレイ
- 2 読み出し部群
- 3 比較部群
- 4 メモリ部群
- 5 参照信号生成部
- 6 カウンタ

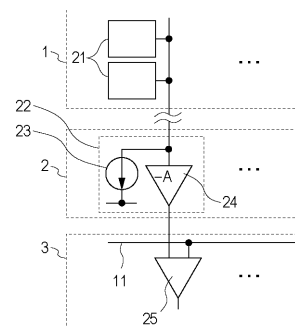
50

- 7 選択部
- 8 同期化部
- 1 2 4、1 3 3 第 2 の同期化部
- 1 3 0 デジタル信号生成部
- 1 3 1 クロック信号生成部
- 1 3 2 第 1 の同期化部

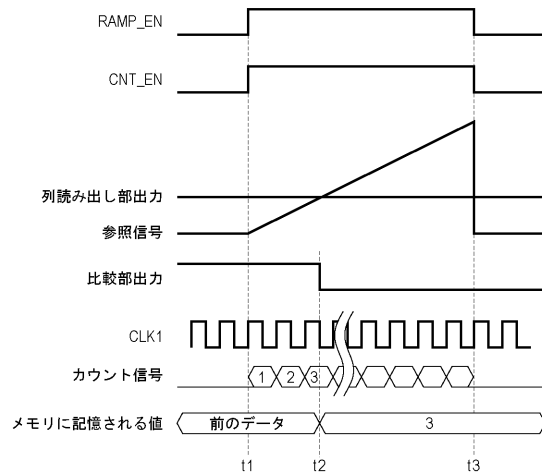
【図 1】



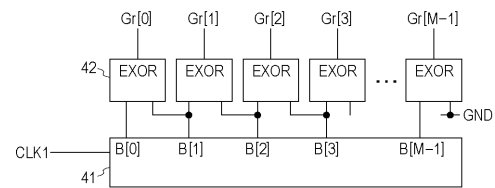
【図 2】



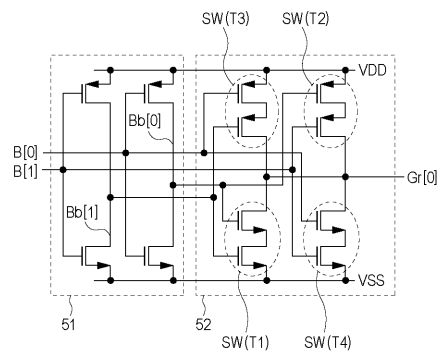
【図 3】



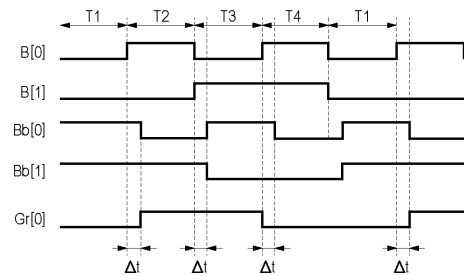
【図 4】



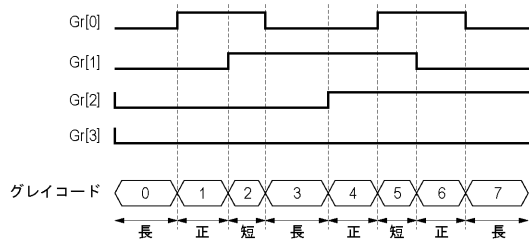
【図 5】



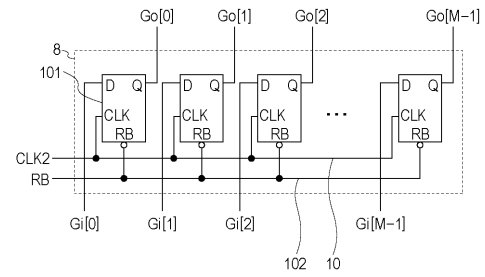
【図 6】



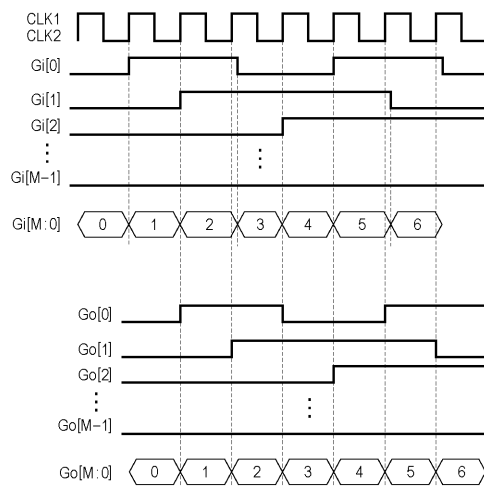
【図 7】



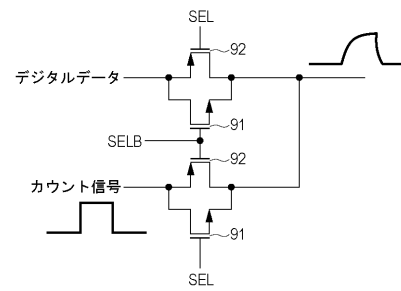
【図 8】



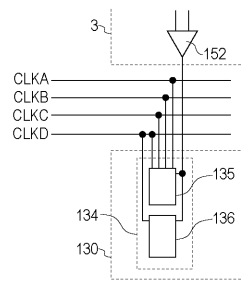
【図 9】



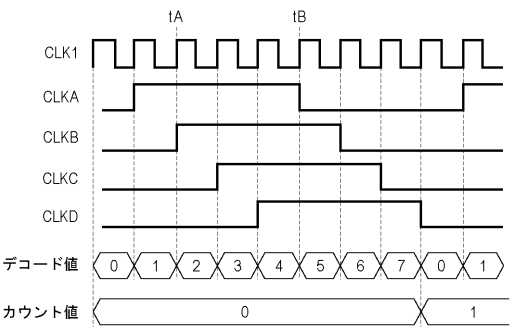
【図 10】



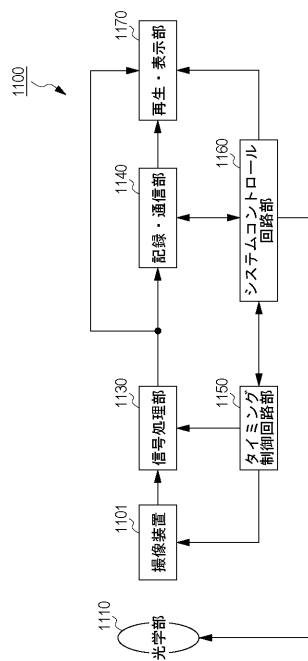
【図 15】



【図 16】



【図 17】



フロントページの続き

- (72)発明者 斉藤 和宏
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 秋山 健史
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 板野 哲也
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 樋山 拓己
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 武藤 隆
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 肇

- (56)参考文献 特開2011-234326(JP,A)
特開2010-258806(JP,A)
特開平11-068553(JP,A)
特開2011-023900(JP,A)
特開2009-124269(JP,A)
特開2005-303648(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/30	-	5/378
H01L	21/339		
H01L	27/14	-	27/148
H01L	29/762		
H03M	1/00	-	1/88