

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 15 日 (15.02.2024)



(10) 国际公布号
WO 2024/031816 A1

(51) 国际专利分类号:
H01L 21/768 (2006.01) H01L 23/528 (2006.01)

(21) 国际申请号: PCT/CN2022/123956

(22) 国际申请日: 2022 年 10 月 9 日 (09.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210969697.8 2022年8月12日 (12.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 张杰 (ZHANG, Jie); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。冯毅伟 (FENG, Yiwei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。费凡 (FEI, Fan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道

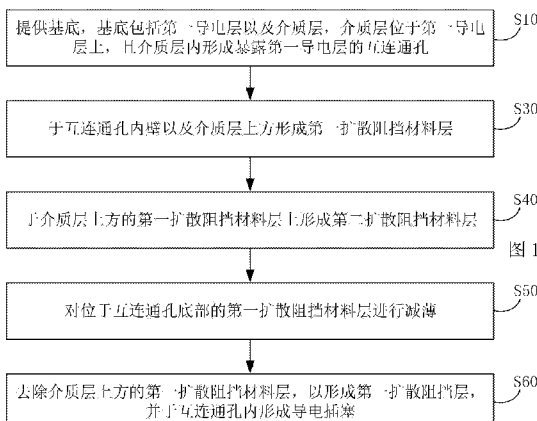
道388号, Anhui 230601 (CN)。闫冬 (YAN, Dong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路6号4501房 (部位: 自编01-03和08-12单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体结构及其制备方法



- S10 Provide a substrate, wherein the substrate comprises a first conductive layer and a dielectric layer, the dielectric layer is located on the first conductive layer, and an interconnection through hole, which exposes the first conductive layer, is formed in the dielectric layer
- S30 Form a first diffusion barrier material layer on an inner wall of the interconnection through hole and above the dielectric layer
- S40 Form a second diffusion barrier material layer on the first diffusion barrier material layer, which is above the dielectric layer
- S50 Thin the first diffusion barrier material layer located at the bottom of the interconnection through hole
- S60 Remove the first diffusion barrier material layer above the dielectric layer, so as to form a first diffusion barrier layer, and form a conductive plug in the interconnection through hole

(57) Abstract: The present disclosure relates to a semiconductor structure and a preparation method therefor. The method for preparing the semiconductor structure comprises: providing a substrate, wherein the substrate comprises a first conductive layer and a dielectric layer, the dielectric layer is located on the first conductive layer, and an interconnection through hole, which exposes the first conductive layer, is formed in the dielectric layer; forming a first diffusion barrier material layer on an inner wall of the interconnection through hole and above the dielectric layer; forming a second diffusion barrier material layer on the first diffusion barrier material layer, which is above the dielectric layer; thinning the first diffusion barrier material layer located at the bottom of the interconnection through hole; and removing the first diffusion barrier material layer above the dielectric layer, so as to form a first diffusion barrier layer, and forming a conductive plug in the interconnection through hole. According to the embodiments of the present disclosure, the resistance between the conductive layer and the conductive plug can be effectively reduced.

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,
RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开涉及一种半导体结构及其制备方法。其中, 半导体结构的制备方法包括: 提供基底, 基底包
括第一导电层以及介质层, 介质层位于第一导电层上, 且介质层内形成暴露第一导电层的互连通孔; 于互连通
孔内壁以及介质层上方形成第一扩散阻挡材料层; 于介质层上方的第一扩散阻挡材料层上形成第二扩散阻挡材
料层; 对位于互连通孔底部的第一扩散阻挡材料层进行减薄; 去除介质层上方的第一扩散阻挡材料层, 以形成
第一扩散阻挡层, 并于互连通孔内形成导电插塞。本公开实施例可以有效降低导电层与导电插塞之间的电阻。

半导体结构及其制备方法

相关申请的交叉引用

本公开要求于 2022 年 08 月 12 日提交中国专利局、申请号为 202210969697.8、发明名称为“半导体结构及其制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

5

技术领域

本公开涉及半导体技术领域，特别是涉及一种半导体结构及其制备方法。

背景技术

10 在半导体制程中，在介质层两侧的导电层（如金属层），通常通过介质层中的互连通孔进行导电连接。互连通孔内填充导电插塞。导电插塞通常采用金属材料。而金属材料容易向介质层扩散，而影响器件性能。因此，通常会先在互连通孔内壁形成扩散阻挡层，以阻止金属扩散。

然而，扩散阻挡层同时具有较高的电阻率，导致导电层与导电插塞之间的电阻增高，从而容易引起 RC 延迟问题。

15

发明内容

根据本公开的各种实施例，提供一种半导体结构及其制备方法。

根据本公开的各种实施例，提供一种半导体结构的制备方法，包括：

20 提供基底，所述基底包括第一导电层以及介质层，所述介质层位于所述第一导电层上，且所述介质层内形成暴露所述第一导电层的互连通孔；

于所述互连通孔内壁以及所述介质层上方形成第一扩散阻挡材料层；

于所述介质层上方的所述第一扩散阻挡材料层上形成第二扩散阻挡材料层；

25 对位于所述互连通孔底部的第一扩散阻挡材料层进行减薄；

去除所述介质层上方的第一扩散阻挡材料层，以形成第一扩散阻挡层，并于所述互连通孔内形成导电插塞。

在一些实施例中，所述于所述介质层上方的所述第一扩散阻挡材料层上形成第二扩散阻挡材料层，包括：

于所述介质层上方的所述第一扩散阻挡材料层表面、所述互连通孔侧壁顶部的第一扩散阻挡材料层表面形成所述第二扩散阻挡材料层。

在一些实施例中，所述第二扩散阻挡材料层通过物理气相沉积方式形成。

在一些实施例中，所述物理气相沉积方式采用高沉积速率沉积方式，所述沉积速率不小于 5nm/s 且不大于 10nm/s。

在一些实施例中，进行物理气相沉积时，沉积温度为 180℃-220℃，沉积功率为 1300W-1700W，氮气流量为 55sccm-65sccm，氩气流量为 9sccm-11sccm。

在一些实施例中，所述第一扩散阻挡材料层通过原子层沉积方式形成，且形成的第一扩散阻挡材料层的厚度为 10nm-12nm；和/或

所述物理气相沉积方式形成的所述第二扩散阻挡材料层的厚度为 10nm-15nm。

在一些实施例中，所述第二扩散阻挡材料层为 WN_x ，其中，x 值大于 0.9。

在一些实施例中，所述第二扩散阻挡材料层的材料与所述第一扩散阻挡材料层的材料相同。

在一些实施例中，所述互连通孔的侧壁与水平方向的角度为 86° 至 90°。

在一些实施例中，减薄后，所述第一扩散阻挡材料层的厚度为 3nm-5nm。

在一些实施例中，所述对位于所述互连通孔底部的第一扩散阻挡材料层进行减薄，包括：

对位于所述互连通孔底部的第一扩散阻挡材料层进行物理轰击处理。

在一些实施例中，所述于所述互连通孔内壁以及所述介质层上方形成第一扩散阻挡材料层之前，还包括：

对所述互连通孔底部的第一导电层进行还原处理。

在一些实施例中，所述还原处理与所述物理轰击处理在同一工艺腔室内进行。

在一些实施例中，

进行还原处理时，通入氢气以及氩气，氢气流量为 18-22sccm，氩气流量为 90-110sccm，且设置偏置功率为 180W-200W，解离功率为 1800W-2200W。

在一些实施例中，

进行物理轰击处理时，通入氩气，氩气流量为 90-110sccm，且设置偏

置功率为 600W-1000W，解离功率为 1800W-2200W。

在一些实施例中，所述对位于所述互连通孔底部的第一扩散阻挡材料层进行减薄，包括：对位于所述互连通孔底部的第一扩散阻挡材料层进行干法刻蚀。

5 在一些实施例中，所述去除所述介质层上方的第一扩散阻挡材料层，以形成第一扩散阻挡层，并于所述互连通孔内形成导电插塞，包括：

于所述互连通孔内以及所述第二扩散阻挡材料层上方形成导电插塞材料层；

10 进行化学机械研磨处理，以去除所述第二扩散阻挡材料层上方的导电插塞材料层以及第一扩散阻挡材料层，以形成所述导电插塞以及所述第一扩散阻挡层。

在一些实施例中，所述进行化学机械研磨处理，以去除所述第二扩散阻挡材料层上方的导电插塞材料层以及第一扩散阻挡材料层之后，还包括：

15 对所述介质层以及所述互连通孔内的导电插塞以及第一扩散阻挡层继续进行化学机械研磨处理。

在一些实施例中，所述去除所述介质层上方的第一扩散阻挡材料层，以形成第一扩散阻挡层，并于所述互连通孔内形成导电插塞之后，还包括：

于所述介质层上形成第二导电层，所述第二导电层覆盖所述导电插塞。

20 根据本公开的各种实施例，还提供一种半导体结构，根据上述任一项所述的方法制备形成，所述半导体结构包括：

基底，包括第一导电层以及介质层，所述介质层位于所述第一导电层上，且所述介质层内形成互连通孔；

25 第一扩散阻挡层，位于所述互连通孔内壁，且位于所述互连通孔底部的第一扩散阻挡层的厚度小于位于所述互连通孔侧壁的第一扩散阻挡层的厚度；

导电插塞，位于所述互连通孔内的所述第一扩散阻挡层表面，且填充所述互连通孔。

在一些实施例中，所述互连通孔底部的第一扩散阻挡层的厚度为 3nm-5nm，位于所述互连通孔侧壁的第一扩散阻挡层的厚度为 10nm-12nm。

30 在一些实施例中，所述半导体结构还包括：

第二导电层，位于所述介质层上，且覆盖所述导电插塞。

本公开实施例可以/至少具有以下优点：

本公开实施例中的半导体结构及其制备方法，可以通过互连通孔侧壁的扩散阻挡层有效防止导电插塞中的金属扩散至介质层。同时，通过对互连通孔底部的第一扩散阻挡层进行减薄，从而使得导电插塞与第一导电层之间的电阻可以被有效降低。

同时，半导体结构的制备方法中，在形成第一扩散阻挡材料层之后，还在于介质层上方的第一扩散阻挡材料层上形成第二扩散阻挡材料层。在对互连通孔底部的第一扩散阻挡材料层进行减薄的时候，第二扩散阻挡材料层可以防止介质层上方的第一扩散阻挡材料层被明显减薄或者去除掉。此时，一方面在减薄过程中可以对介质层进行保护，防止减薄过程损伤介质层。另一方面，在形成导电插塞的过程中，也可以有效防止金属材料向介质层扩散，从而保证器件性能。同时，第二扩散阻挡材料层与第一扩散阻挡材料层均为具有阻挡金属扩散功能的膜层，从而使得第二扩散阻挡材料层的形成，不会对第一扩散阻挡材料层造成污染。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一实施例中提供的半导体结构的制备方法的流程图；

图 2 至图 7 为一实施例中提供的半导体结构的制备过程中的剖面结构示意图；

图 8 为一实施例中提供的半导体结构的剖面结构示意图。

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

附图标记说明：

100-基底，110-第一导电层，120-介质层，120a-互连通孔，130-第三扩散

阻挡层，200-第一扩散阻挡层，201-第一扩散阻挡材料层，202-第二扩散阻挡材料层，300-导电插塞，301-导电插塞材料层，400-第二导电层。

具体实施方式

5 为了便于理解本公开，下面将参照相关附图对本公开进行更全面的描述。附图中给出了本公开的首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向(譬如，旋转90度或其它取向)，并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或

“包括”在该说明书中使用时，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

5 本公开实施例中的相关结构不应当局限于说明书附图在此所示的特定形状，而是包括由于例如制造技术导致的形状偏差。图中显示的相关结构实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并限定本公开的范围。

10 在一个实施例中，请参阅图 1，提供一种半导体结构的制备方法，包括如下步骤：

 步骤 S10，请参阅图 2，提供基底 100，基底 100 包括第一导电层 110 以及介质层 120，介质层 120 位于第一导电层 110 上，且介质层 120 内形成暴露第一导电层 110 的互连通孔 120a；

15 步骤 S30，请参阅图 3，于互连通孔 120a 内壁以及介质层 120 上方形成第一扩散阻挡材料层 201；

 步骤 S40，请参阅图 4，于介质层 120 上方的第一扩散阻挡材料层 201 上形成第二扩散阻挡材料层 202；

20 步骤 S50，请参阅图 5，对位于互连通孔 120a 底部的第一扩散阻挡材料层 201 进行减薄；

 步骤 S60，请参阅图 7，去除介质层 120 上方的第一扩散阻挡材料层 201，以形成第一扩散阻挡层 200，并于互连通孔 120a 内形成导电插塞 300。

 具体地，在步骤 S10 中，请参阅图 2，第一导电层 110 的材料可以为包括但不限于为金属材料。具体地，第一导电层 110 的材料可以包括但不限于为铜（Cu）。
25

 第一导电层 110 可以为介质层 120 下的导电走线，其可以通过大马士革工艺形成在介质层 120 下的绝缘层（未图示）内。具体地，可以首先在介质层 120 下的绝缘层内形成沟槽。然后，在沟槽的侧壁以及底部形成第三扩散阻挡层 130。然后，通过电镀等方式在第三扩散阻挡层 130 表面形成第一导电层 110，以填充介质层 120 下的绝缘层内的沟槽。
30

 当然，第一导电层 110 的形式也可以与此不同。例如，第一导电层 110 也可以并不形成在第三扩散阻挡层 130 表面。或者，第一导电层 110 也可以

并不通过大马士革工艺形成。这里对此均不做限制。

介质层 120 位于第一导电层 110 上。介质层 120 的材料可以包括但不限于为氧化硅、氮化硅或者氮氧化硅等。

5 作为示例，可以通过大马士革工艺在介质层 120 下的绝缘层内形成第一导电层 110 后，再沉积介质层 120，以覆盖第一导电层 110 及嵌入的绝缘层。

介质层 120 内的互连通孔 120a 在垂直方向上贯穿介质层 120，其可以通过干法刻蚀工艺形成。与其内填充有第一导电层 110 的沟槽相比，互连通孔 120a 的孔径相对较小。互连通孔 120a 暴露第一导电层 110，从而使得其内形成的导电插塞 300 可以连接第一导电层 110。

10 在步骤 S30 中，请参阅图 3，第一扩散阻挡材料层 201 的材料可以包括但不限于为氮化钨、氮化钛、氮化钼等。

作为示例，可以通过原子层沉积（ALD）等方式，在互连通孔 120a 内壁以及介质层 120 上方沉积第一扩散阻挡材料层 201。原子层沉积（ALD）的条件为已知的条件，在此不再赘述。

15 可以理解的是，互连通孔 120a 内壁包括互连通孔 120a 侧壁以及互连通孔 120a 底部。

原子层沉积方式形成的薄膜具有良好的覆盖性，从而可以在孔径相对较小的互连通孔 120a 的侧壁以及底部均形成良好的覆盖，从而使得第一扩散阻挡材料层 201 具有良好的阻挡金属扩散的功能。

20 在步骤 40 中，请参阅图 4，第二扩散阻挡材料层 202 覆盖介质层 120 上方的第一扩散阻挡材料层 201，从而可以在后续步骤对第一扩散阻挡材料层 201 进行减薄的时候，防止介质层 120 上方的第一扩散阻挡材料层 201 被明显减薄或者去除掉。

25 同时，由于第二扩散阻挡材料层 202 与第一扩散阻挡材料层 201 均为具有阻挡金属扩散功能的膜层。因此，第二扩散阻挡材料层 202 形成过程中，有效防止第一扩散阻挡材料层 201 造成污染。具体地，在形成第二扩散阻挡材料层 202 的过程中，即便有少量第二扩散阻挡材料层 202 由于工艺能力等原因落入互连通孔 120a 底部，也不会污染互连通孔 120a 底部的第一扩散阻挡材料层 201。此时，后续形成的导电插塞 300 与第一导电层 110 之间的电阻几乎不会受到影响。

30 作为示例，可以设置第二扩散阻挡材料层 202 与第一扩散阻挡材料层 201 材料相同。例如，二者均为氮化钨。当然，第二扩散阻挡材料层 202 的材料

也可以不同。例如第二扩散阻挡材料层 202 的材料也可以为氮化钛、氮化钽等，这里对此也不作限制。

在步骤 50 中，请参阅图 5，可以通过垂直物理轰击或者各向异性刻蚀（如干法刻蚀）等方式，减薄互连通孔 120a 底部的第一扩散阻挡材料层 201，而保留位于互连通孔 120a 侧壁的第一扩散阻挡材料层 201。

需要说明的是，这里“减薄互连通孔 120a 底部的第一扩散阻挡材料层 201”后，互连通孔 120a 底部的第一扩散阻挡材料层 201 的厚度可以大于零，也可以等于零。即“减薄互连通孔 120a 底部的第一扩散阻挡材料层 201”，可以为使得互连通孔 120a 底部的第一扩散阻挡材料层 201 厚度变小，但是其仍然存在；也可以为直接将互连通孔 120a 底部的第一扩散阻挡材料层 201 去除。

作为示例，互连通孔 120a 的侧壁与水平方向的角度可以控制为 86° 至 90° ，进一步地可以控制为 88° 至 90° 。此时，互连通孔 120a 的侧壁垂直度较高，从而使得减薄互连通孔 120a 底部的第一扩散阻挡材料层 201 的同时，位于互连通孔 120a 侧壁的第一扩散阻挡材料层 201 几乎不会受到影响。

同时，由于第二扩散阻挡材料层 202 的保护作用，在互连通孔 120a 底部的第一扩散阻挡材料层 201 被减薄的同时，位于介质层 120 上方的第一扩散阻挡材料层 201 也不会被明显减薄或者去除掉。

具体地，在互连通孔 120a 底部的第一扩散阻挡材料层 201 被减薄的同时，第二扩散阻挡材料层 202 可以被完全去除，也可以剩余部分厚度。而位于介质层 120 上方的第一扩散阻挡材料层 201 可以完全不被去除，或者只被去除部分厚度。

此时，在减薄第一扩散阻挡材料层 201 的过程中，介质层 120 可以始终被第一扩散阻挡材料层 201 或者第一扩散阻挡材料层 201 以及第二扩散阻挡材料层 202 遮挡覆盖，从而不会受到损伤。因此，此时可以有效保证器件性能。

如果没有第二扩散阻挡材料层 202 的形成，则在互连通孔 120a 底部的第一扩散阻挡材料层 201 被减薄的同时，位于介质层 120 上方的第一扩散阻挡材料层 201 也会被减薄。并且，由于位置关系，介质层 120 上方的第一扩散阻挡材料层 201 的减薄程度会相对于互连通孔 120a 底部的第一扩散阻挡材料层 201 的减薄程度更大，甚至会被完全去除。因此，介质层 120 的上表面附近可能会在减薄过程中受到损伤，从而影响器件性能。

作为示例，步骤 S30 中形成的第一扩散阻挡材料层 201 的厚度可以为 10nm-12nm。然后，在步骤 S50 中，可以将互连通孔 120a 底部的第一扩散阻挡材料层 201 减薄至 3nm-5nm。此时，互连通孔 120a 底部的第一扩散阻挡材料层 201 被减薄了约 7nm 至 8nm 左右。据此，可以设置步骤 S40 中形成的第二扩散阻挡材料层 202 的厚度可以为 10nm-15nm 左右，从而对第一扩散阻挡材料层 201 进行有效保护。

在步骤 S60 中，请参阅图 6，可以首先于互连通孔 120a 内以及介质层 120 上方形成导电插塞材料层 301。导电插塞材料层 301 的材料可以为金属材料，如金属钨。

具体地，由前述说明可知，由于第二扩散阻挡材料层 202 的保护作用，在互连通孔 120a 底部的第一扩散阻挡材料层 201 被减薄的同时，位于介质层 120 上方的第一扩散阻挡材料层 201 也不会被减薄，甚至其上还可以具有部分厚度的第二扩散阻挡材料层 202；或者第一扩散阻挡材料层 201 只被部分减薄，但是其不会被去除。

因此，可以于互连通孔 120a 内的第一扩散阻挡材料层 201 表面、介质层 120 上方的第一扩散阻挡材料层 201（或第二扩散阻挡材料层 202）表面形成导电插塞材料层 301。

在此过程中，介质层 120 上方的第一扩散阻挡材料层 201（或第二扩散阻挡材料层 202 以及第一扩散阻挡材料层 201）可以防止介质层 120 上方的导电插塞材料层 301 中的金属扩散至介质层 120，从而有效保证器件性能。

然后，请参阅图 7，可以去除介质层 120 上方的导电插塞材料层 301 以及第一扩散阻挡材料层 201（或第二扩散阻挡材料层 202 以及第一扩散阻挡材料层 201），以形成导电插塞 300 以及第一扩散阻挡层 200。

在本实施例中，可以通过互连通孔 120a 侧壁的扩散阻挡层 200 有效防止导电插塞 300 中的金属扩散至介质层 120。同时，通过对互连通孔 120a 底部的第一扩散阻挡材料层 201 进行减薄，从而使得最终形成的导电插塞 300 与第一导电层 110 之间的电阻可以被有效降低。

同时，本实施例在形成第一扩散阻挡材料层 201 之后，还在于介质层 120 上方的第一扩散阻挡材料层 201 上形成第二扩散阻挡材料层 202。在对互连通孔 120a 底部的第一扩散阻挡材料层 201 进行减薄的时候，第二扩散阻挡材料层 202 可以防止介质层 120 上方的第一扩散阻挡材料层 201 被明显减薄或者去除掉。此时，一方面在减薄过程中可以对介质层 120 进行保护，防止减

薄过程损伤介质层 120。另一方面，在形成导电插塞 300 的过程中，也可以有效防止金属材料向介质层 120 扩散，从而保证器件性能。

同时，第二扩散阻挡材料层 202 与第一扩散阻挡材料层 201 均为具有阻挡金属扩散功能的膜层，从而使得第二扩散阻挡材料层 202 的形成，不会对第一扩散阻挡材料层 201 造成污染。

在一个实施例中，步骤 S40 包括：

步骤 S41，于介质层 120 上方的第一扩散阻挡材料层 201 表面、互连通孔 120a 侧壁顶部的第一扩散阻挡材料层 201 表面形成第二扩散阻挡材料层 202，请参阅图 4。

在后续步骤无论是通过物理轰击，还是通过干法刻蚀，在竖直方向上进行减薄第一扩散阻挡材料层 201 的时候，刻蚀粒子在相互碰撞及撞击样品表面的过程中均会产生一定的热量，而热量过高容易对介质层 120 造成损伤。

而在介质层 120 内形成互连通孔 120a 后，介质层 120 的上表面与互连通孔 120a 的侧壁交叉处形成介质层 120 边角。

在本实施例中，第二扩散阻挡材料层 202 不止形成在介质层 120 上方的第一扩散阻挡材料层 201 表面，还形成在互连通孔 120a 侧壁顶部的第一扩散阻挡材料层 201 表面。因此，介质层 120 边角处可以被第二扩散阻挡材料层 202 有效遮挡覆盖。因此，在后续步骤在竖直方向上进行减薄第一扩散阻挡材料层 201 时，可以使得介质层 120 的边角处得到良好的保护。

在一个实施例中，步骤 S40 中，第二扩散阻挡材料层 202 通过物理气相沉积方式形成。

作为示例，进行物理气相沉积时，沉积温度可以设置为 180℃-220℃，沉积功率可以设置为 1300W-1700W。同时，可以通入氮气以及氩气。氮气流量可以控制为 55sccm-65sccm。氩气流量可以控制为 9sccm-11sccm。

并且，作为示例，此时，第一扩散阻挡材料层 201 可以通过原子层沉积方式形成，且厚度为 10nm-12nm。同时，物理气相沉积方式形成的所述第二扩散阻挡材料层 202 的厚度为 10nm-15nm。此时，第二扩散阻挡材料层 202 在减薄处理过程中，可以有效保护第一扩散阻挡材料层 201 及其下方的介质层 120。

物理气相沉积方式形成的膜层具有较差的覆盖性，其沉积的第二扩散阻挡材料层 202 大多落在水平表面上。同时，由于互连通孔 120a 孔径相对较小，因此通过物理气相沉积方式可以使得互连通孔 120a 底部很少或者几乎不会形

成第二扩散阻挡材料层 202。

因此，在本实施例中，通过物理气相沉积方式可以简便有效地实现于介质层 120 上方的第一扩散阻挡材料层 201 表面形成第二扩散阻挡材料层 202。

并且，通过物理气相沉积方式的沉积速率等沉积条件的控制，也便于同时
5 在互连通孔 120a 侧壁顶部的第一扩散阻挡材料层 201 表面形成第二扩散阻挡材料层 202。

在一个实施例中，物理气相沉积采用高沉积速率沉积方式，沉积速率不小于 5nm/s。

沉积速率不小于 5nm/s 可以有效实现高沉积速率沉积方式。

10 物理气相沉积的沉积速率越高，其形成的膜层的覆盖填充性越差。当采用高沉积速率沉积方式时，可以便于使得互连通孔 120a 底部几乎不形成第二扩散阻挡材料层 202。

在一个实施例中，在控制物理气相沉积的沉积速率不小于 5nm/s 的同时，还控制物理气相沉积的沉积速率不大于 10nm/s。

15 在进行物理气相沉积时，沉积速率过高会使得沉积的膜层厚度难以精确控制。

在本实施例中，物理气相沉积的沉积速率不小于 5nm/s 而不大于 10nm/s，从而可以在使得互连通孔 120a 底部几乎不形成第二扩散阻挡材料层 202 的同时，还可以精确控制介质层 120 上方的第二扩散阻挡材料层 202 的厚度。

20 此外，当采用物理气相沉积方式形成第二扩散阻挡材料层 202 时，还可以控制形成的第二扩散阻挡材料层 202 中具有高的氮原子含量，从而使得其在减薄过程中，不容易被去除，从而可以有效保护介质层 120。具体地，例如，当第二扩散阻挡材料层 202 为氮化钨 (WN_x) 时，可以控制 x 值大于 0.9。

在一个实施例中，步骤 S50 包括：

25 步骤 S51，对位于互连通孔 120a 底部的第一扩散阻挡材料层 201 进行物理轰击处理。

具体地，在进行物理轰击处理时，可以通入氩气。氩气的流量可以控制为 90sccm-110sccm。同时，可以控制偏置功率为 600W-1000W。同时，设置解离功率为 1800W-2200W。在解离功率下，氩气可以解离形成氩离子。氩离子在偏置功率作用下可以向下运动，从而轰击互连通孔 120a 底部的第一扩散阻挡材料层 201。与此同时，互连通孔 120a 之外的介质层 120 上方也会受到氩离子的轰击作用。此时，介质层 120 上方形成了第二扩散阻挡材料层 202，
30

从而可以有效保护介质层 120 以及其上方的第一扩散阻挡材料层 201。

采用物理轰击的方式，在减薄互连通孔 120a 底部的第一扩散阻挡材料层 201 之后，不会产生难以去除的聚合物，从而保证减薄后的第一扩散阻挡材料层 201 表面清洁。同时，物理轰击之后，底部溅射出来的第一扩散阻挡材料层 201 还能增大互连通孔 120a 侧壁的第一扩散阻挡材料层 201 厚度，从而提升其金属扩散阻挡能力。

当然，在其他实施例中，步骤 S50 也可以包括：

步骤 S52，对位于互连通孔 120a 底部的第一扩散阻挡材料层 201 进行干法刻蚀。

此时，可以在减薄后，对刻蚀过程中可能产生的聚合物等进行清洗，以使得减薄后的第一扩散阻挡材料层 201 表面清洁。

在一个实施例中，步骤 S30 之前，还包括：

步骤 S20，对互连通孔 120a 底部的第一导电层 110 进行还原处理。

在基底 100 的介质层 120 内形成互连通孔 120a 之后，第一导电层 110 的部分表面被互连通孔 120a 暴露，从而可能会被空气氧化。

例如，第一导电层 110 为铜时，其被互连通孔 120a 暴露的部分可能会被氧化，从而在其表层形成氧化铜层。

在步骤 S20 中，可以将形成有互连通孔 120a 之后的基底 100 放入预清洗腔室。然后，在欲清洗腔室内通入还原气体，从而将第一导电层 110 的被氧化的部分有效还原。例如，将氧化铜层还原。

在一个实施例中，步骤 S20 中的还原处理与步骤 S50 中的物理轰击在同一工艺腔室内进行。

作为示例，步骤 S20 中，可以在预清洗腔室内对基底 100 进行还原处理。步骤 S30 中，可以将基底 100 转移至原子层沉积腔室，从而形成第一扩散阻挡材料层 201。步骤 S34 中，可以将形成有第一扩散阻挡材料层 201 的基底 100 转移至物理气相沉积腔室，从而形成第二扩散阻挡材料层 202。步骤 S50 中，可以将形成有第一扩散阻挡材料层 201 以及第二扩散阻挡材料层 202 之后的基底 100 再次转回至预清洗腔室内，从而对第二扩散阻挡材料层 202 以及互连通孔 120a 底部的第一扩散阻挡材料层 201 进行物理轰击处理，以对互连通孔 120a 底部的第一扩散阻挡材料层 201 减薄。

此时，还原处理与物理轰击均在预清洗腔室内进行，从而可以简化工艺设备系统。

作为示例，步骤 S20 在预清洗腔室内进行还原处理时，可以向预清洗腔室内通入氢气以及氩气。氢气作为还原气体。氩气作为载气。氢气流量可以为 18-22sccm，氩气流量可为 90-110sccm。同时，可以控制偏置功率为 180W-200W。同时，设置解离功率为 1800W-2200W。在解离功率下，氢气解离形成氢离子，从而对互连通孔 120a 底部的的第一导电层 110 进行还原处理。

可以理解的是，此时氩气主要用作载气。即便被解离成氩离子，但是由于偏置功率较小，从而不会形成物理轰击作用，不会产生溅射现象。

步骤 S50 在预清洗腔室内进行物理轰击处理时，可以向预清洗腔室内通入氩气。同时，可以控制偏置功率为 600W-1000W。同时，设置解离功率为 1800W-2200W。在解离功率下，氩气解离形成氢离子，从而对互连通孔 120a 底部的第一扩散阻挡材料层 201 进行物理轰击减薄。

当然，在其他实施例中，步骤 S20 中的还原处理与步骤 S50 中的物理轰击在也可以不在同一工艺腔室内进行，这里对此不做限制。

在一个实施例中，请参阅图 6 以及图 7，步骤 S60 包括：

步骤 S61，于互连通孔 120a 内以及介质层 120 上方形成导电插塞材料层 301；

步骤 S62，进行化学机械研磨（CMP）处理，以去除介质层 120 上方即第二扩散阻挡材料层上方的导电插塞材料层 301 以及第一扩散阻挡材料层 201，以形成导电插塞 300 以及第一扩散阻挡层 200。

在步骤 S61 中，可以通过化学气相沉积（CVD）或者电镀等方式形成导电插塞材料层 301。化学气相沉积（CVD）或者电镀等方式的条件为本领域的常规条件，在此不再赘述。

在步骤 S62 中，通过 CMP 工艺，可以将介质层 120 上方的导电插塞材料层 301 以及第一扩散阻挡材料层 201 有效去除。

可以理解的是，当步骤 S50 中的减薄处理完成后，介质层 120 上方仍然具有部分厚度的第二扩散阻挡材料层 202 时，第二扩散阻挡材料层 202 可以在 CMP 过程中被去除。

同时，作为示例，步骤 S62 之后，还可以包括：

步骤 S63，继续化学机械研磨处理介质层 120 以及互连通孔 120a 内的导电插塞 300 以及第一扩散阻挡层 200。经过化学机械研磨处理介质层 120 的厚度被去除的量为 70-90nm。

此时，介质层 120 被减薄，从而可以有效保证 CMP 过程中，介质层 120

表面不会被导电插塞材料层 301 中的金属粒子污染，从而具有良好的绝缘隔离作用。

在一个实施例中，步骤 S60 之后，还包括：

步骤 S70，于介质层 120 上形成第二导电层 400，第二导电层 400 覆盖导电插塞 300，请参阅图 8。

具体地，可以在介质层 120 以及互连通孔 120a 内的导电插塞 300 以及第一扩散阻挡层 200 表面形成第二导电层 400。第二导电层 400 的材料可以包括但不限于为金属材料。例如，第二导电层 400 的材料可以为铝。

应该理解的是，虽然图 1 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 1 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

在一个实施例中，还提供一种半导体结构，根据上述任一方法制备形成。请参阅图 8，半导体结构包括基底 100、第一扩散阻挡层 200 以及导电插塞 300。

基底 100 包括第一导电层 110 以及介质层 120。

第一导电层 110 的材料可以为包括但不限于为金属材料。具体地，第一导电层 110 的材料可以包括但不限于为铜（Cu）。第一导电层 110 可以为介质层 120 下的导电走线，其可以通过大马士革工艺形成在介质层 120 下的绝缘层（未图示）内。具体地，在介质层 120 下的绝缘层内可以具有沟槽。沟槽的侧壁以及底部可以形成有第三扩散阻挡层 130。第一导电层 110 可以位于第三扩散阻挡层 130 表面。

当然，第一导电层 110 的形式也可以与此不同。例如，第一导电层 110 也可以并不形成在第三扩散阻挡层 130 表面。

介质层 120 位于第一导电层 110 上。介质层 120 的材料可以包括但不限于为氧化硅、氮化硅或者氮氧化硅等。

并且，介质层 120 内形成互连通孔 120a。介质层 120 内的互连通孔 120a 在垂直方向上贯穿介质层 120。与其内填充有第一导电层 110 的沟槽相比，

互连通孔 120a 的孔径相对较小。

第一扩散阻挡层 200 位于互连通孔 120a 内壁,即位于互连通孔 120a 的侧壁以及底部。并且,位于互连通孔 120a 底部的第一扩散阻挡层 200 的厚度小于位于互连通孔 120a 侧壁的第一扩散阻挡层 200 的厚度。

5 导电插塞 300 位于互连通孔 120a 内的第一扩散阻挡层表面,且填充互连通孔 120a。导电插塞 300 的材料可以包括但不限于为金属材料,如金属钨。

此时,可以通过互连通孔 120a 侧壁的扩散阻挡层 200 有效防止导电插塞 300 中的金属扩散至介质层 120。同时,互连通孔 120a 底部的第一扩散阻挡层 200 的厚度被减小,从而可以有效降低导电插塞 300 与第一导电层 110 之间的电阻可以被有效降低。

需要说明的是,这里“位于互连通孔 120a 底部的第一扩散阻挡层 200 的厚度”可以大于零,也可以等于零。

当“位于互连通孔 120a 底部的第一扩散阻挡层 200 的厚度”大于零时,第一扩散阻挡层 200 在互连通孔 120a 的侧壁以及底部进行连续覆盖,从而可以更加有效防止导电插塞 300 中的金属扩散至介质层 120,从而有效保证器件性能。

作为示例,可以设置互连通孔 120a 底部的第一扩散阻挡层 200 的厚度为 3nm-5nm,位于互连通孔 120a 侧壁的第一扩散阻挡层 200 的厚度为 10nm-12nm。

20 在一个实施例中,半导体结构还包括第二导电层 400。第二导电层 400 的材料可以包括但不限于为金属材料。例如,第二导电层 400 的材料可以为铝。

第二导电层 400 位于介质层 120 上,且覆盖导电插塞 300。

具体地,第二导电层 400 可以位于介质层 120 以及互连通孔 120a 内的导电插塞 300 以及第一扩散阻挡层 200 的表面。

上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

30 以上所述实施例仅表达了本公开的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对申请专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本公开构思的前提下,还可以做出若干

变形和改进，这些都属于本公开的保护范围。因此，本公开专利的保护范围应以所附权利要求为准。

工业实用性

- 5 本公开的各种实施例提供一种半导体结构及其制备方法，制备方法包括：提供基底，所述基底包括第一导电层以及介质层，所述介质层位于所述第一导电层上，且所述介质层内形成暴露所述第一导电层的互连通孔；于所述互连通孔内壁以及所述介质层上方形成第一扩散阻挡材料层；于所述介质层上方
- 10 的所述第一扩散阻挡材料层上形成第二扩散阻挡材料层；对位于所述互连通孔底部的第一扩散阻挡材料层进行减薄；去除所述介质层上方的第一扩散阻挡材料层，以形成第一扩散阻挡层，并于所述互连通孔内形成导电插塞。
- 本公开实施例中的半导体结构及其制备方法，可以通过互连通孔侧壁的扩散阻挡层有效防止导电插塞中的金属扩散至介质层。同时，通过对互连通孔底部
- 15 的第一扩散阻挡层进行减薄，从而使得导电插塞与第一导电层之间的电阻可以被有效降低。

权利要求书

1.一种半导体结构的制备方法，包括：

提供基底，所述基底包括第一导电层以及介质层，所述介质层位于所述第一导电层上，且所述介质层内形成暴露所述第一导电层的互连通孔；

于所述互连通孔内壁以及所述介质层上方形成第一扩散阻挡材料层；

5 于所述介质层上方的所述第一扩散阻挡材料层上形成第二扩散阻挡材料层；

对位于所述互连通孔底部的第一扩散阻挡材料层进行减薄；

去除所述介质层上方的第一扩散阻挡材料层，以形成第一扩散阻挡层，并于所述互连通孔内形成导电插塞。

10 2.根据权利要求1所述的半导体结构的制备方法，其中，所述于所述介质层上方的所述第一扩散阻挡材料层上形成第二扩散阻挡材料层，包括：

于所述介质层上方的所述第一扩散阻挡材料层表面、所述互连通孔侧壁顶部的第一扩散阻挡材料层表面形成所述第二扩散阻挡材料层。

3.根据权利要求1或2所述的半导体结构的制备方法，其中，所述第二扩散阻挡材料层通过物理气相沉积方式形成。

4.根据权利要求3所述的半导体结构的制备方法，其中，所述物理气相沉积方式采用高沉积速率沉积方式，所述沉积速率不小于5nm/s且不大于10nm/s。

5.根据权利要求3或4所述的半导体结构的制备方法，其中，进行物理气相沉积时，沉积温度为180℃-220℃，沉积功率为1300W-1700W，氮气流量为55sccm-65sccm，氩气流量为9sccm-11sccm。

6.根据权利要求3-5中任一项所述的半导体结构的制备方法，其中，

所述第一扩散阻挡材料层通过原子层沉积方式形成，且形成的第一扩散阻挡材料层的厚度为10nm-12nm；和/或

25 所述物理气相沉积方式形成的所述第二扩散阻挡材料层的厚度为10nm-15nm。

7.根据权利要求1-6中任一项所述的半导体结构的制备方法，其中，所述第二扩散阻挡材料层为 WN_x ，其中，x值大于0.9。

8.根据权利要求1-7中任一项所述的半导体结构的制备方法，其中，所述第二扩散阻挡材料层的材料与所述第一扩散阻挡材料层的材料相同。

9.根据权利要求1-8中任一项所述的半导体结构的制备方法，其中，

所述互连通孔的侧壁与水平方向的角度为 86° 至 90° ；和/或
减薄后，所述第一扩散阻挡材料层的厚度为 3nm-5nm。

10.根据权利要求 1-9 中任一项所述的半导体结构的制备方法，其中，所述对位于所述互连通孔底部的第一扩散阻挡材料层进行减薄，包括：

5 对位于所述互连通孔底部的第一扩散阻挡材料层进行物理轰击处理或者进行干法刻蚀。

11.根据权利要求 1-10 中任一项所述的半导体结构的制备方法，其中，所述于所述互连通孔内壁以及所述介质层上方形成第一扩散阻挡材料层之前，还包括：

10 对所述互连通孔底部的第一导电层进行还原处理。

12.根据权利要求 11 所述的半导体结构的制备方法，其中，所述还原处理与所述物理轰击处理在同一工艺腔室内进行。

13.根据权利要求 12 所述的半导体结构的制备方法，其中，

15 进行还原处理时，通入氢气以及氩气，氢气流量为 18-22sccm，氩气流量为 90-110sccm，且设置偏置功率为 180W-200W，解离功率为 1800W-2200W；和/或

进行物理轰击处理时，通入氩气，氩气流量为 90-110sccm，且设置偏置功率为 600W-1000W，解离功率为 1800W-2200W。

14.根据权利要求 1-13 中任一项所述的半导体结构的制备方法，其中，所述去除所述介质层上方的第一扩散阻挡材料层，以形成第一扩散阻挡层，并于所述互连通孔内形成导电插塞，包括：

于所述互连通孔内以及所述第二扩散阻挡材料层上方形成导电插塞材料层；

25 进行化学机械研磨处理，以去除所述第二扩散阻挡材料层上方的导电插塞材料层以及第一扩散阻挡材料层，以形成所述导电插塞以及所述第一扩散阻挡层。

15.根据权利要求 14 所述的半导体结构的制备方法，其中，所述进行化学机械研磨处理，以去除所述第二扩散阻挡材料层上方的导电插塞材料层以及第一扩散阻挡材料层之后，还包括：

30 对所述介质层以及所述互连通孔内的导电插塞以及第一扩散阻挡层继续进行化学机械研磨处理。

16.根据权利要求 1-15 中任一项所述的半导体结构的制备方法，其中，所

述去除所述介质层上方的第一扩散阻挡材料层，以形成第一扩散阻挡层，并于所述互连通孔内形成导电插塞之后，还包括：

于所述介质层上形成第二导电层，所述第二导电层覆盖所述导电插塞。

17.一种半导体结构，根据权利要求 1-16 任一项所述的方法制备形成，所述半导体结构包括：

基底，包括第一导电层以及介质层，所述介质层位于所述第一导电层上，且所述介质层内形成互连通孔；

第一扩散阻挡层，位于所述互连通孔内壁，且位于所述互连通孔底部的第一扩散阻挡层的厚度小于位于所述互连通孔侧壁的第一扩散阻挡层的厚度；

导电插塞，位于所述互连通孔内的所述第一扩散阻挡层表面，且填充所述互连通孔。

18.根据权利要求 17 所述的半导体结构，其中，所述互连通孔底部的第一扩散阻挡层的厚度为 3nm-5nm，位于所述互连通孔侧壁的第一扩散阻挡层的厚度为 10nm-12nm。

19.根据权利要求 17 或 18 所述的半导体结构，其中，所述半导体结构还包括：

第二导电层，位于所述介质层上，且覆盖所述导电插塞。

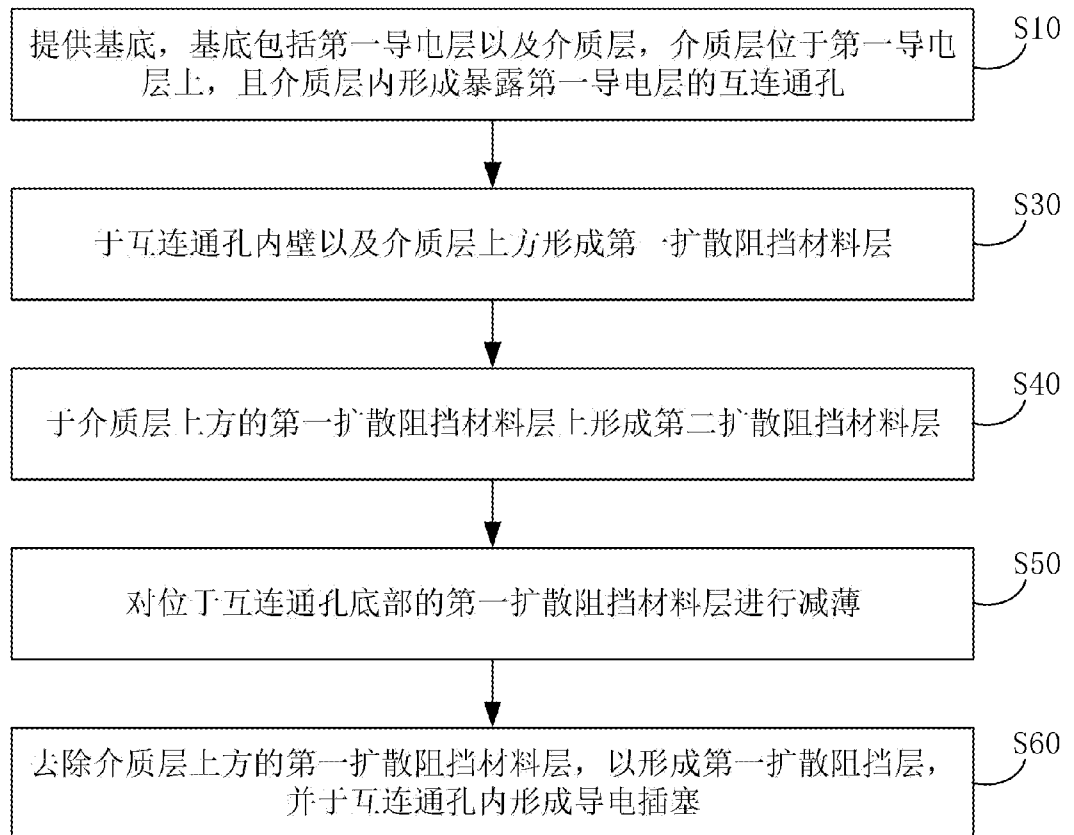


图 1

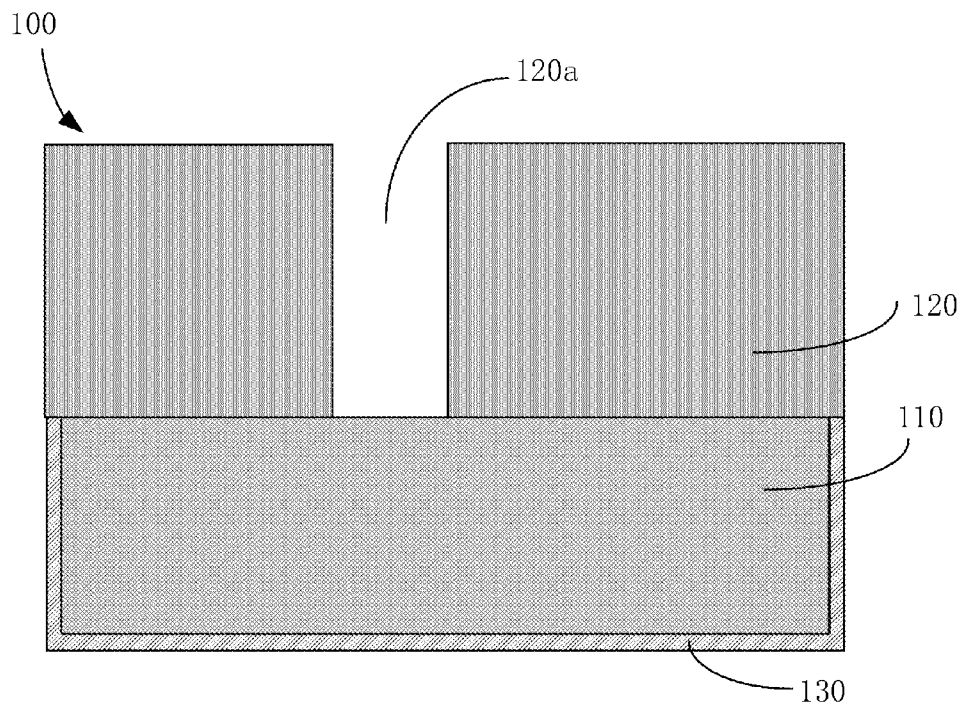


图 2

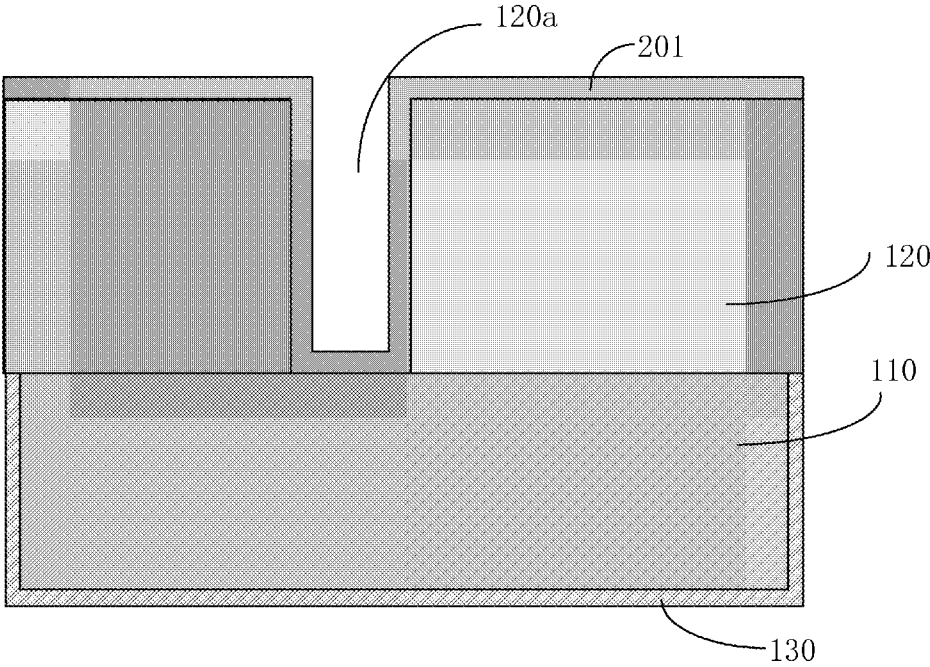


图 3

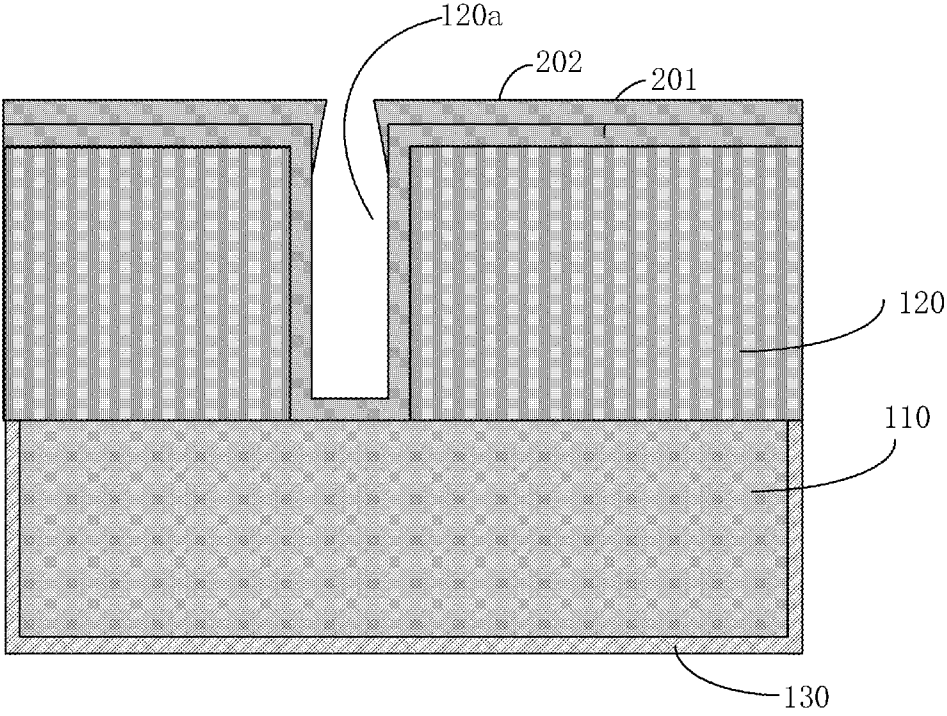


图 4

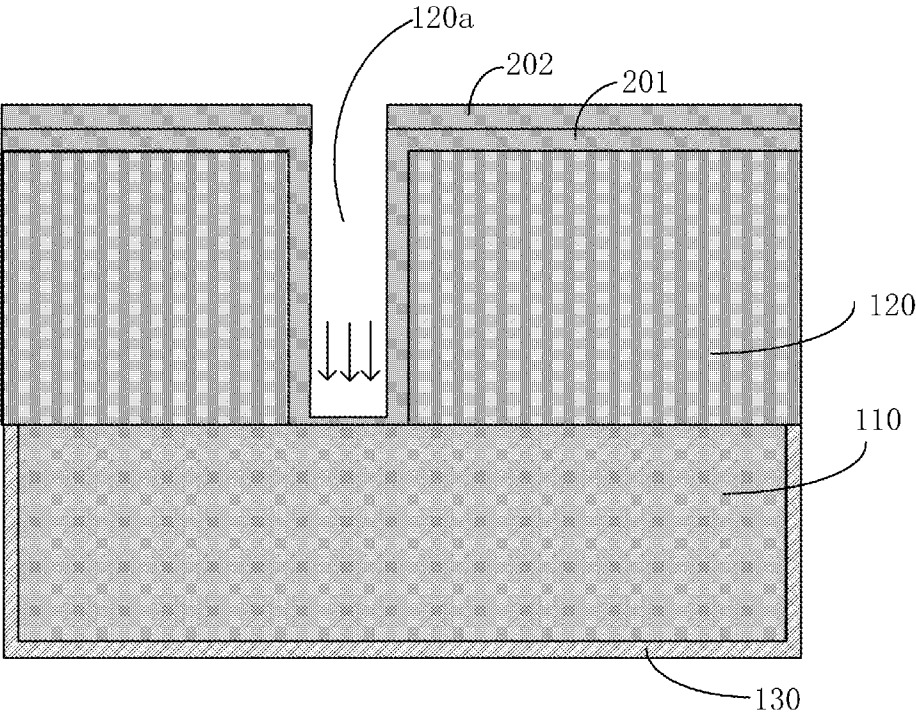


图 5

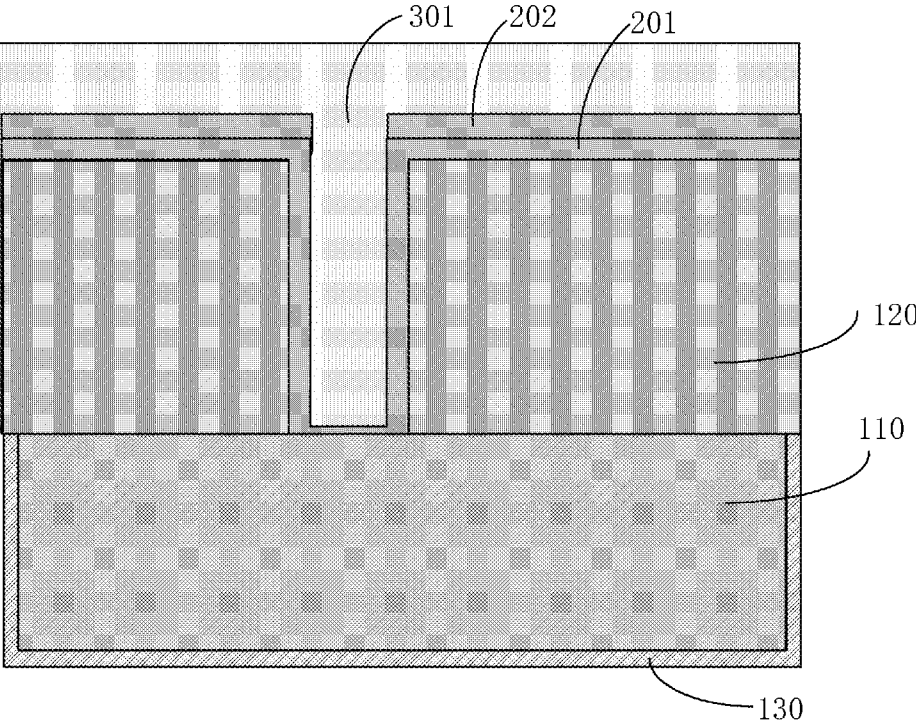


图 6

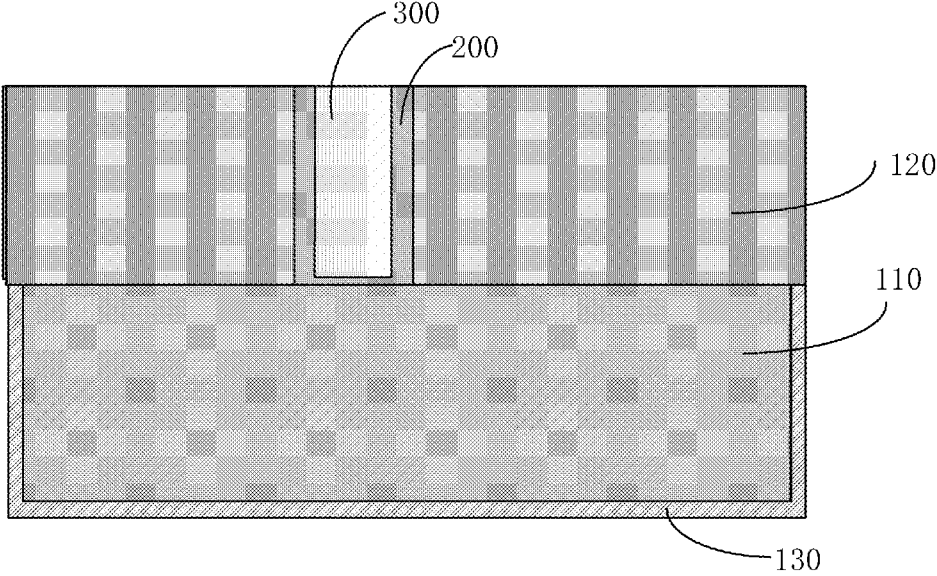


图 7

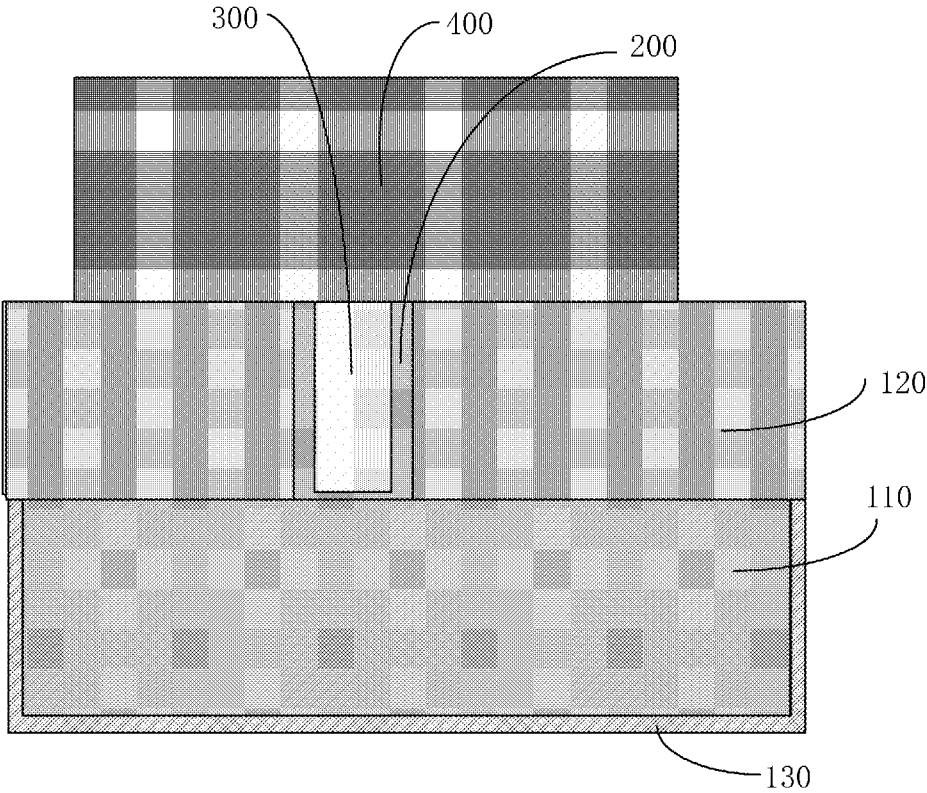


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/123956

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 23/528(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, ENTXTC, DWPI, CNKI, IEEE: 通孔, 连接孔, 过孔, 互连, 底部, 减薄, 厚度, 阻挡, 扩散, 离子轰击, 干法, 蚀刻, 刻蚀, 插塞, via, hole, interconnect, bottom, reduce, thickness, thin, barrier, diffusion, ion, bombardment, dry, etch, plug

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106486416 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORPORATION et al.) 08 March 2017 (2017-03-08) description, paragraphs 43-78, and figures 9-17	1-18
A	CN 106558532 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 05 April 2017 (2017-04-05) entire document	1-18
A	US 2015380302 A1 (Lam Research Corporation) 31 December 2015 (2015-12-31) entire document	1-18
A	CN 105990221 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 05 October 2016 (2016-10-05) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 December 2022

Date of mailing of the international search report

13 December 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/123956

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106486416	A	08 March 2017	US	2017062344	A1	02 March 2017
				CN	106486416	B	02 April 2021
				US	10090246	B2	02 October 2018
CN	106558532	A	05 April 2017	CN	106558532	B	03 January 2020
US	2015380302	A1	31 December 2015	TW	201614769	A	16 April 2016
				KR	20160002391	A	07 January 2016
				US	9418889	B2	16 August 2016
CN	105990221	A	05 October 2016	CN	105990221	B	29 January 2019

国际检索报告

国际申请号

PCT/CN2022/123956

A. 主题的分类 H01L 21/768(2006.01)i; H01L 23/528(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT, ENTXT, ENTXTC, DWPI, CNKI, IEEE: 通孔, 连接孔, 过孔, 互连, 底部, 减薄, 厚度, 阻挡, 扩散, 离子轰击, 干法, 蚀刻, 刻蚀, 插塞, via, hole, interconnect, bottom, reduce, thickness, thin, barrier, diffusion, ion, bombardment, dry, etch, plug		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106486416 A (中芯国际集成电路制造北京有限公司 等) 2017年3月8日 (2017 - 03 - 08) 说明书第43-78段, 附图9-17	1-18
A	CN 106558532 A (中芯国际集成电路制造上海有限公司 等) 2017年4月5日 (2017 - 04 - 05) 全文	1-18
A	US 2015380302 A1 (Lam Research Corporation) 2015年12月31日 (2015 - 12 - 31) 全文	1-18
A	CN 105990221 A (中芯国际集成电路制造上海有限公司) 2016年10月5日 (2016 - 10 - 05) 全文	1-18
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。 * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2022年12月6日		国际检索报告邮寄日期 2022年12月13日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 赵端 电话号码 (86-10) 62411328

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/123956

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106486416	A	2017年3月8日	US	2017062344	A1	2017年3月2日
				CN	106486416	B	2021年4月2日
				US	10090246	B2	2018年10月2日
CN	106558532	A	2017年4月5日	CN	106558532	B	2020年1月3日
US	2015380302	A1	2015年12月31日	TW	201614769	A	2016年4月16日
				KR	20160002391	A	2016年1月7日
				US	9418889	B2	2016年8月16日
CN	105990221	A	2016年10月5日	CN	105990221	B	2019年1月29日