

(19) 대한민국특허청(KR) (12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 19/28

(45) 공고일자 1990년08월24일
(11) 공고번호 특1990-0006142

(21) 출원번호	특1986-0003929	(65) 공개번호	특1986-0009427
(22) 출원일자	1986년05월20일	(43) 공개일자	1986년12월22일
(30) 우선권 주장	107824 1985년05월20일 일본(JP)		
(71) 출원인	후지쓰가부시끼가이샤 야마모토 다쿠마		
	일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반쵸		

(72) 발명자 오가와 준지
일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반쵸 후지쓰가부시끼가이샤내
(74) 대리인 문기상, 조기호

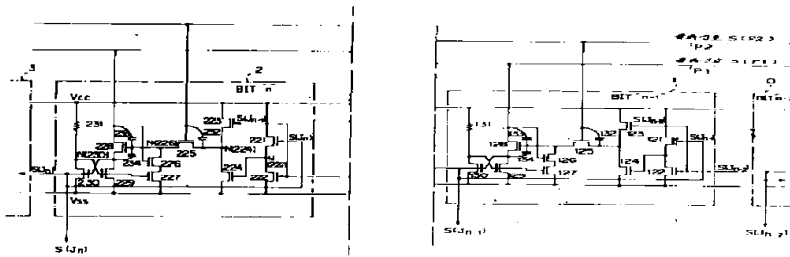
심사관 : 정현영 (책자공보 제1997호)

(54) 두 위상 클럭신호 공급 쉬프트 레지스터형 반도체 메모리장치

요약

내용 없음.

대표도



명세서

[발명의 명칭]

두 위상 클럭신호 공급 쉬프트 레지스터형 반도체 메모리장치

[도면의 간단한 설명]

제1도는 종래의 쉬프트 레지스터 소자들의 회로구성도.

제2도는 회로에 의한 신호파형도.

제3도는 본 발명의 실시예에 따른 쉬프트 레지스터의 기본 배치도.

제4도는 제3도의 쉬프트 레지스터 소자들의 회로구성도.

제5도는 제4도의 회로에 의한 신호파형도.

제6도는 본 발명의 실시예에 따른 쉬프트 레지스터가 적용된 비디오 램(Video RAM)

[발명의 상세한 설명]

본 발명은 쉬프트 레지스터형 반도체 메모리장치에 관한 것이다. 본 발명에 의한 장치는 예를 들면 컴퓨터를 사용하여 정보를 처리하는 분야에서 비디오 램을 위해 사용된다.

일반적으로 비디오 램과 연결시켜 사용되는 쉬프트 레지스터의 포인터 제어부는 제1 및 제2의 상이한 두 위상 클럭신호들 S(P1) 및 S(P2)를 공급받는다. 포인터 제어부의 단일소자(bit)내의 데이터 '1'은 클럭신호들 S(P1), S(P2)의 공급에 따라서 포인터 제어부의 소자들을 통하여 연속적으로 쉬프트 즉, 이동된다.

쉬프트 레지스터의 포인터 제어부에 관한 종래의 기술에 있어서는 포인터 제어부의 각 소자는 두 위상 클럭신호들 S(P1) 및 S(P2)를 공급받아야 한다. 그러므로, 포인터 제어부의 각 소자의 구조가 복

잡해지지 않을 수 없다.

쉬프트 레지스터의 포인터 제어부에 관한 종래의 기술에 있어서는 제2의 클록신호 S(P2)의 고전위기간에 상응하여 포인터 제어부의 각 소자마다 준비기간이 요구된다. 그러므로 포인터 제어부의 동작속도가 느리다.

쉬프트 레지스터의 포인터 제어부에 관한 종래의 기술에 있어서는 제1 클록신호 S(P1)의 부하가 제2 클록신호 S(P2)의 부하와 상이하다. 그러므로 두 위상 클록신호들을 발생시키는 회로의 구조가 복잡하다.

본 발명의 목적은 단지 상이한 두 위상 클록신호만을 사용하고, 쉬프트 레지스터의 각 소자에 소요되는 트랜지스터의 수를 줄여서 회로의 구조를 간략화한 개량된 쉬프트 레지스터형 반도체 메모리장치를 제공하는데 있다.

본 발명의 다른 목적은 하나의 쉬프트 싸이클 주기의 시간을 줄여 쉬프트 레지스터의 동작속도를 고속화한 개량된 쉬프트 레지스터형 반도체 메모리장치를 제공하는데 있다.

또 다른 본 발명의 목적은 두 위상 클록신호 출력 S(P1), S(P2)의 부하를 동일한 부하로 하여 두 위상 클록신호들을 발생시키는 회로를 간략화한 개량된 쉬프트 레지스터형 반도체 메모리 장치를 제공하는데 있다.

본 발명에 의하면 쉬프트 레지스터 소자들의 시퀀스, 서로 겹치지 않는 파형을 갖는 제1 및 제2의 두 위상 클록신호들을 각각 쉬프트 레지스터의 소자들에 공급하기 위한 제1 및, 제2의 두 위상 클록신호라인들을 포함하는 두 위상 클록신호라인을 갖는 쉬프트 레지스터형 반도체 메모리장치가 제공된다. 제1의 클록신호라인은 쉬프트 레지스터의 짝수순위의 쉬프트 레지스터 소자들에 연결되어 있고 제2의 클록신호라인은 쉬프트 레지스터의 홀수순위의 쉬프트 레지스터 소자들에 연결되어 있다. 각 쉬프트 레지스터 소자들은 출력신호를 만드는 하나의 출력노드(node), 두 위상 클록신호들중의 하나를 수신하기 위한 하나의 클록신호 공급노드, 제어 게이트를 갖고 출력노드와 클록신호 공급노드간에 연결된 하나의 게이트, 이 게이트 제어노드를 사전에 충전시키기 위하여 선행 쉬프트 레지스터 소자의 출력신호에 따라서 동작하는 충전회로, 이 게이트의 제어노드에 충전된 전하를 방출시키기 위하여 후속의 쉬프트 레지스터 소자의 출력에 따라서 동작되는 방전회로로 구성된다.

본 발명의 실시예를 설명하기 전에 종래의 쉬프트 레지스터 포인터 제어부의 한 예를 제1도 및 제2도에 의해 설명한다.

제1도에는 쉬프트 레지스터의 포인터 제어부의 소자들의 서열 0, 1, 2, 3이 나타내어져 있다. 소자들 0, 1, 2, 3 은 비트 'n-2', 비트 'n-1', 비트 'n', 비트 'n+1'에 각각 상응한다. 포인터 제어부의 각 소자는 제1클록신호라인 P₁ 으로부터의 제1의 위상 클록신호 S(P1)와 제2클록신호라인 P₂로부터의 제2의 위상 클록신호가 공급된다.

소자 2는 N채널 MOS 트랜지스터들 221, 222, 223, 224, 225, 226, 227, 228, 229, 230, 하나의 저항 231, 캐패시터들 232, 233, 234로 구성된다.

선행소자 1의 출력신호 S(Jn-1)의 신호 '1'을 발생시키고 클록신호 S(P1)의 전위가 고레벨이고, 클록신호 S(P2)의 전위는 저레벨이고 그리하여 선행소자 1의 출력신호 S(Jn-1)의 전위는 고레벨이고, 현재 소자 2의 출력신호 S(Jn)의 전위는 저레벨이라고 가정하면, 트랜지스터 221은 오프상태에 있고 트랜지스터 222는 온상태이고 노드 N(222)의 전위는 저레벨이 된다.

그러므로 트랜지스터 224는 오프상태이고 트랜지스터 223은 온상태이고, 노드 N(224)의 전위는 고레벨이 된다. 클록신호 S(P2)의 전위가 저레벨로부터 고레벨로 바뀔때 트랜지스터 225는 온이 되고 전하는 노드 N(226)로부터 전위를 고레벨이 되게 하기 위하여 노드 N(224)로부터 노드 N(226)로 이동된다. 이 순간에 클록신호 S(P1)의 전위는 저레벨이고 트랜지스터 226은 오프상태이다.

래치회로의 트랜지스터 230은 오프상태이고 래치회로의 트랜지스터 229는 온상태에 있고 노드 N(230)의 전위는 고레벨이고 출력신호 S(Jn)의 전위는 저레벨이라고 가정하면 클록신호 S(P2)의 전위가 저레벨로 되고 클록신호 S(P1)이 고레벨로 될 때 클록신호 S(P1)의 고전위가 트랜지스터 230과 229의 상태를 반전시키기 위하여 래치회로로 전송되어서 출력신호 S(Jn)의 전위가 '1' 즉, 고전위가 된다.

이것은 선행소자의 출력신호의 '1'신호가 현재의 소자 2의 출력신호의 '1'신호로 전송되어졌음을 뜻한다.

이와같이 하여 클록신호 S(P1)의 전위가 '1'로서 고레벨동안 출력신호 S(Jn)의 전위는 '1' 즉, 고전위이다.

클록신호 S(P1)의 전위가 '1'로서 고전위인 동안 트랜지스터 221은 온의 상태로 되어지고 출력신호 S(Jn)의 고전위로 인해서 노드 N(222)의 전위는 고전위로 되고 트랜지스터 224는 온의 상태에 있게 되어 노드 N(224)의 전하는 그에 따라서 방전되어 노드(224)의 전위는 저전위로 된다.

클록신호 S(P2)의 전위가 고레벨이 될때 노드 N(226)의 전하는 방전되고 따라서 노드 N(226)의 전위는 저레벨로 된다.

트랜지스터 226은 클록신호 S(P1)의 전위가 고레벨로 바뀔때에 온으로 된다. 그리고나서 노드 N(226)의 전위는 온상태에 있는 트랜지스터들 226 및 227을 거쳐 저레벨인 Vss전위에 유지된다.

제1도의 회로에 의한 신호들의 파형들이 제2도에 나타내어져 있다. 비트 'n'의 소자 1에 관해서는 하나의 쉬프트 싸이클주기 T'_{SHIFT} 가 신호 S(Jn-1)의 하강과 신호 S(Jn)의 하강간의 경과기간으로 주어진다.

제2도에 나타난 바와 같이 하나의 쉬프트 사이클 주기 T'_{SHIFT} 가 비교적 길다. 제1도의 회로에서는 신호 $S(J_n)$ 의 고전위 주기 이전에 신호 $S(J_n)$ 의 전위가 저레벨인 준비주기 T_{PRF} 가 필요하게 된다.

제1도의 회로에서 쉬프트 레지스터의 각 소자의 구조는 비교적 복잡하고 또한 두 위상 클럭신호들을 발생시키는 회로들의 구조들도 복잡하다. 그리고 쉬프트 레지스터의 동작속도는 비교적 느릴 수 있을 것이다.

본 발명의 일실시예에 따른 두 위상 클럭신호라인들을 갖는 쉬프트 레지스터형 반도체 메모리장치의 기본배치가 제3도에 나타내어져 있다. 제3도에 나타난 쉬프트 레지스터의 쉬프트 레지스터 소자들의 개략도는 제4도에 나타내어져 있다.

제3도에 있어서 쉬프트 레지스터는 쉬프트 레지스터의 소자들 0, 1, 2, 3로 구성되어 있다. 쉬프트 레지스터의 소자들 0, 1, 2, 3.....은 비트 'n-1', 비트 'n', 비트 'n+1', 비트 'n+2',에 상응한다. 데이터 '0', 데이터 '1', 데이터 '0' 및 데이터 '0'이 쉬프트 레지스터 소자들 0, 1, 2, 3내에 기억되어 있다고 가정하면, 출력들 $S(J_{n-1})$, $S(J_n)$, $S(J_{n+1})$, $S(J_{n+2})$ 는 쉬프트 레지스터들 0, 1, 2, 3으로부터 전달된다.

제3도에 있어서 클럭신호 P1 라인은 홀수순위 레지스터 소자들 1, 3에 연결되는 한편 클럭신호 P2 라인은 짝수순위 쉬프트 레지스터 소자들 0, 2, 4에 연결된다.

그러므로 레지스터 쉬프트 소자들의 각각은 단지 하나의 위상 클럭신호만을 수신한다.

후술하는 바와 같이 이 하나의 위상 클럭신호는 작동신호 및 리세트신호 양용으로 역활한다.

제3도의 쉬프트 레지스터의 소자들 1, 2의 회로구조는 제4도에 나타내어져 있다. 소자 1은 현재의 소자 2에 선행소자로서 간주하여야 한다.

현재의 소자 2는 N 채널 MOS 트랜지스터들 201, 202, 203, 204, 205, 206, 207, 208과 저항 209, 210 및 캐패시터 211을 포함한다, 트랜지스터들 207, 208 및 저항 209는 래치회로를 형성하여 출력 노드 $S(J_n)$ 에 결합된다.

이 래치회로는 '1'의 $S(J_n)$ 출력신호가 없을 때 출력노드 $S(J_n)$ 의 전위를 0으로 한다. 래치의 노드 $S(J_n)$ 은 전송 게이트 트랜지스터 206을 통하여 클럭신호라인 P2에 연결되어 있다. 트랜지스터 206의 게이트에서의 노드 Na의 전위는 쉬프트 레지스터의 선행소자 1의 출력신호인 신호 $S(J_{n-1})$ 가 트랜지스터 204에 의해서 트랜지스터 205를 통하여 그의 게이트에 공급 고전위가 된다.

노드 Na 및 노드 Nb의 전하는 상기 쉬프트 레지스터에 후속하는 소자의 출력신호 $S(J_{n+1})$ 의 전위가 고전위가 될때 트랜지스터 203이 동작하여 방전된다.

노드 Na 및 Nb가 저전위에 있는 동안 노드 Na 및 Nb의 전위들이 부유되는 것을 방지하기 위하여 크로스 연결된 트랜지스터들 201, 202에 의해 래치회로를 형성한다.

제4도에 나타난 회로의 동작을 설명하면 다음과 같다.

(i) n 번째 소자 2에는 클럭신호 P2가 공급되고, n-1 번째 및 n+1 번째 소자들 1과 3에는 클럭신호 P1이 공급된다.

(ii) 클럭신호 P1의 전위가 고전위가 되면 출력신호 $S(J_{n-1})$ 이 전달되며, 출력신호 $S(J_{n-1})$ 의 전위는 '1' 즉, 고전위가 된다고 가정하자,

이 상태에서는 출력신호들 $S(J_n)$, $S(J_{n+1})$ 은 전달되지 않으며, 출력신호들 $S(J_n)$, $S(J_{n+1})$ 의 전위들은 저전위인 '0' 이다.

(iii) 선행소자 1은 출력신호 $S(J_{n-1})$ 를 전달하고 출력신호 $S(J_{n-1})$ 의 전위는 고전위이다. 그러므로 트랜지스터 204는 온되어 노드 Nb는 충전된다. 동시에 노드 Na는 트랜지스터 205를 통하여 충전된다. 상술한 동작중에 트랜지스터들 201, 202의 상태들은 반전되어 트랜지스터 202가 오픈되는 한편 트랜지스터 201은 온이 된다. 트랜지스터 203은 신호 $S(J_{n+1})$ 의 전위가 저전위이므로 오픈상태에 있다.

(iv) 클럭신호 P1의 전위는 저전위이고 그러므로 신호 $S(J_n)$ 는 트랜지스터 206이 온상태일지라도 변동되지 않는다.

(v) 클럭신호의 전위는 하강하고 따라서 신호 $S(J_{n-1})$ 의 전위는 저전위가 된다. 그러나 트랜지스터 201 및 202는 그 회로의 상태를 래치시킨다. 그러므로 노드들 Na, Nb의 전위들은 상기 (iii)에 표시된 상태에서와 같다.

(vi) 클럭신호 P1의 전위는 하강하고 클럭신호 P2의 전위는 상승한다. 그러므로 노드 Na의 전위는 고레벨로 올라가고 클럭신호 P2는 트랜지스터 206에 의하여 신속히 전송된다. 그러므로 트랜지스터들 207, 208의 상태가 반전되어 출력신호 $S(J_n)$ 의 전위가 고가되어 '1'의 출력신호가 전달된다.

(vii) 신호 $S(J_n)$ 은 현재 소자의 트랜지스터 203에 대응하는 선행소자인 트랜지스터 103의 게이트에 공급된다. 따라서 선행소자의 노드들 Na', Nb'의 전하가 방전된다. 그리고 선행소자의 트랜지스터들 101, 102의 상태는 선행소자의 노드 Nb'의 전위를 저전위에서 래치시키기 위하여 래치된다.

제4도의 회로에 있어서 공통 클럭신호는 쉬프트 레지스터의 두 인접소자들 어느것에도 공급되지 않는다.

쉬프트 레지스터 소자들 각각에 있어서 하나의 위상 클럭신호가 작동신호와 리세트 신호 양용으로 역활한다.

동작을 위한 준비는 선행소자의 출력신호를 트랜지스터 204와 같은 충전 트랜지스터에 공급하는 것만에 의해 행해진다. 노드의 방전은 후속하는 소자의 출력신호가 트랜지스터 203과 같은 방전 트랜지스터의 게이트에 귀환되는 아주 간단한 과정에 의해서 행해진다.

제3도의 회로에 의한 신호 파형들은 제5도에 나타내어져 있다. 제5도에 제1의 위상 클럭신호 S(P1), 제2의 위상 클럭신호 S(P2), 선행소자의 출력신호 S(Jn-1), 현재 소자의 출력신호 S(Jn), 그리고 쉬프트 레지스터에 후속하는 소자의 출력신호 S(Jn+1)의 파형들이 나타내어져 있다.

비트 'n' (제3도)의 소자 1에 대해서는 하나의 쉬프트 사이클 주기 T_{SHIFT} 는 신호 $S(Jn-1)$ 의 하강과 신호 $S(Jn)$ 의 하강간의 경과기간으로서 주어진다.

제5도에 나타난 바와 같이 비교적 짧은 쉬프트 싸이클 T_{SHIFT} 가 실현되므로 쉬프트 레지스터의 비교적 고속동작이 가능하다.

이에 반하여 비트 'n'(제1도)의 소자 1에 대해서는 제2도에 보인 제1도의 회로에 있어서의 신호들의 파형들에 의해 나타난 바와 같이 하나의 쉬프트 사이클의 주기 T'_{SHIFT} 는 신호 S(Jn-1)의 하강과 신호 S(Jn)의 하강간의 경과시간으로서 주어진다. 제2도에 나타난 바와 같은 하나의 쉬프트 싸이클 주기 T'_{SHIFT} 는 비교적 길므로 쉬프트 레지스터의 고속동작이 불가능하다.

본 발명에 의한 쉬프트 레지스터 응용예가 제6도에 나타나어져 있다. 제6도에 나타난 장치는 본 발명의 실시예의 쉬프트 레지스터와 조합된 비디오 램(RAM)이다.

다이나믹 램과 데이터 버스(bus) 사이에 직렬연결된 래치소자와 전계효과 트랜지스터가 연결되어 있다.

쉬프트 레지스터의 포인터 제어 출력신호는 전계효과형 트랜지스터의 게이트에 공급된다.

(57) 청구의 범위

청구항 1

쉬프트 레지스터 소자(0, 1, 2, 3, ...)들과 상기 쉬프트 레지스터 소자들에 두 위상 클럭신호들을 공급하기 위한 제1 및 제2의 두 위상 클럭신호라인(P1, P2)들을 포함하되, 상기 두 위상 클럭신호들은 서로 중첩되지 않는 파형들을 가지며, 상기 제1의 위상클럭신호라인(P1)은 상기 쉬프트 레지스터의 홀수순위 쉬프트 레지스터 소자(1, 3...)들에 연결되며, 상기 제2의 위상 클럭신호라인(P2)은 상기 쉬프트 레지스터의 짝수순위 쉬프트 레지스터 소자(0, 2, ...)들에 연결되며, 상기 쉬프트 레지스터 소자들 각각은 : 출력신호를 발생시키기 위한 출력노드(S(Jn-1), S(Jn))와, 두 위상 클럭신호들중 하나를 수신하기 위한 클럭신호 공급노드(106, 206의 드레인)와, 상기 출력노드와 상기 클럭신호 공급노드사이에 연결되며 또한 제어 게이트를 갖는 게이트(106, 206)와, 상기 게이트의 제어노드(Na, Na')를 미리 충전시키기 위해 선행하는 쉬프트 레지스터 소자의 출력신호에 반응하는 충전회로(104-105, 204-205)와, 그리고 상기 게이트의 상기 제어노드(Na, Na')에 충전된 전하를 방출하기 위해 후속하는 쉬프트 레지스터의 출력에 반응하는 방전회로(103, 203)를 포함하는 것이 특징인 두 위상 클럭신호 공급 쉬프트 레지스터형 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 쉬프트 레지스터 소자들 각각은 상기 쉬프트 레지스터 소자들 각각의 상기 출력노드에 연결되는 전위 유지기능을 갖는 래치회로(107-108, 207-208)를 더 포함하는 것이 특징인 두 위상 클럭신호 공급 쉬프트 레지스터형 반도체 메모리장치.

청구항 3

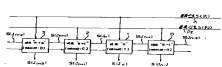
제1항에서, 상기 쉬프트 레지스터 소자들 각각은 상기 쉬프트 레지스터 소자들 각각의 입력측에 연결되는 전위 유지기능을 갖는 래치회로(101-102, 201-202)를 더 포함하는 것이 특징인 두 위상 클럭 신호 공급 쉬프트 레지스터형 반도체 메모리장치.

청구항 4

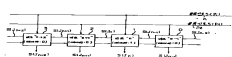
제2항에서, 상기 쉬프트 레지스터 소자들 각각은 상기 쉬프트 레지스터 소자들 각각의 입력측에 연결되는 전위 유지기능을 갖는 래치회로(101-102, 201-202)를 더 포함하는 것이 특징인 두 위상 클록 신호 공급 쉬프트 레지스터형 반도체 메모리장치.

도면

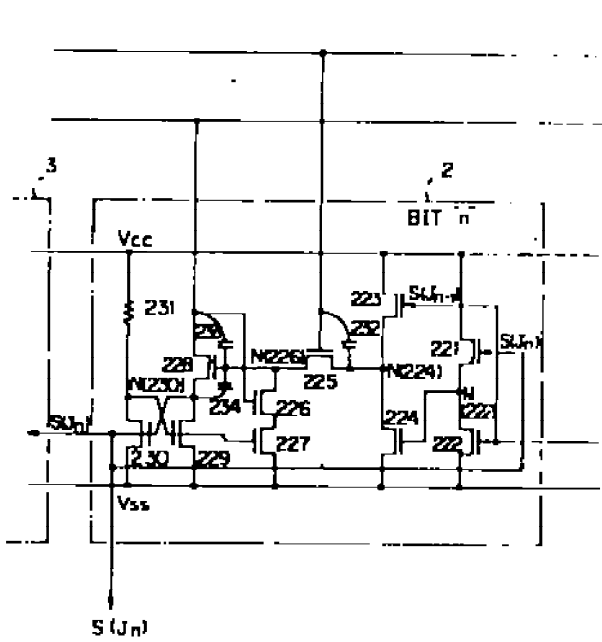
도면4



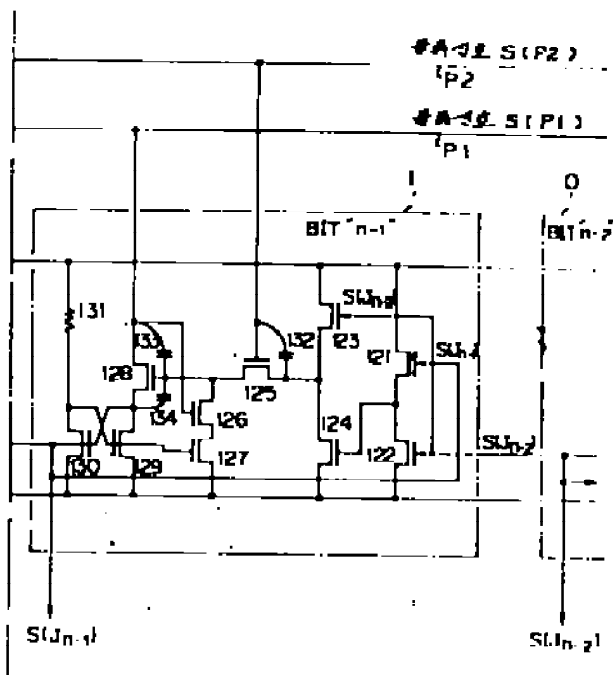
도면1



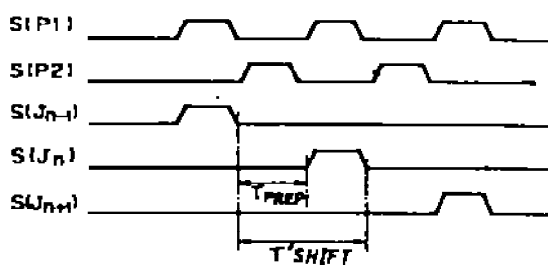
도면 1A



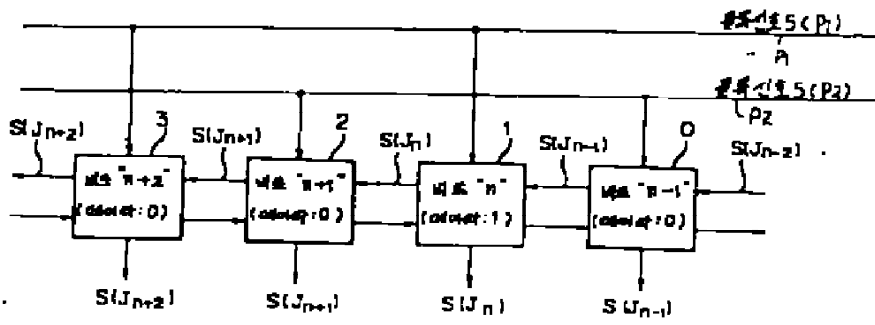
도면 1B



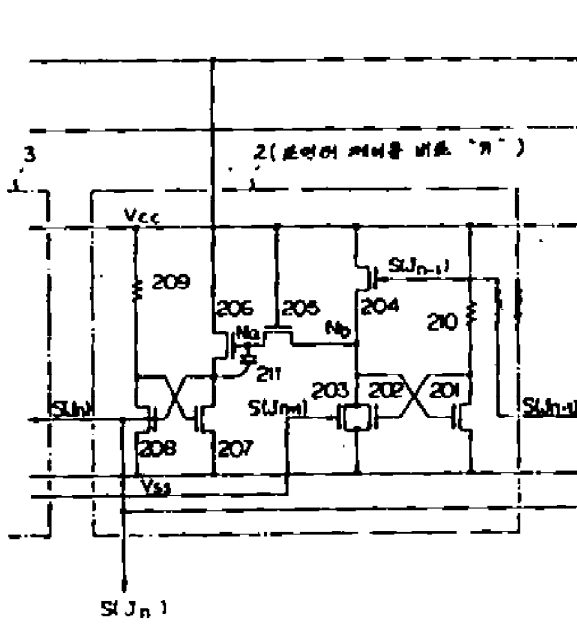
도면 2



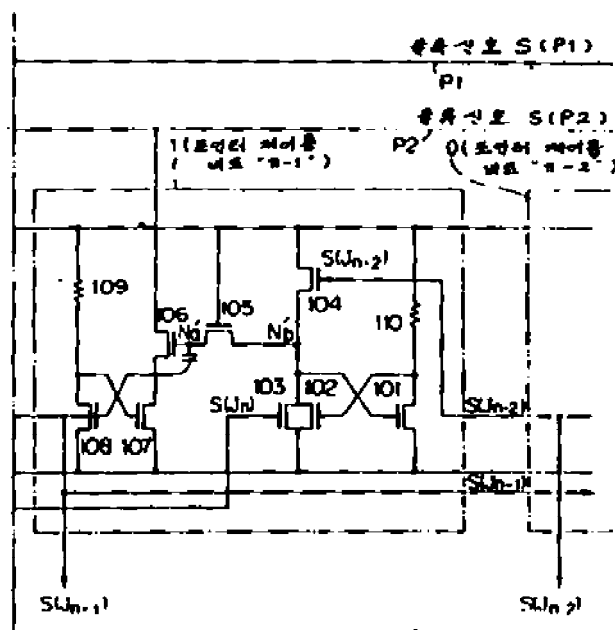
도면3



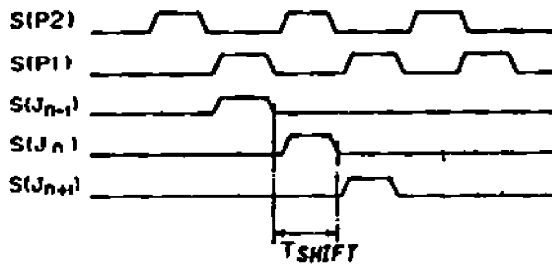
도면4A



도면4B



도면5



도면6

