

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 12 月 22 日 (2005.12.22)

【公表番号】特表 2005-506711 (P2005-506711A)

【公表日】平成 17 年 3 月 3 日 (2005.3.3)

【年通号数】公開・登録公報 2005-009

【出願番号】特願 2003-538811 (P2003-538811)

【国際特許分類第 7 版】

H 0 1 L 29/786

C 2 3 C 16/42

G 0 2 F 1/1368

H 0 1 L 21/316

H 0 1 L 21/336

【F I】

H 0 1 L 29/78 6 1 9 A

C 2 3 C 16/42

G 0 2 F 1/1368

H 0 1 L 21/316 X

H 0 1 L 29/78 6 1 8 E

H 0 1 L 29/78 6 1 9 B

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/78 6 1 7 U

H 0 1 L 29/78 6 1 7 V

H 0 1 L 29/78 6 2 6 C

H 0 1 L 29/78 6 2 7 B

【手続補正書】

【提出日】平成 16 年 11 月 5 日 (2004.11.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

絶縁基板、

前記絶縁基板の上に形成されている第 1 信号線、

前記第 1 信号線上に形成されている第 1 絶縁膜、

前記第 1 絶縁膜の上に形成されていて、前記第 1 信号線と交差している第 2 信号線、

前記第 1 信号線及び前記第 2 信号線と連結されている薄膜トランジスタ、

誘電率が 4 . 0 以下の C V D 膜であり、前記薄膜トランジスタ上に形成されており、前記薄膜トランジスタの所定電極を露出させる第 1 接触孔を有する第 2 絶縁膜、

前記第 2 絶縁膜の上に形成されていて、前記第 1 接触孔を通じて前記薄膜トランジスタの所定電極と連結されている第 1 画素電極

を含むことを特徴とする薄膜トランジスタ基板。

【請求項 2】

前記第 1 絶縁膜は低誘電率 C V D 膜である下部膜と窒化シリコン膜である上部膜からなることを特徴とする、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 3】

前記第 1 画素電極は光を反射させる不透明な導電物質から構成されていることを特徴とする、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 4】

前記第 2 絶縁膜は表面に凹凸パターンを有することを特徴とする、請求項 3 に記載の薄膜トランジスタ基板。

【請求項 5】

低誘電率 CVD 膜であり、前記第 1 画素電極上に形成されており、前記第 1 画素電極の所定部分を露出させる第 2 接触孔を有する第 3 絶縁膜、及び

前記第 3 絶縁膜の上に形成されていて、前記第 2 接触孔を通じて前記第 1 画素電極と連結されており、光を反射させる不透明な導電物質から構成されている第 2 画素電極をさらに含み、

前記第 1 画素電極は透明な導電物質から構成されており、前記第 2 画素電極は前記第 1 画素電極を透過した光が通過できる所定の開口部を有することを特徴とする、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 6】

前記低誘電率 CVD 膜は a-Si:CO で構成されることを特徴とする、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 7】

前記低誘電率 CVD 膜は a-Si:OF で構成されることを特徴とする、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 8】

前記低誘電率 CVD 膜の誘電率は 2 ないし 4 の間の値を有することを特徴とする、請求項 1 に記載の薄膜トランジスタ基板。

【請求項 9】

絶縁基板の上に形成されているデータ線を含むデータ配線、

前記絶縁基板の上に形成されている赤、緑、青色フィルター、

低誘電率 CVD 膜であり、前記データ配線及び前記色フィルター上に形成されていて前記データ配線の所定部分を露出させる第 1 接触孔を有するバッファ層、

前記バッファ層上に形成されており、前記データ線と交差して画素を定義するゲート線及び前記ゲート線と連結されているゲート電極を含むゲート配線、

前記ゲート配線上に形成されていて、前記第 1 接触孔の少なくとも一部分を露出させる第 2 接触孔を有するゲート絶縁膜、

前記ゲート電極上部の前記ゲート絶縁膜の上に形成されている半導体層、

前記第 1 接触孔及び前記第 2 接触孔を通じて前記データ線と連結されていて少なくとも一部分が前記半導体層と接しているソース用電極、前記半導体層上で前記ソース用電極と対向しているドレーン用電極及び前記ドレーン用電極と連結されている画素電極を含む画素配線

を含むことを特徴とする薄膜トランジスタ基板。

【請求項 10】

前記半導体層パターンは第 1 非晶質シリコン膜と、前記第 1 非晶質シリコン膜よりバンドギャップが低い第 2 非晶質シリコン膜の二重層構造になっていることを特徴とする、請求項 9 に記載の薄膜トランジスタ基板。

【請求項 11】

前記データ線と同一層、同一物質で形成されており、前記半導体層パターンに対応する部分に位置する光遮断部をさらに含むことを特徴とする、請求項 10 に記載の薄膜トランジスタ基板。

【請求項 12】

前記光遮断部は前記ゲート線方向に伸びていることを特徴とする、請求項 11 に記載の薄膜トランジスタ基板。

【請求項 13】

前記バッファ層の誘電率は2ないし4の間の値を有することを特徴とする、請求項1に記載の薄膜トランジスタ基板。

【請求項14】

絶縁基板、

前記基板の上に形成されていてゲート線、ゲート電極及びゲートパッドを含むゲート配線、

前記ゲート配線上に形成されていて少なくとも前記ゲートパッドを露出させる接触孔を有するゲート絶縁膜、

前記ゲート絶縁膜の上に形成されている半導体層パターン、

前記半導体層パターンの上に形成されている接触層パターン、

前記接触層パターンの上に形成されていて、前記接触層パターンと実質的に同じ形態を有し、ソース電極、ドレーン電極、データ線及びデータパッドを含むデータ配線、

前記データ配線上に形成されていて、前記ゲートパッド、前記データパッド及び前記ドレーン電極を露出させる接触孔を有し、低誘電率CVD膜からなる保護膜パターン、

露出されている前記ゲートパッド、データパッド及びドレーン電極と各々電氣的に連結される透明電極層パターン

を含むことを特徴とする液晶表示装置用薄膜トランジスタ基板。

【請求項15】

前記絶縁基板上の前記ゲート配線と同一層に形成されている維持容量線、

前記維持容量と重なっていて前記半導体パターンと同一層に形成されている維持蓄電器用半導体パターン、

前記維持蓄電器用半導体パターンの上に形成されていて、前記維持蓄電器用半導体パターンと同じ平面的模様を有する維持蓄電器用接触層パターン及び

前記維持蓄電器用接触層パターンの上に形成されていて、前記維持蓄電器用半導体パターンと同じ平面的模様を有する維持蓄電器用導電体パターンをさらに含み、

前記維持蓄電器用導電体パターンは前記透明電極パターンの一部と連結されていることを特徴とする、請求項14に記載の薄膜トランジスタ基板。

【請求項16】

前記低誘電率CVD膜の誘電率は2ないし4の間の値を有することを特徴とする、請求項14に記載の薄膜トランジスタ基板。

【請求項17】

絶縁基板の上にゲート線、前記ゲート線と連結されているゲート電極及び前記ゲート線と連結されているゲートパッドを含むゲート配線を形成する段階、

ゲート絶縁膜を形成する段階、

半導体層を形成する段階、

導電物質を積層しパターンニングして前記ゲート線と交差するデータ線、前記データ線と連結されているデータパッド、前記データ線と連結されていて前記ゲート電極に隣接するソース電極及び前記ゲート電極に対して前記ソース電極の対向側に位置するドレーン電極を含むデータ配線を形成する段階、

低誘電率CVD膜を蒸着して保護膜を形成する段階、

前記ゲート絶縁膜と共に前記保護膜をパターンニングして前記ゲートパッド、前記データパッド及び前記ドレーン電極を各々露出する接触孔を形成する段階、

透明導電膜を積層しパターンニングして前記接触孔を通じて前記ゲートパッド、前記データパッド及び前記ドレーン電極と各々連結される補助ゲートパッド、補助データパッド及び画素電極を形成する段階

を含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項18】

前記保護膜を形成する段階は

気体状態の $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ のうちの少なくともいずれか一つを基本ソースとして使用し、 $\text{N}_2\text{O}$ または $\text{O}_2$ を酸化剤として使用して

P E C V D 法によって蒸着する段階であることを特徴とする、請求項 1 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 9】

前記保護膜を形成する段階は

気体状態の  $\text{SiH}_4$ 、 $\text{SiF}_4$  のうちの少なくともいずれか一つと  $\text{CF}_4$  及び  $\text{O}_2$  を添加した気体を使用して P E C V D 法によって蒸着する段階であることを特徴とする、請求項 1 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 0】

前記データ配線及び前記半導体層は所定の厚さの第 1 部分、前記第 1 部分より厚さが厚い第 2 部分、前記第 1 厚さより厚さが薄い第 3 部分を有する感光膜パターンを利用する写真蝕刻工程で共に形成することを特徴とする、請求項 1 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 1】

前記写真蝕刻工程において、前記第 1 部分は前記ソース電極と前記ドレーン電極の間に位置するように形成し、前記第 2 部分は前記データ配線上部に位置するように形成することを特徴とする、請求項 2 0 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 2】

前記ゲート絶縁膜を形成する段階は

低誘電率 C V D 膜を蒸着する第 1 段階及び窒化シリコン膜を蒸着する第 2 段階からなり、前記第 1 段階と前記第 2 段階は真空が維持される状態で進められることを特徴とする、請求項 1 7 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 3】

絶縁基板の上にデータ線を含むデータ配線を形成する第 1 段階、

前記基板上部に赤、緑、青色フィルターを形成する第 2 段階、

低誘電率 C V D 膜を蒸着して前記データ配線及び前記色フィルターを覆うバッファ層を形成する第 3 段階、

前記絶縁膜上部にゲート線及びゲート電極を含むゲート配線を形成する第 4 段階、

前記ゲート配線を覆うゲート絶縁膜を形成する第 5 段階、

前記ゲート絶縁膜の上に島模様の抵抗性接触層と半導体層パターンを形成すると同時に、前記ゲート絶縁膜と前記バッファ層に前記データ線の一部を露出する第 1 接触孔を形成する第 6 段階、

前記島模様の抵抗性接触層パターンの上に互いに分離されて形成されていて同一層で作られたソース用電極及びドレーン用電極と、前記ドレーン用電極と連結された画素電極を含む画素配線を形成する第 7 段階、

前記ソース用電極と前記ドレーン用電極の間に位置する前記抵抗性接触層パターンの露出部分を除去して前記抵抗性接触層パターンを両側に分離する第 8 段階、

を含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 2 4】

前記第 6 段階は、

前記ゲート絶縁膜の上に非晶質シリコン膜、不純物がドーピングされた非晶質シリコン膜を順次に蒸着する段階、

前記ゲート電極上の所定面積を覆っている第 1 部分、前記第 1 接触孔が形成される部分を除いた残りの部分を覆っていて、前記第 1 部分より薄い第 2 部分からなる感光膜パターンを形成する段階、

前記感光膜の第 1 部分及び第 2 部分をマスクとしてその下部の前記不純物がドーピングされた非晶質シリコン膜、前記非晶質シリコン膜、前記ゲート絶縁膜及び前記バッファ層を蝕刻して前記第 1 接触孔を形成する段階、

前記感光膜パターンの第 2 部分を除去する段階、

前記感光膜パターンの第 1 部分をマスクとしてその下部の前記不純物がドーピングされた非晶質シリコン膜及び前記非晶質シリコン膜を蝕刻して前記島模様の半導体層パターン

と前記抵抗性接触層パターンを形成する段階、

前記感光膜パターンの第１部分を除去する段階

を含むことを特徴とする、請求項２３に記載の薄膜トランジスタ基板の製造方法。

【請求項２５】

前記低誘電率ＣＶＤ膜の誘電率は２ないし４の間の値を有することを特徴とする、請求項１７に記載の薄膜トランジスタ基板の製造方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】 明細書

【発明の名称】 低誘電率絶縁膜を使用する薄膜トランジスタ基板及びその製造方法

【技術分野】

【０００１】

本発明は、低誘電率絶縁層を有する薄膜トランジスタ基板及びその製造方法に関するものである。

【背景技術】

【０００２】

薄膜トランジスタ基板は液晶表示装置や有機ＥＬ（electro luminescence）表示装置などで各画素を独立的に駆動するための回路基板として用いられる。薄膜トランジスタ基板は走査信号を伝達する走査信号配線またはゲート配線と、画像信号を伝達する画像信号線またはデータ配線とが形成されており、ゲート配線及びデータ配線と連結されている薄膜トランジスタ、薄膜トランジスタと連結されている画素電極、ゲート配線を覆って絶縁するゲート絶縁膜及び薄膜トランジスタとデータ配線を覆って絶縁する保護膜などから構成されている。薄膜トランジスタはゲート配線に接続されたゲート電極とチャンネルを形成する半導体層、データ配線の一部であるソース電極とドレイン電極及びゲート絶縁膜と保護膜などからなる。薄膜トランジスタはゲート配線を通じて伝達される走査信号により、データ配線を通じて伝達される画像信号を画素電極に伝達または遮断するスイッチング素子である。

【０００３】

大型で高精細の液晶表示装置が求められていることに伴い、各種寄生容量の増加による信号歪曲問題が至急解決しなければならない問題として浮上している。また、ノートブックコンピュータでの消費電力減少とテレビ用液晶表示装置での可視聴距離を増加させるための輝度向上が必要となっており、開口率の増大要求が大きくなっている。ところが、開口率を増大させるためには画素電極をデータ配線上にまで重なるように形成する必要があるが、このようにすると画素電極とデータ線の間の寄生容量が増加してしまう。寄生容量増加による問題を解決するためには画素電極とデータ線間の垂直離隔を十分に確保しなければならない。垂直離隔確保のために従来は主に有機絶縁膜で保護膜を形成していた。しかし、有機絶縁膜を利用する工程は次のような短所を持つ。まず、材料費が高い。特に、スピニングの際に失われる量が多いため材料費の増加をもたらす。次に、有機絶縁膜は耐熱性が不足していて後続工程が多く、多くの制約を受ける。また、材料が固まりなどによって不純物粒子が発生する頻度が高い。近接する層との接着力が脆弱である。保護膜上に形成される画素電極の形成時の蝕刻誤差が非常に大きい。

【発明の開示】

【発明が解決しようとする課題】

【０００４】

本発明が解決しようとする技術的課題は、高開口率を有して寄生容量問題がない薄膜トランジスタ基板を提供することにある。

【課題を解決するための手段】

## 【0005】

このような課題を解決するために本発明では低誘電率CVD膜を利用する。

具体的には、絶縁基板、前記絶縁基板上に形成されている第1信号線、

前記第1信号線上に形成されている第1絶縁膜、前記第1絶縁膜上に形成されており、前記第1信号線と交差している第2信号線、前記第1信号線及び前記第2信号線と連結されている薄膜トランジスタ、低誘電率CVD膜であって前記薄膜トランジスタ上に形成されており、前記薄膜トランジスタの所定電極を露出させる第1接触孔を有する第2絶縁膜、前記第2絶縁膜上に形成されており、前記第1接触孔を通じて前記薄膜トランジスタの所定電極と連結されている第1画素電極を含む薄膜トランジスタ基板を備える。

## 【0006】

この時、前記第1絶縁膜は低誘電率CVD膜である下部膜と窒化シリコン膜である上部膜とで構成でき、前記第1画素電極は光を反射させる不透明な導電物質で構成できて、前記第2絶縁膜は表面に凹凸パターンが有ってもよい。また、低誘電率CVD膜であって前記第1画素電極上に形成されており、前記第1画素電極の所定部分を露出させる第2接触孔を有する第3絶縁膜、及び前記第3絶縁膜の上に形成されており、前記第2接触孔を通じて前記第1画素電極と連結されており、光を反射させる不透明な導電物質から構成されている第2画素電極を更に含み、前記第1画素電極は透明な導電物質から構成されており、前記第2画素電極は前記第1画素電極を透過した光が通過できる所定の開口部を有することができる。前記低誘電率CVD膜はa-Si:C:Oまたはa-Si:O:Fで構成できる。また、前記低誘電率CVD膜の誘電率は2から4の間の値を有するのが好ましい。

## 【0007】

一方、絶縁基板上に形成されているデータ線を含むデータ配線、前記絶縁基板上に形成されている赤、緑、青の色フィルター、低誘電率CVD膜であって前記データ配線及び前記色フィルターの上に形成されており、前記データ配線の所定部分を露出させる第1接触孔を有するバッファ層、前記バッファ層上に形成されており、前記データ線と交差して画素を定義するゲート線及び前記ゲート線と連結されているゲート電極を含むゲート配線、前記ゲート配線上に形成されており、前記第1接触孔の少なくとも一部分を露出させる第2接触孔を有するゲート絶縁膜、前記ゲート電極上部の前記ゲート絶縁膜上に形成されている半導体層、前記第1接触孔及び前記第2接触孔を通じて前記データ線と連結されており、少なくとも一部分が前記半導体層と接しているソース用電極、前記半導体層上で前記ソース用電極と対向しているドレーン用電極、及び前記ドレーン用電極と連結されている画素電極を含む画素配線を含む薄膜トランジスタ基板を用意し、色フィルターを薄膜トランジスタアレイの下に形成することもできる。

## 【0008】

ここで、前記半導体層パターンは第1非晶質シリコン膜と、前記第1非晶質シリコン膜よりバンドギャップの低い第2非晶質シリコン膜の二重層構造として構成できて、前記データ線と同じ層及び同じ物質で形成されており、前記半導体層パターンに対応する部分に位置する光遮断部をさらに含むことができる。

このような薄膜トランジスタ基板は、絶縁基板上にデータ線を含むデータ配線を形成する第1段階、前記基板上部に赤、緑、青の色フィルターを形成する第2段階、低誘電率CVD膜を蒸着して、前記データ配線及び前記色フィルターを覆うバッファ層を形成する第3段階、前記絶縁膜上部にゲート線及びゲート電極を含むゲート配線を形成する第4段階、前記ゲート配線を覆うゲート絶縁膜を形成する第5段階、前記ゲート絶縁膜上に島模様の抵抗性接触層と半導体層パターンを形成する同時に、前記ゲート絶縁膜と前記バッファ層に前記データ線一部を露出する第1接触孔を形成する第6段階、前記島模様の抵抗性接触層パターンの上に互いに分離して形成されており、同じ層で作られたソース用電極及びドレーン用電極と、前記ドレーン用電極と連結された画素電極を含む画素配線を形成する第7段階、前記ソース用電極と前記ドレーン用電極の間に位置する前記抵抗性接触層パターンの露出部分を除去して、前記抵抗性接触層パターンを両側に分離する第8段階を含む方法で製造する。

## 【 0 0 0 9 】

ここで、第 6 段階は、前記ゲート絶縁膜上に非晶質シリコン膜、不純物がドーピングされた非晶質シリコン膜を順次に蒸着する段階、前記ゲート電極上の所定面積を覆っている所定の厚さの第 1 部分、前記第 1 接触孔が形成される部分を除いた残り部分を覆っており、前記第 1 部分より薄い第 2 部分からなる感光膜パターンを形成する段階、前記感光膜の第 1 部分及び第 2 部分をマスクとしてその下部の前記不純物がドーピングされた非晶質シリコン膜、前記非晶質シリコン膜、前記ゲート絶縁膜及び前記バッファ層を蝕刻して前記第 1 接触孔を形成する段階、前記感光膜パターンの第 2 部分を除去する段階、前記感光膜パターンの第 1 部分をマスクとしてその下部の前記不純物がドーピングされた非晶質シリコン膜及び前記非晶質シリコン膜を蝕刻して、前記島模様の半導体層パターンと前記抵抗性接触層パターンを形成する段階、前記感光膜パターンの第 1 部分を除去する段階を含む段階であることができる。

## 【 0 0 1 0 】

また、絶縁基板、前記基板上に形成されており、ゲート線、ゲート電極及びゲートパッドを含むゲート配線、前記ゲート配線上に形成されており、少なくとも前記ゲートパッドを露出させる接触孔を有するゲート絶縁膜、前記ゲート絶縁膜上に形成されている半導体層パターン、前記半導体層パターン上に形成されている接触層パターン、前記接触層パターン上に形成されており、前記接触層パターンと実質的に同じ形態を有し、ソース電極、ドレーン電極、データ線及びデータパッドを含むデータ配線、前記データ配線上に形成されており、前記ゲートパッド、前記データパッド及び前記ドレーン電極を露出させる接触孔を有し、低誘電率 C V D 膜からなる保護膜パターン、前記ゲートパッド、データパッド及びドレーン電極と各々電気的に連結される透明電極層パターンを含む液晶表示装置用薄膜トランジスタ基板を用意する。

## 【 0 0 1 1 】

この時、前記絶縁基板上の前記ゲート配線と同一層に形成されている維持容量線、前記維持容量と重なっており、前記半導体パターンと同一層に形成されている維持蓄電器用半導体パターン、前記維持蓄電器用半導体パターン上に形成されており、前記維持蓄電器用半導体パターンと同じ平面的模様を有する維持蓄電器用接触層パターン及び前記維持蓄電器用接触層パターン上に形成されており、前記維持蓄電器用半導体パターンと同じ平面的模様を有する維持蓄電器用導電体パターンをさらに含み、前記維持蓄電器用導電体パターンは前記透明電極パターンの一部と連結されていてもよい。

## 【 0 0 1 2 】

このような薄膜トランジスタ基板は、絶縁基板上にゲート線、前記ゲート線と連結されているゲート電極及び前記ゲート線と連結されているゲートパッドを含むゲート配線を形成する段階、ゲート絶縁膜を形成する段階、半導体層を形成する段階、導電物質を積層しパターン化して、前記ゲート線と交差するデータ線、前記データ線と連結されているデータパッド、前記データ線と連結されており、前記ゲート電極に隣接するソース電極、及び前記ゲート電極に対して前記ソース電極の対向側に位置するドレーン電極を含むデータ配線を形成する段階、低誘電率 C V D 膜を蒸着して保護膜を形成する段階、前記ゲート絶縁膜と共に前記保護膜をパターン化して、前記ゲートパッド、前記データパッド及び前記ドレーン電極を各々露出する接触孔を形成する段階、透明導電膜を積層しパターン化して、前記接触孔を通じて前記ゲートパッド、前記データパッド及び前記ドレーン電極と各々連結される補助ゲートパッド、補助データパッド及び画素電極を形成する段階を含む方法で製造する。

## 【 0 0 1 3 】

この時、前記保護膜を形成する段階は、気体状態の  $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  のうちの少なくともいずれか一つを基本ソースとして使用し、 $\text{N}_2\text{O}$  または  $\text{O}_2$  を酸化剤として使用して PECVD 法により蒸着したり、気体状態の  $\text{SiH}_4$ 、 $\text{SiF}_4$  のうちの少なくともいずれか一つと  $\text{CF}_4$  と  $\text{O}_2$  を添加した気体とを使用し、PECVD 法により蒸着する段階であり得る。

## 【 0 0 1 4 】

また、前記データ配線及び前記半導体層は、第 1 部分、前記第 1 部分より厚さが厚い第 2 部分、前記第 1 厚さより厚さが薄い第 3 部分を有する感光膜パターンを利用する写真蝕刻工程と一緒に形成でき、前記写真蝕刻工程で、前記第 1 部分は前記ソース電極と前記ドレーン電極の間に位置するように形成し、前記第 2 部分は前記データ配線上部に位置するように形成するのが好ましい。また、前記ゲート絶縁膜を形成する段階は、低誘電率 C V D 膜を蒸着する第 1 段階及び窒化シリコン膜を蒸着する第 2 段階からなり、前記第 1 段階と前記第 2 段階は真空の維持される状態で行う段階であり得る。以上において、前記低誘電率 C V D 膜の誘電率は 2 から 4 までの間の値を有する。

## 【 発明の効果 】

## 【 0 0 1 5 】

本発明では低誘電率 C V D 膜を使用して保護膜を形成するので寄生容量問題を解消して高開口率構造を実現でき、工程時間を短縮できて、有機絶縁膜を使用する時に発生する材料費の上昇、耐熱性不足、隣接膜との接着力不足などの問題を解決できる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 6 】

以下、添付した図面を参照して本発明の実施例について説明する。

図 1 は本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板であり、図 2 は図 1 に示した薄膜トランジスタ基板の II - II 線に対する断面図である。

絶縁基板 1 0 の上にクロム (Cr) またはモリブデン (Mo) 合金などで構成された第 1 ゲート配線層 2 2 1、2 4 1、2 6 1 と、アルミニウム (Al) または銀 (Ag) 合金などで構成された第 2 ゲート配線層 2 2 2、2 4 2、2 6 2 の二重層として構成されるゲート配線が形成されている。ゲート配線は横方向に伸びているゲート線 2 2、ゲート線 2 2 の端に連結されていて外部からのゲート信号の印加を受けてゲート線に伝達するゲートパッド 2 4、及びゲート線 2 2 に連結されている薄膜トランジスタのゲート電極 2 6 を含む。

## 【 0 0 1 7 】

基板 1 0 の上には窒化シリコン (SiNx) などからなるゲート絶縁膜 3 0 がゲート配線 2 2、2 4、2 6 を覆っている。

ゲート電極 2 4 のゲート絶縁膜 3 0 の上部には非晶質シリコンなどの半導体からなる半導体層 4 0 が島模様に形成されており、半導体層 4 0 の上部にはシリサイドまたは n 形不純物が高濃度でドーピング (活性剤として添加) されている n+水素化非晶質シリコンなどの物質で作られた抵抗性接触層 5 4、5 6 が各々形成されている。

## 【 0 0 1 8 】

抵抗性接触層 5 4、5 6 及びゲート絶縁膜 3 0 の上にはデータ線アセンブリが 2 重層構造で形成されている。データ線アセンブリは、Cr 合金や Mo 合金などからなる第 1 データ配線層 6 2 1、6 5 1、6 6 1、6 8 1 と、Al または Ag 合金などからなる第 2 データ配線層 6 2 2、6 5 2、6 6 2、6 8 2 の二重層になっている。データ配線 6 2、6 5、6 6、6 8 は縦方向に形成され、ゲート線 2 2 と交差して画素を定義するデータ線 6 2、データ線 6 2 の分枝であり、抵抗性接触層 5 4 の上部まで延びているソース電極 6 5、データ線 6 2 の一端に連結されており、外部からの画像信号の印加を受けるデータパッド 6 8、ソース電極 6 5 と分離されており、ゲート電極 2 6 に対してソース電極 6 5 の反対側抵抗性接触層 5 6 の上部に形成されているドレーン電極 6 6 を含む。

## 【 0 0 1 9 】

データ配線 6 2、6 5、6 6、6 8 及びこれらが遮ることのない半導体層 4 0 の上部には、PECVD (プラズマ強化 C V D) 法によって蒸着された a - Si : C : O 膜または a - Si : O : F 膜 (低誘電率 C V D 膜) からなる保護膜 7 0 が形成されている。PECVD 法によって蒸着された a - Si : C : O 膜と a - Si : O : F 膜 (低誘電率 C V D 膜) は誘電定数が 4 以下 (誘電定数は 2 ないし 4 の間の値を有する) であって誘電率が非常に低い。従って、厚さが薄くても寄生容量問題が発生しない。さらに、他の膜との接着性及び段差被覆性 (step coverage) が優れている。また、無機質 C V D 膜であるので耐



熱性が有機絶縁膜に比べて優れている。同時に、PECVD法によって蒸着されたa-Si:C:O膜とa-Si:O:F膜(低誘電率CVD膜)は蒸着速度や蝕刻速度が窒化シリコン膜に比べて4~10倍速いので、工程時間面からも非常に有利である。

#### 【0020】

保護膜70にはドレーン電極66及びデータパッド68を各々露出する接触孔76、78が形成されており、ゲート絶縁膜30と共にゲートパッド24を露出する接触孔74が形成されている。この時、パッド24、68を露出する接触孔74、78は角を有したり円形の多様な模様で形成でき、面積は2mm×60μmを超えず、0.5mm×15μm以上であるのが好ましい。

#### 【0021】

保護膜70の上には接触孔76を通じてドレーン電極66と電氣的に連結されており、画素に位置する画素電極82が形成されている。また、保護膜70の上には接触孔74、78を通じて各々ゲートパッド24及びデータパッド68と連結されている補助ゲートパッド86及び補助データパッド88が形成されている。ここで、画素電極82と補助ゲート及びデータパッド86、88はITO(インジウム錫酸化物)またはIZO(インジウム亜鉛酸化物)から構成されている。

#### 【0022】

ここで、画素電極82は図1及び図2のように、ゲート線22と重なって維持蓄電器をなし、維持容量が足りない場合には、ゲート配線22、24、26と同一層に維持容量用配線を追加することもできる。

また、画素電極82はデータ線62とも重なるように形成して開口率を極大化している。このように開口率を極大化するために画素電極82をデータ線62と重ねて形成しても、保護膜70の誘電率が低いためこれらの間で形成される寄生容量は問題にならない程度に小さい。

#### 【0023】

以下、このような本発明の第1実施例による薄膜トランジスタ基板の製造法について、図3a乃至図7bを参照して詳細に説明する。

まず、図3a及び3bに示したように、基板10の上にCrまたはMo合金などを蒸着して第1ゲート配線層221、241、261を積層し、AlまたはAg合金などを蒸着して第2ゲート配線層222、242、262を積層した後にパターニングして、ゲート線22、ゲート電極26及びゲートパッド24を含む横方向に伸びているゲート配線を形成する。

#### 【0024】

この時、第1ゲート配線層221、241、261をMo合金で形成し、第2ゲート配線層222、242、262をAg合金で形成した場合には、これら二つの層が全てAg合金蝕刻剤であるリン酸、硝酸、酢酸及び超純水(deionized water)を混合した物質によって蝕刻される。従って、一回の蝕刻工程により二重層のゲート配線22、24、26を形成できる。また、リン酸、硝酸、酢酸及び超純水混合物によるAg合金とMo合金に対する蝕刻比はAg合金に対する蝕刻比がより大きいので、ゲート配線に必要な30°程度の細り(taper)角が得られる。

#### 【0025】

次に、図4a及び図4bに示したように、窒化シリコンからなるゲート絶縁膜30、非晶質シリコンからなる半導体層40、ドーピングされた非晶質シリコン層50の3層膜を連続して積層し、半導体層40とドーピングされた非晶質シリコン層50を写真蝕刻して、ゲート電極24上部のゲート絶縁膜30の上に島模様の半導体層40と抵抗性接触層50を形成する。

#### 【0026】

次に、図5a乃至図5bに示したように、CrまたはMo合金などを基板10に蒸着して第1データ配線層651、661、681を積層し、AlまたはAg合金などを蒸着して第2データ配線層652、662、682を積層した後に写真蝕刻して、ゲート線22

と交差するデータ線 62、データ線 62 と連結されてゲート電極 26 の上部まで延びているソース電極 65、外部から画像信号を受信するデータ線 62 の一端に連結されているデータパッド 68、及びソース電極 64 と分離されており、ゲート電極 26 を中心にソース電極 65 と対向するドレーン電極 66 を含むデータ配線を形成する。

【0027】

次に、データ配線 62、65、66、68 で遮らないドーピングされた非晶質シリコン層 50 を蝕刻してゲート電極 26 を中心に両側に分離させる一方、両側のドーピングされた非晶質シリコン層 55、56 の間の半導体層 40 を露出させる。次に、露出された半導体層 40 の表面を安定化させるために酸素プラズマを実施するのが好ましい。

次に、図 6a 及び 6b のように、 $a\text{-Si}:\text{C}:\text{O}$  膜または  $a\text{-Si}:\text{O}:\text{F}$  膜を化学気相蒸着 (CVD) 法によって成長させて保護膜 70 を形成する。この時、 $a\text{-Si}:\text{C}:\text{O}$  膜の場合には気体状態の  $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  などを基本ソースとして使用し、 $\text{N}_2\text{O}$  または  $\text{O}_2$  などの酸化剤と Ar または He などと混合した気体を落としながら蒸着する。また、 $a\text{-Si}:\text{O}:\text{F}$  膜の場合には  $\text{SiH}_4$ 、 $\text{SiF}_4$  等に  $\text{O}_2$  を添加した気体を落としながら蒸着する。この時、フッ素の補助ソースとして  $\text{CF}_4$  を添加することもできる。

【0028】

次に、ゲート絶縁膜 30 と共に保護膜 70 をパターニングして、ゲートパッド 24、ドレーン電極 66 及びデータパッド 68 を露出する接触孔 74、76、78 を形成する。ここで、接触孔 74、76、78 は角を有する模様または円形の模様形成でき、パッド 24、68 を露出する接触孔 74、78 の面積は  $2\text{mm} \times 60\mu\text{m}$  を超えず、 $0.5\text{mm} \times 15\mu\text{m}$  以上であるのが好ましい。

【0029】

次に、最後に図 1 及び 2 に示したように、ITO または IZO 膜を蒸着し写真蝕刻して、第 1 接触孔 76 を通じてドレーン電極 66 と連結される画素電極 82 と第 2 及び第 3 接触孔 74、78 を通じてゲートパッド 24 及びデータパッド 68 と各々連結される補助ゲートパッド 86、及び補助データパッド 88 を形成する。ITO や IZO を積層する前の予熱 (pre-heating) 工程で使用する気体は窒素を利用するのが好ましい。これは接触孔 74、76、78 を通じて露出している金属膜 24、66、68 の上部に金属酸化膜が形成されることを防止するためである。

【0030】

以上のように、PECVD で形成した  $a\text{-Si}:\text{C}:\text{O}$  または  $a\text{-Si}:\text{O}:\text{F}$  などの低誘電率絶縁膜 (低誘電率 CVD 膜) を保護膜 70 として使用することにより寄生容量問題を解決でき、従って、開口率を極大化できる。それだけでなく、蒸着及び蝕刻速度が速くなるので工程時間を縮小できる。

図 7 は本発明の第 2 実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図 8 及び図 9 は各々図 7 に示した薄膜トランジスタ基板を VII-III' 線及び IX-IX' 線による断面図である。

【0031】

まず、絶縁基板 10 の上に、第 1 実施例と同一に Cr または Mo 合金などからなる第 1 ゲート配線層 221、241、261 と Al または Ag 合金などからなる第 2 ゲート配線層 222、242、262 の二重層からなるゲート配線が形成されている。ゲート配線はゲート線 22、ゲートパッド 24 及びゲート電極 26 を含む。

基板 10 の上にはゲート線 22 と平行に維持電極線 28 が形成されている。維持電極線 28 もまた第 1 ゲート配線層 281 と第 2 ゲート配線層 282 の二重層になっている。維持電極線 28 は後述する画素電極 82 と連結された維持蓄電器用導電体パターン 64 と重なって画素の電荷保存能力を向上させる維持蓄電器をなし、後述する画素電極 82 とゲート線 22 の重なりで発生する維持容量が十分である場合には形成しないこともある。維持電極線 28 には通常、上部基板の共通電極と同じ電圧が印加される。

【0032】

ゲート配線 22、24、26 及び維持電極線 28 の上には窒化シリコン (SiNx) などからなるゲート絶縁膜 30 が形成されてゲート配線 22、24、26、28 を覆っている。

ゲート絶縁膜 30 の上には水素化非晶質シリコン (hydrogenated amorphous silicon) などの半導体からなる半導体パターン 42、48 が形成されており、半導体パターン 42、48 の上にはリン (P) などの n 形不純物が高濃度でドーピングされている非晶質シリコンなどからなる第 1 から第 3 の抵抗性接触層 (ohmic contact layer) パターン 55、56、58 が形成されている。

#### 【0033】

抵抗性接触層パターン 55、56、58 の上には Cr または Mo 合金などからなる第 1 データ配線層 621、641、651、661、681 と、Al または Ag 合金などからなる第 2 データ配線層 622、642、652、662、682 の二重層からなるデータ配線 62、64、65、66、68 が形成されている。データ配線は縦方向に形成されているデータ線 62、データ線 62 の一端に連結されて外部からの画像信号の印加を受けるデータパッド 68、及びデータ線 62 の分枝である薄膜トランジスタのソース電極 65 からなるデータ線部 62、68、65 を含み、また、データ線部 62、68、65 と分離されており、ゲート電極 26 または薄膜トランジスタのチャンネル部 C に対してソース電極 65 の反対側に位置する薄膜トランジスタのドレーン電極 66 と、維持電極線 28 上に位置している維持蓄電器用導電体パターン 64 も含む。維持電極線 28 を形成しない場合には維持蓄電器用導電体パターン 64 も形成しない。

#### 【0034】

データ配線 62、64、65、66、68 は Al または Ag の単一層で形成することもできる。

第 1 から第 3 の接触層パターン 55、56、58 はその下部の半導体パターン 42、48 とその上部のデータ配線 62、64、65、66、68 の接触抵抗を低くする役割を果たし、データ配線 62、64、65、66、68 と完全に同じ形態を有する。つまり、データ線部中間層パターン 55 はデータ線部 62、68、65 と同一で、ドレーン電極用中間層パターン 56 はドレーン電極 66 と同一で、維持蓄電器用中間層パターン 58 は維持蓄電器用導電体パターン 64 と同一である。

#### 【0035】

一方、半導体パターン 42、48 は薄膜トランジスタのチャンネル部 C を除いてはデータ配線 62、64、65、66、68 及び抵抗性接触層パターン 55、56、58 と同じ形態を有している。具体的には、維持蓄電器用半導体パターン 48 と維持蓄電器用導電体パターン 64 及び維持蓄電器用接触層パターン 58 は同じ形態であるが、薄膜トランジスタ用半導体パターン 42 はデータ配線及び接触層パターンの残りの部分と多少異なる。つまり、チャンネル部 C でデータ線部 62、68、65、特にソース電極 65 とドレーン電極 66 が分離されており、第 1 及び第 2 の抵抗接触層 55、56 も分離されているが、薄膜トランジスタ用半導体パターン 42 はこのところで切れずに連結されて薄膜トランジスタのチャンネルを生成する。

#### 【0036】

データ配線 62、64、65、66、68 上には PECVD 法によって蒸着された a-Si : C : O 膜または a-Si : O : F 膜 (低誘電率 CVD 膜) からなる保護膜 70 が形成されている。PECVD 法によって蒸着された a-Si : C : O 膜と a-Si : O : F 膜 (低誘電率 CVD 膜) は誘電定数が 4 以下であって誘電率が非常に低い。従って、厚さが薄くても寄生容量問題が発生しない。また、他の膜との接着性及び段差被覆性が優れている。さらに、無機質 CVD 膜であるので耐熱性が有機絶縁膜に比べて優れている。同時に、PECVD 法によって蒸着された a-Si : C : O 膜と a-Si : O : F 膜 (低誘電率 CVD 膜) は蒸着速度や蝕刻速度が窒化シリコン膜に比べて 4 ~ 10 倍速いので、工程時間面でも非常に有利である。

#### 【0037】

保護膜 70 はドレーン電極 66、データパッド 68 及び維持蓄電器用導電体パターン 6

4を露出させる接触孔76、78、72を有しており、また、ゲート絶縁膜30と共にゲートパッド24を露出させる接触孔74を有している。

保護膜70上には薄膜トランジスタから画像信号を受けてカラーフィルター基板の共通電極と共に電場を生成する画素電極82が形成されている。画素電極82はITOまたはIZOなどの透明な導電物質で形成され、ドレーン電極66と物理的、電氣的に連結されて画像信号の伝達を受ける。また、画素電極82は隣接するゲート線22及びデータ線62と重なって開口率を高めているが、重ならないこともある。また、画素電極82は接触孔72を通じて維持蓄電器用導電体パターン64とも連結されて導電体パターン64に画像信号を伝達する。一方、ゲートパッド24及びデータパッド68上には接触孔74、78を通じて各々これらと連結される補助ゲートパッド86及び補助データパッド88が形成されており、これらはパッド24、68と外部回路装置との接着性を補完しパッドを保護する役割を果たすもので必須なものではなく、これらの適用如何は選択的である。

#### 【0038】

以下、薄膜トランジスタ基板を4枚のマスクを用いて製造する方法について、詳細に図10a乃至図17cを参照して説明する。

まず、図10a乃至10cに示したように、CrまたはMo合金などを基板10に蒸着して第1ゲート配線層221、241、261、281を積層し、AlまたはAg合金などを蒸着して第2ゲート配線層222、242、262、282を積層した後、写真蝕刻してゲート線22、ゲートパッド24、ゲート電極26を含むゲート配線と維持電極線28を形成する。

#### 【0039】

その後、図11a及び11bに示したように、ゲート絶縁膜30、半導体層40、中間層50を化学気相蒸着法を用いて各々1,500乃至5,000、500乃至2,000、300乃至600の厚さで連続蒸着し、次いで、CrまたはMo合金などからなる第1導電膜601とAlまたはAg合金からなる第2導電膜602をスパッタリングなどの方法で抵抗接触層50に蒸着して導電体層60を形成した後、その上に感光膜110を1乃至2 $\mu$ mの厚さで塗布する。

#### 【0040】

その後、マスクを通して感光膜110に光を照射した後、現像して、図12b及び12cに示したように、感光膜パターン112、114を形成する。この時、感光膜パターン112、114の中でチャンネル部C、即ち、ソース電極65とドレーン電極66の間に位置した第1部分114は第2部分112より厚さを薄くするようにし、その他の部分Bの感光膜は全て除去する。この時、チャンネル部Cに残っている感光膜114の厚さとデータ配線部Aに残っている感光膜112の厚さの比は後述する蝕刻工程での工程条件によって異なるようにしなければならず、第1部分114の厚さを第2部分112の厚さの1/2以下とするのが好ましく、例えば、4,000以下であるのがよい。

#### 【0041】

このように、位置によって感光膜の厚さを異にする方法としては多様なものが有り得、a領域の光透過量を調節するために主にスリット(slit)または格子形態のパターンを形成したり半透明膜を使用する。

この時、スリットの幅は露光時に使用する露光器の分解能より小さいのが好ましく、半透明膜を利用する場合にはマスクを製作する時に透過率を調節するために異なる透過率を有する薄膜を利用したり厚さの異なる薄膜を利用できる。

#### 【0042】

このようなマスクを通して感光膜に光を照射すると光に直接露出される部分では高分子が完全に分解され、スリットパターンまたは半透明膜が形成されている部分では光の照射量が少ないので高分子は完全分解されていない状態であり、遮光幕で遮った部分では高分子が殆ど分解されない。次いで、感光膜を現像すると、高分子の分子が分解されない部分のみが残り、光が少なく照射された中央部分には光に全く照射されない部分より厚さの薄い感光膜を残せる。この時、露光時間を長くすると全ての分子が分解されるので、そう

らないようにしなければならない。

【 0 0 4 3 】

このような、厚さの薄い感光膜 1 1 4 は、リフローの可能な物質で作られた感光膜を利用し、光が完全に透過できる部分と光が完全に透過できない部分とに分けられた通常のマスクで露光した後に現像し、リフローさせて、感光膜が残留しない部分に感光膜の一部を流れ落ちるようにすることによって、形成することもできる。

次いで、感光膜パターン 1 1 4 及びその下部の膜、即ち、導電体層 6 0、中間層 5 0 及び半導体層 4 0 に対する蝕刻を進める。この時、データ配線部 A にはデータ配線及びその下部の膜がそのまま残っており、チャンネル部 C には半導体層のみが残っていなければならない。残りの部分 B には上の 3 個の層 6 0、5 0、4 0 が全て除去されてゲート絶縁膜 3 0 が露出されなければならない。

【 0 0 4 4 】

まず、図 1 3 a 及び 1 3 b に示したように、その他の部分 B の露出されている導電体層 6 0 を除去してその下部の中間層 5 0 を露出させる。この過程では乾式蝕刻または湿式蝕刻法の両方を使用でき、この時、導電体層 6 0 は蝕刻され感光膜パターン 1 1 2、1 1 4 は殆ど蝕刻されない条件下で行うのが好ましい。しかし、乾式蝕刻の場合、導電体層 6 0 のみを蝕刻し感光膜パターン 1 1 2、1 1 4 は蝕刻されない条件を探すことが難しく、感光膜パターン 1 1 2、1 1 4 も共に蝕刻される条件下で行える。この場合には湿式蝕刻の場合より第 1 部分 1 1 4 の厚さを厚くしてこの過程で第 1 部分 1 1 4 が除去されて下部の導電体層 6 0 が露出されることが発生しないようにする。

【 0 0 4 5 】

このようにすると、図 1 3 a 及び図 1 3 b に示したように、チャンネル部 C 及びデータ配線部 B の導電体層、即ち、ソース/ドレイン用導電体パターン 6 7 と維持蓄電器用導電体パターン 6 8 のみ残り、その他の部分 B の導電体層 6 0 は全て除去されてその下部の中間層 5 0 が露出される。この時に残った導電体パターン 6 7、6 4 はソース及びドレイン電極 6 5、6 6 が分離されずに連結されている点を除いてはデータ配線 6 2、6 4、6 5、6 6、6 8 の形態と同一である。また、乾式蝕刻を使用した場合、感光膜パターン 1 1 2、1 1 4 もある程度の厚さで蝕刻される。

【 0 0 4 6 】

次いで、図 1 4 a 及び 1 4 b に示したように、その他の部分 B の露出された中間層 5 0 及びその下部の半導体層 4 0 を感光膜の第 1 部分 1 1 4 と共に乾式蝕刻法で同時に除去する。この時の蝕刻は感光膜パターン 1 1 2、1 1 4 と中間層 5 0 及び半導体層 4 0 が同時に蝕刻されゲート絶縁膜 3 0 は蝕刻されない条件下で行わなければならない。特に感光膜パターン 1 1 2、1 1 4 と半導体層 4 0 に対する蝕刻比が殆ど同じ条件で蝕刻するのが好ましい。例えば、SF<sub>6</sub>とHCLの混合気体、またはSF<sub>6</sub>とO<sub>2</sub>の混合気体を用いると殆ど同じ厚さで二つの膜を蝕刻できる。感光膜パターン 1 1 2、1 1 4 と半導体層 4 0 に対する蝕刻比が同じ場合、第 1 部分 1 1 4 の厚さは半導体層 4 0 と中間層 5 0 の厚さを合わせたものと同じか、それより小さくしなければならない。

【 0 0 4 7 】

このようにすると、図 1 4 a 及び 1 4 b に示したように、チャンネル部 C の第 1 部分 1 1 4 が除去されてソース/ドレイン用導電体パターン 6 7 が露出され、その他の部分 B の中間層 5 0 及び半導体層 4 0 が除去されてその下部のゲート絶縁膜 3 0 が露出される。一方、データ配線部 A の第 2 部分 1 1 2 も蝕刻されるので厚さが薄くなる。また、この段階で半導体パターン 4 2、4 8 が完成する。図面符号 5 7 と 5 8 は各々ソース/ドレイン用導電体パターン 6 7 下部の中間層パターンと維持蓄電器用導電体パターン 6 4 下部の中間層パターンを指す。

【 0 0 4 8 】

次いで、灰化処理 (ashing) を通じてソース/ドレイン用導電体パターン 6 7 の表面に残っている感光膜クズを除去する。

その次、図 1 5 a 及び 1 5 b に示したように、チャンネル部 C のソース/ドレイン用導

電体パターン 67 及びその下部の中間層パターン 57 を蝕刻して除去する。この時、蝕刻はソース/ドレーン用導電体パターン 67 と中間層パターン 57 の両方に対して乾式蝕刻のみで行え、ソース/ドレーン用導電体パターン 67 に対しては湿式蝕刻で、中間層パターン 57 に対しては乾式蝕刻を行うこともできる。前者の場合、ソース/ドレーン用導電体パターン 67 と中間層パターン 57 の蝕刻選択比が大きい条件下で蝕刻を行うのが好ましく、これは蝕刻選択比が大きい場合には蝕刻終点を探すことが難しいのでチャンネル部 C に残る半導体パターン 42 の厚さを調節することが容易ではないためである。湿式蝕刻と乾式蝕刻を交互にする後者の場合には湿式蝕刻されるソース/ドレーン用導電体パターン 67 の側面は蝕刻されるが、乾式蝕刻される中間層パターン 57 は殆ど蝕刻されないで階段形態に形成される。蝕刻気体の例としては  $\text{CF}_4$  と  $\text{HCL}$  の混合気体または  $\text{CF}_4$  と  $\text{O}_2$  の混合気体があり、 $\text{CF}_4$  と  $\text{O}_2$  を使用すると均一な厚さで半導体パターン 42 を残せる。この時、図 15b に示したように、半導体パターン 42 の一部が除去されて厚さを薄くでき、感光膜パターンの第 2 部分 112 もこの時ある程度の厚さで蝕刻される。この時の蝕刻はゲート絶縁膜 30 が蝕刻されない条件で行わなければならない、第 2 部分 112 が蝕刻されてその下部のデータ配線 62、64、65、66、68 が露出されることがないように厚い感光膜パターンが好ましいことは当然である。

#### 【0049】

このようにすると、ソース電極 65 とドレーン電極 66 が分離されデータ配線 62、64、65、66、68 とその下部の接触層パターン 55、56、58 が完成する。

最後にデータ配線部 A に残っている感光膜第 2 部分 112 を除去する。しかし、第 2 部分 112 の除去はチャンネル部 C ソース/ドレーン用導電体パターン 67 を除去した後、その下の中間層パターン 57 を除去する前に行われることもできる。

#### 【0050】

前述のように、ドライエッチングのみの場合には一つの種類の蝕刻のみを使用するので工程が比較的簡便であるが、適当な蝕刻条件を探すことが難しい。反面、前者の場合には蝕刻条件を探すことが比較的容易であるが、工程が後者に比べて面倒な点がある。

その次、図 16a 及び図 16b に示したように、 $\text{a-Si}:\text{C}:\text{O}$  膜または  $\text{a-Si}:\text{O}:\text{F}$  膜を化学気相蒸着 (CVD) 法によって成長させて保護膜 70 を形成する。この時、 $\text{a-Si}:\text{C}:\text{O}$  膜の場合は気体状態の  $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$  などを基本ソースとして使用し、 $\text{N}_2\text{O}$  または  $\text{O}_2$  などの酸化剤と Ar または He などと混合した気体を流しながら蒸着する。また、 $\text{a-Si}:\text{O}:\text{F}$  膜の場合は  $\text{SiH}_4$ 、 $\text{SiF}_4$  等に  $\text{O}_2$  を添加した気体を流しながら蒸着する。この時、フッ素の補助ソースとして  $\text{CF}_4$  を添加することもできる。

#### 【0051】

次いで、図 17a 乃至図 17c に示したように、保護膜 70 をゲート絶縁膜 30 と共に写真蝕刻してドレーン電極 66、ゲートパッド 24、データパッド 68 及び維持蓄電器用導電体パターン 64 を各々露出する接触孔 76、74、78、72 を形成する。この時、パッド 24、68 を露出する接触孔 74、78 の面積は  $2\text{mm} \times 60\mu\text{m}$  を超えず、 $0.5\text{mm} \times 15\mu\text{m}$  以上であるのが好ましい。

#### 【0052】

最後に、図 8 乃至 10 に示したように、400 乃至 500 の厚さの ITO 層または IZO 層を蒸着し写真蝕刻してドレーン電極 66 及び維持蓄電器用導電体パターン 64 に連結された画素電極 82、ゲートパッド 24 に連結された補助ゲートパッド 86、及びデータパッド 68 に連結された補助データパッド 88 を形成する。

この時、画素電極 82、補助ゲートパッド 86 及び補助データパッド 88 を IZO で形成する場合には蝕刻液としてクロム蝕刻液を使用できるので、これらを形成するための蝕刻過程で接触孔を通じて露出されたデータ配線やゲート配線金属が腐食されることを防止できる。このようなクロム蝕刻液としては  $(\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O})$  などがある。また、接触部の接触抵抗を最少化するためには IZO を常温から 200 以下の範囲で積層するのが好ましく、IZO 薄膜を形成するために使用するターゲットは

$\text{In}_2\text{O}_3$ 及び $\text{ZnO}$ を含むのが好ましく、 $\text{ZnO}$ の含有量は15～20%範囲であるのが好ましい。

【0053】

一方、ITOまたはIZOを積層する前の予熱工程で使用する気体としては窒素を使用するのが好ましく、これは接触孔72、74、76、78を通じて露出された金属膜24、64、66、68の上部に金属酸化膜が形成されることを防止するためである。

このような本発明の第2実施例では第1実施例による効果だけでなくデータ配線62、64、65、66、68とその下部の接触層パターン55、56、58及び半導体パターン42、48を一つのマスクを用いて形成し、この過程でソース電極65とドレーン電極66を分離することによって製造工程を単純化できる。

【0054】

本発明によるCVDで形成した $\text{a-Si}:\text{C}:\text{O}$ 膜または $\text{a-Si}:\text{O}:\text{F}$ 膜(低誘電率CVD膜)は色フィルター上に薄膜トランジスタアレイを形成するAOC(array on color filter)構造で色フィルターと薄膜トランジスタを分離するバッファ層として使用しても有用である。

図18は本発明の第3実施例による薄膜トランジスタ基板の配置図であり、図19は、図18に示した薄膜トランジスタ基板を、切断線XIX-XIXに沿って示した断面図である。図19には薄膜トランジスタ基板である下部基板とこれと対向する上部基板を共に示した。

【0055】

まず、下部基板には、絶縁基板100の上部に銅、銅合金、銀、銀合金、アルミニウム及びアルミニウム合金などの物質のうちのいずれかの一つからなる下層201とクロム、モリブデン、モリブデン合金、窒化クロム及び窒化モリブデンなどの物質のうちのいずれかの一つからなる上層201を含むデータ配線120、121、124が形成されている。

【0056】

データ配線120、121、124は縦方向に伸びているデータ線120、データ線120の端に連結されていて外部から画像信号の伝達を受けてデータ線120に伝達するデータパッド124、及びデータ線120の分枝であって基板100の下部から薄膜トランジスタの半導体層170に入射する光を遮断する光遮断部121を含む。ここで、光遮断部121は漏洩する光を遮断するブラックマトリックスの機能も共に有し、データ線120から分離して断絶された配線として形成できる。

【0057】

データ配線120、121、124は二重膜で形成されているが、銅または銅合金またはアルミニウム(Al)またはアルミニウム合金(Al alloy)、モリブデン(Mo)またはモリブデン-タングステン(MoW)合金、クロム(Cr)、タンタル(Ta)などの導電物質からなる単一膜で形成することもできる。

ここでは、データ配線120、121、124は、この後に形成される画素配線410、411、412及び補助パッド413、414がITOであることを考慮して、下層201を抵抗の小さい物質で形成し、上層202は異なる物質、特にITOとの接触特性が良い物質で形成した場合を例示した。具体的な例として、下層201をAl-Ndで形成し、上層202をCrNxで形成できる。

【0058】

画素配線410、411、412及び補助パッド413、414がIZOである場合にはデータ配線120、121、124をアルミニウムまたはアルミニウム合金の単一膜で形成するのが好ましく、銅がIZO及びITOとの接触特性に優れているので銅の単一膜で形成することもできる。

下部絶縁基板100の上には端部がデータ配線120、121の端部と重なる赤(R)、緑(G)、青(b)の色フィルター131、132、133が各々形成されている。ここで、色フィルター131、132、133はデータ線120を全て覆うように形成でき

る。

#### 【0059】

データ配線120、121、124及び色フィルター131、132、133上にはPECVD法によって蒸着されたa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)からなるバッファ層140が形成されている。ここで、バッファ層140は色フィルター131、132、133からのガス放出を防止して色フィルター自体が後続工程での熱及びプラズマエネルギーによって損傷することを防止するための層である。また、バッファ層140は最下部のデータ配線120、121、124と薄膜トランジスタアレイを分離しているので誘電率が低く厚さが厚いほど有利である。このような点を考慮すると、PECVD法によって蒸着されたa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)はバッファ層140として使用するのに適格である。つまり、誘電率が低く、蒸着速度が非常に速く、BCB(bisbenzocyclobutene)またはPFCB(perfluorocyclobutene)などの有機絶縁物質に比べて価格が安い。また、a-Si:O:C薄膜は常温から400に至る広い温度範囲で優れた絶縁特性を有する。

#### 【0060】

バッファ層140上には上部に銅、銅合金、銀、銀合金、アルミニウム及びアルミニウム合金などの物質のうちのいずれかの一つからなる下層501とクロム、モリブデン、モリブデン合金、窒化クロム、窒化モリブデンなどの物質のうちのいずれかの一つからなる上層502を含む二重層構造のゲート配線が形成されている。

ゲート配線は横方向に伸びてデータ線120と交差して単位画素を定義するゲート線150、ゲート線150の端に連結されており、外部からの走査信号の印加を受けてゲート線150に伝達するゲートパッド152、及びゲート線150の一部である薄膜トランジスタのゲート電極151を含む。

#### 【0061】

ここで、ゲート線150は後述する画素電極410と重なって画素の電荷保存能力を上させる維持蓄電器を構成し、後述する画素電極410とゲート線150の重なりで発生する維持容量が十分でない場合には維持容量用共通電極を形成することもできる。

このように、ゲート配線を二重層以上に形成する場合には一層は抵抗が小さい物質で形成し、他の層は異なる物質との接触特性の良い物質で形成することが好ましく、Al(またはAl合金)\Crの二重層またはCu\Crの二重層がその例である。また、接触特性を改善するために窒化クロム膜または窒化モリブデン膜などを追加することもできる。

#### 【0062】

ゲート配線150、151、152は低抵抗を有する銅またはアルミニウムまたはアルミニウム合金などの単一膜で形成することもできる。

ゲート配線150、151、152及びバッファ層140上には低温蒸着ゲート絶縁膜160が形成されている。この時、低温蒸着ゲート絶縁膜160は有機絶縁膜、低温非晶質酸化シリコン膜、低温非晶質窒化シリコン膜等で形成できる。本発明による薄膜トランジスタ構造では色フィルターが下部基板に形成されるので、ゲート絶縁膜は、高温蒸着される通常の絶縁膜とは異なる低温蒸着可能な、例えば、250以下の低温条件で蒸着が可能な低温蒸着絶縁膜を使用する。

#### 【0063】

そして、ゲート電極151のゲート絶縁膜160上には二重層構造の半導体層171が島模様に形成されている。二重層構造の半導体層171において、下層半導体層701はバンドギャップが高い非晶質シリコンからなり、上層半導体層702は下層半導体701に比べてバンドギャップの低い通常の非晶質シリコンからなる。例えば、下層半導体層701のバンドギャップを1.9~2.1eVに、上層半導体層702のバンドギャップを1.7~1.8eVにして形成できる。ここで、下層半導体層701は50~200の厚さで形成し、上層半導体層702は1000~2000の厚さで形成する。

#### 【0064】

このように、バンドギャップが互いに異なる上層半導体層702と下層半導体層701



の間には両層のバンドギャップの差に相当するだけのバンドオフセットが形成される。この時、TFTがオン(ON)状態になると、二つの半導体層701、702の間に位置するバンドオフセット領域にチャンネルが形成される。このバンドオフセット領域は基本的に同じ原子構造を有していて、欠陥が少ないので良好なTFTの特性を期待できる。

#### 【0065】

半導体層171は単一層で形成することもできる。

半導体層171上にはリン(P)などのn形不純物が高濃度でドーピングされている非晶質シリコンまたは微細結晶化されたシリコンまたは金属シリサイドなどを含む抵抗性接触層182、183が互いに分離されて形成されている。

抵抗性接触層182、183上にはITOからなるソース用及びドレイン用電極412、411及び画素電極410を含む画素配線410、411、412が形成されている。ソース用電極412はゲート絶縁膜160及びバッファ層140に形成されている接触孔161を通じてデータ線120と連結されている。ドレイン用電極411は画素電極410と連結されており、薄膜トランジスタから画像信号を受けて画素電極410に伝達する。画素配線410、411、412はITOまたはIZOなどの透明な導電物質で形成される。

#### 【0066】

また、画素配線410、411、412と同一層には接触孔162、164を通じてゲートパッド152及びデータパッド124と各々連結されている補助ゲートパッド413及び補助データパッド414が形成されている。ここで、補助ゲートパッド413はゲートパッド152の上部膜502であるクロム膜と直接接触しており、補助データパッド414もデータパッド124の上部膜202であるクロム膜と直接接触している。この時、ゲートパッド152及びデータパッド124が窒化クロム膜または窒化モリブデン膜を含む場合には補助ゲートパッド413及び補助データパッド414は窒化クロム膜または窒化モリブデン膜と接触するのが好ましい。これらはパッド152、124と外部回路装置との接着性を補完してパッドを保護する役割を果たすものであって、必須なものではなく、これらの適用如何は選択的である。また、画素電極410は隣接するゲート線150及びデータ線120と重なって開口率を高めているが、重ならないこともある。

#### 【0067】

ここで、抵抗性接触層182、183はITOのソース用及びドレイン用電極412、411と半導体層171の間の接触抵抗を減らす機能を有し、微細結晶化されたシリコン層またはモリブデン、ニッケル、クロムなどの金属シリサイドが含まれることができ、シリサイド用金属膜が残留することもできる。

ソース用及びドレイン用電極412、411の上部には薄膜トランジスタを保護するための保護膜190が形成されており、その上部には光吸収が優れた濃厚な色を有する感光性有色有機膜430が形成されている。この時、有色有機膜430は薄膜トランジスタの半導体層171に入射する光を遮断する役割を果たし、有色有機膜430の高さを調節して下部絶縁基板100とこれと対向する上部絶縁基板200の間隔を維持するスペーサとして用いられる。ここで、保護膜190と有機膜430はゲート線150とデータ線120に沿って形成でき、有機膜430はゲート配線とデータ配線の周囲から漏洩する光を遮断する役割を果たせる。

#### 【0068】

この時、有機膜430が、画素電極及び各金属層との隙間を全て覆うように設計される場合には上部基板に光遮断のための別途のブラックマトリックスを設計する必要がないという長所がある。

一方、上部基板200にはITOまたはIZOからなり、画素電極410と共に電場を生成する共通電極210が全面的に形成されている。

#### 【0069】

以下、薄膜トランジスタ基板の製造法について図20a乃至28bを参照して詳細に説明する。

まず、図20aと20bに示したように、アルミニウムまたはアルミニウム合金または銅または銅合金などのように低抵抗を有する導電物質とクロムまたはモリブデンまたはチタニウムまたは窒化クロムまたは窒化モリブデンなどのようなITOとの接触特性が優れた導電物質を順次にスパッタリングなどの方法で蒸着し、マスクを用いた写真蝕刻工程で乾式または湿式蝕刻して、下部絶縁基板100上に下層201と上層202の二重層構造になっているデータ線120、データパッド124及び光遮断部121を含むデータ配線120、121、124を形成する。

#### 【0070】

前述のように、この後に形成される画素配線410、411、412及び補助パッド413、414がITOであることを考慮して、アルミニウムまたはアルミニウム合金または銅または銅合金の下層201とクロムまたはモリブデンまたはチタニウムの上層202とからなるデータ配線を形成したが、画素配線410、411、412及び補助パッド413、414がIZOである場合にはアルミニウムまたはアルミニウム合金の単一膜で形成できる。

#### 【0071】

次に、図21a及び図21bに示したように、赤(R)、緑(G)、青(B)の顔料を含む感光性物質を順次に塗布し、写真工程でパターンニングして、赤(R)、緑(G)、青(B)の色フィルター131、132、133を順次に形成する。この時、赤(R)、緑(G)、青(B)の色フィルター131、132、133は三枚のマスクを用いて形成するが、一つのマスクを移動しながら形成することもできる。また、レーザー転写法またはプリント法を利用するとマスクを使用せずに形成することもできる。この時、赤(R)、緑(G)、青(B)の色フィルター131、132、133の端部はデータ線120と重なるように形成するのが好ましい。

#### 【0072】

次に、図22a及び図22bのように、絶縁基板100上部にa-Si:C:O膜またはa-Si:O:F膜を化学気相蒸着(CVD)法によって成長させてバッファ層140を形成する。この時、a-Si:C:O膜の場合には気体状態のSiH(CH<sub>3</sub>)<sub>3</sub>、SiO<sub>2</sub>(CH<sub>3</sub>)<sub>4</sub>、(SiH)<sub>4</sub>O<sub>4</sub>(CH<sub>3</sub>)<sub>4</sub>、Si(C<sub>2</sub>H<sub>5</sub>O)<sub>4</sub>などを基本ソースとして使用し、N<sub>2</sub>OまたはO<sub>2</sub>などの酸化剤とArまたはHeなどを混合した気体を流しながら蒸着する。また、a-Si:O:F膜の場合にはSiH<sub>4</sub>、SiF<sub>4</sub>等にO<sub>2</sub>を添加した気体を流しながら蒸着する。この時、フッ素の補助ソースとしてCF<sub>4</sub>を添加することもできる。

#### 【0073】

次に、クロムまたはモリブデンまたはチタニウムまたは窒化クロムまたは窒化モリブデンなどのような物理化学的に安定した物質とアルミニウムまたはアルミニウム合金または銅または銅合金などのように低抵抗を有する導電物質をスパッタリングなどの方法で連続蒸着しマスクを用いた写真蝕刻工程でパターンニングして、バッファ層140上にゲート線150、ゲート電極151及びゲートパッド152を含むゲート配線150、151、152を形成する。

#### 【0074】

この時、ゲート配線150、151、152は単一層構造で形成できる。

次に、図23に示したように、ゲート配線150、151、152及び有機絶縁膜140上に低温蒸着ゲート絶縁膜160、第1非晶質シリコン膜701、第2非晶質シリコン膜702及び不純物がドーピングされた非晶質シリコン膜180を順次に蒸着する。

低温蒸着ゲート絶縁膜160は250℃以下の蒸着温度でも蒸着できる有機絶縁膜、低温非晶質酸化シリコン膜、低温非晶質窒化シリコン膜などを使用して形成できる。

#### 【0075】

第1非晶質シリコン膜701はバンドギャップが高い、例えば1.9~2.1eVのバンドギャップを有する非晶質シリコン膜で形成し、第2非晶質シリコン膜702はバンドギャップが第1非晶質シリコン膜701よりは低い、例えば1.7~1.8eVのバンド

ギャップを有する通常の非晶質シリコン膜で形成する。この時、第1非晶質シリコン膜701は非晶質シリコン膜の原料ガスである $\text{SiH}_4$ に $\text{CH}_4$ 、 $\text{C}_2\text{H}_2$ 、または、 $\text{C}_2\text{H}_6$ 等を適切な量で添加してCVD法によって蒸着できる。例えば、CVD装置に $\text{SiH}_4$ ： $\text{CH}_4$ を1：9の割合で投入し、蒸着工程を進めると、Cが50%程度含まれ、2.0～2.3 eVのバンドギャップを有する非晶質シリコン膜を蒸着できる。このように、非晶質シリコン層のバンドギャップは蒸着工程条件から影響を受けるが、炭素化合物の添加量によって大体1.7～2.5 eV範囲でバンドギャップを容易に調節できる。

この時、低温蒸着ゲート絶縁膜160、第1非晶質シリコン膜701及び第2非晶質シリコン膜702、不純物がドーピングされた非晶質シリコン膜180は同じCVD装置で真空を維持したまま連続的に蒸着できる。

次に、図24a及び24bに示したように、第1非晶質シリコン膜701、第2非晶質シリコン膜702及び不純物がドーピングされた非晶質シリコン膜180を写真蝕刻工程でパターンニングして島模様の半導体層171及び抵抗性接触層181を形成し、同時に、低温蒸着ゲート絶縁膜160と有機絶縁膜140にデータ線120、ゲートパッド152及びデータパッド124を各々露出させる接触孔161、162、164を形成する。

この時、ゲート電極151の上部を除いた部分では第1、第2非晶質シリコン膜701、702及び不純物がドーピングされた非晶質シリコン膜180を全て除去しなければならず、ゲートパッド152上部では第1及び、第2非晶質シリコン膜701、702及び不純物がドーピングされた非晶質シリコン膜180と共にゲート絶縁膜160も除去しなければならず、データ線120及びデータパッド124上部では第1及び第2非晶質シリコン膜701、702、不純物がドーピングされた非晶質シリコン膜180及び低温蒸着ゲート絶縁膜160と共に有機絶縁膜140も除去しなければならない。

#### 【0076】

これを一つのマスクを利用した写真蝕刻工程で形成するためには、部分的に異なる厚さを有する感光膜パターンを蝕刻マスクとして用いなければならない。これについて図25と図26を参照して説明する。

まず、図25に示したように、不純物がドーピングされた非晶質シリコン膜180の上部に感光膜を1乃至2  $\mu\text{m}$ の厚さで塗布した後、マスクを利用した感光膜に光を照射して現像し、感光膜パターン312、314を形成する。

#### 【0077】

この時、感光膜パターン312、314の中でゲート電極151の上部に位置した第1部分312は他の第2部分314より厚さが厚くなるように形成し、データ線120、データパッド124及びゲートパッド152の一部の上には感光膜が存在しないようにする。第2部分314の厚さを第1部分312の厚さの1/2以下にすることが好ましく、例えば、4,000以下であるのがよい。

#### 【0078】

このように、位置によって感光膜の厚さを異なるようにする方法は多様にあるが、ここではボジ型感光膜を使用する場合について説明する。

露光器の分解能より小さいパターン、例えば、B領域にスリットや格子形態のパターンを形成したり半透明膜を形成しておくことによって光の照射量が調節できるマスク1000を通じて感光膜に光を照射すると、照射される光の量または強さによって高分子が分解される程度が異なるようになる。この時、光に完全に露出されるC領域の高分子が完全に分解される時期に合せて露光を中断すれば、光に完全に露出される部分に比べてスリットや半透明膜が形成されているB領域を通過する光の照射量が少ないので、B領域の感光膜は一部だけが分解されて、残りは分解されない状態で残る。露光時間を長くすると全ての分子が分解される。

#### 【0079】

このような感光膜を現像すると、分子が分解されていない第1部分312は殆どそのまま残り、光照射が少ない第2部分314は第1部分312より薄い厚さで一部だけ残り、光に完全に露光されたC領域に対応する部分では感光膜が殆ど除去される。

このような方法を通じて位置により厚さが互いに異なる感光膜パターンが作られる。

次に、図 26 に示したように、このような感光膜パターン 312、314 を蝕刻マスクとして用い、不純物がドーピングされた非晶質シリコン膜 180、第 2 非晶質シリコン膜 702、第 1 非晶質シリコン膜 701 及び低温蒸着ゲート絶縁膜 160 を乾式蝕刻してゲートパッド 152 を露出する接触孔 162 を完成し、C 領域のバッファ層 140 を露出する。引き続き、感光膜パターン 312、314 を蝕刻マスクとして用いて C 領域のバッファ層 140 を乾式蝕刻してデータ線 120 及びデータパッド 124 を露出する接触孔 161、164 を完成する。

#### 【0080】

次に、感光膜の第 2 部分 314 を完全に除去する作業を行う。ここで、第 2 部分 314 の感光膜クズを完全に除去するために酸素を利用した灰化処理工程を追加することも可能である。

このようにすると、感光膜パターンの第 2 部分 314 は除去され、不純物がドーピングされた非晶質シリコン膜 180 が露出されるようになり、感光膜パターンの第 1 部分 312 は感光膜パターンの第 2 部分 312 の厚さと同じ程度減少した状態に残る。

#### 【0081】

次に、残っている感光膜パターンの第 1 部分 312 を蝕刻マスクとして用いて不純物がドーピングされた非晶質シリコン膜 180 及びその下部の第 1 及び第 2 非晶質シリコン膜 701、702 を蝕刻して除去することによりゲート電極 151 上部の低温蒸着ゲート絶縁膜 160 上に島模様の半導体層 171 と抵抗性接触層 181 を残す。

最後に、残っている感光膜の第 1 部分 312 を除去する。ここで、第 1 部分 312 の感光膜クズを完全に除去するために酸素を利用した灰化処理工程を追加することもできる。

#### 【0082】

次に、図 27a 及び図 27b に示すように、ITO 層を蒸着して写真蝕刻工程でパターニングし画素電極 410、ソース用電極 412、ドレイン用電極 411、補助ゲートパッド 413 及び補助データパッド 414 を形成する。この時、ITO の代わりに IZO を使用することもできる。

次に、ソース用電極 412 とドレイン用電極 411 を蝕刻マスクとして用いてこれらの間の抵抗性接触層 181 を蝕刻して二つの部分 182、183 に分離された抵抗性接触層パターンを形成して、ソース用電極 412 とドレイン用電極 411 の間に半導体層 171 を露出させる。

#### 【0083】

最後に、図 18 及び図 19 のように、下部絶縁基板 100 の上部に窒化シリコンや酸化シリコンなどの絶縁物質と黒色顔料を含む感光性有機物質などの絶縁物質を順次に積層しマスクを利用した写真工程で露光現像して有色有機膜 430 を形成し、これを蝕刻マスクとして用いてその下部の絶縁物質を蝕刻して保護膜 190 を形成する。この時、有色有機膜 430 は薄膜トランジスタに入射する光を遮断し、ゲート配線またはデータ配線の上部に形成して配線の周囲から漏洩する光を遮断する機能を付与することもできる。また、本発明の実施例のように有機膜 430 の高さを調節して間隔維持材として用いることも可能である。

#### 【0084】

一方、上部絶縁基板 200 の上には ITO または IZO の透明な導電物質を積層して共通電極 210 を形成する。

この時、有色有機膜 430 が画素電極 410 及び各金属層との隙間を全て覆えるように設計する場合には、上部基板に光遮断のための別途のブラックマトリックスを設計する必要はない。

#### 【0085】

図 28 は本発明の第 4 実施例による薄膜トランジスタ基板の配置図を示したものである。

本発明の第 3 実施例による薄膜トランジスタ基板と比較して、データ配線 120、12

1、124及び有色有機膜130のパターンが異なるだけである。

ゲート線150と画素電極410が所定の間隔をおくように設計する場合には、画素電極410とゲート線150の間で光がもれる部分を覆う必要がある。このために、色フィルター131、132、133の下部に形成されたデータ線120の一部をゲート線150方向に突出するように延長してゲート線150と画素電極410の間の隙間を覆うように形成する。この時、データ線120で覆えない部分、つまり、互いに隣接する二つのデータ線120の間の領域には有色有機膜430が覆うように形成できる。

【0086】

一方、図面には示していないが、ゲート配線150、151、152と同一層にはゲート配線150、151、152形成用物質で画面表示部の周縁から漏洩する光を遮断するためのブラックマトリックスの縦部が形成され、データ配線120、121、124と同一層にはデータ配線120、121、124形成用金属物質で画面表示部の周縁から漏洩する光を遮断するためのブラックマトリックスの横部が形成できる。

【0087】

このように、ゲート配線150、151、152及びデータ配線120、121、124を形成する物質で画面表示部の周縁から漏洩する光を遮断するためのブラックマトリックスの横部及び縦部を形成し、データ配線120、121、124でゲート線150と画素電極410の間の光がもれる領域を覆い、有色有機膜430で隣接する二つのデータ配線120の間の光がもれる領域を覆う場合に、データ配線、ゲート配線及び間隔維持材が薄膜トランジスタ基板で光が漏洩される全ての領域を覆って、上部基板に別途のブラックマトリックスを形成する必要がある。従って、上部基板と下部基板の整列誤差を考慮しなくてもいいので開口率を向上させることができる。また、データ線120と画素電極410の間にはゲート絶縁膜160と低い誘電率を有するパッファ層140が形成されていて、これらの間で発生する寄生容量を最小化できて表示装置の特性を向上させることができると同時に、これらの間に間隔をおく必要がないので開口率を最大限確保できる。

【0088】

このように、低温工程条件下で、TFTを製作する。つまり、高温工程による色フィルターの損傷を防止するためにゲート絶縁膜を低温蒸着絶縁膜で形成し、低温蒸着ゲート絶縁膜と接触することによって引き起こされるチャンネルの特性悪化を防止するために、チャンネルを低温蒸着ゲート絶縁膜と半導体層の界面に形成せず、半導体層のバルク側に形成する。

【0089】

本発明は提示された実施例だけでなく、様々な方式で適用可能である。例えば、重量減少及び耐衝撃性向上のために浮上したプラスチック液晶表示装置でのように、低温工程条件が必要なディスプレイの場合本発明は役立つように適用できる。

本発明によるCVDで形成したa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)は反射形や半透過形液晶表示装置に用いられる薄膜トランジスタ基板で反射光の干渉を防止するために形成するエンボシング絶縁層、つまり、表面に凹凸が形成されている絶縁層として使用しても有用である。

【0090】

図29は本発明の第5実施例による反射形液晶表示装置用薄膜トランジスタ基板の配置図であり、図30は図29に示した薄膜トランジスタ基板をXXX-XXX'線に沿って切断して示した断面図である。

絶縁基板10上に低抵抗を有する銀または銀合金またはアルミニウムまたはアルミニウム合金からなる単一膜またはこれを含む多層膜になっているゲート配線が形成されている。ゲート配線は横方向にのびているゲート線22、ゲート線22の端に連結されていて外部からのゲート信号の印加を受けてゲート線に伝達するゲートパッド24及びゲート線22に連結されている薄膜トランジスタのゲート電極26を含む。

【0091】

この時、基板10上には上板の共通電極に入力される共通電極電圧などの電圧の印加を

外部から受ける維持電極が形成でき、このような維持電極は後述する反射膜 9 2 と重なって画素の電荷保存能力を向上させる維持蓄電器を構成する。

ゲート配線 2 2、2 4、2 6 上には窒化シリコン (SiNx) などからなるゲート絶縁膜 3 0 がゲート配線 2 2、2 4、2 6 を覆っている。

#### 【0092】

ゲート電極 2 6 上部のゲート絶縁膜 3 0 上には非晶質シリコンなどの半導体からなる半導体層 4 0 が形成されており、半導体層 4 0 上にはシリサイドまたは n 形不純物が高濃度でドーピングされている n+水素化非晶質シリコンなどの物質で作られた抵抗性接触層 5 5、5 6 が各々形成されている。

抵抗性接触層 5 5、5 6 及びゲート絶縁膜 3 0 上にはアルミニウムまたは銀のような低抵抗の導電物質からなる導電膜を含むデータ配線が形成されている。データ配線は縦方向に形成されてゲート線 2 2 と交差し画素領域を定義するデータ線 6 2、データ線 6 2 に連結されて抵抗性接触層 5 5 の上部まで延びているソース電極 6 5、データ線 6 2 の一端に連結されていて外部からの画像信号の印加を受けるデータパッド 6 8、ソース電極 6 5 と分離されていてゲート電極 2 6 を中心にしてソース電極 6 5 と対向しているドレーン電極 6 6 を含む。ドレーン電極 6 6 は抵抗性接触層 5 6 上に形成されており、画素領域内部に延びている。

#### 【0093】

データ配線 6 2、6 4、6 5、6 6、6 8 及びこれらが覆わない半導体層 4 0 上部には PECVD 法によって蒸着された a-Si:O 膜または a-Si:F 膜 (低誘電率 CVD 膜) からなる保護膜 7 0 が形成されている。この時、保護膜 7 0 の表面は以降に形成される反射膜 9 2 の反射効率を極大化するために凹凸パターンを有する。

保護膜 7 0 にはドレーン電極 6 6 及びデータパッド 6 8 を各々露出する接触孔 7 6、7 8 が形成されており、ゲート絶縁膜 3 0 と共にゲートパッド 2 4 を露出する接触孔 7 4 が形成されている。

#### 【0094】

保護膜 7 0 上には接触孔 7 6 を通じてドレーン電極 6 6 と電氣的に連結されていて画素領域に位置する反射膜 9 2 が形成されている。また、保護膜 7 0 上には接触孔 7 4、7 8 を通じて各々ゲートパッド 2 4 及びデータパッド 6 8 と連結されている補助ゲートパッド 9 6 及び補助データパッド 9 8 が形成されている。ここで、補助ゲート及びデータパッド 9 6、9 8 はゲート及びデータパッド 2 4、6 8 を保護するためのものであり、必須ではない。

#### 【0095】

一方、図 3 1 a 乃至図 3 4 b 及び図 2 9 及び図 3 0 を参照して本発明の実施例による薄膜トランジスタ基板の製造方法について具体的に説明する。

まず、図 3 1 a 及び図 3 1 b に示したように、ガラス基板 1 0 上部に低抵抗の導電物質を積層し、写真蝕刻工程でパターンニングしてゲート線 2 2、ゲート電極 2 6 及びゲートパッド 2 4 を含む横方向のゲート配線を形成する。

#### 【0096】

次に、図 3 2 a 及び図 3 2 b に示したように、窒化シリコンからなるゲート絶縁膜 3 0、非晶質シリコンからなる半導体層 4 0、ドーピングされた非晶質シリコン層 5 0 の三層膜を連続して基板 1 0 に積層して写真蝕刻し、半導体層 4 0 とドーピングされた非晶質シリコン層 5 0 をパターンニングしてゲート電極 2 4 上部のゲート絶縁膜 3 0 上に半導体層 4 0 と抵抗性接触層 5 0 を形成する。

#### 【0097】

次に、図 3 3 a 乃至図 3 3 b に示したように、導電膜を基板 1 0 に積層した後、写真工程してゲート線 2 2 と交差するデータ線 6 2、データ線 6 2 と連結されてゲート電極 2 6 上部まで延びているソース電極 6 5、データ線 6 2 の一端に連結されているデータパッド 6 8 及びソース電極 6 5 と分離されていてゲート電極 2 6 を中心にしてソース電極 6 5 と対向するドレーン電極 6 6 を含むデータ配線を形成する。

## 【0098】

次に、データ配線62、65、66、68で覆わない非晶質シリコン層パターン50を蝕刻してゲート電極26を中心に両側に分離させる。また、露出された半導体層40の表面を安定化させるために酸素プラズマを実施することが好ましい。

次に、図34a及び34bのように、 $a-Si:C:O$ 膜または $a-Si:O:F$ 膜を化学気相蒸着(CVD)法によって成長させて保護膜70を形成する。この時、 $a-Si:C:O$ 膜の場合には気体状態の $SiH(CH_3)_3$ 、 $SiO_2(CH_3)_4$ 、 $(SiH)_4O_4(CH_3)_4$ 、 $Si(C_2H_5O)_4$ などを基本ソースとして用い、 $N_2O$ または $O_2$ などの酸化剤とArまたはHeなどを混合した気体を流しながら蒸着する。また、 $a-Si:O:F$ 膜の場合には $SiH_4$ 、 $SiF_4$ 等に $O_2$ を添加した気体を流しながら蒸着する。この時、フッ素の補助ソースとして $CF_4$ を添加することもできる。引き続き、マスクを利用した写真工程でゲート絶縁膜30と共にパターンニングして、ゲートパッド24、ドレーン電極66及びデータパッド68を露出する接触孔74、76、78を形成する同時に、保護膜70の上部に凹凸パターンを形成する。

## 【0099】

接触孔74、76、78と凹凸を共に形成するために第2実施例で使用したハーフトン露光法を使用する。つまり、スリットパターンや格子パターンまたは半透過膜を有するマスクを利用して感光膜を露光した後、現像することによって接触孔74、76、78が形成される部分の上では感光膜が全て除去されて保護膜70が露出されるようにし、凸部になる部分では感光膜が薄く残るようにして、凹部になる部分では感光膜が厚く残るようにする。

## 【0100】

次に、感光膜を蝕刻マスクとして保護膜70とゲート絶縁膜30を蝕刻することによって接触孔74、76、78を形成し、感光膜を灰化处理して厚さの薄い感光膜が除去されるようにする。この時、感光膜の厚い部分も共に灰化处理して、その厚さを薄くする。

次に、保護膜70を所定の蝕刻時間だけ継続して蝕刻し、凸部を形成する。この時、蝕刻時間は保護膜70の蝕刻率と凸部の深さを考慮して決める。

## 【0101】

図29及び図30に示すように、光を反射させる特性に優れた、またはアルミニウムを含む導電物質を基板10積層して写真蝕刻工程でパターンニングして接触孔76を通じてドレーン電極66と連結される反射膜92と接触孔74、78を通じてゲートパッド24及びデータパッド68と各々連結される補助ゲートパッド96及び補助データパッド98を各々形成する。

## 【0102】

図35は本発明の第6実施例による半透過形液晶表示装置用薄膜トランジスタ基板の配置図であり、図36は図35に示した薄膜トランジスタ基板をXXXVI-XXXVI'線に沿って切断して示した断面図である。

絶縁基板10上に低抵抗を有する銀または銀合金またはアルミニウムまたはアルミニウム合金からなる単一膜またはこれを含む多層膜になっているゲート配線が形成されている。ゲート配線は横方向にのびているゲート線22、ゲート線22の端に連結されていて外部からゲート信号の印加を受けてゲート線に伝達するゲートパッド24及びゲート線22に連結されている薄膜トランジスタのゲート電極26を含む。ここで、ゲート配線22、24、26が多層膜である場合には他の物質と接触特性に優れているパッド用物質を含むことが好ましい。

## 【0103】

基板10上には窒化シリコン( $SiN_x$ )などからなるゲート絶縁膜30がゲート配線22、24、26を覆っている。

## 【0160】

ゲート電極26のゲート絶縁膜30上部には非晶質シリコンなどの半導体からなる半導体層40が形成されており、半導体層40の上部にはシリサイドまたはn形不純物が高濃

度でドーピングされているn+水素化非晶質シリコンなどの物質で作られた抵抗接触層55、56が各々形成されている。

【0104】

抵抗性接触層55、56及びゲート絶縁膜30上にはアルミニウムまたは銀のような低抵抗の導電物質からなる導電膜を含むデータ配線62、65、66、68が形成されている。データ配線は形成されてゲート線22と交差して画素を定義するデータ線62、データ線62に連結されて抵抗性接触層55の上部まで延びているソース電極65、データ線62の一端に連結されていて外部から画像信号の印加を受けるデータパッド68、ソース電極65と分離されていてゲート電極26に対してソース電極65に対向して形成されているドレーン電極66を含む。

【0105】

データ配線62、64、65、66、68及びこれらが覆わない半導体層40上部にはPECVD法によって蒸着されたa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)からなる保護膜70が形成されている。PECVD法によって蒸着されたa-Si:C:O膜とa-Si:O:F膜は誘電定数が4以下である。従って、厚さが薄くても寄生容量問題が発生しない。他の膜との接着性及び段差被覆性が優れている。また、無機質CVD膜であるので耐熱性が有機絶縁膜に比べて優れている。同時に、PECVD法によって蒸着されたa-Si:C:O膜とa-Si:O:F膜(低誘電率CVD膜)は蒸着速度や蝕刻速度が窒化シリコン膜に比べて4~10倍速いので工程時間の面でも非常に有利である。

【0106】

保護膜70にはドレーン電極66及びデータパッド68を各々露出する接触孔76、78が形成されており、ゲート絶縁膜30と共にゲートパッド24を露出する接触孔74が形成されている。

保護膜70上部には接触孔76を通じてドレーン電極66と電氣的に連結されていて画素に位置する透明電極82が形成されている。また、保護膜70上には接触孔74、78を通じて各々ゲートパッド24及びデータパッド68と連結されている補助ゲートパッド86及び補助データパッド88が形成されている。ここで、透明電極82と補助ゲート及びデータパッド86、88は透明な導電物質であるITOまたはIZO等で作られている。

【0107】

透明電極82の上部には透明電極82の一部を露出する接触孔36を有し、PECVD法によって蒸着されたa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)からなる層間絶縁膜34が形成されている。ここで、層間絶縁膜34は、この後の反射膜92の反射効率を極大化するために凹凸パターンを有するのが好ましい。

層間絶縁膜34の上部には接触孔36を通じて透明電極82と電氣的に連結されており、透過モード領域(T)に透過窓96を有する反射膜92が形成されている。反射膜92はアルミニウムまたはアルミニウム合金、銀または銀合金、モリブデンまたはモリブデン合金などのように高い反射率を有する導電膜からなり、透明電極82と共に画素電極になる。この時、反射膜92の透過窓96は様々な模様形成でき、一つの画素領域に多数形成できる。前記で、層間絶縁膜34に凹凸パターンが形成されている場合でも透過窓96部分には凹凸パターンを形成しないのが好ましい。

【0108】

ここで、画素電極82、92は前段のゲート線22と重なって維持蓄電器を構成する。場合によっては維持容量を形成するためにゲート配線22、24、26と同一層に維持容量用配線を形成することもできる。

以下、このような本発明の液晶表示装置用薄膜トランジスタ基板の製造方法について説明する。

【0109】

まず、データ配線62、65、66、68を形成する段階までは本発明の第5実施例に



よる薄膜トランジスタ基板の製造法と同一である。つまり、図31a乃至図33bに示した工程に従う。

データ配線62、65、66、68を形成した後は、図37a及び37bのように、データ配線62、65、66、68上にa-Si:C:O膜またはa-Si:O:F膜を化学気相蒸着(CVD)法によって成長させて保護膜70を形成する。次に、感光膜パターンを利用した写真蝕刻工程でゲート絶縁膜30と共にパターンニングして、ゲートパッド24、ドレーン電極66及びデータパッド68を露出する接触孔74、76、78を形成する。この時、蝕刻は乾式蝕刻による。

#### 【0110】

次に、図38a及び図38bのように、ITOまたはIZO膜を基板10に積層して写真蝕刻し、接触孔76を通じてドレーン電極66と連結される透明電極82と、接触孔74、78を通じてゲートパッド24及びデータパッド68と各々連結される補助ゲートパッド86及び補助データパッド88と、を各々形成する。

また、図39a及び図39bに示したように、a-Si:C:O膜またはa-Si:O:F膜を化学気相蒸着(CVD)法によって成長させ、写真蝕刻工程でパターンニングして透明電極82を露出する接触孔36を有する層間絶縁膜34を形成する。この時、層間絶縁膜34に凹凸パターンを形成できる。凹凸パターンを形成する場合には第5実施例による薄膜トランジスタ基板の製造法のうち保護膜をパターンニングする工程でのようにハーフトーン露光法を使用する。

#### 【0111】

次に、最後として図35及び図36のように、高い反射率を有するアルミニウムまたは銀またはモリブデンを含む導電膜を積層してパターンニングし透過窓96を有する反射膜92を形成する。

a-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)はゲート絶縁膜にも適用できる。

#### 【0112】

図40は本発明の第7実施例による薄膜トランジスタ基板の断面図である。

第7実施例による薄膜トランジスタ基板は第1実施例による薄膜トランジスタ基板とゲート絶縁膜を除いては同じ構造を有する。第7実施例ではゲート絶縁膜が二重層になっている。つまり、PECVDにより形成したa-Si:C:O膜またはa-Si:O:F膜(低誘電率CVD膜)である第1層31と窒化シリコン膜である第2層32から構成されている。

#### 【0113】

ゲート絶縁膜は非晶質シリコンからなる半導体層40との界面特性を考慮して緻密な膜質を維持しなければならない。ところが、膜質が緻密であれば緻密であるほど蒸着速度が遅いので工程時間が長くなる短所がある。一方、半導体層40と接する面から約500程度の厚さまで緻密な膜質が維持されると薄膜トランジスタが動作するのに無理が無いことが知られている。従って、ゲート絶縁膜の上部は蒸着速度が速いa-Si:C:O膜またはa-Si:O:F膜で形成し、ゲート絶縁膜の下部は膜質が緻密な窒化シリコン膜で形成すれば、薄膜トランジスタの性能を低下させずに工程時間を短縮できる。a-Si:C:O膜は窒化シリコン膜に比べて4倍から10倍程度蒸着速度が速い。この時、a-Si:C:O膜は真空が維持される状態で連続して蒸着する。

#### 【0114】

このような低誘電率CVD膜と窒化シリコン膜の二重層になっているゲート絶縁膜は第2乃至第6実施例による薄膜トランジスタ基板にも適用できる。

#### 【図面の簡単な説明】

#### 【0115】

【図1】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板である。

【図2】図1のII-II線による断面図である。

【図3a】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する過

程をその工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図 3 b】図 3 a での III b - III b' 線に対する断面図である。

【図 4 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する過程をその工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図 4 b】図 4 a での IV b - IV b' 線に対する断面図である。

【図 5 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する過程をその工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図 5 b】図 5 a での V b - V b' 線に対する断面図。

【図 6 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する過程をその工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図 6 b】図 6 a での VI b - VI b' 線に対する断面図。

【図 7】本発明の第 2 実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

。

【図 8】各々図 7 の VIII - VIII' 線に対する断面図である。

【図 9】各々図 7 の IX - IX' 線に対する断面図である。

【図 10 a】図 7 に示す薄膜トランジスタ基板を製造する第 1 段階を示す図である。

【図 10 b】各々図 10 a での X b - X b' 線及び X c - X c' 線に対する断面図である。

【図 10 c】各々図 10 a での X b - X b' 線及び X c - X c' 線に対する断面図である。

【図 11 a】図 10 b 及び図 10 c の次の段階での製造工程を示す図である。

【図 11 b】図 10 b 及び図 10 c の次の段階での製造工程を示す図である。

【図 12 a】図 10 a の次の段階での薄膜トランジスタ基板の工程である。

【図 12 b】図 12 a での XII b - XII b' 線に対する断面図である。

【図 12 c】図 12 a での及び XII c - XII c' 線に対する断面図である。

【図 13 a】図 12 a に示すステップに続く工程図。

【図 13 b】図 12 a に示すステップに続く工程図。

【図 14 a】図 12 a に示すステップに続く工程図。

【図 14 b】図 12 a に示すステップに続く工程図。

【図 15 a】図 12 a に示すステップに続く工程図。

【図 15 b】図 12 a に示すステップに続く工程図。

【図 16 a】図 15 a の次の段階での薄膜トランジスタ基板の断面図である。

【図 16 b】図 15 b の次の段階での薄膜トランジスタ基板の断面図である。

【図 17 a】図 16 a 及び図 16 b の次の段階での薄膜トランジスタ基板の配置図である。

。

【図 17 b】各々図 17 a での XVII b - XVII b' 線及び XVII c - XVII c' 線に対する断面図である。

【図 17 c】各々図 17 a での XVII b - XVII b' 線及び XVII c - XVII c' 線に対する断面図である。

【図 18】本発明の第 3 実施例による薄膜トランジスタ基板の配置図である。

【図 19】図 18 に示した薄膜トランジスタ基板を切断線 XIX - XIX' に沿って示した断面図である。

【図 20 a】図 18 に示す薄膜トランジスタ基板の第 1 の製造段階である。

【図 20 b】図 20 a に示した切断線 XX b - XX b' に沿って示した断面図である。

【図 21 a】図 20 a の次の段階での基板の配置図である。

【図 21 b】図 21 a に示した切断線 XXI b - XXI b' に沿って示した断面図である。

【図 22 a】図 22 a の次の段階での基板の配置図である。

【図 22 b】図 22 a に示した切断線 XXII b - XXII b' に沿って示した断面図である。

【図 23】図 22 の次の段階での基板の製造工程である。

【図 24 a】図 23 の次の段階での基板の配置図である。

【図 24 b】図 24 a に示した切断線 XXIV b - XXIV b' に沿って示した断面図である。

【図 25】図 23 と図 24 b の間に実施される製造工程を示したものである。

- 【図 2 6】図 2 3 と図 2 4 b の間に実施される製造工程を示したものである。
- 【図 2 7 a】図 2 4 a の次の段階での基板の配置図である。
- 【図 2 7 b】図 2 7 a に示した切断線 XXVII b - XXVII b' に沿って示した断面図である。
- 【図 2 8】本発明の第 4 実施例による薄膜トランジスタ基板の配置図である。
- 【図 2 9】本発明の第 5 実施例による反射形液晶表示装置用薄膜トランジスタ基板の構造を示した配置図である。
- 【図 3 0】図 2 9 での XXX' - XXX' 線に沿って切断して示した断面図である。
- 【図 3 1 a】図 2 9 に示す薄膜トランジスタ基板の製造工程を示す図。
- 【図 3 1 b】図 3 1 a での XXXI b - XXXVI b' 線に沿って切断した断面図である。
- 【図 3 2 a】図 2 9 に示す薄膜トランジスタ基板の製造工程を示す図。
- 【図 3 2 b】図 3 2 a での XXXII b - XXXII b' 線に沿って切断して示した図面である。
- 【図 3 3 a】図 2 9 に示す薄膜トランジスタ基板の製造工程を示す図。
- 【図 3 3 b】図 3 3 a での XXXIII b - XXXIII b' 線に沿って切断して示した図面である。
- 【図 3 4 a】図 2 9 に示す薄膜トランジスタ基板の製造工程を示す図。
- 【図 3 4 b】図 3 4 a での XXXIV b - XXXIV b' 線に沿って切断して示した図面である。
- 【図 3 5】本発明の第 6 実施例による半透過形液晶表示装置での薄膜トランジスタ基板の構造を示した配置図である。
- 【図 3 6】図 3 5 での XXXVI - XXXVI' 線に沿って切断して示した薄膜トランジスタ基板の断面図である。
- 【図 3 7 a】図 3 5 に示される薄膜トランジスタ基板の製造工程を示す図面である。
- 【図 3 7 b】図 3 5 に示す薄膜トランジスタの製造工程を示す図。
- 【図 3 8 a】図 3 5 に示される薄膜トランジスタ基板の製造工程を示す図面である。
- 【図 3 8 b】図 3 8 a での XXXVIII b - XXXVIII b' 線に沿って切断して示した図面である。
- 。 【図 3 9 a】図 3 9 a での XXXIX b - XXXIX b' 線に沿って切断して示した図面である。
- 【図 4 0】本発明の第 7 実施例による薄膜トランジスタ基板の断面図である。
- 【符号の説明】
- 【0 1 1 6】
- 1 0 絶縁基板
- 2 2、2 4、2 6 ゲート配線
- 2 8 維持電極線
- 3 0 ゲート絶縁膜
- 3 1 第 1 層
- 3 2 第 2 層
- 3 6 接触孔
- 4 0 半導体層
- 4 2、4 8 半導体パターン
- 5 0 中間層
- 5 4 抵抗性接触層
- 5 5、5 6、5 8 抵抗性接触層パターン
- 5 7 ソース/ドレイン用中間層パターン
- 6 2、6 5、6 6、6 8 データ配線
- 6 4 維持蓄電器用導電体パターン
- 6 7 ソース/ドレイン用導電体パターン
- 7 0、1 9 0 保護膜
- 7 2、7 4、7 6、7 8 接触孔
- 8 2 透明電極
- 8 6 補助ゲートパッド
- 8 8 補助データパッド
- 9 2 反射膜

9 6 補助ゲートパッド  
9 8 補助データパッド  
1 0 0 絶縁基板  
1 1 0 感光膜  
1 1 2、1 1 4 感光膜パターン  
1 2 0、1 2 1、1 2 4 データ配線  
1 3 0 有色有機膜  
1 3 1、1 3 2、1 3 3 色フィルター  
1 4 0 バッファ層  
1 5 0、1 5 1、1 5 2 ゲート配線  
1 6 0 ゲート絶縁膜  
2 0 1 下層  
2 0 2 上層  
2 2 1、2 4 1、2 6 1、2 8 1 第1ゲート配線層  
2 2 2、2 4 2、2 6 2、2 8 2 第2ゲート配線層  
4 1 0、4 1 1、4 1 2 画素配線  
4 1 3、4 1 4 補助パッド  
4 3 0 有機膜  
6 2 1、6 5 1、6 6 1、6 8 1 第1データ配線層  
6 2 2、6 5 2、6 6 2、6 8 2 第2データ配線層  
7 0 1 下層半導体層  
7 0 2 上層半導体層