[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04L 29/06 (2006.01)

[12] 发明专利说明书

专利号 ZL 200310112524.1

[45] 授权公告日 2008 年 7 月 30 日

[11] 授权公告号 CN 100407724C

[22] 申请日 2003.12.8

[21] 申请号 200310112524.1

[73] 专利权人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦 A 座 6 层

[72] 发明人 谭延凌 柯 楚 潘桂松

[56] 参考文献

EP1051057A2 2000.11.8

WO03063396A1 2003.7.31

JP2002232380A 2002.8.16

VC－4 的相邻级联、虚级联以及互通. 毛谦. 现代有线传输，第 1 期. 2000

用于千兆以太网数据传输的 SDH 虚级联技术. 史国炜，刘昭，曾烈光，王松梅，于春水. 通讯与电视，第 12 期. 2002

审查员 王桂霞

[74] 专利代理机构 深圳市永杰专利商标事务所

代理人 曹建军

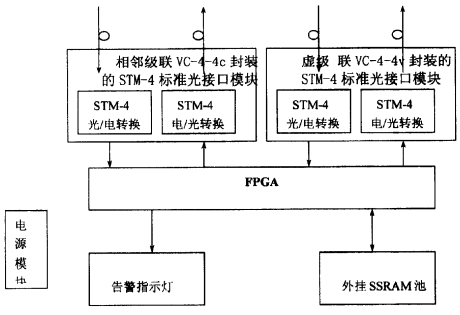
权利要求书 1 页 说明书 9 页 附图 3 页

[54] 发明名称

等级虚级联和相邻级联相互转换装置

[57] 摘要

一种等级虚级联和相邻级联相互转换装置，涉及通讯领域的同步数字传输体系 SDH 系统的数据业务接入。 其中装置包括：相邻级联 VC－44c 封装的 STM－4 标准光接口模块；虚级联 VC－4－4v 封装的 STM－4 标准光接口模块；FPGA 大容量可编程逻辑器件；外挂在部件三的 RAM 池；接在 FPGA 上的告警指示灯；模块电源，给本装置供电；电源模块的输入为－48V 直流电，使本装置成为一个独立的装置。 本发明还公开了用上述装置进行等级虚级联和相邻级联相互转换的方法。 采用本发明，无需对全 SDH 网络升级，即可实现相邻级联结构的数据业务的接入和传送，升级容易，且成本低廉。



1、一种等级虚级联和相邻级联相互转换装置，包括：

部件一： 相邻级联 VC-4-4c 封装的 STM-4 标准光接口模块；

部件二： 虚级联 VC-4-4v 封装的 STM-4 标准光接口模块；

部件三： FPGA 大容量可编程逻辑器件；

部件四： 外挂在部件三的 RAM 池；

部件五： 接在 FPGA 上的告警指示灯；

部件六： 模块电源，给本装置供电；

具有 VC-4-4c 业务 STM-4 光信号，进入部件一，经光电转换后送入 FPGA，在 FPGA 中完成从 VC-4-4c 到 VC-4-4v 的转换，再经过部件二电光转换后送出本设备，进入 SDH 设备；

经过 SDH 网络传送后的虚级联 VC-4-4v 业务光信号，进入部件二，经光电转换后送入 FPGA，在 FPGA 中完成从 VC-4-4v 到 VC-4-4c 的转换，再经过部件一电光转换后送出本设备，进入数据设备；本方向的转换在部件四进行数据缓存，容忍不同 VC-4s 从不同路径传递的网络延迟。

2、权利要求 1 所述的等级虚级联和相邻级联相互转换装置，其特征在于，所述部件一中的光发时钟采用部件二中的光收时钟；所述部件二中的光发时钟采用部件一中的光收时钟，即：从相邻级联到虚级联转换，虚级联的光发时钟采用相邻级联的光收时钟，在整个转换处理过程中，也采用该时钟；从虚级联到相邻级联的转换，相邻级联的光发时钟采用虚级联的光收时钟，在整个转换过程中也采用该时钟。

等级虚级联和相邻级联相互转换装置

技术领域

本发明属于通讯领域，涉及通讯领域的同步数字传输体系 SDH 系统的数据业务接入。

背景技术

现有的大量在网上运行的 SDH 设备只能承载 VC-4-4v 业务，而不能承载 VC-4-4c 的业务，随着 IP、ATM 等宽带业务发展的需要，要求 SDH 设备必须能够承载 VC-4-4c 的业务。现有的网络要达到这个要求，必须更换所有网络节点的板卡，只有所有的网络节点，都更换了支持 VC-4-4c 的业务的板卡，整个网络才能承载 VC-4-4c 的业务。

GPT 有限公司在中国申请的专利：申请号： 98118866 公开日： 1999 年 7 月 28 日 题目： 在 SDH 网络中的数据传输。 该专利描述了虚级联和相邻级联转换的核心思想，但没有涉及段开销的处理和时钟的处理。

在 ITU-T 的相关标准中，也只对虚级联、相邻级联、H4 字节进行了定义，并指出对于使用不同类型级联的网络互连规则需要的详细说明还需进一步研究，也没有详谈时钟和段开销的处理。

现在已在网络中运行的SDH设备基本不能接入和传递被打包成VC-4-4c格式的数据业务。

发明内容

本发明要解决的技术问题是提供一种实现 VC4-4 等级虚级联和相邻级联相互转换装置，可以接入和传递被打包成 VC-4-4c 格式的数据业务，并在此基础上提供实现 VC4-4 等级虚级联和相邻级联相互转换的方法。

本发明中的实现 VC4-4 等级虚级联和相邻级联相互转换装置，包括：

部件一： 相邻级联 VC-4-4c 封装的 STM-4 标准光接口模块；

部件二： 虚级联 VC-4-4v 封装的 STM-4 标准光接口模块；

部件三： FPGA 大容量可编程逻辑器件；

部件四： 外挂在部件三的 RAM 池；

部件五： 接在 FPGA 上的告警指示灯；

部件六： 模块电源，给本装置供电；电源模块的输入为-48V 直流电，使本装置成为一个独立的装置；

具有 VC-4-4c 业务 STM-4 光信号，进入部件一，经光电转换后送入 FPGA，在 FPGA 中完成从 VC-4-4c 到 VC-4-4v 的转换，再经过部件二电光转换后送出本设备，进入 SDH 设备；

经过 SDH 网络传送后的虚级联 VC-4-4v 业务光信号，进入部件二，经光电转换后送入 FPGA，在 FPGA 中完成从 VC-4-4v 到 VC-4-4c 的转换，再经过部件一电光转换后送出本设备，进入数据设备；本方向的转换在部件四进行数据缓存，容忍不同 VC-4s 从不同路径传递的网络延迟。

在本发明的装置中，所述部件一中的光发时钟采用部件二中的光收时钟；所述部件二中的光发时钟采用部件一中的光收时钟，即：从相邻级联到虚级联转换，虚级联的光发时钟采用相邻级联的光收时钟，在整个转换处理过程中，也采用该时钟；从虚级联到相邻级联的转换，相邻级联的光发时钟采用虚级联的光收时钟，在整个转换过程中也采用该时钟。

本发明与外部的连接关系为，部件一和数据设备相连，部件二和 SDH 设备相连。

本发明中的实现 VC4-4 等级虚级联和相邻级联相互转换装置中实现从相邻级联到虚级联转换的方法，包括：

3．1 帧头检测和解扰码

从相邻级联光口进入 FPGA 的一组信号有 8 位 77M 数据信号，1 个 77M 时钟信号，一个 77M 帧头信号，首先要检测帧头信号指示数据位置的正确性， 给出 LOS， LOF 告警指示信号，并对数据进行解扰码处理；

3．2 段开销的检测和提取

3．2．1 B1 误码的检测，给出 B1 误码检测值并给出 B1 误码告警指示信号；

3．2．2 B2 误码检测，给出 B2 误码告警指示信号；

3．2．3 M1、K2（B6-B8）的提取，给出 MS-AIS，MS-RDI，MS-REI 告警指示信号；

3．3 指针解释

根据实际的指针值，生成 J1 的位置指示信号，并根据指针调整的情况，生成相应的 PAYLOAD 指示信号；在 NORM、LOP、AIS 这三种状态间转移，并给出相应的状态指示信号 LOPI 与 AISI 告警；

3．4 通道开销检测

主要包括 B3 字节检测；G1 的检测，给出 B3 误码告警指示信号，HP-REI，HP-RDI 告警指示信号；

3．5 通道开销插入到所述帧中

相邻级联收侧到虚级联发侧 J1、C2，G1，F2，F3，K3，N1 的穿通，发侧将相邻级联 J1、C2，G1，F2，F3，K3，N1 复制到虚级联中每个独立的 VC-4s 中；

3．6 H4 字节插入到所述帧中，AU-4 指针的复制

按照帧序列编码的两段复帧号和代表 VC-4s 次序的 SQ 号的编码规则插入 H4 字节，同时完成虚级联中每个 VC-4s 的指针从相邻级联指针复制；

3．7 B3 校验码插入到所述帧中

发侧虚级联中每个 VC-4 独立进行 B3 误码生成和插入，相邻级联侧检测到的 B3 误码将传递给虚级联中每个 VC-4s；

3．8 段开销插入到所述帧中

3．8．1 B2 校验码的再生处理，并传递相邻级联收侧的 B2 误码；

3．8．2 B1 校验码的再生处理，并传递相邻级联收侧的 B1 误码，

3．8．3 数据扰码及 A1、A2 的插入。

本发明中的实现 VC4-4 等级虚级联和相邻级联相互转换装置中实现从虚级联到相邻级联转换的方法，包括：

4．1 帧头检测和解扰码

从虚级联光口进入 FPGA 的一组信号有 8 位 77M 数据信号，1 个 77M 时钟信号，一个 77M 帧头信号；首先要检测帧头信号指示数据位置的正确性，给出 LOS，LOF 告警指示信号，并对数据进行解扰码处理；

4．2 段开销的检测和提取

4．2．1 B1 误码的检测，给出 B1 误码检测值并给出 B1 误码告警指示信号；

4．2．2 B2 误码检测，给出 B2 误码告警指示信号；

4．2．3 M1、K2（B6-B8）的提取，给出 MS-AIS，MS-RDI，MS-REI 告警指示信号；

4．3 指针解释

根据实际的指针值，生成 J1 的位置指示信号，并根据指针调整的情况，生成相应的 PAYLOAD 指示信号，在 NORM、LOP、AIS 这三种状态间转移，并给出相应的状态指示信号 LOPI 与 AISI 告警；

以上的处理虚级联的收侧和相邻级联的收侧相同；

4．4 帧中 77M 数据信号到 19M 数据信号的转换；每个 VC-4s 的传输速率降低到 19M，分别单独处理；

4．5 通道开销检测

对每个 VC-4s 进行 B3 字节检测，给出误码性能超限告警指示信号；G1 的检测，给出 HP-REI，HP-RDI 告警指示信号；

4．6 H4 字节解释模块

H4 字节告警检测， ，H4 复帧序号和 SQ 号的提取，并由复帧序列号和 SQ 号生成外挂 SRAM 的写地址

4．7 虚级联到相邻级联的队列重排

包括外挂 SRAM 接口读写地址，数据，控制信号的生成；外挂 RAM 读出数据解服用的处理

4．8 指针调整

对虚级联中的 4 个 VC-4s 做统一的指针调整处理，以消除速率不匹配；

4．9 指针生成

根据 J1 的位置生成 VC-4-4c 的指针；

4．10 19M 数据信号到 77M 数据信号的转换

4．11 B3 校验码插入到所述帧中

发侧相邻级联按 VC-4-4c 格式进行 B3 误码生成和插入，并传递相邻级联收侧的 B3 误码；

4．12 段开销插入到所述帧中

4．12．1 从接收侧拷贝除指针字节包括 H3 字节外的所有开销，因相邻级联发端时钟来源于虚级联收端时钟，因此无需存储，只简单的拷贝即可；

4．12．2 B2 校验码的再生处理，并传递相邻级联收侧的 B2 误码；

4．12．3 B1 校验码的再生处理，并传递相邻级联收侧的 B1 误码；

4．12．4 数据扰码及 A1、A2 的插入；

采用本发明，无需对全 SDH 网络升级，即可实现相邻级联结构的数据业务的接入和传送，升级容易，且成本低廉。本装置在实现时引进了 SDH 中继的特点。穿通段开销和通道开销，所以本装置自身无需网管和 CPU，只需提供必要的告警灯指示有无告警，通过 SDH 或数据设备的网管系统查告警的细节。在本发明中，发时钟来源于收时钟，使逻辑的简化，无需对需穿通的段开销和通道开销进行存储和在发送端的插入。也无需指针调整和指针生成， 虚级联中每个 VC-4s 的指针只进行相邻级联指针复制的复制即可。告警灯装置指示告警，方便维护。

附图说明

图 1 本发明中的转换装置结构示意图；

图 2 本发明中的相邻级联到虚级联转换流程；

图 3 本发明中的虚级联到相邻级联转换流程；

图 4 VC-4-4c 结构(X=4)图；

图 5 VC-4-4v 结构图。

表 1 VC-4-4v SQ 号及 H4 复帧号定义

具体实施方式

本发明实现 VC-4 等级虚级联和相邻级联之间相互转换，要点是在相邻级联到虚级联的转换侧的每个 VC-4s 中的 H4 字节插入表示帧序列编码的两段复帧号和代表 VC-4s 次序的 SQ 号。这样，不同 VC-4s 在 SDH 网络中可以通过不同路径传输。在虚级联到相邻级联的转换侧再重新按照原序列号的顺序排列。因经过不同路径的 VC-4s 到达终点的传输延时不同，为了容纳这样的延时，需要很大的 FIFO 对 VC-4s 进行缓存，在本发明中的 FIFO 由外挂 SSRAM 实现，核心功能在可编程逻辑中实现。

图 1 示出的本发明中的装置和图 2、3 示出的本发明实现转换的流程，在技术方案部分已对本发明的装置和实现方法进行了说明，此处不再重复。

下面将详细说明相邻级联和虚级联的定义，如何对帧进行编号；以及恢复帧标号时的告警处理；同时，还要详细说明本设计中的时钟处理及开销处理的方法；最后，说明告警灯指示的告警类型。其中，相邻级联和虚级联的定义，以及如何对帧进行编号部分在标准中已有明确定义。

首先，先说明相邻级联和虚级联的定义：

对于传送的净荷不能有效地适配进标准的虚容器(VC-4)时，可使用 VC-4 级联。定义了两种级联方法，相邻级联和虚级联。两种方法都提供在通道终端 4 倍容器 VC4 的级联带宽。区别在于通道终端之间的传送。相邻级联在整个传送中保持了相邻的带宽，而虚级联打破了相邻的带宽，进入独立的 VC 中，传送单独的 VC，在传输的结束点再重组这些 VC 到一个相邻的带宽中。虚级联仅在通道终端设备需要级联功能，而相邻级联在每个网元都需要级联功能。

4 个 VC-4s 的相邻级联(VC-4-4c)：

一个 VC-4-4c 提供一个 4 个容器 VC-4 的净荷区域，见图 4。位于第一列的一个 POH 的通用设置用于整个 VC-4-4c(例如：BIP-8 包含了 VC-4-4c 的所有 261*4 列)。列 2 到 4 为固定填充。

VC-4-4c 在 STM-4 信号中 4 个相邻的 AU-4 中传送。VC-4-4c 的第一列始终位于第一个 AU-4。该第一个 AU-4 的指针指示了 VC-4-4c 中 J1 字节的位置。

AU-4#2 到 4 的指针设置为级联指示，来指示相邻级联的净荷。对于 4 个级联的 AU-4 指针调整共同完成，并且使用了 4*3 填充字节。 一个 VC-4-4c 提供一个容量为 599 040 kbit/s 的净荷；

4 个 VC-4s 的虚级联(VC-4-4v)：

VC-4-4v 提供一个 4 个容器 VC-4 (VC-4-4c)相邻的净荷区域，净荷容量为 599 040 kbit/s，见图 5。容器映射进 4 个独立的 VC-4，来构成 VC-4-4v。每一个 VC-4 都有自己的 POH。H4 POH 字节用于虚级联特定序列，复帧指示定义见 H4 字节两段复帧及 SQ 号定义。

每一个 VC-4-Xv 的 VC-4 在网络中独立地传送。因为 VC-4 不同的传播延时，独立的 VC-4 间将产生差分延时。该差分延时必须得到补偿，每个 VC-3 在进入净荷区域时必须重排。

其次，再介绍 H4 字节两段复帧及 SQ 号定义：

一个两段 512 ms 的复帧容忍 125 μs 及以上(达 256 ms)的差分延时。第一段（The first stage）使用 H4 第 5 到 8 比特为 4 比特复帧指示(MFI1)。MFT1 每基帧时增加一次，计数从 0 到 15。对于第二段（the second stage） 8 比特复帧指示(MFI2)，H4 用于第一复帧 0 帧中的 1 到 4 比特(MFI2 bits 1-4)及 1 帧(MFI2 bits 5-8)（见表 4-1)。MFI2 每第一步复帧增加一次，计数从 0 到 255。因此，所有的复帧为 4096 帧长 (= 512 ms)。

序列指针 SQ 指示 VC-4-4v 中构成相邻容器 VC-4-4c 的独立 VC-4 的序列顺序，见图 5。VC-4-4v 的每个 VC-4 都有固定的唯一的序列号，范围从 0 到 3。传送 VC-4-4c 第一个 VC-4，其序列号为 0；第二个 VC-4，其序列号为 1； 第三个 VC-4，其序列号为 2， 第四个 VC-4，其序列号为 3。

8 比特的序列号在 H4 的第 1 到第 4 比特中传送，使用第一复帧的 14 帧(SQ bits 1-4)及 15 帧(SQ bits 5-8)。见表 1。

恢复帧标号时的告警处理：

从虚级联到相邻级联的转换比较复杂，需要提取 H4 字节的帧编号，同时，还要进行告警处理，告警如下：

第一段复帧失步（OOM1)：在 MFI1 序列号检测中，连续 4 帧错误，则认为第一段复帧失步（OOM1)。

第二段复帧失步(OOM2)：在 MFI2 序列号检测中，连续 4 帧错误发生或 OOM1，则认为第二段复帧失步（OOM2)。

SQ 号丢失（DSQM)：如连续 4 帧收到的 SQ 号和期望的不一致时，上报 DSQM，如连续 4 帧一致时，恢复正常，退出 SQ 号丢失状态。

延时越界（DLOA)：当通过不同路径传输，各独立的 VC-4s 延时差范围超限。

进入延时越界（DLOA）。

当系统处于延时越界告警时，表明超出系统设计范围，系统无法正常工作。

设计实现允许延时差。

表 1 VC-4-4v SQ 号及 H4 复帧号定义

H4 Byte								1st multi-frame number	2nd multi-frame number
Bit 1 H4 [7]	Bit 2 H4 [6]	Bit 3 H4 [5]	Bit 4 H4 [4]	Bit 5 H4 [3]	Bit 6 H4 [2]	Bit 7 H4 [1]	Bit 8 H4 [0]		
				1st multi-frame indicator MFI1 (bits 1-4)					
Sequence indicator MSB (bits 1-4)SQ[3: 0]				1 MFI1 [3]	1 MFI1 [2]	1 MFI1 [1]	0 MFI1 [0]	14	n-1
Sequence indicator LSB (bits 5-8) SQ[7: 4]				1	1	1	1	15	
2nd multi-frame indicator MFI2 MSB (bits 1-4)MFI2[3: 0]				0	0	0	0	0	n
2nd multi-frame indicator MFI2 LSB (bits 5-8) MFI2[7: 4]				0	0	0	1	1	
Reserved ("0000")				0	0	1	0	2	
Reserved ("0000")				0	0	1	1	3	
Reserved ("0000")				0	1	0	0	4	
Reserved ("0000")				0	1	0	1	5	
Reserved ("0000")				0	1	1	0	6	
Reserved ("0000")				0	1	1	1	7	
Reserved ("0000")				1	0	0	0	8	
Reserved ("0000")				1	0	0	1	9	
Reserved ("0000")				1	0	1	0	10	
Reserved ("0000")				1	0	1	1	11	
Reserved ("0000")				1	1	0	0	12	
Reserved ("0000")				1	1	0	1	13	
Sequence indicator SQ MSB (bits 1-4)				1	1	1	0	14	
Sequence indicator SQ LSB (bits 5-8)				1	1	1	1	15	
2nd multi-frame indicator MFI2 MSB (bits 1-4)				0	0	0	0	0	n+1
2nd multi-frame indicator MFI2 LSB (bits 5-8)				0	0	0	1	1	
Reserved ("0000")				0	0	1	0	2	

本装置用外挂 RAM 进行 VC-4 存储，选用的是 2M 字节 SSRAM，可存贮 512 帧

VC-4，可容忍的每 2 个 VC-4s 的相比较的延时差最大不超过 511 帧，约为 64MS。

时钟处理：

本装置的光发时钟采用收端时钟，从相邻级联到虚级联转换，虚级联的光发时钟采用相邻级联的光收时钟，在整个转换处理过程中，也采用该时钟。从虚级联到相邻级联的转换，相邻级联的光发时钟采用虚级联的光收时钟，在整个转换过程中也采用该时钟。采用该时钟处理方式，可简化逻辑设计，节省逻辑单元，降低 FPGA 的费用。如从相邻级联到虚级联的转换，因收发时钟一致，则虚级联中 4 个 VC-4s 的指针调整和相邻级联 VC-4-4c 的指针调整一致，因此，无需重新用 FIFO 进行指针调整和重新进行指针值的生成，虚级联中 4 个 VC-4s 的指针值只需简单的复制相邻级联 VC-4-4c 的指针值即可。除此之外，段开销处理也大大简化，因收发使用同一个时钟，在整个处理过程中，STM-4 被完整的传递，直接完成了段开销和的穿通。如果，收发时钟不一致，则必须进行段开销的存储和重新插入，才能完成段开销的穿通。

开销处理：

开销处理采用穿通方式，分为段开销的穿通和通道开销的穿通复制，这种开销的处理方式，可使本装置被视为透明，无需网管进行维护，节约成本。

段开销处理包括 B1、B2 开销处理，指针字节开销处理，其他段开销处理。

B1、B2 开销处理：在接收端进行告警检测，在发送端重新进行 B1、B2 误码再生，如接收端有误码告警，则在发送端插入误码，从而完成 B1、B2 的误码穿通。从相邻级联到虚级联的转换，接收端是相邻级联的收端，发送端是虚级联的发端。 从虚级联到相邻级联的转换，接收端是虚级联的收端，发送端是相邻级联的发端。

指针字节开销的处理：指针字节包括 H1、H2、H3 字节，从相邻级联到虚级联的转换，虚级联中 4 个 VC-4s 的 H1、H2 字节只需简单的复制相邻级联 VC-4-4c 的 H1、H2 字节，H3 字节穿通。 从虚级联到相邻级联的转换，需要根据指针调整的情况重新生成 H1、H2、H3 字节。

其他段开销字节：完全穿通。因发时钟来源于收时钟，因此在整个处理过程中，STM-4 段开销被完整的保留， 无需增加额外逻辑进行段开销的穿通处理。

通道开销处理包括：B3 通道开销处理，H4 字节通道开销处理，其他通道开销字节处理。

B3 通道开销处理： 在接收端进行告警检测，在发送端重新进行 B3 误码再生，如接收端有误码告警，则在发送端插入误码，从而完成 B3 的误码穿通。从相邻级联到虚级联的转换，如国相邻级联有 B3 误码告警则在虚级联中的 4 个 VC-4s 都要插入 B3 误码。从虚级联到相邻级联的转换， 虚级联中只要有一个

VC-4s 有 B3 误码告警，则在相邻级联要插入 B3 误码。

H4 字节通道开销处理： 在相邻级联到虚级联的转换侧，每个 VC-4s 中的 H4 字节插入帧序列编码和 VC-4 的标志号。 在虚级联到相邻级联的转换侧只完成 H4 字节的提取并进行相应处理，无需再生 H4 字节。

其他通道开销字节处理： 其他通道开销字节包括 J1、C2，G1，F2，F3，K3，N1。在相邻级联到虚级联的转换侧， 虚级联中 4 个 VC-4s 的通道开销字节复制相邻级联的通道开销字节。 在虚级联到相邻级联的转换侧， 相邻级联的通道开销字节来源于虚级联中第一个 VC-4s 的通道开销字节。

告警灯指示的告警类型：

本装置设置告警灯，可对历史告警进行上报，通过复位键可清除历史告警并可观察当前是否有告警。告警类型有：信号丢失；帧失步；帧丢失；B1，B2，B3 误码；再生段比特间插校验错误；复用段告警指示信号；复用段远端缺陷指示；复用段远端误码指示；管理单元指针丢失；管理单元告警指示信号；高阶通道远端误码指示；高阶通道远端缺陷指示； H4 字节复帧丢失； H4 字节 SQ 号丢失。

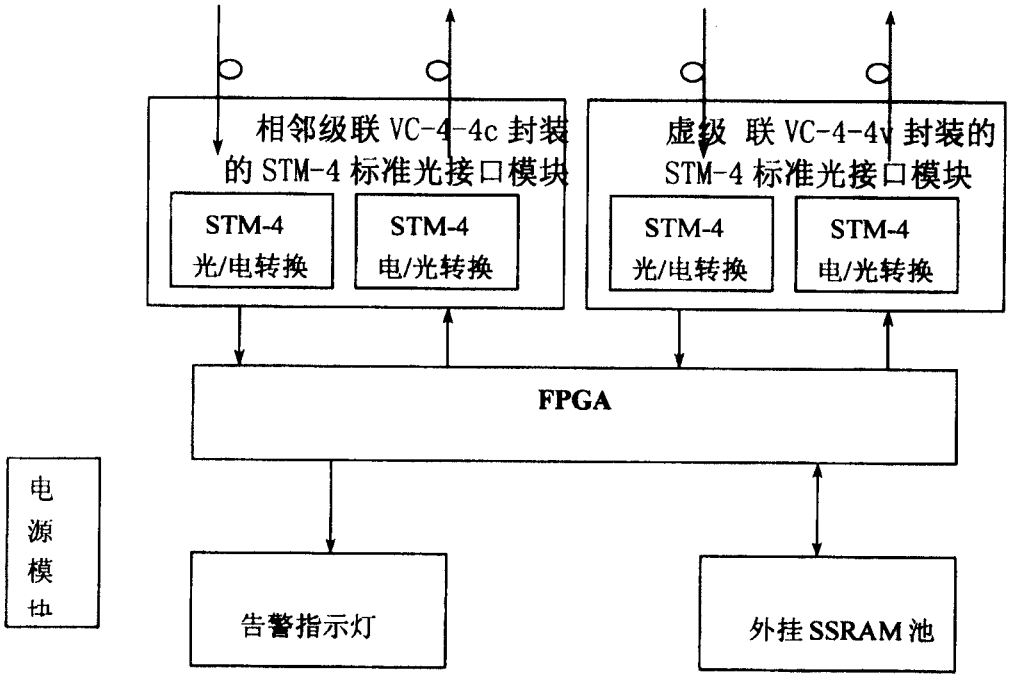

相邻级联 VC-4-4c 封装的 STM-4 标准光接口模块
虚级 联 VC-4-4v 封装的 STM-4 标准光接口模块
STM-4 光/电转换
STM-4 电/光转换
STM-4 光/电转换
STM-4 电/光转换
FPGA
电源模块
告警指示灯
外挂 SSRAM 池

图 1

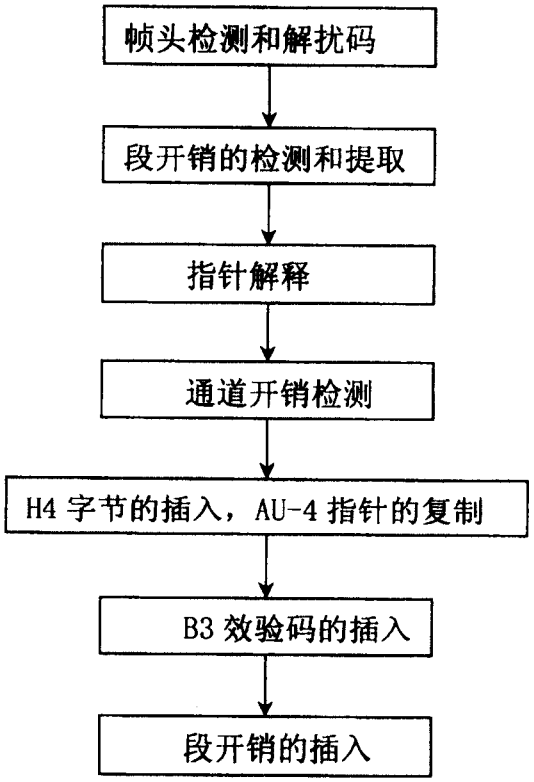

帧头检测和解扰码
段开销的检测和提取
指针解释
通道开销检测
H4 字节的插入，AU-4 指针的复制
B3 效验码的插入
段开销的插入

图 2

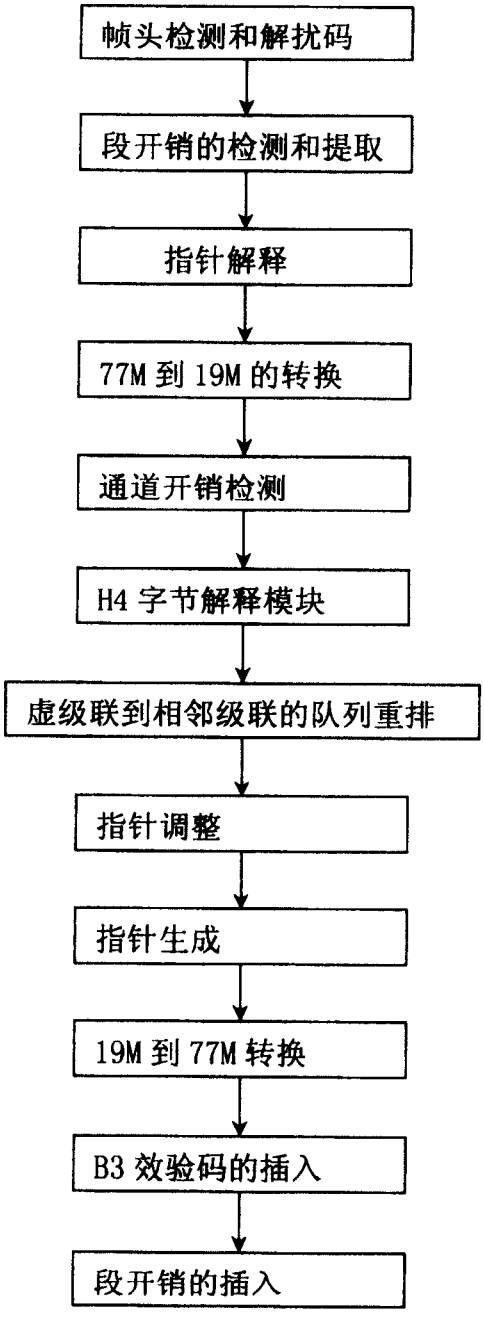

帧头检测和解扰码
段开销的检测和提取
指针解释
77M 到 19M 的转换
通道开销检测
H4 字节解释模块
虚级联到相邻级联的队列重排
指针调整
指针生成
19M 到 77M 转换
B3 效验码的插入
段开销的插入

图 3

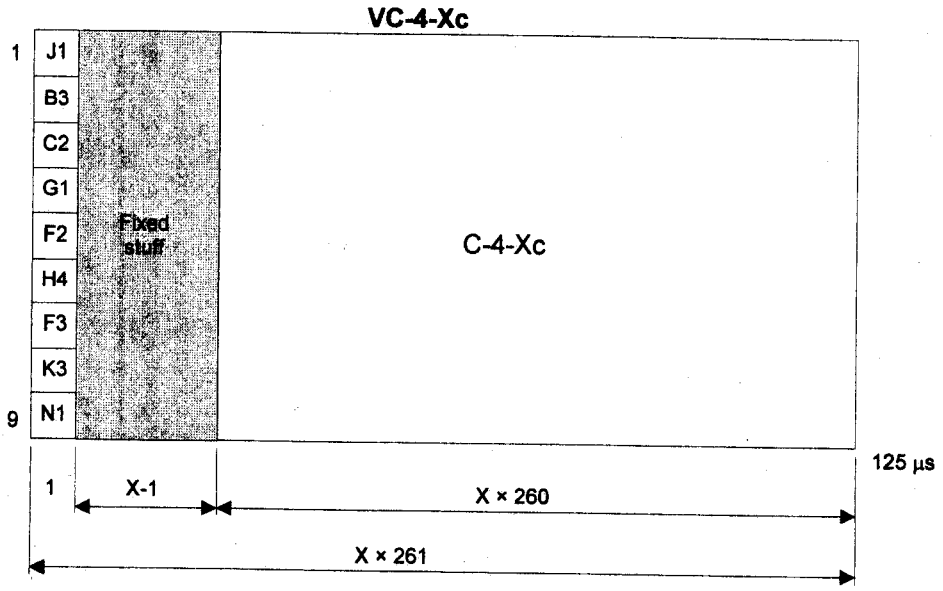

VC-4-Xc
1
J1
B3
C2
G1
F2
H4
F3
K3
9
N1
Fixed stuff
C-4-Xc
125 μs
1
X-1
X × 260
X × 261

图 4

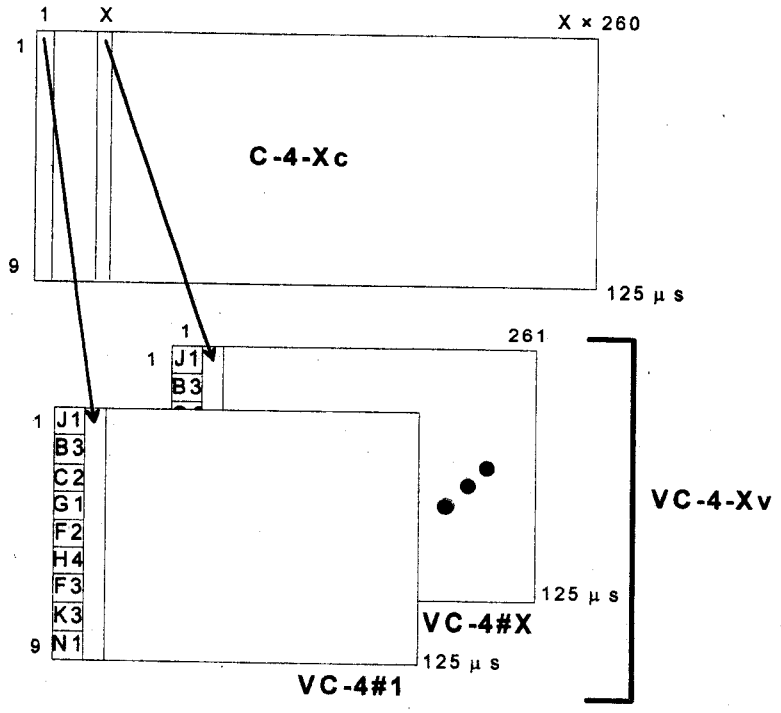

1
X
X × 260
1
C-4-Xc
9
125 μ s
1
261
1
J1
B3
1
J1
B3
C2
G1
F2
H4
F3
K3
9
N1
125 μ s
VC-4#X
125 μ s
VC-4#1
VC-4-Xv

图 5