

【特許請求の範囲】**【請求項 1】**

アクチュエータの動作を制御する制御信号を出力する複数のマイクロコンピュータと、前記複数のマイクロコンピュータと内部バスによって相互に接続された制御部と、を備え、

前記制御部は、前記複数のマイクロコンピュータがアクセスするレジスタをそれぞれ有する揮発性メモリを具備し、外部接続されたバスマスタからのバス制御信号に基づいて、前記揮発性メモリの前記レジスタに制御パラメータを書き込み、

前記マイクロコンピュータは、前記揮発性メモリの前記レジスタに格納された制御パラメータに基づいて、前記制御信号を生成する、制御装置。

10

【請求項 2】

請求項 1 記載の制御装置において、

前記制御部は、前記揮発性メモリの前記レジスタに、2 つ以上の前記マイクロコンピュータによるアクセス要求が発生した際に、いずれのマイクロコンピュータとコミュニケーションするかを調停するバス調停を行う、制御装置。

【請求項 3】

請求項 1 記載の制御装置において、

前記複数のマイクロコンピュータは、汎用 I / O ポートを用いて、前記制御部とのバス制御信号のやり取りをそれぞれ行う、制御装置。

【請求項 4】

請求項 1 記載の制御装置において、

前記揮発性メモリは、D P R A M である、制御装置。

20

【請求項 5】

請求項 1 記載の制御装置において、

前記制御部は、プログラミングによる設計が可能な論理デバイスからなる、制御装置。

【請求項 6】

請求項 1 記載の制御装置において、

さらに、前記制御部は、前記アクチュエータの動作量を示す動作量データをサンプリングするサンプリング部を有し、

前記マイクロコンピュータは、前記サンプリング部がサンプリングしたサンプリング値に基づいて、前記アクチュエータにより動作させた制御対象が、他の制御対象と干渉するか否かを判定し、前記制御対象が前記他の制御対象と干渉すると判定した際に、前記制御対象の動作を停止させる、制御装置。

30

【請求項 7】

請求項 6 記載の制御装置において、

前記揮発性メモリは、

前記サンプリング部がサンプリングしたサンプリング値を格納する第 1 のレジスタと、

干渉する可能性のある制御対象を示す干渉対象データを格納する第 2 のレジスタと、

干渉するサンプリング値の範囲を規定するサンプリングしきい値を格納する第 3 のレジスタと、

40

を有し、

前記マイクロコンピュータは、前記第 2 のレジスタに格納される干渉対象データに基づいて、前記アクチュエータが動作させた制御対象に干渉する恐れのある他の制御対象があるか否かを判断し、前記他の制御対象がある場合、前記第 3 のレジスタのサンプリングしきい値を読み出し、前記第 1 のレジスタに格納される動作させた前記制御対象のサンプリング値および干渉する恐れのある前記他の制御対象のサンプリング値が、前記サンプリングしきい値よりも小さい場合に干渉すると判定し、前記制御対象の動作を停止させる、制御装置。

【請求項 8】

請求項 7 記載の制御装置において、

50

さらに、前記揮発性メモリは、前記制御対象の優先順位を示すデータが格納される第4のレジスタを有し、

前記マイクロコンピュータは、前記制御対象の動作を停止させた際に、前記第4のレジスタを参照し、優先順位の高い制御対象から、順番に前記制御対象を初期位置に退避させる、制御装置。

【請求項9】

請求項1記載の制御装置において、

前記制御装置は、体液成分を測定して検査する自動分析装置に用いられる、制御装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、制御装置に関し、特に、血清などのサンプルの成分濃度を測定する自動分析装置における制御に有効な技術に関する。

【背景技術】

【0002】

血液検査などにおいては、自動分析装置が広く用いられている。この自動分析装置は、試料と試薬の生化学反応を利用して試料中の測定対象成分を分析する。このような自動分析装置では、試料などの分注、温度管理、および攪拌や光量測定などの分析のため様々な機能を備えており、その実現のため、モータやA/D(Analog/Digital)変換、D/A(Digital/Analog)変換、およびDIO(Digital Input Output)制御などの制御機能が必

20

【0003】

これら各種制御のため、自動分析装置では、複数の制御基板を備えており、各制御基板には、複数の対象を制御するために複数のマイクロコンピュータを搭載している。これらマイクロコンピュータには、DPRAM(Dual Port Random Access Memory)などの半導体メモリが搭載されている。

【0004】

自動分析装置の動作を管理しているアプリケーションは、試料の分析を実施するため、各種制御基板に搭載のマイクロコンピュータと適宜通信し、制御パラメータの設定や結果の確認をDPRAMなどの半導体メモリを介して行っている。

30

【0005】

この種の半導体メモリにおける通信技術については、例えばマイクロコンピュータに可変バス制御部を設けることによって外部に接続されたメモリなどの新たなインタフェースに対応するものがある(例えば特許文献1参照)。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2010-282284号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

前述したように、自動分析装置に用いられるマイクロコンピュータには、DPRAMが搭載されており、汎用のマイクロコンピュータとは異なる特殊な仕様となっている。そのため、マイクロコンピュータに故障などの不具合が発生して代替対応が必要になった際に、該マイクロコンピュータの製造が中止されていると、その代わりとなるマイクロコンピュータの選定が困難になってしまうという問題がある。

【0008】

また、同様の機能を備えたマイクロコンピュータがどうしても選定できない場合には、DPRAM周辺の機能を含めたハードウェアやソフトウェアの設計見直しなどが必要となり、影響範囲が広がってしまう。

50

【0009】

本発明の目的は、汎用性を確保してマイクロコンピュータの選択肢を広げ、代替を容易にすることができる技術を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

一実施の形態は、複数のマイクロコンピュータおよび制御部を備える制御装置である。複数のマイクロコンピュータと制御部とは、内部バスによって相互に接続されている。マイクロコンピュータは、アクチュエータの動作をそれぞれ制御する。

【0013】

また、制御部は、複数のマイクロコンピュータがアクセスするレジスタをそれぞれ有する揮発性メモリを具備し、外部接続されたバスマスタからのバス制御信号に基づいて、揮発性メモリのレジスタに制御パラメータを書き込む。マイクロコンピュータは、揮発性メモリのレジスタに格納された制御パラメータに基づいて、制御信号を生成する。

【発明の効果】

【0014】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0015】

マイクロコンピュータの代替を容易とすることができる。

【図面の簡単な説明】

【0016】

【図1】本実施の形態における自動分析装置の構成の一例を示す説明図である。

【図2】図1の自動分析装置に設けられた制御装置の構成の一例を示す説明図である。

【図3】図1の自動分析装置における動作処理の一例を示すフローチャートである。

【図4】DPRAMを介してバスマスタ基板がマイクロコンピュータにデータを送信する際の一例を示すタイミングチャートである。

【図5】DPRAMを介してマイクロコンピュータがバスマスタ基板へデータを送信する際の一例を示すタイミングチャートである。

【図6】マイクロコンピュータからDPRAMへのバスリードアクセス処理の一例を示したフローチャートである。

【図7】マイクロコンピュータからDPRAMへのバスライトのアクセス処理の一例を示すフローチャートである。

【図8】2つのマイクロコンピュータおよびボード制御デバイスに注目した制御装置の構成図である。

【図9】図8の構成図におけるバス調停の一例を示すタイミングチャートである。

【図10】図9のバス調停におけるフローチャートである。

【図11】本発明者が検討した自動分析装置に設けられる制御装置の構成の一例を示す説明図である。

【図12】実施の形態2による自動分析装置の一部を抜粋した構成例を示す構成図である。

【図13】図12の自動分析装置に用いられる制御装置の一例を示す説明図である。

【図14】制御対象の動作範囲および干渉領域の一例を示すイメージ図である。

【図15】図13の制御装置による自動停止機能の処理の一例を示すフローチャートである。

10

20

30

40

50

【発明を実施するための形態】

【0017】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0018】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0019】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0020】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0021】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0022】

（実施の形態1）

以下、実施の形態を詳細に説明する。

【0023】

自動分析装置の構成例

図1は、本実施の形態における自動分析装置の構成の一例を示す説明図である。

【0024】

自動分析装置は、血液が固まった時に上澄みとしてできる液体成分、いわゆる血清や尿などを検体とし、試薬と反応させることによって、糖やコレステロール、タンパク、酵素などの各種成分の測定を行う装置である。

【0025】

自動分析装置は、図示するように、制御装置10、パーソナルコンピュータ11、バスマスタ基板12、ドライバ基板13、モータ14、制御対象15、およびセンサ16などを有している。

【0026】

制御装置10は、バスマスタ基板12およびドライバ基板13にそれぞれ接続されている。制御装置10とバスマスタ基板12とは、例えばコネクタCnを介してバス規格の1つであるVME（Versa Module Eurocard）バスなどによって接続されている。また、制御装置10とドライバ基板13とは、例えばコネクタCnを介してケーブル配線などによって接続されている。

【0027】

バスマスタ基板12は、イーサネット（登録商標）などによってパーソナルコンピュータ11と接続されている。ドライバ基板13には、アクチュエータなどの各種モータ14およびセンサ16が接続されている。これらモータ14には、該モータ14によって動作する制御対象15が接続されている。センサ16は、モータ14によって動作する制御対象15の動作状態を検知する。センサ16の検知結果は、ドライバ基板13を介して制御装置10に伝達される。

【0028】

10

20

30

40

50

パーソナルコンピュータ 11 には、制御用のアプリケーションがインストールされており、該アプリケーションに基づいて自動分析装置を管理する。バスマスタ基板 12 は、制御装置 10 へのバスアクセスにおけるマスタとなる。ドライバ基板 13 は、制御装置 10 から出力される制御信号であるモータ制御信号に基づいて、モータ 14 を駆動する。

【0029】

制御装置の構成例

図 2 は、図 1 の自動分析装置に設けられた制御装置の構成の一例を示す説明図である。

【0030】

制御装置 10 は、図 2 に示すように、ボード制御デバイス 20 および複数のマイクロコンピュータ 21₁ ~ 21₅ を有する。マイクロコンピュータ 21₁ ~ 21₅ は、汎用のハードウェアによって構成された、いわゆる汎用マイクロコンピュータであり、汎用処理を行う。

10

【0031】

また、図 2 では、5 つのマイクロコンピュータ 21₁ ~ 21₅ を有する例を示しているが、マイクロコンピュータの数は、接続されるモータ 14 の数などによって増減する。

【0032】

制御部であるボード制御デバイス 20 は、バスコントロール部 22, 23 および D P R A M 24 を有する。このボード制御デバイス 20 は、例えば F P G A (Field Programmable Gate Array) などの論理デバイスからなる。

【0033】

D P R A M 24 は、マルチポートメモリであり、ランダムにアクセスできるポートが 2 つ用意された揮発性半導体メモリである。D P R A M 24 は、図 2 のアドレス構成に示すように、マイクロコンピュータ 21₁ ~ 21₅ のアドレス空間をそれぞれ有している。

20

【0034】

D P R A M 24 において、各マイクロコンピュータ 21₁ ~ 21₅ のアドレス空間は、P C S T R (Parallel Communication Status register) 107、P C D T (Parallel Communication Data register) 108、P C C M D (Parallel Communication Command register) 109、および P C C T R (Parallel Communication Control register) 110 によりそれぞれ構成する。

【0035】

P C S T R 107 は、マイクロコンピュータ 21₁ ~ 21₅ のステータスを管理するステータスレジスタであり、パラメータエラーやセンサ 16 が検知した検知情報などを格納する。

30

【0036】

P C D T 108 は、データレジスタであり、バスマスタ基板 12 からマイクロコンピュータ 21₁ ~ 21₅ にコマンドを送信する際のコマンドに関連したパラメータの設定およびマイクロコンピュータ 21₁ ~ 21₅ からバスマスタ基板 12 にコマンド実行結果のデータを格納する。

【0037】

P C C M D 109 は、コマンドレジスタであり、バスマスタ基板 12 がマイクロコンピュータ 21₁ ~ 21₅ に実行させるコマンドを設定する。

40

【0038】

P C C T R 110 は、図 1 のバスマスタ基板 12 とマイクロコンピュータ 21₁ ~ 21₅ が D P R A M 24 を介したデータの送受信、言い換えればコミュニケーションをするためのレジスタである。

【0039】

P C C T R 110 は、M W M F (Master Write Mode Flag)、E M W I (Enable Master Write Interrupt)、M W E F (Master Write End Flag)、S W M F (Slave Write Mode Flag)、E A K A R (Enable Acknowledge And Request)、および S W E F (Slave Write End Flag) を備える。

50

【0040】

MWMFは、バスマスタ基板12の送信権を示すフラグである。EMWIは、マイクロコンピュータ21₁~21₅への割り込みを許可する。MWEFは、バスマスタ基板12が送信データを書き終えたことを示すフラグである。

【0041】

SWMFは、マイクロコンピュータ21₁~21₅の送信権を示すフラグである。EAKARは、バスマスタ基板12への割り込みを許可する。SWEFは、マイクロコンピュータ21₁~21₅が送信データを書き終えたことを示すフラグである。

【0042】

マイクロコンピュータ21₁~21₅は、前述したように、安価な、バス制御信号などを備えていない汎用製品であり、RAM(Random Access Memory)25およびCPU(Central Processing Unit)26を有する。RAM25は、揮発性半導体メモリであり、CPU26は、中央演算処理装置である。

10

【0043】

ボード制御デバイス20とマイクロコンピュータ21₁~21₅とは、内部バスであるバス27を介してそれぞれ接続されている。バス27を介したバス制御信号のやり取りは、マイクロコンピュータ21₁~21₅の汎用I/Oが用いられる。マイクロコンピュータ21₁~21₅は、プログラミングされたバス制御用のプログラムにより動作する。

【0044】

自動分析装置の動作例

20

続いて、自動分析装置における動作について、図1~図3を用いて説明する。

【0045】

図3は、図1の自動分析装置における動作処理の一例を示すフローチャートである。

【0046】

まず、パーソナルコンピュータ11により、コマンドを実行する(ステップS101)。パーソナルコンピュータ11のアプリケーションがコマンドの実行を認識すると、入力されたコマンドに従い制御対象を判断し、その対象を制御するマイクロコンピュータにパラメータとコマンドを設定する(ステップS102)。

【0047】

パラメータとコマンドの設定とは、パーソナルコンピュータ11からバスマスタ基板12を介して制御装置10に搭載されたボード制御デバイス20のDPRAM24への書き込みである。この書き込み手順については、後述する図4を用いて説明する。

30

【0048】

続いて、DPRAM24にパラメータとコマンドが設定されると、当該マイクロコンピュータが設定内容をリードし、要求されたコマンドを実行する(ステップS103)。例えばコマンドがモータ14の制御であれば、当該マイクロコンピュータは、リードしたパラメータに従ってモータ制御信号を生成する。

【0049】

ドライバ基板13は、生成されたモータ制御信号に基づいて、モータ14を駆動する駆動信号を出力する。モータ14は、ドライバ基板13から出力された駆動信号に基づいて回転する。

40

【0050】

モータ14が回転することによって制御対象15が動作し、一定の範囲の移動あるいはセンサ16がオンすることによってモータ14の制御対象15が期待の位置への移動が完了したことを当該マイクロコンピュータが認識する。これにより、マイクロコンピュータは、モータ制御信号の生成を終了する。

【0051】

続いて、モータ制御信号の生成を終了したマイクロコンピュータは、コマンドの実施結果をDPRAM24に書き込む(ステップS104)。そして、パーソナルコンピュータ11は、マイクロコンピュータからDPRAM24に結果が書き込まれたことを認識する

50

と、該 D P R A M 2 4 から結果をリードする（ステップ S 1 0 5）。

【 0 0 5 2 】

なお、マイクロコンピュータから D P R A M 2 4 への結果の書き込み処理については、後述する図 5 を用いて説明する。また、マイクロコンピュータからボード制御デバイス 2 0 へのバスリードのアクセス制御については、後述する図 6 を用いて説明し、バスライトのアクセス制御については後述する図 7 を用いて説明する。

【 0 0 5 3 】

D P R A M の書き込み例

続いて、前述した D P R A M 2 4 への書き込み手順について説明する。

【 0 0 5 4 】

図 4 は、D P R A M 2 4 を介してバスマスタ基板 1 2 がマイクロコンピュータにデータを送信する際の一例を示すタイミングチャートである。

【 0 0 5 5 】

図 4 において、上方から下方にかけては、スレーブとなるマイクロコンピュータの動作、マスタとなるバスマスタ基板 1 2 の動作、D P R A M 2 4 の M W M F、M W E F、およびマイクロコンピュータから出力される割り込み信号 I R Q におけるそれぞれの信号タイミングを示している。

【 0 0 5 6 】

まず、バスマスタ基板 1 2 が D P R A M 2 4 のアドレス空間 P C S T R 1 0 7 にライトアクセスすると、M W M F のフラグが立つ。バスマスタ基板 1 2 は、P C C T R 1 1 0 をリードして M W M F が立っていることを確認し、P C D T 1 0 8 に任意のデータをライトする。

【 0 0 5 7 】

そして、バスマスタ基板 1 2 が、P C C M D 1 0 9 にライトアクセスすることにより M W E F のフラグが立ち、マイクロコンピュータへの割り込みが有効になる。マイクロコンピュータは、割り込みを受けて P C C M D 1 0 9 をリードする。マイクロコンピュータが P C C M D 1 0 9 をリードすると、M W E F および割り込みが無効となる。

【 0 0 5 8 】

続いて、マイクロコンピュータが P C D T 1 0 8 をリードし、バスマスタ基板 1 2 が設定したデータを受信する。マイクロコンピュータが P C S T R 1 0 7 をリードすると、M W M F が無効となり、一連の動作を終了する。

【 0 0 5 9 】

バスマスタ基板へのデータの送信例

図 5 は、D P R A M 2 4 を介してマイクロコンピュータがバスマスタ基板 1 2 へデータを送信する際の一例を示すタイミングチャートである。

【 0 0 6 0 】

図 5 において、上方から下方にかけては、スレーブとなるマイクロコンピュータ、マスタとなるバスマスタ基板 1 2、S W M F、S W E F、およびマイクロコンピュータから出力される割り込み信号 I R Q におけるそれぞれの信号タイミングを示している。

【 0 0 6 1 】

まず、マイクロコンピュータが P C S T R 1 0 7 にライトすると、S W M F のフラグが立つ。マイクロコンピュータは、P C C T R 1 1 0 をリードして、S W M F が立っていることを確認した後、P C D T 1 0 8 に任意のデータをライトする。

【 0 0 6 2 】

マイクロコンピュータが P C C M D 1 0 9 にライトすることにより S W E F のフラグが立ち、バスマスタ基板 1 2 への割り込みが有効になる。

【 0 0 6 3 】

バスマスタ基板 1 2 は、割り込みを受けて P C C M D 1 0 9 をリードする。バスマスタ基板 1 2 が P C C M D 1 0 9 をリードすると S W E F および割り込みが無効となる。続いて、バスマスタ基板 1 2 が P C D T 1 0 8 をリードし、マイクロコンピュータが設定した

10

20

30

40

50

データを受信する。バスマスタ基板 1 2 が P C S T R 1 0 7 をリードすると S W M F が無効となり、一連の動作を終了する。

【 0 0 6 4 】

バスリードのアクセス処理例

続いて、バスリードのアクセス処理について説明する。

【 0 0 6 5 】

図 6 は、マイクロコンピュータから D P R A M 2 4 へのバスリードアクセス処理の一例を示したフローチャートである。

【 0 0 6 6 】

マイクロコンピュータから、アクセスする D P R A M 2 4 のアドレスを出力する（ステップ S 2 0 1）。次いで、マイクロコンピュータは、チップ選択信号であるチップセレクト（ChipSelect）信号 C S と出力を許可する信号であるアウトプットイネーブル（Output Enable）信号 O E をアサートする（ステップ S 2 0 2）。

10

【 0 0 6 7 】

チップセレクト信号 C S およびアウトプットイネーブル信号 O E をアサートした後、ボード制御デバイス 2 0 は、D P R A M 2 4 からデータを出力するのを例えば 1 5 0 n s 程度待つ（ステップ S 2 0 3）。

【 0 0 6 8 】

1 5 0 n s 待った後、マイクロコンピュータは、ボード制御デバイス 2 0 から出力されたデータを R A M 2 5 に格納する（ステップ S 2 0 4）。そして、チップセレクト信号 C S とアウトプットイネーブル信号 O E をネゲートし（ステップ S 2 0 5）、一連のバスリードアクセスを終了する。これら一連の動作は、マイクロコンピュータにおける C P U 2 6 が制御する。

20

【 0 0 6 9 】

バスライトアクセスの処理例

次に、バスライトアクセス処理について説明する。

【 0 0 7 0 】

図 7 は、マイクロコンピュータから D P R A M 2 4 へのバスライトのアクセス処理の一例を示すフローチャートである。

【 0 0 7 1 】

マイクロコンピュータから、アクセスする D P R A M 2 4 のアドレスを出力する（ステップ S 3 0 1）。ライトするデータを出力した後（ステップ S 3 0 2）、マイクロコンピュータは、チップセレクト信号 C S および書き込み許可信号であるライトイネーブル（Write Enable）信号 W E をアサートさせる（ステップ S 3 0 3）。

30

【 0 0 7 2 】

チップセレクト信号 C S およびライトイネーブル信号 W E をアサートした後、マイクロコンピュータは、ボード制御デバイス 2 0 が D P R A M 2 4 へデータをライトするまで、例えば 1 5 0 n s 程度の間データをホールドする（ステップ S 3 0 4）。

【 0 0 7 3 】

1 5 0 n s 程度の時間ホールドした後、マイクロコンピュータは、チップセレクト信号 C S およびライトイネーブル信号 W E をネゲートし（ステップ S 3 0 5）、バスライトアクセス処理を終了する。これら一連の動作は、C P U 2 6 が制御する。

40

【 0 0 7 4 】

バス調停の制御例

次に、制御装置 1 0 におけるバス調停の制御技術について説明する。

【 0 0 7 5 】

図 8 は、2 つのマイクロコンピュータ 2 1₁、2 1₂ およびボード制御デバイス 2 0 が有するバスコントロール部 2 3 に注目した制御装置 1 0 における構成図である。図 9 は、図 8 の構成図におけるバス調停の一例を示すタイミングチャートである。図 1 0 は、図 9 のバス調停におけるフローチャートである。

50

【 0 0 7 6 】

制御装置 1 0 において、ボード制御デバイス 2 0 とマイコン 2 1₁ ~ 2 1₅ とを接続しているバスは、前述したようにすべてのマイクロコンピュータによって共有している。よって、データの衝突によるデータの破損を避けるため、ボード制御デバイス 2 0 とコミュニケーションが可能なマイクロコンピュータは 1 度のコミュニケーションで 1 つとなる。

【 0 0 7 7 】

そのため、2 つ以上のマイクロコンピュータからボード制御デバイス 2 0 へのバスアクセス要求がある場合、ボード制御デバイス 2 0 は、どのマイクロコンピュータとコミュニケーションするかを調停するバス調停が必要となる。

【 0 0 7 8 】

バス調停は、バス使用要求 (Bus Request) 信号 B R、バス使用許可 (Bus Grant) 信号 B G、およびビジー信号 B U S Y を制御信号として使用する。バス使用要求信号 B R は、バスの使用を要求する。バス使用許可信号 B G は、バスの使用を許可する。

【 0 0 7 9 】

ビジー信号 B U S Y は、バスが使用中であることを示す信号である。ビジー信号 B U S Y は、マイクロコンピュータからボード制御デバイス 2 0 に出力される信号と、ボード制御デバイス 2 0 からマイクロコンピュータに出力される信号とがある。

【 0 0 8 0 】

バス使用要求信号 B R およびビジー信号 B U S Y は、マイクロコンピュータ 2 1₁ ~ 2 1₅ からそれぞれ出力される。バス使用許可信号 B G は、ボード制御デバイス 2 0 から出力される。

【 0 0 8 1 】

図 8 では、マイクロコンピュータ 2 1₁ からボード制御デバイス 2 0 のバスコントロール部 2 3 に対してビジー信号 B U S Y 1 が出力され、マイクロコンピュータ 2 1₂ からボード制御デバイス 2 0 に対してビジー信号 B U S Y 2 がそれぞれ出力される例を示している。

【 0 0 8 2 】

そして、ボード制御デバイス 2 0 に入力されたビジー信号 B U S Y 1 とビジー信号 B U S Y 2 とは、論理積がとられてる。論理積の演算結果は、バスコントロール部 2 3 にビジー信号 B U S Y I N として入力される。また、このビジー信号 B U S Y I N は、マイクロ

【 0 0 8 3 】

また、図 8 においては、マイクロコンピュータ 2 1₁ からボード制御デバイス 2 0 のバスコントロール部 2 3 に対してバス使用許可信号 B G 1 が出力される例を示している。さらに、図 8 では、マイクロコンピュータ 2 1₂ からバスコントロール部 2 3 に対して、バス使用許可信号 B G 2 が出力される例を示している。

【 0 0 8 4 】

まず、1 つのマイクロコンピュータ 2 1₁ から、バスの使用を要求するバス使用要求信号 B R 1 が出力された場合について説明する。

【 0 0 8 5 】

マイクロコンピュータ 2 1₁ は、バス使用要求信号 B R 1 をアサートする。バスコントロール部 2 3 がバス使用要求信号 B R 1 のアサートを認識すると、該バスコントロール部 2 3 は、バス使用許可信号 B G をアサートする。

【 0 0 8 6 】

マイクロコンピュータ 2 1₁ がバス使用許可信号 B G 1 のアサートを認識すると、該マイクロコンピュータ 2 1₁ は、ビジー信号 B U S Y 1 をアサートし、バス使用要求信号 B R 1 をネゲートする。

【 0 0 8 7 】

そして、バスコントロール部 2 3 がビジー信号 B U S Y 1 のアサートを認識すると、バスコントロール部 2 3 がバス使用許可信号 B G 1 をネゲートする。バスアクセスを終了す

10

20

30

40

50

ると、マイクロコンピュータ 2 1₁は、ビジー信号 B U S Y 1 をネゲートし、一連の動作を終了する。

【 0 0 8 8 】

2 つあるいはそれ以上のマイクロコンピュータからのバス使用要求がある場合も、基本的には、1 つのマイクロコンピュータからバス使用要求があった場合と同様の処理を行う。

【 0 0 8 9 】

しかし、前述したように、1 度にアクセスすることのできるマイクロコンピュータは、1 つである。このことから、ボード制御デバイス 2 0 において、予め各マイクロコンピュータのアクセス権に優先順を設定しておく。

【 0 0 9 0 】

そして、同時に複数のマイクロコンピュータからアクセス要求があった場合は、優先度の高いマイクロコンピュータから順にバス使用許可信号 B G をアサートし、バスアクセスを許可するものとする。

【 0 0 9 1 】

続いて、2 つマイクロコンピュータからバス使用要求があった場合について、図 8 ~ 図 1 0 を用いて説明する。

【 0 0 9 2 】

なお、図 9 および図 1 0 においては、マイクロコンピュータ 2 1₁ およびマイクロコンピュータ 2 1₂ からそれぞれアクセスがあり、ボード制御デバイス 2 0 のバスコントロール部 2 3 には、マイクロコンピュータ 2 1₁ の優先度が、マイクロコンピュータ 2 1₂ の優先度よりも高く設定されている場合を示している。

【 0 0 9 3 】

まず、図 9 に示すように、マイクロコンピュータ 2 1₁ およびマイクロコンピュータ 2 1₂ から、バス使用要求信号 B R 1 , B R 2 がそれぞれアサートされると、ボード制御デバイス 2 0 のバスコントロール部 2 3 は、バス使用要求信号 B R 1 , B R 2 のアサートを認識する。

【 0 0 9 4 】

このとき、ボード制御デバイス 2 0 のバスコントロール部 2 3 は、マイクロコンピュータ 2 1₁ , 2 1₂ のどちらのアクセス権の優先順が高いかを判定する。前述のように、マイクロコンピュータ 2 1₁ の優先順位が高く設定されているので、バスコントロール部 2 3 は、バス使用許可信号 B G 1 をアサートする。

【 0 0 9 5 】

マイクロコンピュータ 2 1₁ は、バス使用許可信号 B G 1 のアサートを認識すると、ビジー信号 B U S Y 1 をアサートする。これによって、ビジー信号 B U S Y I N がアサートされ、マイクロコンピュータ 2 1₁ によるバスアクセスが行われる。

【 0 0 9 6 】

マイクロコンピュータ 2 1₁ のバスアクセスが終了してビジー信号 B U S Y 1 がネゲートとなると、ビジー信号 B U S Y I N がネゲートとなる。このとき、バス使用要求信号 B R 2 はアサートのままなので、バスコントロール部 2 3 は、バス使用許可信号 B G 2 をアサートする。

【 0 0 9 7 】

マイクロコンピュータ 2 1₂ は、バス使用許可信号 B G 2 のアサートを認識すると、ビジー信号 B U S Y 2 をアサートする。これによって、ビジー信号 B U S Y I N がアサートされ、マイクロコンピュータ 2 1₁ によるバスアクセスが行われる。以上によって、バス調停の制御が終了となる。

【 0 0 9 8 】

本発明者が検討した制御装置

図 1 1 は、本発明者が検討した自動分析装置に設けられる制御装置 5 0 0 の構成の一例を示す説明図である。

10

20

30

40

50

【0099】

制御装置500は、図示するように、ボード制御デバイス501および複数のマイクロコンピュータ502を有する。これらマイクロコンピュータ502は、DPRAM503、CPU504、およびRAM505をそれぞれ有している。

【0100】

ボード制御デバイス501のバス制御信号は、マイクロコンピュータ502のDPRAM503にそれぞれ接続され、アドレスデータは、外部接続された図示しないバスマスタ基板から入出力される。

【0101】

マイクロコンピュータ502は、DPRAM503を有することにより、該DPRAM503の制御パラメータの設定処理などが特殊となる。そのため、マイクロコンピュータ502は、図2のマイクロコンピュータ21₁~21₅のように、汎用のハードウェアによって構成された、いわゆる汎用マイクロコンピュータでない。

10

【0102】

よって、マイクロコンピュータ502が故障などによって交換が必要となった場合に、もし、該マイクロコンピュータが生産中止などの理由で入手できないと、該マイクロコンピュータ502の代替が困難となってしまう。

【0103】

一方、図2に示した制御装置10では、マイクロコンピュータ21₁~21₅を汎用のハードウェアによって構成された汎用品のマイクロコンピュータを用いて構成している。

20

【0104】

汎用品であるために、制御装置10に使用されているマイクロコンピュータが入手できない状態であっても、他の汎用品のマイクロコンピュータを代替として使用できることになる。

【0105】

以上により、マイクロコンピュータ21₁~21₅の代替を容易とすることができる。また、ハードウェアやソフトウェアの設計見直しなどが不要となり、コストを低減することができる。

【0106】

(実施の形態2)

30

概要

前記実施の形態1に示したように、バス27をボード制御デバイスにて中継することにより、制御装置10内で互いの制御対象の状態を把握することが可能となり、その結果、マイクロコンピュータ間での協調動作が可能となる。

【0107】

本実施の形態2においては、前記実施の形態1の図2に示した制御装置10により、マイクロコンピュータ間により協調動作することで、自動分析装置に異常があった際に安全に停止および復帰する技術について説明する。また、アプリケーションを介することなく、自動的に初期状態へ復帰することが可能となる。

【0108】

自動分析装置の構成例

40

図12は、本実施の形態2による自動分析装置の一部を抜粋した構成を示す構成図である。

【0109】

自動分析装置は、図12に示すように、制御装置10、パーソナルコンピュータ11、バスマスタ基板12、ドライバ基板13、試薬ディスク30、および試薬プローブ31などを有する。

【0110】

ここで、制御装置10、パーソナルコンピュータ11、バスマスタ基板12、およびドライバ基板13については、前記実施の形態1の図1、図2と同様であるので、説明は省

50

略する。

【0111】

試薬ディスク30は、試薬32を管理する。試薬ディスク30の外周部には、等間隔にてしきり35が設けられている。試薬ディスク30の中央部には、試薬32をセットするラック33が設けられている。試薬ディスク30の中心部には、例えば棒状の試薬シフト機構34が設けられている。試薬32は、試薬シフト機構34によってしきり35の間に配置される。

【0112】

この試薬シフト機構34は、ラック33から試薬ディスク30へ試薬32を出し入れする。試薬シフト機構34は、棒状の先端部がL字状となっている。試薬シフト機構34は、試薬ディスク30の半径方向に移動する。また、試薬ディスク30およびラック33は、該試薬ディスク30の円周方向にそれぞれ移動する。

10

【0113】

試薬32を試薬ディスク30に設置させる際には、試薬シフト機構34の先端部を試薬ディスク30の中心方向に移動させる。また、配置されるしきり35の間に試薬32が配置されるように試薬ディスク30を移動させる。

【0114】

そして、ラック33を移動させて分析する試薬32を所定の位置に移動させ、該試薬シフト機構34の先端部において、試薬32をラック33から試薬ディスク30の外周方向に押し出して移動させる。

20

【0115】

また、試薬32をラック33に設置させる際には、試薬シフト機構34の先端部のL字状部分に試薬32を引っ掛け、試薬ディスク30の中心方向に引き戻してラック33まで移動させる。

【0116】

試薬プローブ31は、試薬ディスク30の外周部に配置された試薬32を吸引する。試薬プローブ31は、支点を中心に回動が可能な可動アームの先端部取り付けられている。

【0117】

図12では、図示していないが、試薬シフト機構34、試薬ディスク30、ラック33、および試薬プローブ31は、モータによって駆動される。これらモータは、例えば前記実施の形態1の図1に示すモータ14に相当する。また、試薬シフト機構34、試薬ディスク30、ラック33、および試薬プローブ31は、図1の制御対象15に相当する。

30

【0118】

このように、モータによる駆動の対象が多く用いられている構成では、何らかの原因によって、自動分析装置の誤動作が生じた際に、試薬ディスク30と試薬シフト機構34とが干渉したり、試薬プローブ31と試薬ディスク30とが干渉してしまう恐れがある。

【0119】

このような状態に対応するため、制御装置10は、異常を検知した際に、自動分析装置を安全に停止させる、あるいは停止させるだけでなく、自動分析装置を初期状態へ復帰させる自動停止機能を有する。

40

【0120】

制御装置の構成例

図13は、図12の自動分析装置に用いられる制御装置10の一例を示す説明図である。

【0121】

制御装置10は、図13に示すように、ボード制御デバイス20および複数のマイクロコンピュータ21₁~21₅を有する。前記実施の形態1の図2と異なるところは、ボード制御デバイス20にサンプリング部40が新たに設けられた点である。

【0122】

また、サンプリング部40には、マイクロコンピュータ21₁~21₅のCPU26から

50

それぞれ出力されるモータ制御信号および動作量データであるエンコーダ信号がそれぞれ入力されるように接続されている。エンコーダ信号は、例えば図1のモータ14や図1に示す制御対象15などから出力される信号であり、モータ14や制御対象15における移動量や移動角、あるいは回転数などを示す信号である。なお、図12において、その他の接続構成については、図2と同様であるので、説明は省略する。

【0123】

図13の制御装置10において、サンプリング部40は、CPU26から出力されるモータ制御信号および制御対象の状態を検知するエンコーダ信号をサンプリングする。サンプリング部40によるサンプリング結果は、DPRAM24の図示しないレジスタに格納される。このレジスタが第1のレジスタとなる。これによって、各々のマイクロコンピュータ21₁~21₅は、サンプリング結果をリードすることができる。

10

【0124】

また、マイクロコンピュータ21₁~21₅のアドレス構成、すなわちDPRAM24のアドレス構成には、干渉回避のためのレジスタをそれぞれ追加する。DPRAM24は、干渉回避のためのレジスタとして、図13の左下方に示すように、干渉対象設定レジスタ1101、干渉ステータス1102、制御対象退避優先順位レジスタ1103、上限干渉しきい値レジスタ1104、下限干渉しきい値レジスタ1105、および干渉対象退避優先順位レジスタ1106を有する。

【0125】

第2のレジスタである干渉対象設定レジスタ1101は、制御対象と同じビット数を備え、干渉する可能性のある他の制御対象（以下、干渉対象という）に対応するビットに1をたてることで干渉対象であることを示す。

20

【0126】

干渉ステータス1102は、制御対象のステータスおよび干渉履歴で構成する。干渉ステータス1102は、通常は2'b00であるが、干渉が起きると2'b01の停止状態となる。また、制御対象が初期位置へ退避する間は2'b10とし、制御対象の退避が完了すると2'b00の通常状態へと戻る。

【0127】

干渉履歴は、干渉対象と干渉する異常な指令があった場合に、干渉する対象に対応するビットに1をたてることで干渉の履歴とする。この干渉履歴は、0ライトでクリアするまで状態を保持する。

30

【0128】

第4のレジスタである制御対象退避優先順位レジスタ1103および干渉対象退避優先順位レジスタ1106は、停止状態の後に初期位置へ退避する際に、どの制御対象から動作するかを規定する。干渉対象退避優先順位レジスタ1106は、干渉対象が2つある場合に設定される。

【0129】

マイクロコンピュータ21₁~21₅は、制御対象と干渉対象の優先順位を比較し、制御対象の優先順位の方が干渉対象の優先順位より高い場合に初期位置への退避を行う。

【0130】

第3のレジスタである上限干渉しきい値レジスタ1104および同じく第3のレジスタである下限干渉しきい値レジスタ1105は、サンプリングしきい値であり、干渉するサンプリング値の範囲を規定する。

40

【0131】

干渉範囲の規定例

図14は、制御対象の動作範囲および干渉領域の一例を示すイメージ図である。

【0132】

図14において、縦軸は制御対象の動作範囲を示しており、横軸は、干渉対象の動作範囲を示している。これらの動作範囲は、例えばサンプリング値にて示される。また、ハッチングにて示す領域が干渉領域となっている。この干渉領域内に制御対象および干渉制御

50

対象がいずれも入っている場合に、干渉する恐れがある範囲を示している。

【0133】

図14に示すように、サンプリング値により制御対象および干渉対象の動作範囲を2次的に把握し、図中のハッチングにて示す干渉領域の両端を上限干渉しきい値レジスタ1104および下限干渉しきい値レジスタ1105にそれぞれ設定されたしきい値にて規定する。

【0134】

マイクロコンピュータは、移動する範囲に干渉対象があるか比較判定し、干渉の有無を判断可能とする。例えば、制御対象が干渉領域内にあり、干渉対象が干渉領域内にはない場合は、干渉がないと判断する。

10

【0135】

制御対象および干渉対象がどちらも干渉領域内にある場合は、干渉ありと判断する。干渉ありと判断した際には、自動分析装置における動作を停止させた後、該自動分析装置を自動復帰させる。

【0136】

自動停止機能の処理例

図15は、図13の制御装置10による自動停止機能の処理の一例を示すフローチャートである。

【0137】

マイクロコンピュータは、制御対象を動作させる前に、干渉の恐れのある干渉対象の状態をDPRAM24に格納されているサンプリング結果をリードして確認する(ステップS401)。そして、マイクロコンピュータは、干渉対象が上限干渉しきい値レジスタ1104および下限干渉しきい値レジスタ1105に格納されているしきい値内にある判定するために、ステップS401の処理におけるリード結果としきい値とを比較する(ステップS402)。

20

【0138】

ステップS402の処理において、しきい値内であると判定した際には、制御対象を制御して、目的の位置へ移動させる(ステップS403)。また、ステップS402の処理において、しきい値外であると判定した際には、制御対象の移動を中止する(ステップS404)。

30

【0139】

そして、干渉するステータスおよび制御対象の移動を中止した旨をDPRAM24の干渉ステータス1102に反映することによってバスマスタ基板12へ通知する(ステップS405)。

【0140】

続いて、各々のマイクロコンピュータは、制御対象退避優先順位レジスタ1103および干渉対象退避優先順位レジスタ1106を参照し、優先度の高い制御対象を判断し、制御対象を初期位置へそれぞれ退避させる(ステップS406)。

【0141】

退避が完了すると、マイクロコンピュータは、退避完了のステータスを干渉ステータス1102に反映し(ステップS407)、一連の動作を終了する。また、パーソナルコンピュータ11のアプリケーションがバスマスタ基板12を介して干渉ステータス1102の変化を認識した場合、例えばパーソナルコンピュータ11の画面上に警告など表示することによって操作者へ異常を通知する。

40

【0142】

以上により、制御対象の干渉を防止し、信頼性の高い自動分析装置における動作を提供することができる。

【0143】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可

50

能であることはいうまでもない。

【 0 1 4 4 】

なお、本発明は上記した実施の形態に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施の形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。

【 0 1 4 5 】

また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態の構成の一部について、他の構成の追加、削除、置換をすることが可能である。

10

【符号の説明】

【 0 1 4 6 】

1 0	制御装置	
1 1	パーソナルコンピュータ	
1 2	バスマスタ基板	
1 3	ドライバ基板	
1 4	モータ	
1 5	制御対象	
1 6	センサ	
2 0	ボード制御デバイス	20
2 1 ₁	マイクロコンピュータ	
2 1 ₂	マイクロコンピュータ	
2 1 ₃	マイクロコンピュータ	
2 1 ₄	マイクロコンピュータ	
2 1 ₅	マイクロコンピュータ	
2 2	バスコントロール部	
2 3	バスコントロール部	
2 4	D P R A M	
2 5	R A M	
2 6	C P U	30
3 0	試薬ディスク	
3 1	試薬プローブ	
3 2	試薬	
3 3	ラック	
3 4	試薬シフト機構	
3 5	しきり	
4 0	サンプリング部	
5 0 0	制御装置	
5 0 1	ボード制御デバイス	
5 0 2	マイクロコンピュータ	40

【図 1】

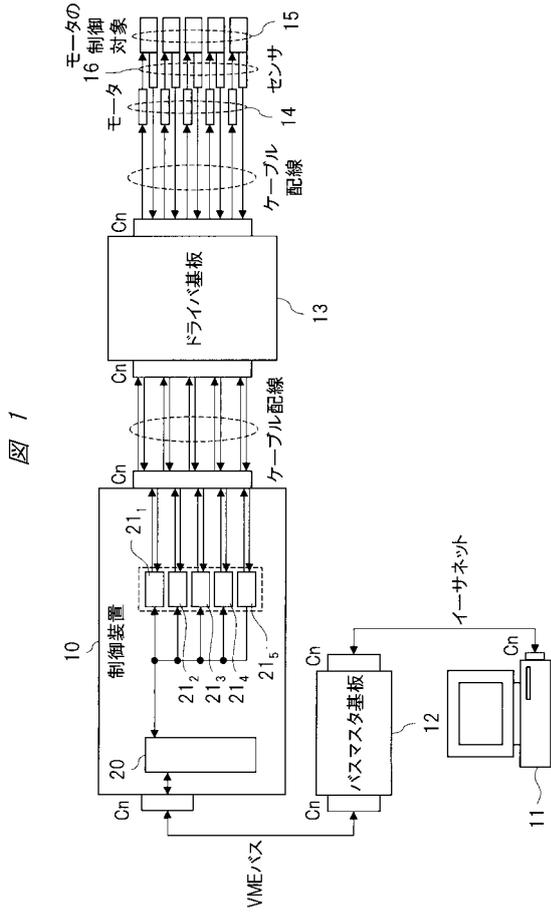


図 1

【図 2】

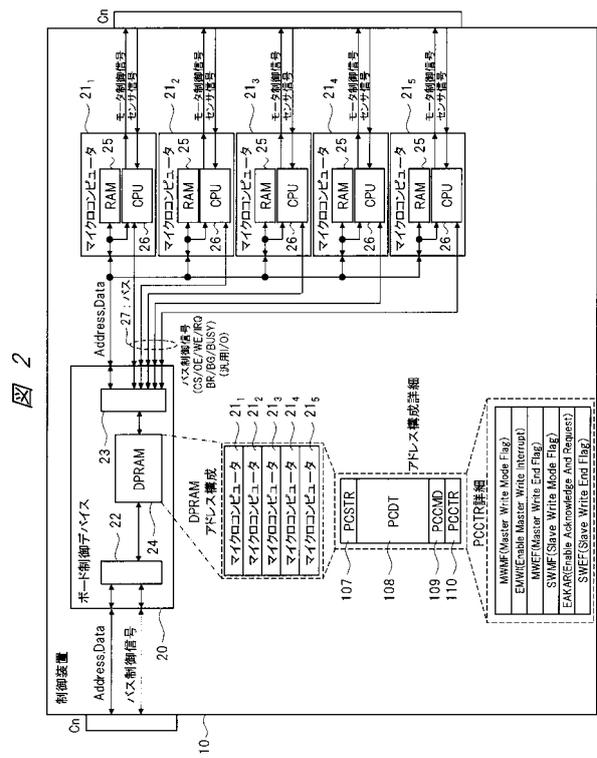


図 2

【図 3】

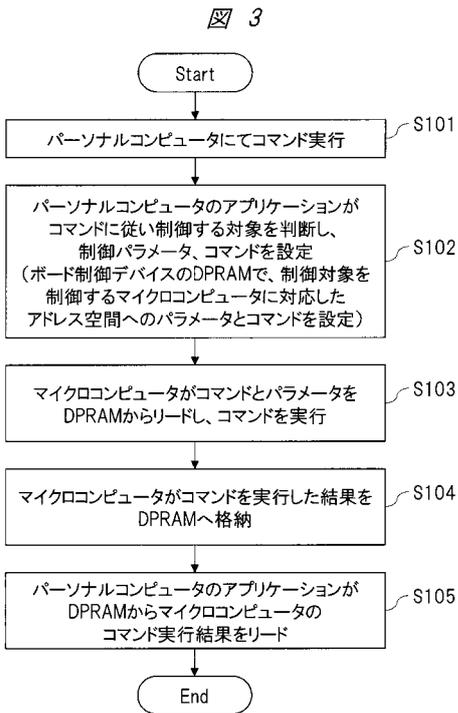


図 3

【図 4】

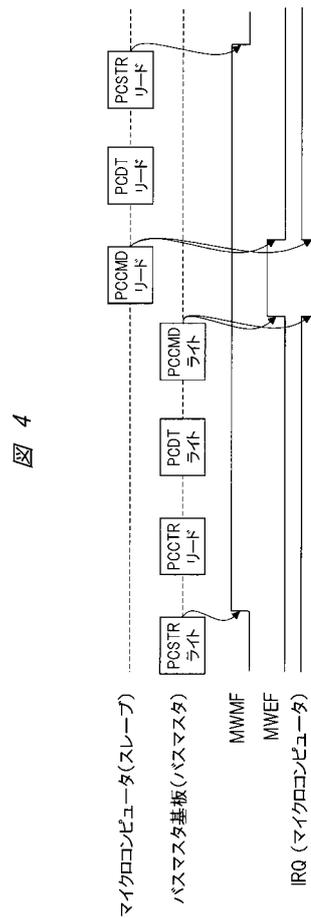
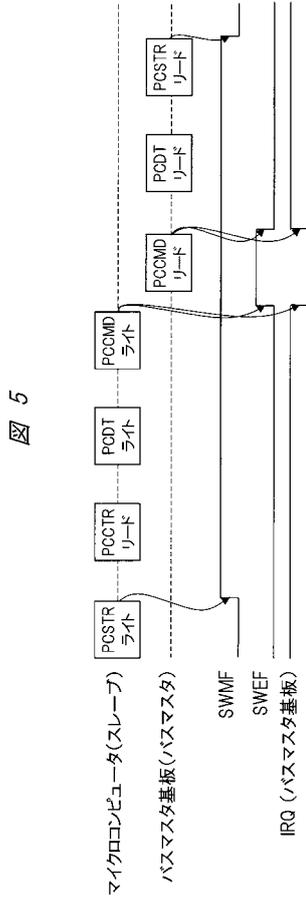
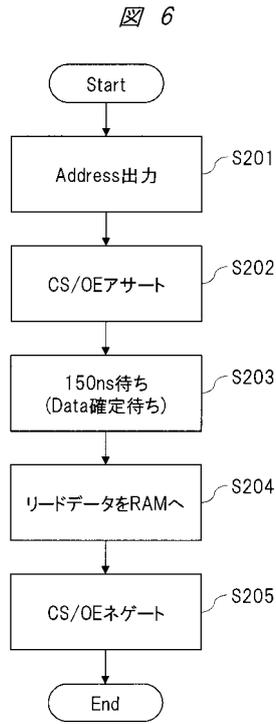


図 4

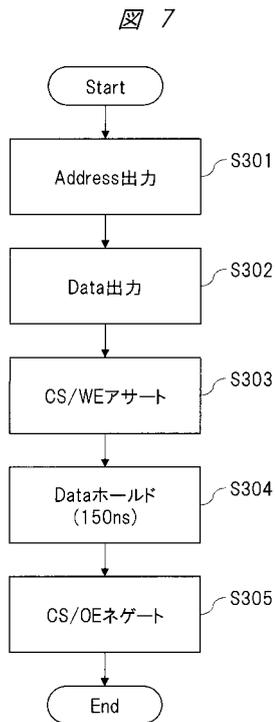
【 図 5 】



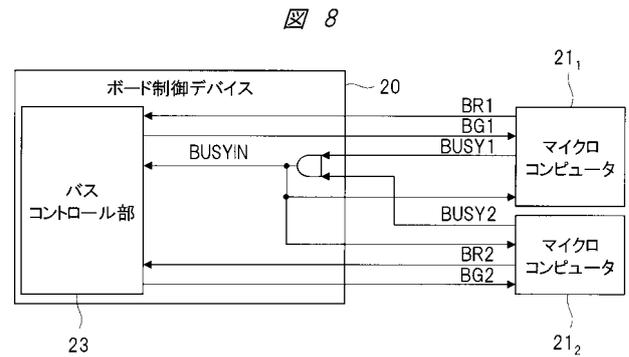
【 図 6 】



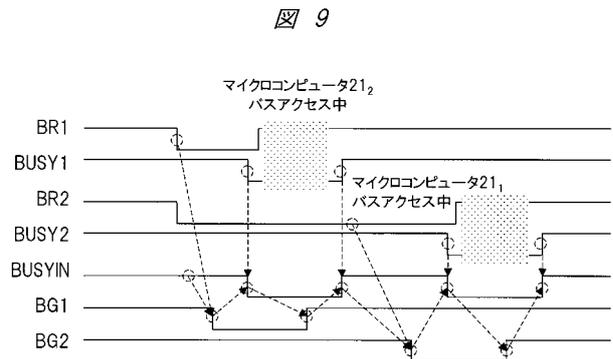
【 図 7 】



【 図 8 】



【 図 9 】



【図 10】

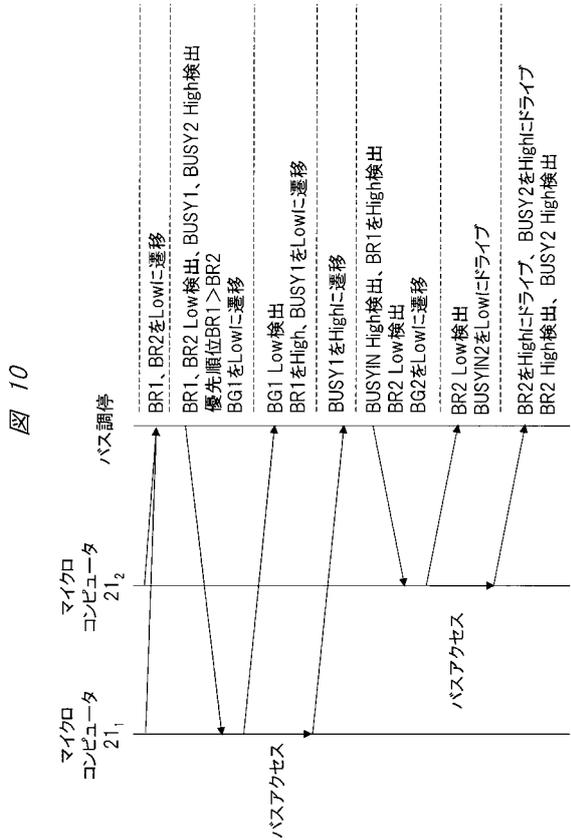


図 10

【図 12】

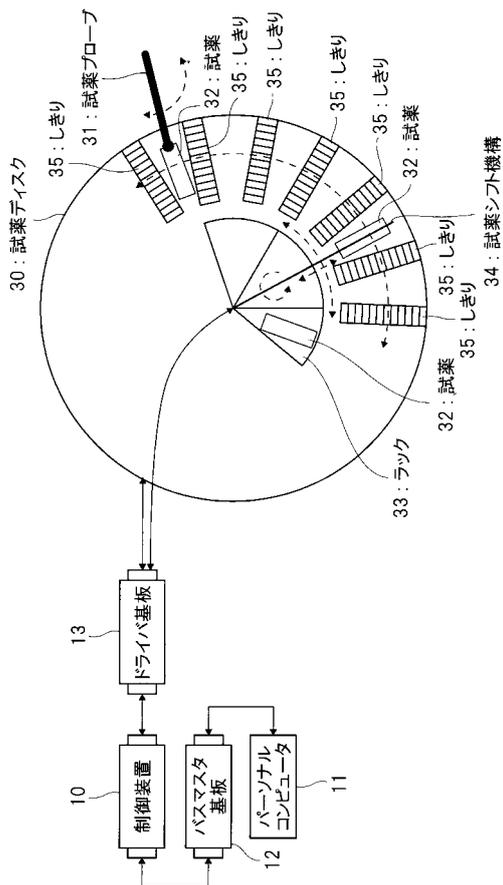


図 12

【図 11】

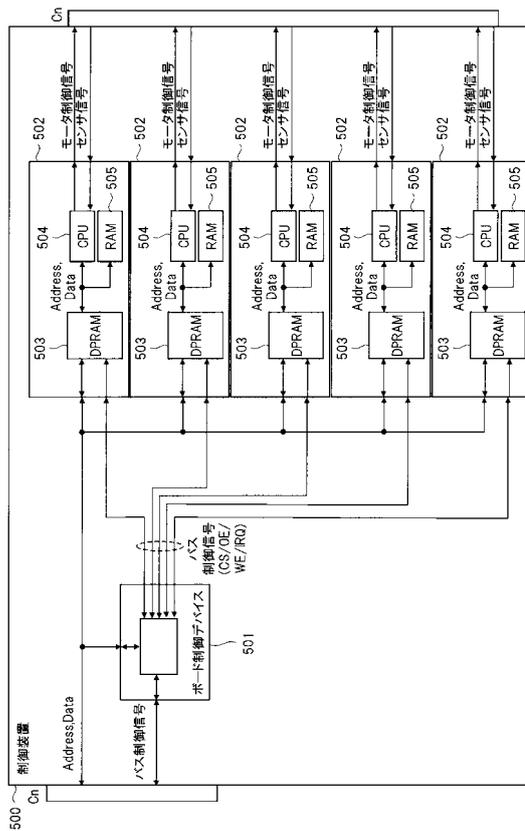


図 11

【図 13】

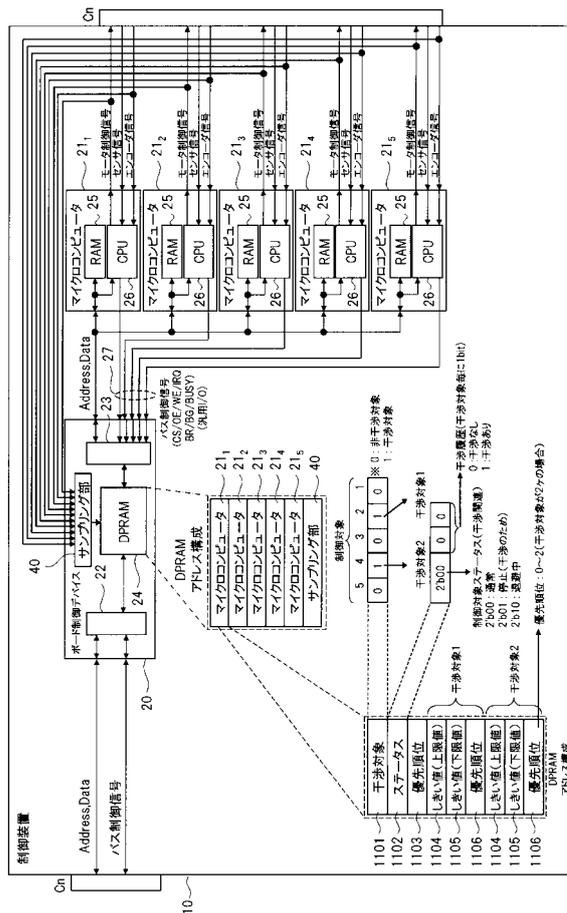
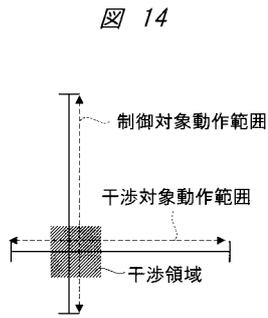
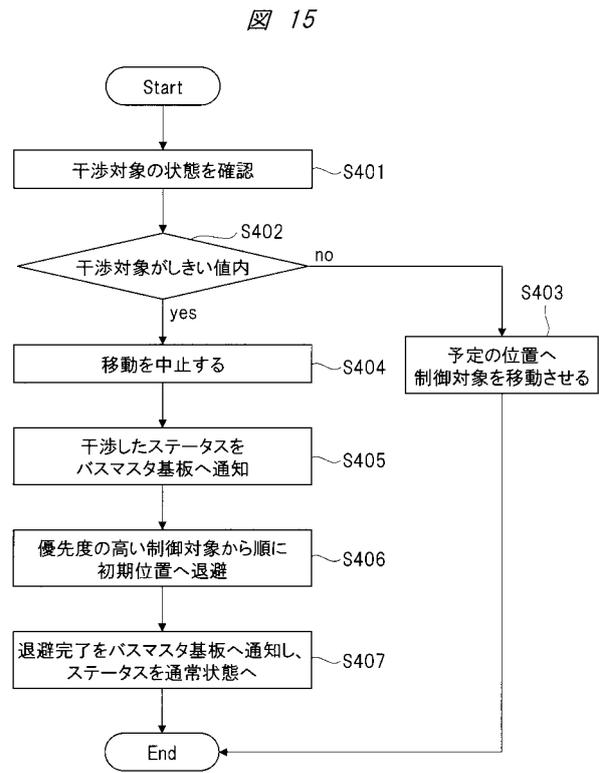


図 13

【 図 1 4 】



【 図 1 5 】



フロントページの続き

(72)発明者 鈴木 洋一郎

東京都港区西新橋1丁目2番14号 株式会社日立ハイテクノロジーズ内

Fターム(参考) 2G058 CE08 CF25 GB08 GE10

5B045 BB28 BB32 DD03 EE07

5H501 AA30 BB20 DD01 JJ03 JJ17