



[12] 发明专利说明书

[21] ZL 专利号 99812810.4

[45] 授权公告日 2005 年 1 月 26 日

[11] 授权公告号 CN 1186725C

[22] 申请日 1999.10.29 [21] 申请号 99812810.4

[30] 优先权

[32] 1998.10.30 [33] US [31] 09/182,495

[86] 国际申请 PCT/CA1999/001054 1999.10.29

[87] 国际公布 WO2000/026784 英 2000.5.11

[85] 进入国家阶段日期 2001.4.28

[71] 专利权人 陆塞德技术公司

地址 加拿大安大略省

共同专利权人 松下电器产业株式会社

[72] 发明人 魏方兴 菊川裕仁 辛西娅·马尔

审查员 王永真

[74] 专利代理机构 中科专利商标代理有限责任公
司

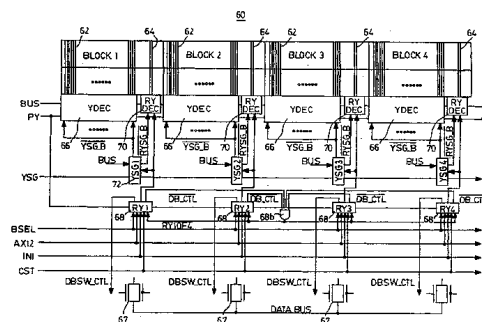
代理人 戎志敏

权利要求书 2 页 说明书 11 页 附图 10 页

[54] 发明名称 减少信号路径延迟的列冗余电路

[57] 摘要

本发明公开了一种排列成行和列的存储器单元的同步 DRAM，存储器单元由应用在解码的存储器地址访问，为响应解码的列地址信号，标准列驱动器激活适当的存储器单元；冗余列驱动器编辑存储器组合分布，并可灵活地选择，以便在组合内的多个块中替换故障列；开关装置选择性地激活冗余列，并防止有缺陷的标准列的激活。因此，列冗余方法和装置最小化了标准和冗余列路径之间的时序差，并在修复故障列地址中将需要烧断熔断丝的数量减到最小。



1. 一种半导体存储器件，包括：
 - 5 a) 排列成行和列的存储器单元，所述列包括多个标准列和至少一个冗余列；
 - b) 标准列驱动器，在接收到标准时钟使能信号时，标准列驱动器响应解码的存储器地址信号，用于使能对相关标准列的访问；
 - c) 冗余列驱动器，在接收到冗余时钟使能信号时，有选择地使能
 - 10 相关冗余列；
 - d) 冗余解码器，用于产生表示已经寻址到有缺陷的标准列的信号；以及
 - e) 响应来自冗余解码器的信号的开关，用于将时钟信号切换到针对标准列驱动器的标准时钟使能信号或针对冗余列驱动器的冗余时钟使
 - 15 能信号，从而有选择地使能冗余列驱动器或标准列驱动器之一。
2. 按权利要求 1 所述的半导体存储器件，其特征在于包括多个冗余列驱动器，每个冗余列均具有相关冗余列驱动器。
3. 按权利要求 1 所述的半导体存储器件，其特征在于冗余列解码器包括地址比较电路，能够以与有缺陷的标准列相对应的列地址对所述
- 20 地址比较电路进行编程。
4. 按权利要求 1 所述的半导体存储器件，其特征在于将存储器单元设置在多个存储器块中，通过块选择信号有选择地激活存储器块。
5. 按权利要求 4 所述的半导体存储器件，其特征在于冗余解码器接收块选择信号，并且与第一存储器块相关联的冗余解码器响应与第二
- 25 存储器块相对应的块选择信号，从而使第一存储器块中的冗余列代替第二存储器块中有缺陷的列。
6. 按权利要求 4 所述的半导体存储器件，其特征在于将每个存储器块按照行至少分为上下部分。
7. 按权利要求 6 所述的半导体存储器件，其特征在于冗余解码器
- 30 包括至少两个地址比较电路，能够以与有缺陷的标准列相对应的列地址

对所述地址比较电路中的每一个进行编程，所述冗余解码器响应行地址信号，有选择地输出由至少两个地址比较电路之一提供的表示有缺陷的标准列的信号。

8. 按权利要求 4 所述的半导体存储器件，其特征在于冗余解码器
- 5 还产生数据路径控制信号，在未使能多个存储器块中的任何冗余列驱动器时，所述数据路径控制信号在块选择信号所选择的存储器块中是有效的，在使能了多个存储器块中的至少一个冗余列编码器时，所述数据路径控制信号在其中使能了冗余列驱动器的存储器块中是有效的，而与块选择信号无关。

减少信号路径延迟的列冗余电路

5

本发明涉及半导体存储器，特别是用冗余列代替有缺陷的列的具有灵活和有效电路的半导体存储器。

发明背景

10 半导体动态随机存储器（DRAM）基本上由字线和与字线交叉的列形成。相邻每一个行线和列的十字线的电容器存储电荷，并指定将被存储的数据。电容器由存取晶体管耦合到列，以便根据接收的行线上的适当电压接收或放电电荷。选择行线和列，以便通过行向（或 X）解码器和列（或 Y）解码器读和写到特殊的电容器。

15 有时在有关的列和有关的单元存在物理故障。为此原因，RAM 通常包含冗余（备用）列，该冗余列包括额外存储器单元和列电路。在有缺陷的列的位置上访问该存储器的额外存储器和所要求的冗余解码器使用有价值的半导体芯片区域，并且，减小了存储器的区域效率。

在同步动态随机存储器（SDRAM）中已经实施了各种不同的技术，以提供列冗余方案。这些方案是地址比较方案、地址检测器方案、移位器方案、地址或数据控制方案、以及上述方案的组合。例如，在这些技术的第一种方案中使用 Y 地址比较器，其中，预先解码的 Y 地址信号（PY1:N）通过熔断丝产生了图 1 所示的冗余列触发信号（RCE）。与具有内在电容和电阻的冗余比较器 2 有关的熔断丝在 Y 冗余路径中增加了额外延迟。

25 第二技术方案包括 Y 地址检测器 4，其中，Y 地址信号（AY(N-1:0)）控制通过熔断丝连接到预-充电节点的 NMOS 门。每一个门可以产生图 2 所示的冗余列触发信号。当 Y 地址与熔断丝编程图案匹配时，列冗余触发信号（COL_RED_EN）被保持在高位，其表明对应当前 Y 地址的列将由冗余列代替。因为这个冗余检测电路、标准的和冗余列路径之间的时序通常是不同的。需要附加的逻辑电路调节时序差，既，必须在标

30

准地址信号路径中采用时间延迟电路，以便补偿较慢的冗余路径。

已知的移位替换 Y 解码器的技术在 Y 解码器中使用熔断丝，但没有连接在信号路径中。具体地说，两条 Y 选择线共用一组熔断丝。为了替换列，通过烧断 Y 解码器中的熔断丝使该列无效。移位 Y 驱动器在临近驱动器上访问有缺陷的块完成替换。这个系统的优点是因为熔断丝没有连接在列地址路径中，所以，在发现和冗余路径之间的时序中不存在差别。此外，块替换是可能的（故障列可以用每一个块的不同解码在每一个块中修复）。这个系统的缺点是两条相邻 Y 选择线必须同时替换，使得这个技术没有其它技术灵活。此外，列需要方向移位。

在图 3 中，按照公开在美国专利申请 08/904153 的实施例，该专利申请转让给睦塞德技术公司，冗余电路 10 使用地址控制方案。在这个方案中，每一个 Y 解码器由 NMOS 多工器 12 构成，该多工器按照熔断丝电路 14 编程的信息控制列选择信号低于标准或冗余路径。所用的 NMOS 晶体管与电压 VPP 激励的芯片一起选择适当的路径，因为多工器中的 NMOS 晶体管需要大于 VDD 的电压，以便完全接通它们。冗余选择线 RYSEL16 较长，并显示了大量的 RC 延迟。在这个实施中，；两个列驱动器由 64 个标准列访问，但是，冗余驱动器被指定在一个信号区内替换该块中的有缺陷的列，而不能用于替换其它块中的有缺陷的列。当从 64M SDRAM 密度变到 256M SDRAM 密度时，缺乏灵活性是不可容忍的。此外，RYSEL 线 16 的长度使得这样的设计对于 256M SDRAM 来说太慢。

因此，可以看到，对于冗余方案，需要减少标准和冗余列路径之间的时序差，该时序差减少了熔断丝的数量，在修复有缺陷的列中提供了较大的灵活性，并能够满足大存储器的速度要求。

发明简述

本发明在半导体存储器中提供了一种列冗余方法和装置，本发明最小化了标准地址路径和冗余列地址路径之间的时序差，并在修复有缺陷的列中减少了需要烧断的熔断丝的数量。

按照本发明提供的半导体存储器装置包括：

a) 排列成行和列的存储器单元，所述列包括多个标准列和至少一

个冗余列；

b) 标准列驱动器，在接收到标准时钟使能信号时，标准列驱动器响应解码的存储器地址信号，用于使能对相关标准列的访问；

5 c) 冗余列驱动器，在接收到冗余时钟使能信号时，有选择地使能相关冗余列；

d) 冗余解码器，用于产生表示已经寻址到有缺陷的标准列的信号；以及

e) 响应来自冗余解码器的信号的开关，用于将时钟信号切换到针对标准列驱动器的标准时钟使能信号或针对冗余列驱动器的冗余时钟使能信号，从而有选择地使能冗余列驱动器或标准列驱动器之一。

附图简述

通过参考附图和下面的详细描述可以较好地理解本发明。

图 1 是现有技术的冗余编程电路。

图 2 是现有技术的另一个冗余编程电路。

15 图 3 是现有技术的冗余地址控制方案的示意图。

图 4 是本发明实施例的具有列冗余方案的半导体存储器的布局平面图。

图 5 (a) 是本发明实施例的标准列解码器的示意图。

图 5 (b) 是本发明实施例的标准驱动器的示意图。

20 图 6 是本发明实施例的冗余列解码器的示意图。

图 7 是本发明实施例的地址比较电路的示意图。

图 8 是本发明实施例的熔断丝估算电路的示意图。

图 9 是本发明实施例的列时钟分布电路示意图。

图 10 是本发明实施例的冗余解码器锁存器的示意图。

25 优选实施例的详细描述

在下面的描述中，附图中相同的参考符号表示相同的单元。参考图 4，实施本发明实施例的列冗余方案的 SDRAM 部分的布局由数字 60 表示。具体说，所示的列冗余方案是 256M (M 比特) SDRAM，在其中，存储器芯片被分为四个组合，每一个组合是 16×32 块，既，行线
30 16 个块，列是 32 个块。每一个组合物理上由行解码器在列方向分成为

两个半组合，每一个半组合具有 16 个列块。每一个块包括 64 个标准列 62 和 1 个冗余列。所示的部分 60 具有块数，块 1、块 2、块 3 和块 4，这个布局对一个半组合重复 4 次，对整个组合重复 8 次。与每一个块有关的冗余列 64 显示在右侧。每一个块具有一个芯 Y 解码器驱动电路
5 YDEC66（注意，芯电路是物理上和功能上与存储器阵列有关的电路；术语“列和 Y”可互换使用）、单个芯冗余解码器 RY 68 和驱动器 RYDEC 70。芯 Y 解码器 66 是用于芯片的整个 Y 解码器的第二级。芯 Y 解码器 66 从 Y 预解码器（未示出）输出 PY 获得它的输入，并完成了列解码。列解码的第一级由 Y 预解码器执行，从全局列地址信号 ACL (0:8) 中
10 （未示出），预解码器产生了下面的预解码的 Y 地址：PY 0_1_2(7:0)、PY 3_4(3:0)、PY 5_6(3:0)、PY 7_8(3:0)。显示在图 4 中的所有这些地址作为总线 PY，总线 PY 把预解码的地址信号携带到芯 Y 解码器 60 和芯 Y 冗余电路 70。所有在 SDRAM 领域中众所周知的逻辑功能，例如，Y 地址锁存、脉冲串控制、交叉控制、序列脉冲串、交叉脉冲串、Y 地址预取
15 都在 Y 预解码器电路中执行。

如上所述，每一个块有一个 Y 冗余列 64 和位于块的侧面的解码器 RY68。Y 冗余解码器和它对应的块芯 Y 解码器共用块选择信号 (BSEL)。结果，下面将详细描述，通过改变块选择信号 BSEL，使用一个块中的冗余列替换一个组合内的任何临近 4 个块中的有缺陷标准列。芯 Y 解码
20 器 66 和冗余列 64 由共用 Y 选择时钟信号 YSG 计时。4 个有关的冗余 Y 解码器的整个结构、他们与芯 Y 解码器和 I/O 的关系显示在图 4 中。

在这个实施例中，YSG 信号局部地分布。在组合中心的局部 YSG 信号驱动器驱动 YSG 信号穿过整个组合。详细显示在图 10 中的表示为 YSG1、YSG2、YSG3 局部 YSG 信号分布电路提供给每一个块。为响应
25 冗余 Y 解码器的输出 RDEC，每一个局部 YSG 信号分布电路 72 把 YSG 信号切换和驱动到标准芯 Y 解码器 66 或对应的 Y 冗余解码器 68。如图 10 所示，YSG 信号分布电路 YSG1、YSG2、YSG3 由 BUSL 和 $\overline{\text{BUSL}}$ 信号计时，以便锁存它对应的冗余 Y 解码器输出 RDEC 2 个时钟周期。如果锁存的逻辑值高，YSG 信号被切换到冗余 Y 解码器驱动冗余列 64。
30 如果锁存逻辑值低，YSG 信号被切换到芯 Y 解码器驱动标准列 64。

一般来说，临近奇数或偶数块内的 4 个冗余解码器由所有 4 个块共用，并可在这 4 个块内替换任何毁坏的标准列。冗余 Y 解码器的输出连接到 4 个输入与门 68b。这个门的输出 $\overline{\text{DB_CTL}}$ 由 4 个冗余解码器共用。因此，当冗余 Y 解码器正在工作时，它的输入信号 $\overline{\text{RY10F4}}$ 被
5 设置为低，所以， $\overline{\text{DB_CTL}}$ 设置为低， $\overline{\text{RY10F4}}$ 以便通知芯 I/O（芯数据路径电路），一个冗余 Y 解码器正在被使用。

当在一个块内选择标准列时，对应的芯 I/O 需要被触发，所以，芯 I/O 信号 DBSW_CTL 变为高。如果选择的标准列不好，它可由当前块内或
10 外的冗余 Y 解码器替换。在这种有缺陷的情况下，即使 BSEL 仍然高， DBSW_CTL 是否高取决于缺陷替换的位置。 DBSW_CTL 信号负责切换适当的数据总线选通门 67，用于把选择的列数据耦合到数据总线。 $\overline{\text{RY10F4}}$ 、 BSEL 、 $\overline{\text{DB_CTL}}$ 都输入到图 6 所示的冗余解码器，并被用于确定控制芯 I/O 切换的输出 DBSW_CTL 。芯 I/O 切换规则显示在下面的表格中：

15

输入			输出
$\overline{\text{RY10F4}}$	BSEL	$\overline{\text{DB_CTL}}$	DBSW_CTL
0	0	0	1
		1	0
0	1	0	1
		1	0
1	0	1	0
1	1	1	1

应当注意，在所示的 256M SDRAM 实施例中，存在所有控制信号和数据总线的两种方式，一种表示为 B0，另一种表示为 B1。当 B0 信号有效时，B1 信号预充电，当 B1 信号有效时，B0 信号预充电。因此，
20 对于较高速度操作，隐藏了预充电时间。这个双数据总线结构描述在美

国专利 5416743 中，该专利转让给睦塞德技术公司，并合并在此作为参考。BUSL 和 $\overline{\text{BUSL}}$ 调度 B0 和 B1 信号之间的触发。

现在参考显示了芯 Y 解码器 66a 和 Y 驱动器 66b 的图 5 (a) 和图 5 (b)。组合电路示意性地显示在图 4 的块 66 中。芯 Y 解码器 66a 包括一对与非门 72 和 74，用于接收 y 预解码器输出 PY 0_1_2、PY 3_4、PY 5_6、PY 7_8。与非门 72 和 74 的输出与或非门 76 组合提供解码的输出信号 DEC。解码器电路等效于 4 个输入与门。如图 5 (a) 所示，芯 Y 解码器的输出 DEC 耦合到列驱动器电路 66b。

标准和冗余列驱动器 66b 在各个 CMOS 选通门 82 和 84 接收 Y 时钟触发信号 $\overline{\text{YSG_B0}}$ 和 $\overline{\text{YSG_B1}}$ ，选通门 82 和 84 由输出信号 DEC 连同信号 BUSL 和 $\overline{\text{BUSL}}$ 控制。根据 BUSL 和 $\overline{\text{BUSL}}$ 信号的状态，时钟信号 $\overline{\text{YSG_B0}}$ 和 $\overline{\text{YSG_B1}}$ 在适当时间通过 CMOS 门传输到反相器 86，然后，该反相器驱动具有 Y-B0 或 Y-B1 的对应列。因此，解码的信号 DEC 控制选通门 82 和 84。

图 4 所示的整个芯 Y 解码器 YDEC 66 可用图 5 (a) 和 5 (b) 所示的两个部件建立。例如，如果 Y 地址有 9 比特，那么，它具有 512 个不同的解码输出。可以将偶数比特和奇数比特分开，已分别驱动 4 个偶数块和 4 个奇数块。然后，排列将为半组合重复两次或为整个组合重复四次，以实现完全的芯宽解码器。

现参考详细显示了图 4 冗余解码器 RY 68 的图 6。使用冗余 Y 解码器 RY1、RY2...确定是否需要访问冗余列。这些冗余 Y 解码器采用地址比较方案进行确定。如前所述，每一个存储器块具有一个位于块的侧面的冗余列。冗余解码器 RY 和它对应的芯 Y 解码器 YDEC 共用相同的块选择信号 (BSEL)。图 6 所示的冗余解码器 RY 包括一对地址比较电路 90，该比较电路接收预解码的地址 PY 0_1_2、PY 3_4、PY 5_6、PY 7_8。每一个地址比较电路 90 可以用单个地址编程，因此，冗余 Y 解码器能够被编程为两个冗余地址。地址比较电路 92 和 94 的细节将参考图 8 讨论。

因为标准列在块内的上部或下部具有分开的地址，行地址信号 AX12

被提供给冗余 Y 解码器执行上或下列部分选择。行地址信号 AX12 耦合到一对 CMOS 选通门 96 和 98 的控制输入端，门 96 和 98 接收地址比较电路 92 和 94 的各自输出。因此，可以使用一个冗余列替换两个不同地址的标准列的上半部分和标准列的下半部分，反之亦然。 $\overline{RY}$ 信号耦合到反相器 99，以驱动 RDEC 信号，同时驱动图 5 (b) 所示的列驱动器 66b 和图 4 所示的 YSG 信号分布电路 72。

电路也包括 INI1 和 INI0 产生电路。具体地说，电路包括由主 INI 信号线驱动的串联连接的反相器 100 的链，沿链提取 INI0 和 INI1 信号作为分头信号。

现参考图 7，图 6 的地址比较电路详细显示了细节。因为预解码器（图 4）有四组预解码的输出：PY 0_1_2、PY 3_4、PY 5_6、PY 7_8，地址比较电路包括四组可编程的熔断丝电路 142。每一组熔断丝电路 142 包括图 8 所示的与熔断丝状态估算电路 180 有关的四个熔断丝。在一组中的构成熔断丝估算电路的输入源自每一组中的预解码列地址信号，既，PY 0_1_2、PY 3_4、PY 5_6、PY 7_8。组合每一组 142 中的每一个熔断丝的输出 PY-OUT 提供各自的信号 PY_OUT1、PY_OUT2、PY_OUT3、PY_OUT4。在地址组合电路 146 组合之前，这些信号通过初始化电路 144。地址组合电路实质上是一个四输入与非门，其输出图 6 所示的冗余选择信号 RY。现在将详细讨论这些电路部分。

电路 90 按如下方式工作。如果没有有缺陷的列，并且不需要冗余，那么，没有熔断丝电路被烧断，由于电路的初始化部分 144，PY_OUT 线都被初始化到逻辑低。这与某些现有技术的地址比较方案不同，在现有技术中，当所有非有缺陷的列的熔断丝被烧断时，缺陷地址的熔断丝仍保持原样。这种方法使冗余编程处理大大复杂化了。初始化电路 144 由一对或非门 148 和 150 构成，每一个或非门在它的输入端接收各自的 PY_OUT 信号。每一个或非门输入耦合到各自的 NMOS 晶体管 152 和 154。这些晶体管的门连接到它们各自的或非门输出。因此，所有逻辑低 PY_OUT 输入到或非门 148 和 150，当通过反馈晶体管的反馈连接进一步锁存输入到逻辑低时，或非门的输出是逻辑高。线 PY_OUT 上的相同逻辑低信号被馈入与非门 155 和 156，因此，在它的输出端产生了逻辑

辑高。信号 CST_BLK 通常是高的块冗余测试信号，因此，触发了与非门 157 和 158。根据与非门 157 和 158 在逻辑高时的输出和在逻辑高时的 CST_BLK 信号，与非门 157 和 158 的输出是逻辑低，其同时产生了不包括与非门 160 的逻辑高，其表明没有使用冗余，既， $\overline{RY}$ 是逻辑高。

5 如上所述，如果在测试期间检测到缺陷位置，适当的预解码器列地址被编程进入每一个熔断丝电路组。结果，根据接收的预解码信号，编程的信号线 PY_OUT1、PY_OUT2、PY_OUT3、PY_OUT4 都被设置为逻辑高，因为地址比较电路输出将忽略初始化装置；下面将详细描述这个过程。因此，由于两个逻辑高输入加到与非门 155 和 156，那么，每一个与非门提供了逻辑低输出，当和与非门 157 和 158 中的标准高
10 CST_BLK 信号组合时，与非门 155 和 156 将提供两个逻辑高输入信号到与非门 160，同时提供表明使用冗余的有效低输出信号 $\overline{RY}$ 。应当注意，在本发明的实施例中，首先，如果没有检测到缺陷地址，不需要烧断熔断丝，但在图 1 的现有技术地址比较方案中，所有熔断丝将被烧断。
15 其次，如果检测到缺陷地址，对于编程缺陷地址，在本发明的实施例中，不超过四个熔断丝被烧断，而现有技术地址比较方案将烧断十二个熔断丝。这个差别代表了冗余编程功能的实质简化。

参考图 8，图 8 详细显示了图 7 的熔断丝状态估算电路 180。如上所述，电路 180 在它的 PY_IN 端接收一个预解码的地址信号，同时，PY_IN
20 端连接到分别由 NMOS 和 PMOS 晶体管 183 和 184 形成的 CMOS 选通门 182。CMOS 选通门 182 的输出是信号 PY_OUT。选通门 183 和 184 由熔断丝单元 186 控制。选通门 182 的初始条件由与非门 188 设置，同时，它的初始条件由信号 INI0 和 INI1 接收的输入确定。如图 6 所示，INI0 和 INI1 信号相互之间稍微有一点延迟，既，INI0 在 INI1 之前。

25 反馈 PMOS 晶体管 190 的门连接到与非门 188 的输出，它的漏极连接到与非门 188 的一个输入 188b，形成了半-锁存。使用反馈晶体管 190 锁存编程的冗余地址。INI1 信号直接施加到与非门 188 的另一输入端 188a 和 NMOS 晶体管 192 的门，NMOS 晶体管 192 的源极连接到熔断丝 186 的一端，熔断丝的另一端连接到地。NMOS 晶体管 192 的漏端连接到
30 PMOS 晶体管 194 的漏端，同时，它的源极连接到 V_{DD} 电源。INI0 信号

加到 PMOS 晶体管 194 的门。PMOS 晶体管 194 和 NMOS 晶体管 192 之间的共同漏极连接被连接到与非门 188 的第一输入端 188b。与非门 188 的输出通过反相器 196 驱动一个选通门晶体管 183。

熔断丝状态按如下方式估算。信号 INI0 和 INI1 由 POWER_OK 信号产生，INI1 延迟于 INI0。开始时 INI0 和 INI1 处于低电平，CMOS 传输门打开，预解码的信号不能够通过。在标准工作情况下，如果熔断丝没有被烧断，一旦 INI0 和 INI1 变为高电平，CMOS 传输门保持打开状态。另一方面，如果熔断丝被烧断，CMOS 传输门闭合，预解码的信号 PY_IN 通过作为冗余预解码的地址信号 PY_OUT。

如前面提到的参考图 6，在 INI0 和 INI1 的过渡之间存在延迟。当熔断丝处于原来状态时，从 INI0 到 INI1 的延迟确保了没有 DC 电流从电源电压 V 通过熔断丝 186 流到地。如上所述，使用反馈晶体管 190 锁存用于选通门 182 的熔断丝电路的冗余状态。基本上，在现有技术电路中，这个 PMOS 装置 190 是相当长的，以允许半锁存的容易替换。然而，长通道晶体管与短通道晶体管比较消耗较多的功率和占据较大的区域。延迟的初始化信号 INI0 和 INI1 的角色也是把反馈晶体管 190 的尺寸减小到标准尺寸。因此，在熔断丝估算期间，这个方案减小了电流消耗。此外，INI0 和 INI1 信号的延迟激活避免了竞争状况。如果 INI0 和 INI1 是一个和相同的信号，在从低到高的过渡期间，器件 194 和 192 就会导通。由于熔断丝的电阻，器件 194 将会获得比通过 192 的下拉快的上拉，节点 188b 仍然处于高位，一旦 INI1 足够高，输入到与非门 188 的信号就会是高位，下拉它的输出到低位，并接通晶体管 190。但是，当晶体管 190 接通时，晶体管 192 也被接通，产生了从 V_{DD} 到地的路径，并假设熔断丝没有被烧断。因此，竞争是在 194、192、190 的接通之间进行。相反，通过交错 INI0 和 INI1 的过渡，首先，INI0 从低到高，延迟之后，INI1 也从低到高，下面的操作避免了上述的竞争状况。由于 INI0 开始为低位，器件 194 处于加电状态。当 INI0 从低到高时，器件 194 断开，节点 188B 暂时浮动在高位。注意，由于 INI1 仍然处于低位，所以，188 的输出仍然是高位，器件 190 处于断开状态。当 INI1 开始从低到高过渡时（在实际运行时，没有逻辑过渡可以在瞬间方波进行，总是存在某些

稍微倾斜的延迟), 晶体管 192 开始接通, 节点 188b 容易地被放电, 因为不存在与器件 194 的竞争。结果是当 INI1 (节点 188a) 从低到高时, 节点 188b 从浮动高位到低位, 因此, 只要熔断丝没有被烧断, 与非门 188 的输出将仍然处于高位, 晶体管 190 将不被接通, 选通门 182 将仍然断开。结果, 如上所述, PY_IN 信号将不通过选通门, PY_OUT 端信号将仍然处于它的初始化状态。

如果熔断丝 186 被烧断, 那么, 与非门 188 的输入 188b 没有被拉到逻辑低电平。结果, 与非门 188 的两个输入 188a 和 188b 处于逻辑高电平, 从与非门形成逻辑低输出。这个逻辑低输出通过接通晶体管 190 被锁存, 并触发 CMOS 选通门 182。结果, 对于冗余操作 (熔断丝烧断), 选通门 182 允许信号 PY_IN 通过作为信号 PY_OUT, 并忽略了图 7 所示的对应预充电线上的预充电值。应当注意, 只是缺陷地址的熔断丝需要烧断, 非缺陷地址的熔断丝不需要烧断。

参考图 9, 图 9 详细显示了 YSG 开关电路 72 (图 4)。开关电路包括一对连接到锁存器的 YSG 锁存器 200, 并延迟输入 RDEC 信号。由于双数据总线结构, YSG 信号被保持两个时钟周期。输出 $\overline{\text{RYSG_B}}(1:0)$ 和 $\overline{\text{YSG_B}}(1:0)$ 被分别耦合到冗余驱动器 70 和标准 Y 驱动器。锁存器 200 的 RCTL (冗余解码器控制) 输出被耦合到各自门 202 和 204 的输入, 而 CTL (解码器控制) 输出被耦合到第二对与非门 206 和 208 的输入。两组与非门 202、204 和 206、208 在他们的另一个输入端上接收 YSG 信号。参考图 10, YSG 锁存器 200 具有互补极性的输出 RCTL 和 CTL。因此, 与非门 202、204 和 206、208 负责切换 YSG 信号到 RYSG-B 或 YSG-B。

本发明已经结合特殊实施例和特殊使用进行了描述, 在不脱离本发明权利要求阐述的精神范围内, 本领域的技术人员可以进行各种修改。例如, 与标准 Y 驱动器组有关的冗余 Y 驱动器的数量可以变化。此外, 列冗余系统可以适用所有类型的 RAM, 例如, DRAM、SDRAM、SGRAM 等。同样, 通过对电路进行众所周知的修改, 在此所述的冗余系统也适用于进行行冗余。

在这个说明书中采用的术语和表达是用作描述的术语, 没有任何限

制，没有意味着使用这些术语和表达排除任何等效的特点和描述或部分。但应当认识到，在本发明的权利要求范围内，各种修改是可能的。

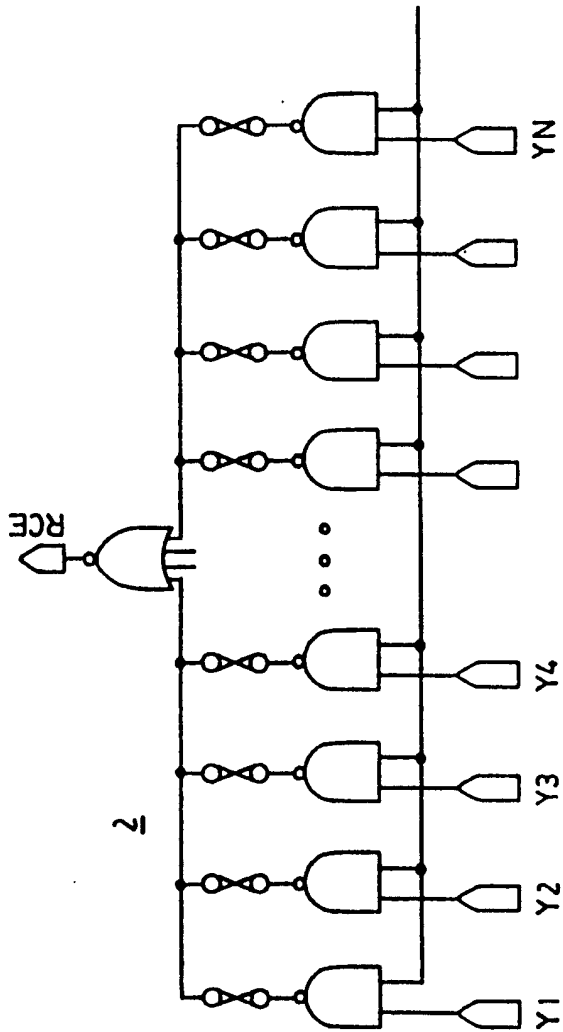


图 1

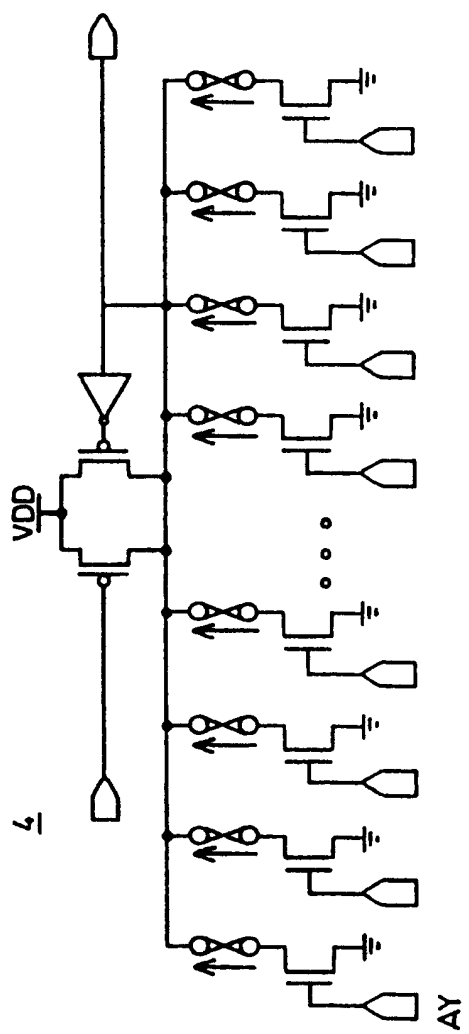
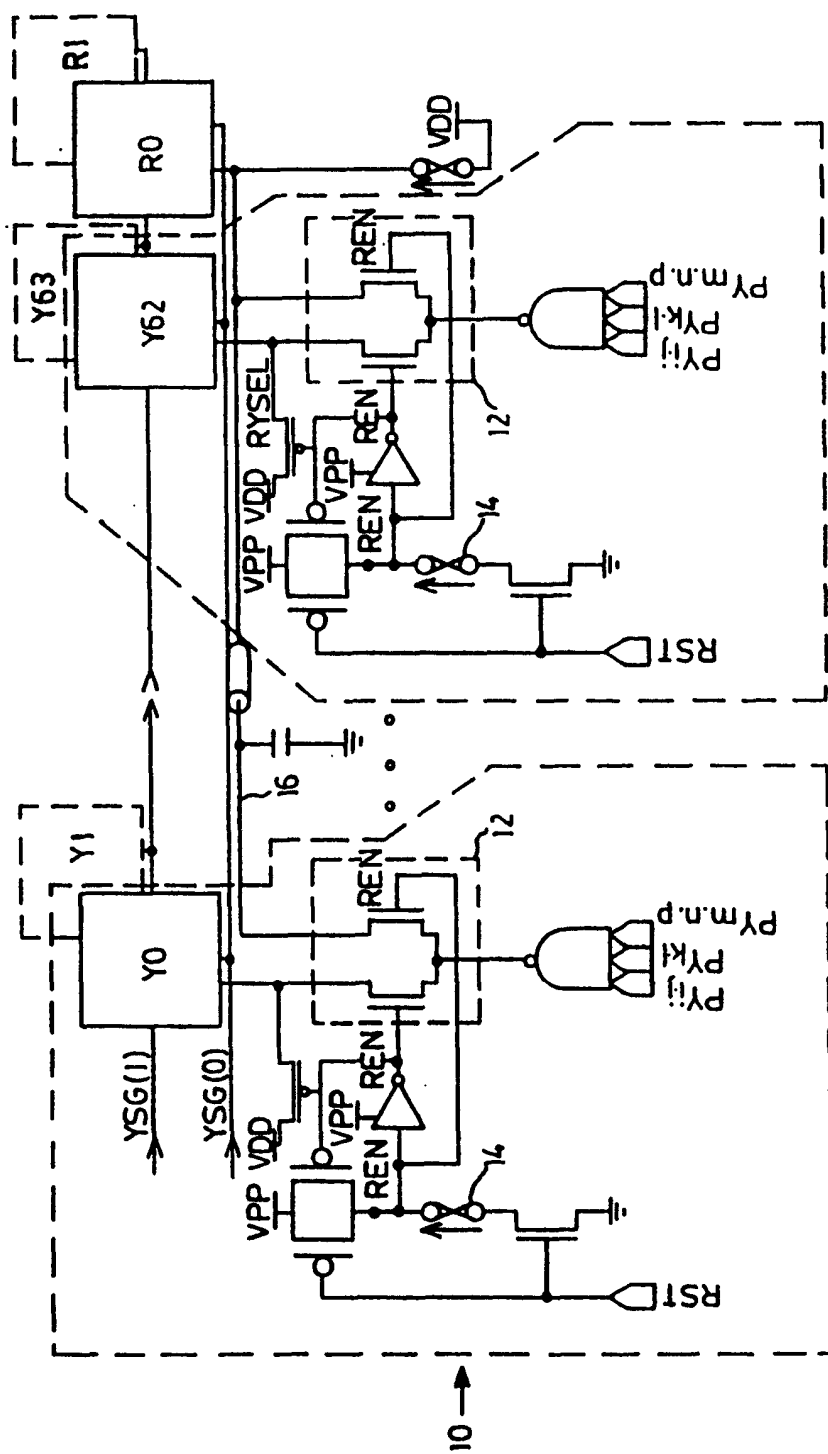
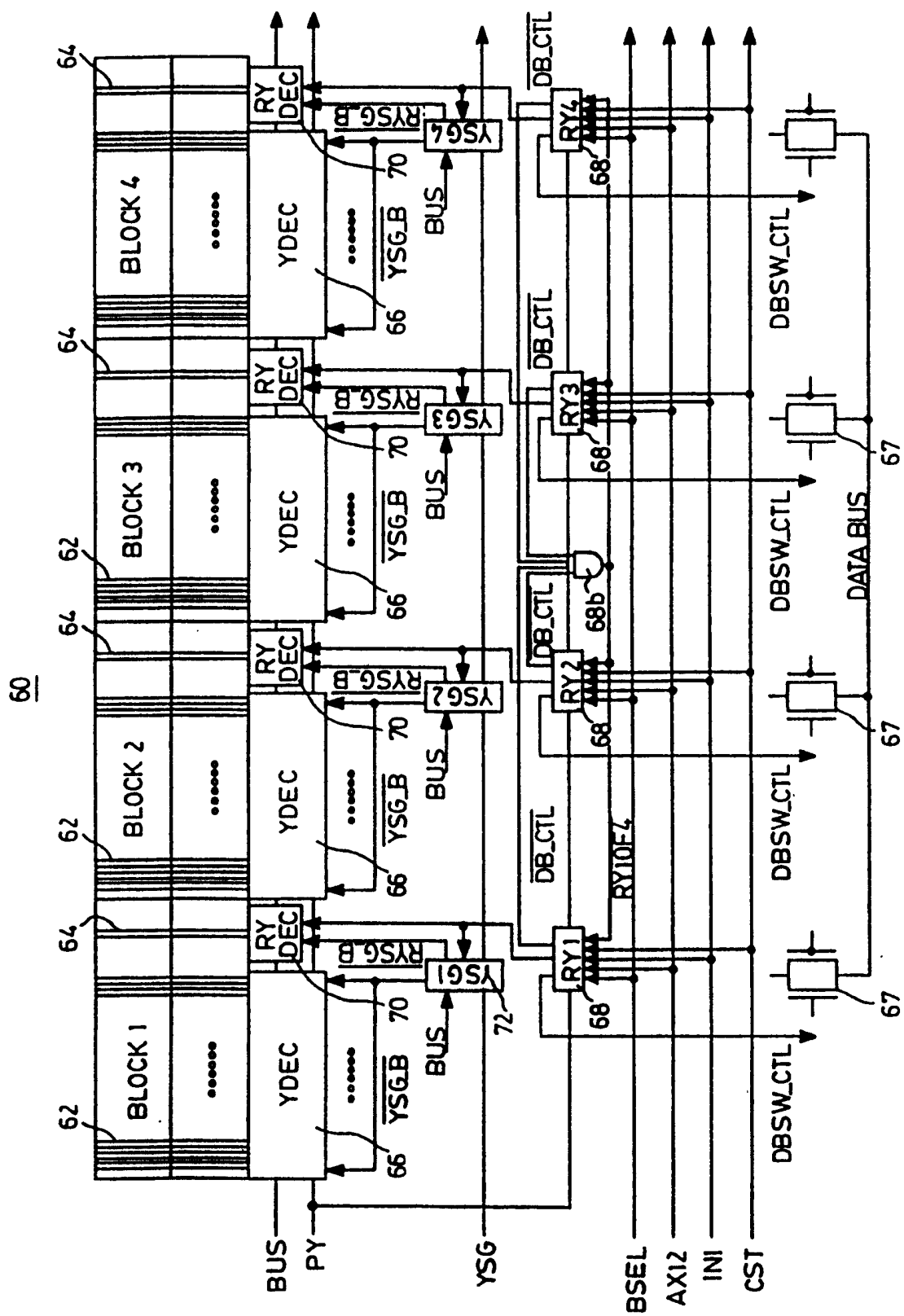


图 2



3
圖

4
圖

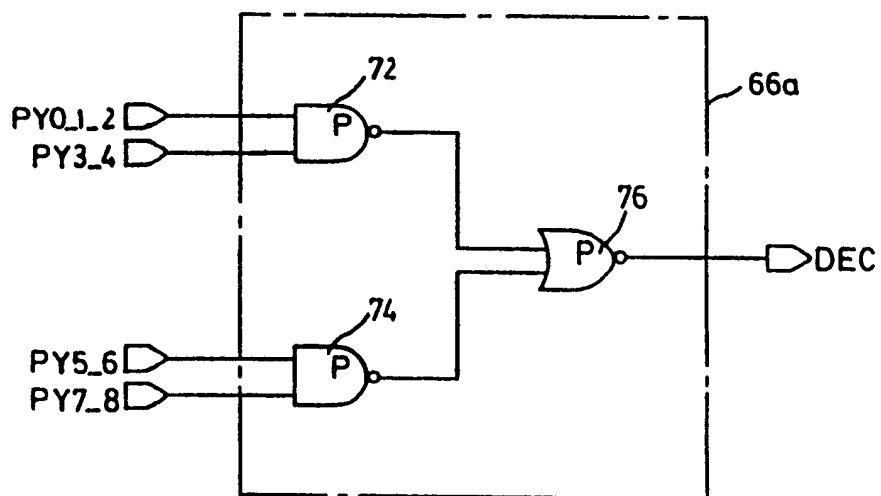


图 5a

66

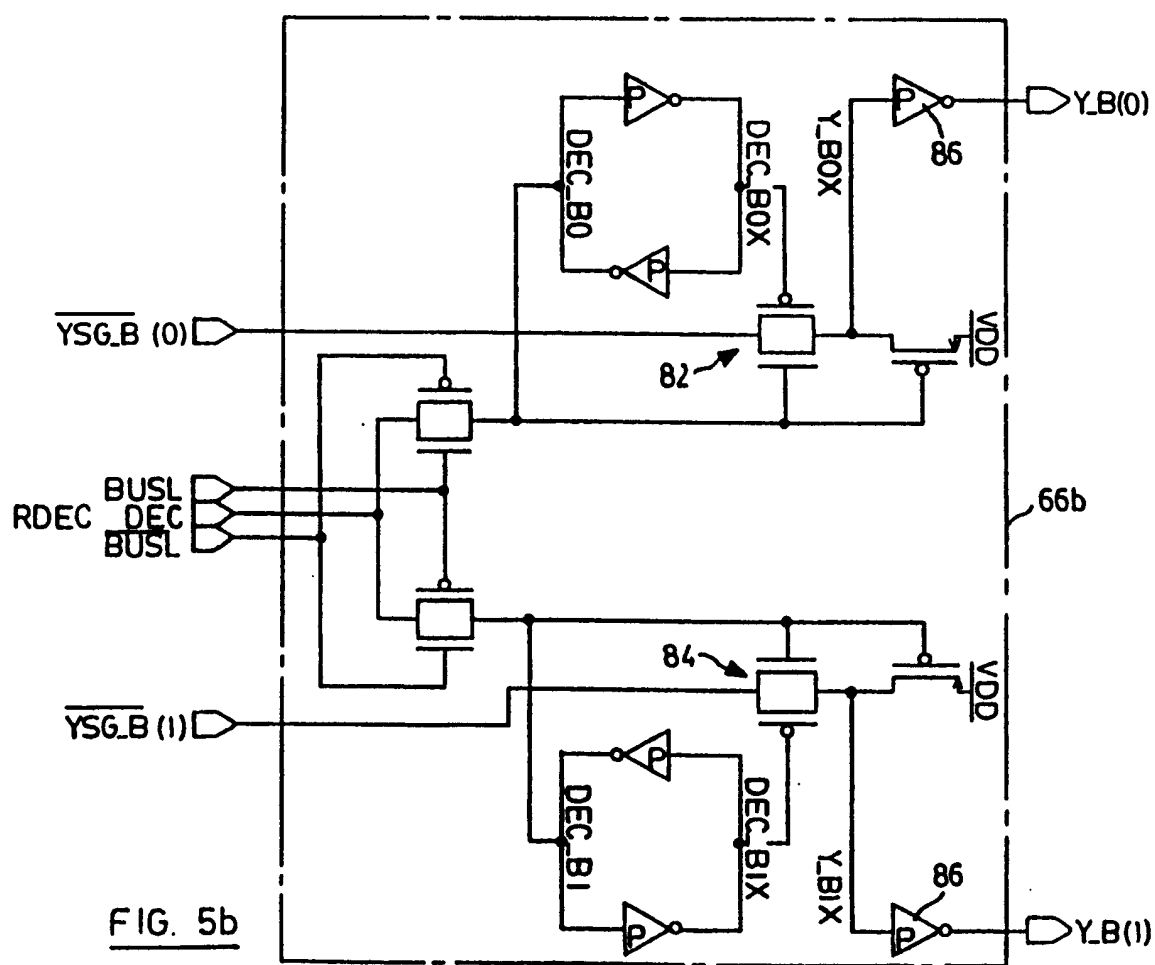


图 5b

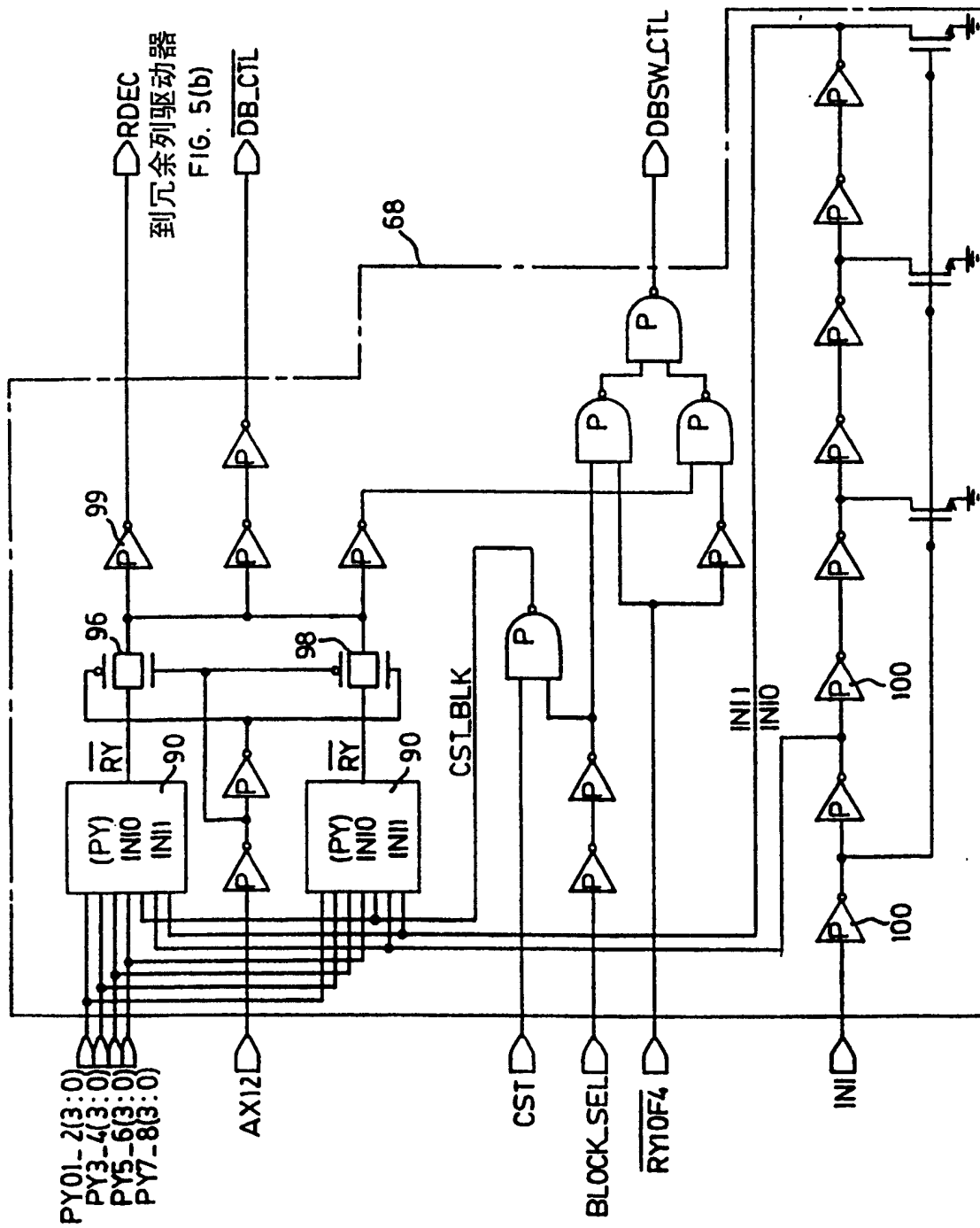


图 6

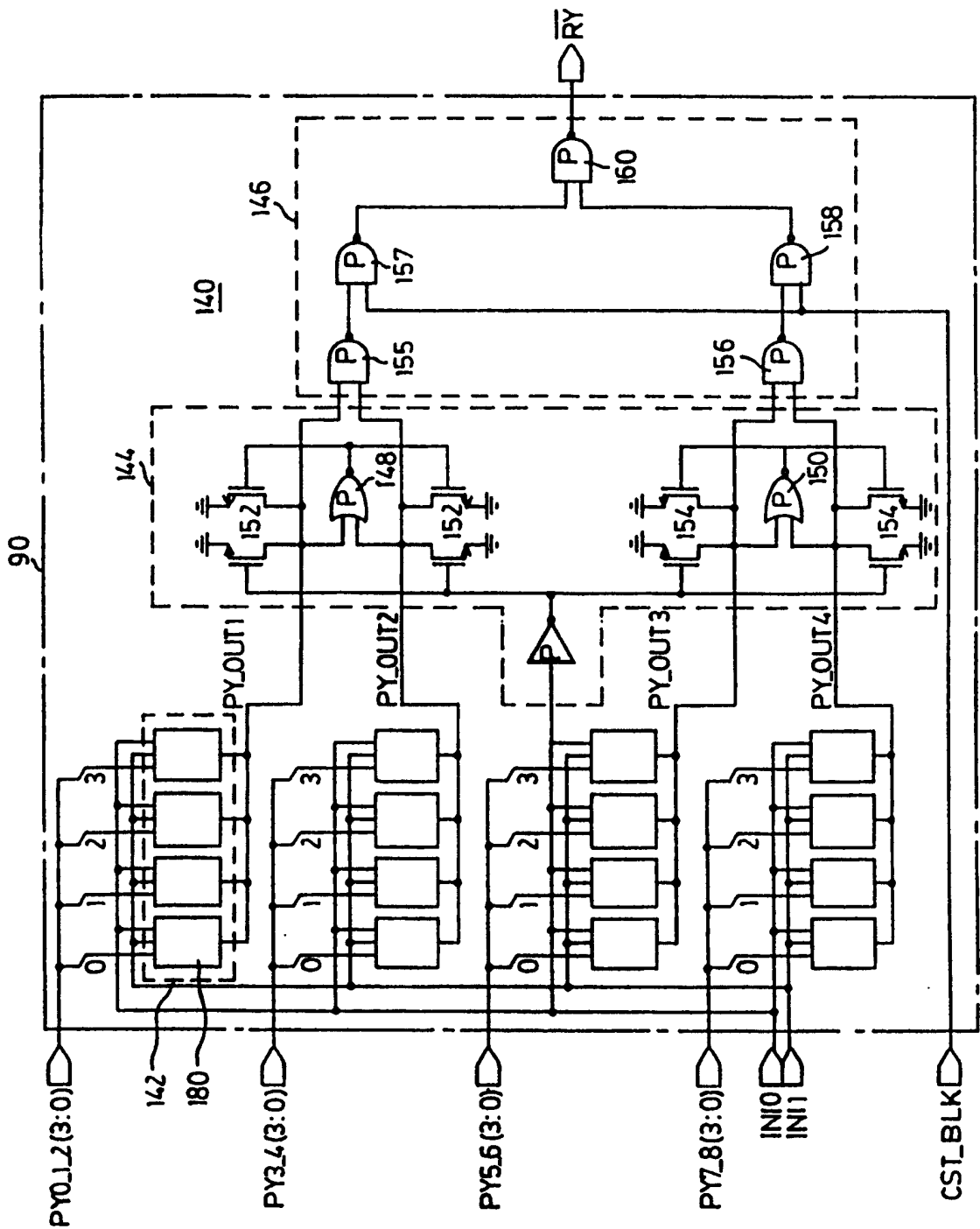


图 7

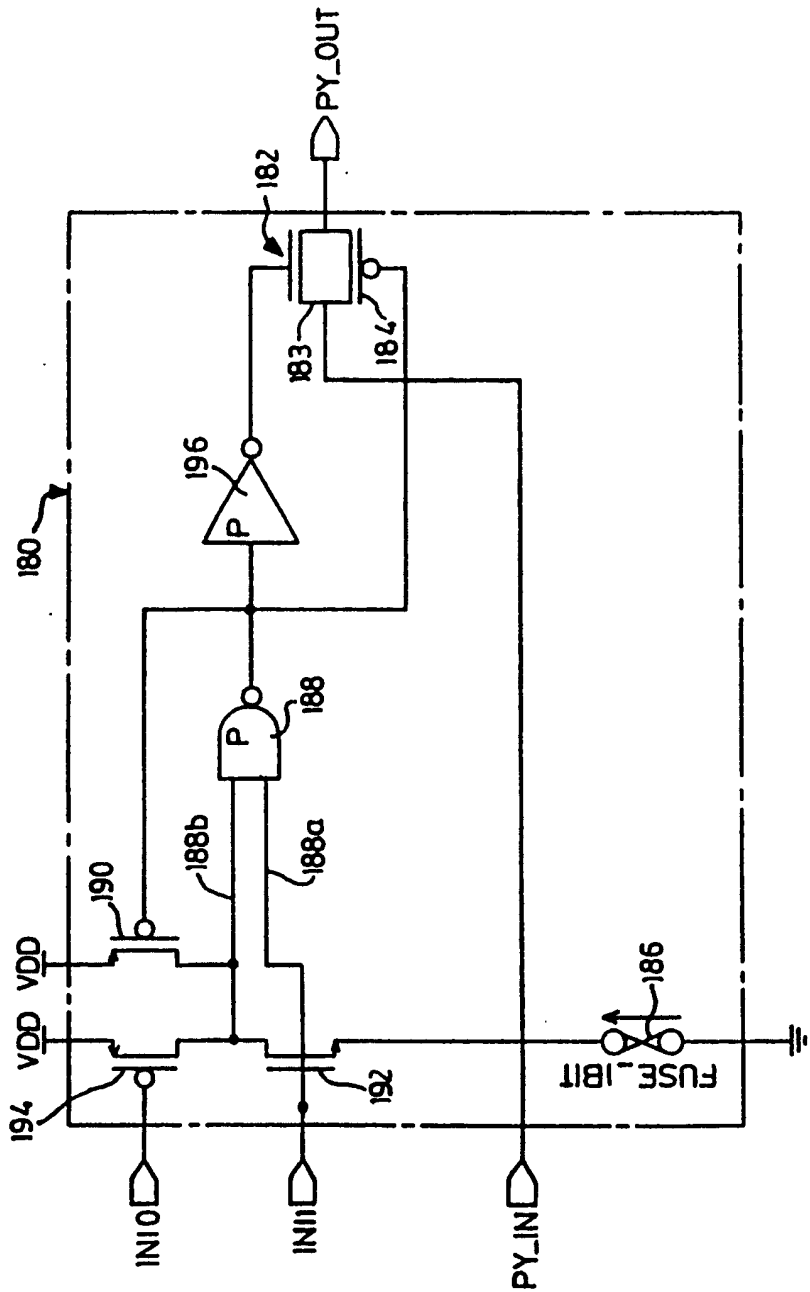


图 8

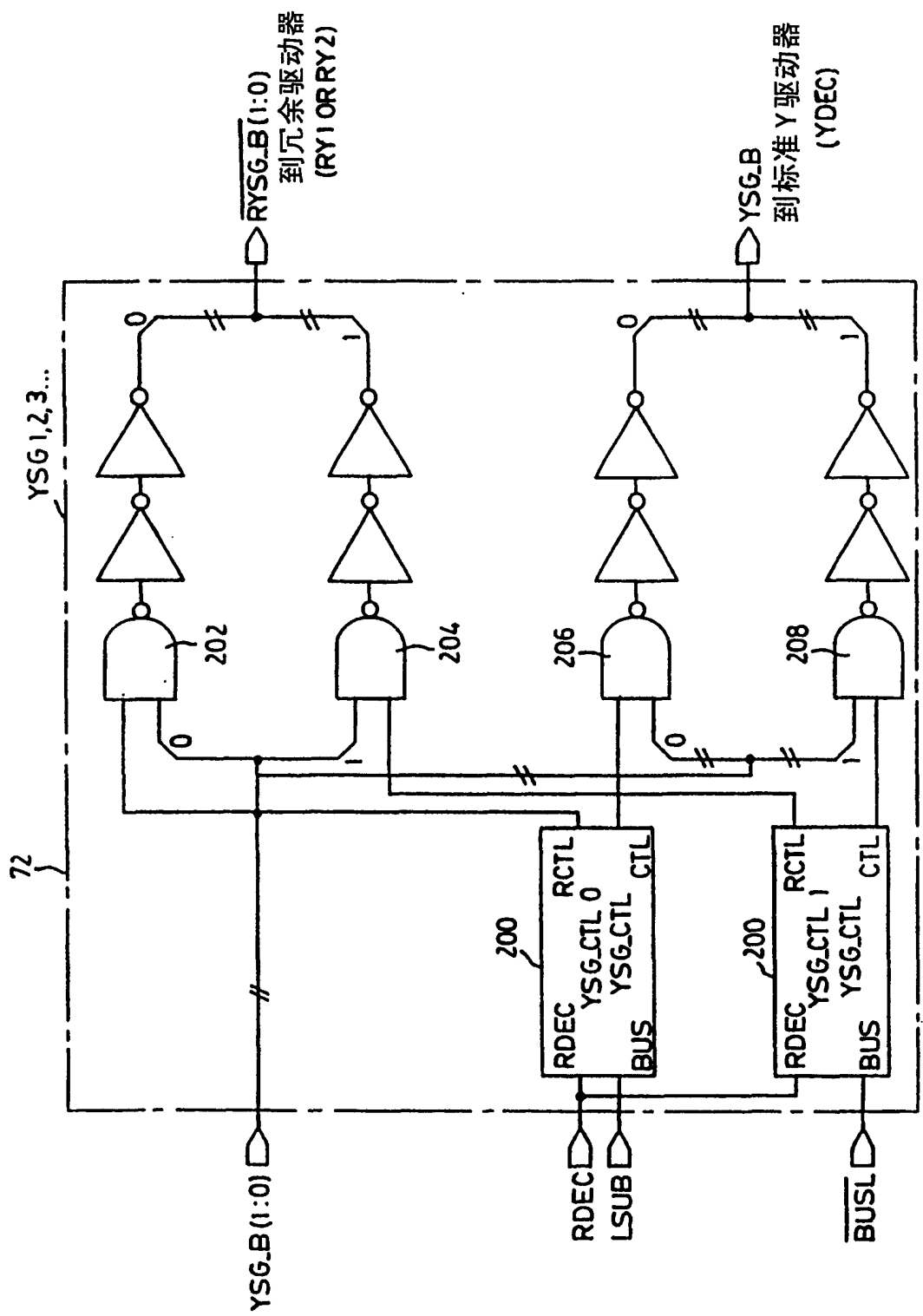


图 9

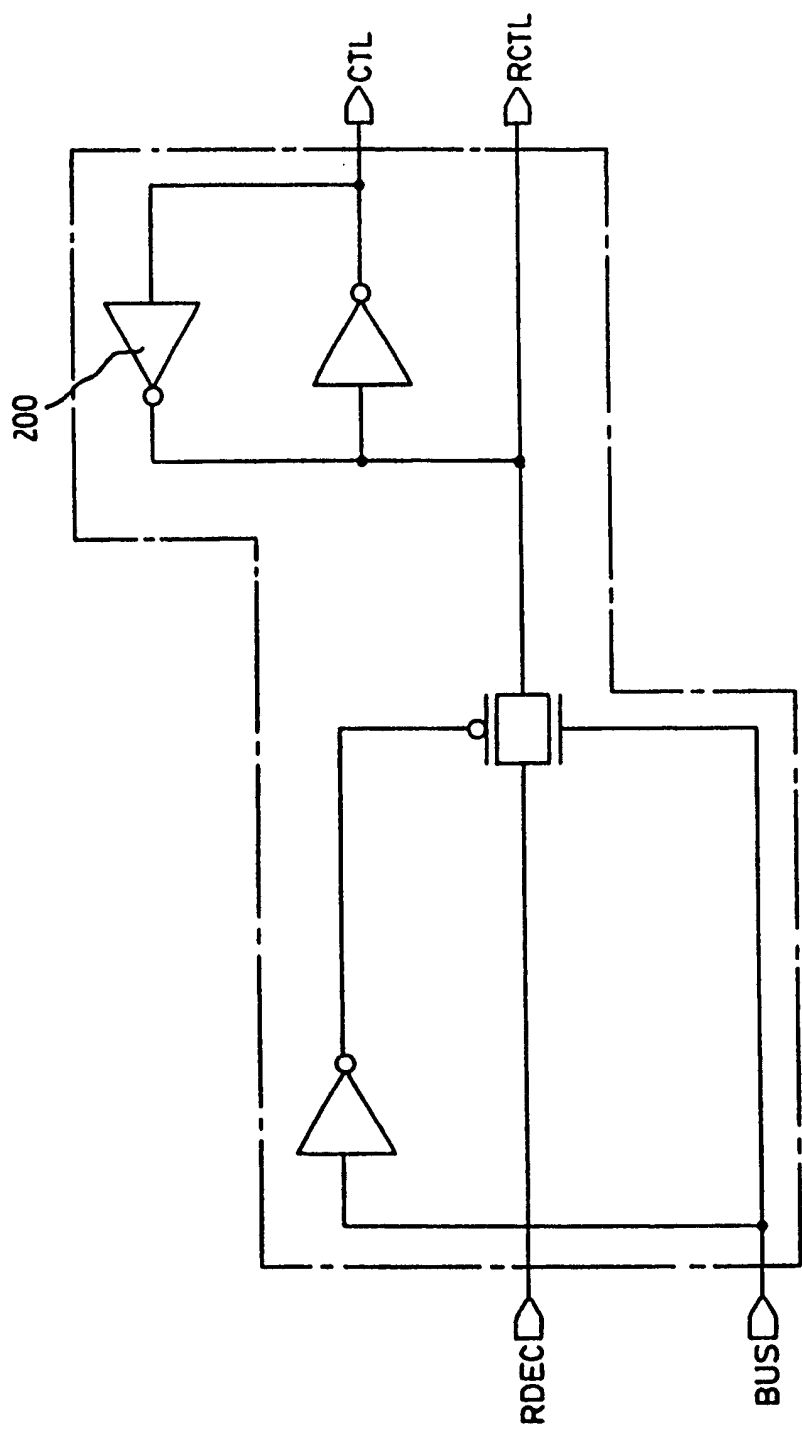


图 10