



(12) 发明专利申请

(10) 申请公布号 CN 120019726 A

(43) 申请公布日 2025. 05. 16

(21) 申请号 202380070619.7

(22) 申请日 2023.10.23

(30) 优先权数据

2022-173648 2022.10.28 JP

(85) PCT国际申请进入国家阶段日

2025.04.02

(86) PCT国际申请的申请数据

PCT/IB2023/060659 2023.10.23

(87) PCT国际申请的公布数据

W02024/089571 JA 2024.05.02

(71) 申请人 株式会社半导体能源研究所

地址 日本

(72) 发明人 山崎舜平 松崎隆德 井坂史人

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

专利代理师 秦晨

(51) Int.Cl.

H10D 30/67 (2025.01)

H10D 84/03 (2025.01)

H10D 84/40 (2025.01)

H10D 84/83 (2025.01)

H10B 12/00 (2023.01)

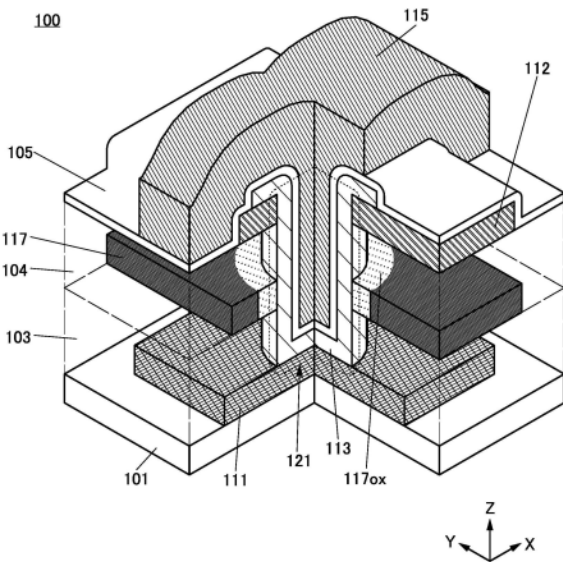
权利要求书3页 说明书67页 附图67页

(54) 发明名称

半导体装置、半导体装置的制造方法以及电子设备

(57) 摘要

提供一种电特性良好的半导体装置。提供一种半导体装置,包括晶体管、第一层间绝缘层、第一层间绝缘层上的第二层间绝缘层。晶体管包括用作源电极和漏电极中的一个的第一导电层及用作源电极和漏电极中的另一个的第二导电层,在第一导电层与第二导电层之间设置第一和第二层间绝缘层。在第一和第二层间绝缘层以及第二导电层中设置有到达第一导电层的开口部,以具有位于该开口部的内部的区域的方式依次设置半导体层、第一栅极绝缘层及第一栅电极。在第一层间绝缘层与第二层间绝缘层之间以覆盖半导体层的侧面的方式设置第二栅电极。第二栅电极包括具有与半导体层接触的区域氧化物区域。氧化物区域被用作第二栅极绝缘层。



1. 一种半导体装置,包括:
晶体管;
第一绝缘层;以及
第二绝缘层,
其中,所述晶体管包括第一导电层、第二导电层、第三导电层、第四导电层、半导体层及第三绝缘层,
所述第一绝缘层设置在所述第一导电层上,
所述第二导电层设置在所述第一绝缘层上,
所述第二绝缘层设置在所述第二导电层上,
所述第三导电层设置在所述第二绝缘层上,
所述第一绝缘层、所述第二导电层、所述第二绝缘层及所述第三导电层中设置有到达所述第一导电层的开口部,
所述第二导电层中设置有包括所述开口部中的侧面的氧化物区域,
所述半导体层以具有位于所述开口部的内部的区域的方式设置,
所述半导体层具有与所述第一导电层接触的区域、与所述氧化物区域接触的区域及与所述第三导电层接触的区域,
所述第三绝缘层以具有位于所述开口部的内部的区域的方式设置在所述半导体层上,
并且,所述第四导电层以具有位于所述开口部的内部的区域且具有夹着所述第三绝缘层与所述半导体层对置的区域的方式设置。
2. 根据权利要求1所述的半导体装置,
其中所述氧化物区域包含所述第二导电层所包含的材料的氧化物。
3. 根据权利要求1所述的半导体装置,
其中所述第二导电层及所述第四导电层在所述开口部的内部具有夹着所述半导体层的沟道形成区域的区域。
4. 根据权利要求1所述的半导体装置,
其中所述第一导电层包括第一层及第二层,
所述第二层设置在所述第一层上,
并且所述半导体层具有与所述第一层的顶面接触的区域及与所述第二层的侧面接触的区域。
5. 根据权利要求1所述的半导体装置,
其中所述第一绝缘层包括第一层、第二层及第三层,
所述第二绝缘层包括第四层、第五层及第六层,
所述第二层设置在所述第一层上,
所述第三层设置在所述第二层上,
所述第五层设置在所述第四层上,
所述第六层设置在所述第五层上,
并且所述第一层、所述第三层、所述第四层及所述第六层包含氮。
6. 根据权利要求5所述的半导体装置,
其中所述第二层及所述第五层包含氧。

半导体装置、半导体装置的制造方法以及电子设备

技术领域

[0001] 本发明的一个方式涉及一种半导体装置以及半导体装置的制造方法。此外,本发明的一个方式涉及一种存储装置以及存储装置的制造方法。此外,本发明的一个方式涉及一种晶体管以及晶体管的制造方法。此外,本发明的一个方式涉及一种电子设备。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本发明的一个方式的技术领域的一个例子,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置(例如,触摸传感器)、输入输出装置(例如,触摸面板)、上述装置的驱动方法以及上述装置的制造方法。

[0003] 注意,在本说明书等中,半导体装置是指利用半导体特性的装置并是指包括半导体元件(晶体管、二极管或光电二极管等)的电路及包括该电路的装置等。此外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,作为半导体装置的例子,有集成电路、具备集成电路的芯片以及封装中容纳有芯片的电子构件。此外,有时存储装置、显示装置、发光装置、照明装置以及电子设备等本身是半导体装置,并且包括半导体装置。

背景技术

[0004] 近年来,对半导体装置进行开发,例如将大规模集成电路(LSI:Large Scale Integration)用于半导体装置。例如,将中央处理器(CPU:Central Processing Unit)以及存储器等用于半导体装置。CPU是包括将半导体晶片加工来形成芯片而成的半导体集成电路(至少包括晶体管及存储器)且形成有作为连接端子的电极的半导体元件的集合体。

[0005] CPU以及存储器等半导体电路(IC芯片)安装在印刷线路等电路板上,并被用作各种电子设备的构件之一。

[0006] 此外,通过使用形成在具有绝缘表面的衬底上的半导体薄膜构成晶体管的技术受到注目。该晶体管广泛地应用于集成电路(IC:Integrated Circuit)以及显示装置等的电子器件。作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。作为其他材料,氧化物半导体受到关注。

[0007] 另外,已知使用氧化物半导体的晶体管的在非导通状态下的泄漏电流极小。例如,专利文献1公开了利用使用氧化物半导体的晶体管的泄漏电流小的特征的低功耗的CPU等。另外,例如,专利文献2公开了利用使用氧化物半导体的晶体管的泄漏电流小的特征而能够长期保持存储内容的存储装置等。

[0008] 此外,近年来,随着电子设备的小型化和轻量化,对集成电路的进一步高密度化的要求提高。此外,有提高包括集成电路的半导体装置的生产率的需求。例如,专利文献3及非专利文献1公开了一种技术,其中通过层叠使用氧化物半导体的第一晶体管和使用氧化物半导体的第二晶体管,重叠地设置多个存储单元,由此提高集成电路的密度。

[0009] 并且,如果可以实现纵向晶体管,可以提高集成电路的密度。例如,专利文献4公开了氧化物半导体的侧面隔着栅极绝缘层被栅电极覆盖的纵向晶体管。

[0010] [先行技术文献]

[0011] [专利文献]

[0012] [专利文献1]日本专利申请公开第2012/257187号公报

[0013] [专利文献2]日本专利申请公开第2011/151383号公报

[0014] [专利文献3]国际专利申请公开第2021/053473号

[0015] [专利文献4]日本专利申请公开第2013/211537号公报

[0016] [非专利文献]

[0017] [非特許文献1]M.Oota et.al, "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech.Dig., 2019, pp.50-53

发明内容

[0018] 发明所要解决的技术问题

[0019] 晶体管的阈值电压影响到晶体管的工作。例如,当在n沟道型晶体管中晶体管的阈值电压低时,晶体管容易具有常开启特性。

[0020] 本发明的一个方式的目的之一是提供一种能够控制晶体管的阈值电压的半导体装置或者存储装置。此外,本发明的一个方式的目的之一是提供一种电特性良好的半导体装置或者存储装置。此外,本发明的一个方式的目的之一是提供一种可靠性高的半导体装置或者存储装置。此外,本发明的一个方式的目的之一是提供一种以高速驱动的半导体装置或者存储装置。此外,本发明的一个方式的目的之一是提供一种能够微型化或高集成化的半导体装置或者存储装置。此外,本发明的一个方式的目的之一是提供一种小型的半导体装置或者存储装置。此外,本发明的一个方式的目的之一是提供一种大容量的存储装置。此外,本发明的一个方式的目的之一是提供一种功耗低的半导体装置或者存储装置。此外,本发明的一个方式的目的之一是提供一种廉价的半导体装置或者存储装置。此外,本发明的一个方式的目的之一是提供一种通态电流大的晶体管。此外,本发明的一个方式的目的之一是提供一种关态电流(off-state current)小的晶体管。此外,本发明的一个方式的目的之一是提供一种电特性良好的晶体管。此外,本发明的一个方式的目的之一是提供一种新颖的半导体装置、存储装置或者晶体管。

[0021] 本发明的一个方式的目的之一是提供一种能够控制晶体管的阈值电压的半导体装置的制造方法或者存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种电特性良好的半导体装置的制造方法或者存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种可靠性高的半导体装置的制造方法或者存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种以高速驱动的半导体装置的制造方法或者存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种能够微型化或高集成化的半导体装置的制造方法或者存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种小型的半导体装置的制造方法或者存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种大容量的存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种功耗低的半导体装置的制造方法或者存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种成品率高的半导体装置的制造方法或者存储装置的制造方法。此外,本发明的一个方式的目的之一是提供一种通态电流大的晶体管的制造方法。此外,本发明的一个方式的目的之一是提供一种关态电流小的晶体管的制造方法。此

外,本发明的一个方式的目的之一是提供一种电特性良好的晶体管的制造方法。此外,本发明的一个方式的目的之一是提供一种新颖的半导体装置的制造方法、存储装置的制造方法或者晶体管的制造方法。

[0022] 注意,这些目的的记载并不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。另外,可以从说明书、附图、权利要求书的记载抽出上述以外的目的。

[0023] 解决技术问题的手段

[0024] 本发明的一个方式是一种半导体装置,包括晶体管、第一绝缘层及第二绝缘层,其中,晶体管包括第一导电层、第二导电层、第三导电层、第四导电层、半导体层及第三绝缘层,第一绝缘层设置在第一导电层上,第二导电层设置在第一绝缘层上,第二绝缘层设置在第二导电层上,第三导电层设置在第二绝缘层上,第一绝缘层、第二导电层、第二绝缘层及第三导电层中设置有到达第一导电层的开口部,第二导电层中设置有包括开口部中的侧面的氧化物区域,半导体层以具有位于开口部的内部的区域的方式设置,半导体层具有与第一导电层接触的区域、与氧化物区域接触的区域及与第三导电层接触的区域,第三绝缘层以具有位于开口部的内部的区域的方式设置在半导体层上,第四导电层以具有位于开口部的内部的区域且具有夹着第三绝缘层与半导体层对置的区域的方式设置。

[0025] 另外,在上述方式中,氧化物区域也可以包含第二导电层所包含的材料的氧化物。

[0026] 另外,在上述方式中,第二导电层及第四导电层也可以在开口部的内部具有夹着半导体层的沟道形成区域的区域。

[0027] 另外,在上述方式中,也可以包括如下结构:第一导电层包括第一层及第二层,第二层设置在第一层上,并且半导体层具有与第一层的顶面接触的区域及与第二层的侧面接触的区域。

[0028] 另外,在上述方式中,也可以包括如下结构:第一绝缘层包括第一层、第二层及第三层,第二绝缘层包括第四层、第五层及第六层,第二层设置在第一层上,第三层设置在第二层上,第五层设置在第四层上,第六层设置在第五层上,并且第一层、第三层、第四层及第六层包含氮。

[0029] 另外,在上述方式中,第二层及第五层也可以包含氧。

[0030] 另外,包括本发明的一个方式的半导体装置及照相机的电子设备也是本发明的一个方式。

[0031] 另外,本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:形成第一导电层;在第一导电层上形成第一绝缘层;在第一绝缘层上形成第二导电层;在第二导电层上形成第二绝缘层;在第二绝缘层上形成第三导电层;在第一绝缘层、第二导电层、第二绝缘层及第三导电层中形成到达第一导电层的开口部;通过对第二导电层的开口部中的侧面进行氧化处理,在第二导电层中形成氧化物区域;以具有位于开口部的内部的区域且具有与第一导电层接触的区域、与氧化物区域接触的区域及与第三导电层接触的区域的方式形成半导体层;以具有位于开口部的内部的区域的方式在半导体层上形成第三绝缘层;以及以具有位于开口部的内部的区域且具有夹着第三绝缘层与半导体层对置的区域的方式形成第四导电层。

[0032] 另外,在上述方式中,氧化处理也可以通过在含氧气氛下的微波处理进行。

[0033] 另外,在上述方式中,还可以包括如下步骤:作为第一导电层形成第一层、第一层

上的第二层,在形成第三导电层之后,在第一绝缘层、第二导电层、第二绝缘层及第三导电层中形成到达第二层的开口部,并且在氧化处理之后且形成半导体层之前,去除第二层的与开口部重叠的区域。

[0034] 另外,在上述方式中,也可以在形成开口部之后且形成氧化物区域之前对第二导电层的开口部中的侧面进行加工。

[0035] 另外,在上述方式中,加工也可以通过各向同性蚀刻进行。

[0036] 另外,在上述方式中,还可以包括如下步骤:在形成开口部之后且形成氧化物区域之前,形成开口部中具有与第二导电层的侧面接触的区域 of 第四绝缘层并对其进行氧化处理,而去除第四绝缘层来形成半导体层。

[0037] 另外,在上述方式中,还可以包括如下步骤:作为第一绝缘层,形成第一层、第一层上的第二层及第二层上的第三层,作为第二绝缘层,形成第四层、第四层上的第五层及第五层上的第六层,第四绝缘层以具有与第六层的顶面接触的区域的方式形成,第四绝缘层包含氧,第六层包含氮。

[0038] 另外,在上述方式中,第一层、第三层及第四层也可以包含氮。

[0039] 另外,在上述方式中,第二层及第五层也可以包含氧。

[0040] 另外，在上述方式中，半导体层也可以包含金属氧化物。金属氧化物也可以包含选自铟、锌和元素M中的一个或多个，并且元素M也可以为选自铝、镓、锡、钇、钛、钒、铬、锰、铁、钴、镍、锆、钼、钨、钽、钪、钕、镁、钙、锶、钡、硼、硅、锗和锑中的一个或多个。

[0041] 发明效果

[0042] 根据本发明的一个方式可以提供一种能够控制晶体管的阈值电压的半导体装置或者存储装置。此外,根据本发明的一个方式可以提供一种电特性良好的半导体装置或者存储装置。此外,根据本发明的一个方式可以提供一种可靠性高的半导体装置或者存储装置。此外,根据本发明的一个方式可以提供一种以高速驱动的半导体装置或者存储装置。此外,根据本发明的一个方式可以提供一种能够微型化或高集成化的半导体装置或者存储装置。此外,根据本发明的一个方式可以提供一种小型的半导体装置或者存储装置。此外,根据本发明的一个方式可以提供一种大容量的存储装置。此外,根据本发明的一个方式可以提供一种功耗低的半导体装置或者存储装置。此外,根据本发明的一个方式可以提供一种廉价的半导体装置或者存储装置。此外,根据本发明的一个方式可以提供一种通态电流大的晶体管。此外,根据本发明的一个方式可以提供一种关态电流小的晶体管。此外,根据本发明的一个方式可以提供一种电特性良好的晶体管。此外,根据本发明的一个方式可以提供一种新颖的半导体装置、存储装置或者晶体管。

[0043] 根据本发明的一个方式可以提供一种能够控制晶体管的阈值电压的半导体装置的制造方法或者存储装置的制造方法。此外,根据本发明的一个方式可以提供一种电特性良好的半导体装置的制造方法或者存储装置的制造方法。此外,根据本发明的一个方式可以提供一种可靠性高的半导体装置的制造方法或者存储装置的制造方法。此外,根据本发明的一个方式可以提供一种以高速驱动的半导体装置的制造方法或者存储装置的制造方法。此外,根据本发明的一个方式可以提供一种能够微型化或高集成化的半导体装置的制造方法或者存储装置的制造方法。此外,根据本发明的一个方式可以提供一种小型的半导体装置的制造方法或者存储装置的制造方法。此外,根据本发明的一个方式可以提供一种

大容量的存储装置的制造方法。此外,根据本发明的一个方式可以提供一种功耗低的半导体装置的制造方法或者存储装置的制造方法。此外,根据本发明的一个方式可以提供一种成品率高的半导体装置的制造方法或者存储装置的制造方法。此外,根据本发明的一个方式可以提供一种通态电流大的晶体管的制造方法。此外,根据本发明的一个方式可以提供一种关态电流小的晶体管的制造方法。此外,根据本发明的一个方式可以提供一种电特性良好的晶体管的制造方法。此外,根据本发明的一个方式可以提供一种新颖的半导体装置的制造方法、存储装置的制造方法或者晶体管的制造方法。

[0044] 注意,这些效果的记载并不妨碍其他效果的存在。发明的一个方式并不需要具有所有上述效果。另外,可以从说明书、附图、权利要求书的记载抽出上述以外的效果。

附图说明

[0045] 图1是示出半导体装置的结构例子的立体图。

[0046] 图2A1及图2A2是示出半导体装置的结构例子的平面图。图2B、图2C及图2D是示出半导体装置的结构例子的截面图。

[0047] 图3A是示出半导体装置的结构例子的截面图。图3B是示出半导体装置的结构例子的平面图。

[0048] 图4A至图4C是示出半导体装置的结构例子的截面图。

[0049] 图5A至图5D是示出半导体装置的结构例子的截面图。

[0050] 图6A至图6D是示出半导体装置的结构例子的截面图。

[0051] 图7A1及图7A2是示出半导体装置的结构例子的平面图。图7B及图7C是示出半导体装置的结构例子的截面图。

[0052] 图8A至图8C是示出半导体装置的结构例子的截面图。

[0053] 图9A至图9D是示出半导体装置的结构例子的截面图。

[0054] 图10A及图10B是示出半导体装置的结构例子的平面图。

[0055] 图11A是示出半导体装置的结构例子的平面图。图11B及图11C是示出半导体装置的结构例子的截面图。

[0056] 图12A是示出半导体装置的结构例子的平面图。图12B及图12C是示出半导体装置的结构例子的截面图。

[0057] 图13A是示出半导体装置的制造方法例子的平面图。图13B及图13C是示出半导体装置的制造方法例子的截面图。

[0058] 图14A是示出半导体装置的制造方法例子的平面图。图14B及图14C是示出半导体装置的制造方法例子的截面图。

[0059] 图15A1及图15A2是示出半导体装置的制造方法例子的平面图。图15B及图15C是示出半导体装置的制造方法例子的截面图。

[0060] 图16A是示出半导体装置的制造方法例子的平面图。图16B及图16C是示出半导体装置的制造方法例子的截面图。

[0061] 图17A至图17F是示出半导体装置的制造方法例子的截面图。

[0062] 图18A1及图18A2是示出半导体装置的制造方法例子的平面图。图18B及图18C是示出半导体装置的制造方法例子的截面图。

[0063] 图19A1及图19A2是示出半导体装置的制造方法例子的平面图。图19B及图19C是示出半导体装置的制造方法例子的截面图。

[0064] 图20A1及图20A2是示出半导体装置的制造方法例子的平面图。图20B至图20E是示出半导体装置的制造方法例子的截面图。

[0065] 图21A是示出半导体装置的制造方法例子的平面图。图21B至图21E是示出半导体装置的制造方法例子的截面图。

[0066] 图22A1及图22A2是示出存储装置的结构例子的平面图。图22B及图22C是示出存储装置的结构例子的截面图。图22D1及图22D2是示出存储装置的结构例子的电路图。

[0067] 图23A是示出存储装置的结构例子的平面图。图23B及图23C是示出存储装置的结构例子的截面图。

[0068] 图24A是示出存储装置的结构例子的平面图。图24B是示出存储装置的结构例子的截面图。

[0069] 图25A是示出存储装置的结构例子的平面图。图25B是示出存储装置的结构例子的截面图。

[0070] 图26A是示出存储装置的结构例子的平面图。图26B是示出存储装置的结构例子的截面图。

[0071] 图27是示出存储装置的结构例子的截面图。

[0072] 图28A至图28C是示出存储装置的结构例子的平面图。

[0073] 图29A至图29C是示出存储装置的结构例子的平面图。

[0074] 图30是示出存储装置的结构例子的方框图。

[0075] 图31A是示出存储装置的结构例子的示意图。图31B是示出存储装置的结构例子的电路图。

[0076] 图32A及图32B是示出存储装置的结构例子的示意图。

[0077] 图33是示出存储装置的结构例子的电路图。

[0078] 图34A及图34B是示出安装有存储装置的芯片的一个例子的图。

[0079] 图35A及图35B是示出电子设备的一个例子的图。

[0080] 图36A至图36E是示出存储装置的一个例子的示意图。

[0081] 图37A至图37H是示出电子设备的一个例子的图。

[0082] 图38是示出太空设备的一个例子的图。

[0083] 图39A是示出样品的结构的截面图。图39B是示出测量系统的示意图。

[0084] 图40A至图40C是样品的截面STEM图像。

[0085] 图41A至图41C是示出电流-电压特性的图表。

具体实施方式

[0086] 参照附图对实施方式进行详细说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0087] 注意,在下面说明的发明结构中,在不同的附图中共同使用相同的符号来表示相

同的部分或具有相同功能的部分,而省略反复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加符号。

[0088] 另外,为了便于理解,有时附图中示出的各构成要素的位置、大小及范围等并不表示其实际的位置、大小及范围等。因此,所公开的发明并不局限于附图中公开的位置、尺寸及范围等。例如,在实际的制造工序中,有时由于蚀刻等处理而层或抗蚀剂掩模等非意图性地被减薄,但是为了便于理解有时不反映于附图中。

[0089] 注意,在本说明书等中,为了方便起见,附加了“第一”及“第二”等序数词,而其并不限制构成要素的个数或构成要素的顺序(例如,工序顺序或叠层顺序)。此外,在本说明书中的某一部分对构成要素附加的序数词与在本说明书中的其他部分或权利要求书对该构成要素附加的序数词有时不一致。

[0090] 晶体管是半导体元件的一种,并且可以实现放大电流或电压的功能、控制导通或非导通的开关工作等。本说明书中的晶体管包括IGFET(Insulated Gate Field Effect Transistor:绝缘栅场效应晶体管)和薄膜晶体管(TFT:Thin Film Transistor)。

[0091] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏极区域或漏电极)与源极(源极端子、源极区域或源电极)之间具有形成沟道的区域(也称为沟道形成区域),并且通过沟道形成区域电流能够流过源极和漏极之间。注意,在本说明书等中,沟道形成区域是指电流主要流过的区域。

[0092] 此外,在采用不同极性的晶体管或者电路工作中的电流方向变化的情况等下,“源极”和“漏极”的功能有时相互调换。因此,在本说明书中“源极”和“漏极”可以相互调换。

[0093] 注意,半导体的杂质例如是指构成半导体的主要成分之外的元素。例如,浓度低于0.1atomic%的元素可以说是杂质。在包含杂质时,例如有时发生半导体的缺陷态密度的增高或者结晶性的降低等。当半导体是氧化物半导体时,作为改变半导体的特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半导体的主要成分外的过渡金属等。具体而言,例如,有氢、锂、钠、硅、硼、磷、碳以及氮等。此外,有时水也作为杂质起作用。此外,例如有时杂质的混入导致氧化物半导体中的氧空位(也称为为 V_O)的形成。

[0094] 注意,在本说明书等中,氮氧化物是指在其组成中含氧量多于含氮量的材料。氮氧化物是指在其组成中含氮量多于含氧量的材料。

[0095] 例如可以利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)或X射线光电子能谱法(XPS:X-ray Photoelectron Spectroscopy)分析出膜中的氢、氧、碳以及氮等元素的含量。在目的元素的含有率高(例如为0.5atomic%以上或1atomic%以上)时,XPS很合适。另一方面,在目的元素的含有率低(例如为0.5atomic%以下或1atomic%以下)时,SIMS很合适。在比较元素含量时,更优选采用SIMS和XPS的双方分析方法进行复合分析。

[0096] 此外,在本说明书等中,根据状况,可以互相调换“膜”及“层”等词句。例如,有时可以将“导电层”调换为“导电膜”且将“导电膜”调换为“导电层”。此外,例如有时可以将“绝缘膜”调换为“绝缘层”且将“绝缘层”调换为“绝缘膜”。并且,例如有时可以将“半导体膜”调换为“半导体层”且将“半导体层”调换为“半导体膜”

[0097] 在本说明书等中,“平行”是指两条直线所形成的角度为 -10° 以上且 10° 以下的状

态。因此,也包括该角度为 -5° 以上且 5° 以下的状态。“大致平行”是指两条直线所形成的角度为 -30° 以上且 30° 以下的状态。另外,“垂直”是指两条直线所形成的角度为 80° 以上且 100° 以下的状态。因此,也包括该角度为 85° 以上且 95° 以下的状态。“大致垂直”是指两条直线所形成的角度为 60° 以上且 120° 以下的状态。

[0098] 此外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。地电位不一定意味着0V。此外,电位是相对性的,根据基准的电位的变化,例如供应到布线的电位、施加到电路的电位以及从电路输出的电位等也产生变化。

[0099] 在本说明书等中,“电连接”包括通过“具有某种电作用的元件”连接的情况。在此,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授收,就对其没有特别的限制。例如,“具有某种电作用的元件”除了电极或布线以外还包括晶体管等开关元件、电阻元件、线圈、电容器、其他具有各种功能的元件等。

[0100] 另外,在本说明书等中,在没有特别的说明的情况下,关态电流是指晶体管处于关闭状态(也称为非导通状态或遮断状态)时的源极-漏极间的泄漏电流。在没有特别的说明的情况下,在n沟道型晶体管中,关闭状态是指栅极与源极间的电压 V_{gs} 低于阈值电压 V_{th} (在p沟道型晶体管中 V_{gs} 高于 V_{th})的状态。

[0101] 在本说明书等中,构成要素的顶面形状是指从平面看时的该构成要素的轮廓形状。另外,平面视是指从该构成要素的被形成面或形成有该构成要素的支撑体(例如衬底)的表面的法线方向看的情况。

[0102] 在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如,优选具有倾斜的侧面和衬底面或被形成面所形成的角度(也称为锥角)小于90度的区域。注意,构成要素的侧面、衬底面及被形成面不一定必须完全平坦,也可以是具有微小曲率的近似平面状或具有微细凹凸的近似平面状。

[0103] 在本说明书等中,在有A与B接触的记载的情况下,A的至少一部分与B接触。因此,例如,可以换称为A具有与B接触的区域。

[0104] 在本说明书等中,在有A位于B上的记载的情况下,A的至少一部分位于B上。因此,例如,可以换称为A包括位于B上的区域。

[0105] 在本说明书等中,在有A覆盖B的记载的情况下,A的至少一部分覆盖B。因此,例如,可以换称为A包括覆盖B的区域。

[0106] 在本说明书等中,在有A与B重叠的记载的情况下,A的至少一部分与B重叠。因此,例如,可以换称为A包括与B重叠的区域。

[0107] 另外,在本说明书等中,为了方便起见,使用“上”、“下”、“左”以及“右”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书所说明的词句,根据情况可以适当地换词句。

[0108] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物例如被分类为氧化物绝缘体、氧化物导体(包括透明氧化物导体)和氧化物半导体(Oxide Semiconductor,也简称为OS)。例如,在将金属氧化物用于晶体管的半导体层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,OS晶体管可以换称为包含金属氧化

物或氧化物半导体的晶体管。注意,有时将包含氮的金属氧化物统称为金属氧化物。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0109] (实施方式1)

[0110] 在本实施方式中,参照附图说明本发明的一个方式的半导体装置以及其制造方法。

[0111] 本发明的一个方式涉及包括晶体管的半导体装置。晶体管可以为形成在衬底上的第一层间绝缘层和第一层间绝缘层上的第二层间绝缘层中的开口部的内部设置有半导体层的晶体管。通过采用这种结构,可以使晶体管的沟道长度方向为沿着开口部中的第一和第二层间绝缘层的侧面的方向。由此,沟道长度不受到制造晶体管时使用的曝光装置的性能的影响,所以可以使沟道长度小于曝光装置的极限分辨率。因此,增大晶体管的通态电流,从而可以以高速驱动半导体装置。

[0112] 在此,作为晶体管的源电极和漏电极中的一个,使用设置在开口部下的第一导电层。具体而言,在第一导电层上设置第一和第二层间绝缘层,在第一和第二层间绝缘层中以到达第一导电层的方式设置开口部。此外,作为晶体管的源电极和漏电极中的另一个,使用设置在第二层间绝缘层上且包括与上述开口部重叠的开口部的第二导电层。并且,以具有与第一导电层接触的区域及与第二导电层接触的区域的方式设置半导体层。另外,在半导体层上设置第一栅极绝缘层,在第一栅极绝缘层上设置第一栅电极。

[0113] 另一方面,在n沟道型晶体管中,在减小晶体管的沟道长度时,晶体管的阈值电压变小,有时例如成为常开启特性。于是,在本发明的一个方式的半导体装置所包括的晶体管中设置第二栅电极。由此,例如可以控制晶体管的阈值电压。因此,例如,通过使晶体管的阈值电压与在晶体管中不设置第二栅电极的情况相比变高,可以抑制晶体管成为常开启特性。换言之,可以使晶体管成为常关闭特性。因此,可以提供一种电特性良好的半导体装置。

[0114] 在本说明书等中,晶体管具有常开启特性是指如下状态:即使不对晶体管的栅极供应电位也在半导体层中存在沟道,而电流流过晶体管的源极-漏极之间。另外,晶体管具有常关闭特性是指如下状态:在不对晶体管的栅极供应电位的状态下,电流不流过晶体管的源极-漏极之间。在此,可以说晶体管具有常开启特性是指如下状态:在晶体管包括第一栅电极和第二栅电极的情况下,即使不对具有控制流过半导体层的沟道形成区域的电流的大小的功能的第一栅电极供应电位也电流流过晶体管的源极-漏极之间。此外,晶体管具有常关闭特性是指如下状态:在不对第一栅电极供应电位的状态下,电流不流过晶体管的源极-漏极之间。

[0115] 在本发明的一个方式的半导体装置中,第二栅电极设置在第一层间绝缘层与第二层间绝缘层之间。第二栅电极包括与设置在第一和第二层间绝缘层中的开口部重叠的开口部,该开口部中的侧面和其附近的区域为氧化物区域。氧化物区域是其电阻率高于第二栅电极的氧化物区域以外的区域的区域,并具有绝缘性。另外,氧化物区域覆盖半导体层的位于第二栅电极的开口部的内部的区域。如上所述,第二栅电极的氧化物区域被用作第二栅极绝缘层。

[0116] 在制造本发明的一个方式的半导体装置所包括的晶体管时,首先依次形成衬底上的第一导电层、第一导电层上的第一层间绝缘层、第一层间绝缘层上的第二栅电极、第二栅电极上的第二层间绝缘层、第二层间绝缘层上的第二导电层。接着,在第一层间绝缘层、第

二栅电极、第二层绝缘层以及第二导电层中形成到达第一导电层的开口部。然后,对第二栅电极的开口部中的侧面进行氧化处理。作为氧化处理,例如可以举出含氧的气氛下的微波处理。通过氧化处理,在第二栅电极中形成氧化物区域,而且该氧化物区域被用作第二栅极绝缘层。

[0117] 在本说明书等中,微波处理是指使用包括用微波产生高密度等离子体的电源的装置的处理。另外,在本说明书等中,微波是指具有300MHz以上且300GHz以下的频率的电磁波。微波处理也可以被称为微波激发高密度等离子体处理。

[0118] 接着,以具有位于上述开口部的内部的方式,依次形成半导体层、第一栅极绝缘层以及第一栅电极。如上所述,可以制造本发明的一个方式的半导体装置所包括的晶体管。

[0119] <半导体装置的结构例子1>

[0120] 图1是示出本发明的一个方式的半导体装置的结构例子的立体图,并且示出半导体装置所包括的晶体管100的结构例子。图2A1是示出从Z方向、具体地说从Z方向的顶面看图1时的结构例子的平面图。在图2A1中,为了明确起见,省略绝缘层等的部分构成要素。在下面所示的平面图中也省略部分构成要素。图2B是图2A1所示的点划线A1-A2的截面图,图2C是图2A1所示的点划线A3-A4的截面图。

[0121] 在图1、图2A1、图2B以及图2C中,示出X方向、Y方向以及Z方向作为坐标轴。在图2A1、图2B以及图2C中,点划线A1-A2的方向为X方向,点划线A3-A4的方向为Y方向,并且垂直于XY面的方向为Z方向。X方向、Y方向以及Z方向可以为彼此交叉的方向,具体地可以为彼此正交的方向。注意,在下面的附图中也以坐标轴来示出X方向、Y方向以及Z方向的定义,但是有时该定义与图1、图2A1、图2B以及图2C中的定义相同或不同。另外,在图1、图2A1、图2B以及图2C中,以箭头示出X方向、Y方向以及Z方向,但是除非特别叙述不区别正向和反向。在下面的附图中也是同样的。

[0122] 在本说明书等中,有时将X方向、Y方向和Z方向中的一个成为“第一方向”。此外,有时将其中的其他一个称为“第二方向”。并且,有时将剩下一个称为“第三方向”。

[0123] 本发明的一个方式的半导体装置包括衬底(未图示)上的绝缘层101以及绝缘层101上的晶体管100。此外,本发明的一个方式的半导体装置包括绝缘层101上的绝缘层103、绝缘层103上的绝缘层104以及绝缘层104和晶体管100上的绝缘层107。在此,绝缘层101、绝缘层103以及绝缘层104被用作层间绝缘层。包括这些绝缘层的用作层间绝缘层的层优选被平坦化。注意,用作层间绝缘层的层也可以不被平坦化。

[0124] 晶体管100包括导电层111、导电层112、半导体层113、绝缘层105、导电层115以及导电层117。在此,图2A2示出省略了图2A1所示的构成要素中的导电层115、半导体层113以及导电层112的平面图。在图2A1中,示出导电层115延伸在X方向上且导电层112延伸在Y方向上的例子。另外,在图2A1和图2A2中,示出导电层117延伸在Y方向上的例子。

[0125] 绝缘层101、绝缘层103、绝缘层104、绝缘层105以及绝缘层107可以使用将在后面说明的[绝缘体]中记载的绝缘体的单层或叠层。导电层111、导电层112、导电层115以及导电层117可以使用将在后面说明的[导体]中记载的导体的单层或叠层。半导体层113可以使用将在后面说明的[金属氧化物]中记载的金属氧化物的单层或叠层。此外,半导体层113可以使用将在后面说明的[其他的半导体材料]中记载的硅等的材料的单层或叠层。

[0126] 在本说明书等中,将金属氧化物用于半导体层的沟道形成区域的晶体管被称为OS晶体管。此外,将硅用于半导体层的沟道形成区域的晶体管被称为Si晶体管。在将金属氧化物用于半导体层113的情况下,晶体管100可以为OS晶体管。在将硅用于半导体层113的情况下,晶体管100可以为Si晶体管。

[0127] 导电层111被用作晶体管100的源电极和漏电极中的一个。导电层112被用作晶体管100的源电极和漏电极中的另一个。绝缘层105被用作晶体管100的栅极绝缘层。导电层115和导电层117被用作晶体管100的栅电极。

[0128] 绝缘层101上设置有导电层111,绝缘层101和导电层111上设置有绝缘层103,绝缘层103上设置有导电层117,绝缘层103和导电层117上设置有绝缘层104,绝缘层104上设置有导电层112。导电层111与导电层117可以具有隔着绝缘层103彼此重叠的区域。导电层117与导电层112可以具有隔着绝缘层104彼此重叠的区域。如上所述,导电层111与导电层112可以具有隔着绝缘层103和绝缘层104彼此重叠的区域。

[0129] 绝缘层103、导电层117、绝缘层104以及导电层112包括到达导电层111的开口部121。开口部121可以通过在形成绝缘层103、导电层117、绝缘层104以及导电层112之后对它们的一部分例如利用蚀刻法进行加工来形成。尤其是,利用干蚀刻法的加工适于微细加工,所以是优选的。

[0130] 在图2A1和图2A2中,示出从平面看时的开口部121的形状为圆形的例子。通过使开口部121的平面形状为圆形,可以提高形成开口部121时的加工精度,因此可以形成微细尺寸的开口部121。注意,在本说明书等中,圆形不局限于正圆。此外,开口部121的平面形状例如可以为椭圆形。

[0131] 在图1、图2A1以及图2B中,示出在X方向上导电层111的侧端部位于导电层117的不面对开口部121的侧端部的外侧,并且导电层117的不面对开口部121的侧端部位于导电层112的不面对开口部121的侧端部的外侧的例子。也就是说,在图1、图2A1以及图2B中示出如下例子:在X方向上导电层112的不面对开口部121的侧端部与导电层117和导电层111重叠且导电层117的不面对开口部121的侧端部与导电层111重叠,但是导电层111的侧端部不与导电层112和导电层117重叠且导电层117的不面对开口部121的侧端部不与导电层112重叠。在此,本发明的一个方式不局限于此,例如导电层111的侧端部既可以位于导电层117的不面对开口部121的侧端部的内侧,也可以位于导电层112的不面对开口部121的侧端部的内侧。此外,导电层117的侧端部也可以位于导电层112的不面对开口部121的侧端部的内侧。

[0132] 半导体层113覆盖开口部121,并以具有位于开口部121的内部的方式设置。半导体层113可以具有沿着导电层111的顶面、绝缘层103的侧面、绝缘层104的侧面以及导电层112的侧面和顶面的形状的形状。由此,半导体层113在与开口部121重叠的位置上具有凹部。半导体层113可以具有与导电层111的顶面接触的区域、与绝缘层103的侧面接触的区域、与绝缘层104的侧面接触的区域、与导电层112的侧面接触的区域以及与导电层112的顶面接触的区域。

[0133] 半导体层113优选覆盖导电层112的开口部121一侧的侧端部。例如,在图1、图2A1、图2B以及图2C中示出半导体层113的侧端部位于导电层112上的结构。在采用该结构时,可以说半导体层113的下端部接触于导电层112的顶面。另外,在X方向上半导体层113的侧端

部也可以位于导电层112的侧端部的外侧。在此情况下,半导体层113可以覆盖导电层112的不面对开口部121的侧面。

[0134] 在本说明书中,上端部是指侧端部的最上部,下端部是指侧端部的最下部。换言之,上端部和下端部都是侧端部的一部分。

[0135] 注意,在图1、图2A1、图2B以及图2C中示出半导体层113在X方向和Y方向的双方中被分断而成为岛状的例子。在此,岛状是指使用相同的工序和材料形成的两个以上的层物理分离的状态。

[0136] 绝缘层105覆盖开口部121,并以具有位于开口部121的内部的方式设置。绝缘层105设置在半导体层113、导电层112以及绝缘层104上。绝缘层105可以具有沿着半导体层113的顶面和侧面、导电层112的顶面和侧面以及绝缘层104的顶面的形状的形状。通过绝缘层105具有沿着半导体层113的顶面和侧面的形状,绝缘层105在与开口部121重叠的位置上具有凹部。绝缘层105可以具有与半导体层113的顶面接触的区域、与半导体层113的侧面接触的区域、与导电层112的顶面接触的区域、与导电层112的侧面接触的区域以及与绝缘层104的顶面接触的区域。

[0137] 导电层115设置在绝缘层105上,并可以具有与绝缘层105的顶面和凹部侧面接触的区域。导电层115具有位于开口部121的内部区域。导电层115及半导体层113在沿着开口部121的侧壁和底部的位置上具有夹持绝缘层105对置的区域。在此,半导体层113可以在开口部121的内部隔着绝缘层105覆盖导电层115的侧面和底面。例如,在开口部121的内部绝缘层105可以具有与半导体层113的侧面接触的区域、与半导体层113的凹部顶面接触的区域、与导电层115的侧面接触的区域以及与导电层115的底面接触的区域。

[0138] 如上所述,图1、图2B以及图2C所示的晶体管100是形成在层间绝缘层的开口部的内部设置有半导体层、栅极绝缘层以及栅电极的晶体管。由此,晶体管100的沟道长度方向可以为沿着开口部121中的绝缘层103和绝缘层104的侧面的方向。因此,由于沟道长度不受到用来制造晶体管100的曝光装置的性能的影响,所示可以使沟道长度比曝光装置的极限分辨率小。由此,可以使晶体管100的通态电流大。因此,可以提供一种以高速驱动的半导体装置。注意,例如在图2A1中示出具有开口部121的整体与导电层111、半导体层113以及导电层115重叠的区域的例子,但是也可以开口部121的一部分不与导电层111、半导体层113和导电层115中的至少一个重叠。

[0139] 如图1、图2B以及图2C所示,导电层115的一部分位于开口部121的外部,即导电层112和绝缘层104上。此时,如图2C所示,导电层115的侧端部优选位于半导体层113的侧端部的内侧。由此,例如,可以减小由导电层112、绝缘层105以及导电层115形成的寄生电容。注意,导电层115的侧端部也可以位于半导体层113的侧端部的外侧。在此情况下,导电层115可以覆盖半导体层113整体。

[0140] 在晶体管100中,包括开口部121的导电层117设置在绝缘层103与绝缘层104之间。绝缘层104可以覆盖导电层117的顶面和侧面。在此,如图1、图2A2、图2B以及图2C所示,导电层117的开口部121中的侧面和其附近的区域为氧化物区域117ox。氧化物区域117ox是与导电层117相比电阻率高的区域,并具有绝缘性。在此,氧化物区域117ox具有绝缘性,因此氧化物区域117ox可以是与半导体层113相比电阻率高的区域。另外,氧化物区域117ox覆盖半导体层113的位于开口部121的内部区域。具体而言,氧化物区域117ox覆盖半导体层113

的位于设置在导电层117中的开口部121的内部区域。例如,在开口部121中,氧化物区域117_{ox}与半导体层113接触。并且,导电层117不被氧化的区域覆盖氧化物区域117_{ox}。例如,导电层117的不被氧化的区域不与半导体层113接触。如上所述,导电层117被用作栅电极,氧化物区域117_{ox}被用作栅极绝缘层。另外,氧化物区域117_{ox}只要具有绝缘性,就也可以不被氧化。氧化物区域117_{ox}可以换称为高电阻区域。

[0141] 在本说明书等中,氧化物区域117_{ox}包括在导电层117中,即氧化物区域117_{ox}可以为导电层117的一部分。注意,氧化物区域117_{ox}也可以不包括在导电层117中。

[0142] 如上所述,晶体管100是包括两个栅电极的双栅极结构的晶体管,用作第一栅电极的导电层115和用作第二栅电极的导电层117以在开口部121的内部具有夹持半导体层113的沟道形成区域的区域的方式设置。在此,例如,根据导电层115的电位可以控制流过半导体层113的沟道形成区域的电流的大小,并且根据导电层117的电位可以控制晶体管100的阈值电压。

[0143] 如上所述,晶体管100的沟道长度小,例如比曝光装置的极限分辨率小。在此情况下,在晶体管100为n沟道型晶体管时晶体管100的阈值电压变小,例如有时晶体管100成为常开启特性。由此,通过控制导电层117的电位来控制晶体管100阈值电压,具体而言,例如通过与晶体管100中不设置有导电层117的情况相比增高晶体管100的阈值电压,可以控制晶体管100成为常开启特性。换言之,可以使晶体管100成为常关闭特性。此外,通过控制晶体管100的阈值电压,可以减小晶体管100的阈值电压且增大晶体管100的通态电流。另外,通过根据导电层117的电位控制晶体管100的阈值电压,可以降低各晶体管100的电特性的不均匀,具体地说可以降低各晶体管100的阈值电压的不均匀。如上所述,可以提供一种电特性良好的半导体装置。

[0144] 注意,在晶体管100为沟道型晶体管的情况下,例如通过适当地使本说明书所示的各种电位和阈值电压等的大小关系与晶体管100为n沟道型晶体管的情况相反,可以应用本发明的一个方式。

[0145] 在本说明书等中,可以将第一栅电极称为前栅电极且将第二栅电极称为背栅电极。另外,在将导电层115称为第一栅电极且将导电层117称为第二栅电极的情况下,可以将绝缘层105称为第一栅极绝缘层且将氧化物区域117_{ox}称为第二栅极绝缘层。注意,也可以调换第一栅电极和第二栅电极。例如,可以将导电层115用作第二栅电极且将导电层117用作第一栅电极。在此情况下,可以将绝缘层105称为第二栅极绝缘层且将绝缘层106称为第一栅极绝缘层。

[0146] 例如,可以对导电层117供应恒电位。例如,通过对导电层117供应接地电位或负电位,可以抑制晶体管100成为常开启特性。此外,也可以对导电层117供应与导电层115的电位相同的电位。由此,例如可以增大晶体管100的通态电流。另外,在晶体管100为n沟道型晶体管的情况下,例如在使晶体管100成为开启状态时对导电层117供应的电位可以高于在使晶体管100成为关闭状态时对导电层117供应的电位。例如,也可以在使晶体管100成为开启状态时对导电层117供应正电位,且在使晶体管100成为关闭状态时对导电层117供应接地电位或负电位。

[0147] 导电层117使用通过氧化等的化学反应增加电阻率而例如具有绝缘性的材料。作为导电层117,例如可以使用金属或金属的氮化物。作为可用于导电层117的材料,例如可以

举出氮化铌、氮化钛,包含钛和铝的氮化物、包含铌和铝的氮化物以及钨。

[0148] 氧化物区域117ox包含导电层117所包含的材料的氧化物。例如,作为导电层117使用氮化铌的情况下,氧化物区域117ox包含氧化铌,作为导电层117使用氮化钛的情况下,氧化物区域117ox包含氧化钛。注意,氧化物区域117ox例如也可以包含氮。

[0149] 在此,有时来自导电层117的电场不到达半导体层113的不被导电层117覆盖的区域中。在半导体层113的来自导电层117的电场不到达的区域的电阻率低于来自导电层117的电场能够到的区域的电阻率时,例如可以增大晶体管100的通态电流,所以是优选的。例如,接触于绝缘层103的区域和接触于绝缘层104的区域的电阻率优选低于接触于氧化物区域117ox的区域的电阻率。

[0150] 例如,在作为绝缘层103和绝缘层104使用包含氮的绝缘体时,可以对半导体层113供应氮。由此,在半导体层113使用金属氧化物的情况下,有时在半导体层113中产生作为载流子的电子而增加载流子浓度。因此,例如,接触于绝缘层103的区域和接触于绝缘层104的区域的电阻率可以低于接触于氧化物区域117ox的区域的电阻率。作为包含氮的绝缘体,例如可以举出氮化硅。另外,作为绝缘层103和绝缘层104,例如也可以使用氮氧化硅或氮化铝。

[0151] 此外,作为绝缘层103和绝缘层104,也可以使用包含氧的绝缘体。在此情况下,配置在半导体层113的沟道形成区域附近的绝缘层103和绝缘层104优选包含通过加热脱离的氧(以下,有时被称为过剩氧)。通过对包含过剩氧的绝缘层103和绝缘层104进行热处理,可以将氧从绝缘层103和绝缘层104供应到半导体层113的沟道形成区域中,而减少氧空位或者氢进入氧空位缺陷(以下,被称为VoH)。因此可以使晶体管100的电特性稳定,从而可以提高可靠性。作为包含氧的绝缘体,例如可以举出氧化硅以及氧氮化硅。

[0152] 再者,作为配置在半导体层113的沟道形成区域附近的绝缘层103和绝缘层104,也可以使用具有俘获或固定氢的功能的绝缘体。通过采用这种结构,可以俘获或固定(也被称为吸杂)半导体层113的沟道形成区域中的氢,而减低半导体层113的氢浓度。作为上述那样的绝缘层103和绝缘层104,例如可以举出氧化镁以及氧化铝。

[0153] 通过在导电层112、绝缘层104、导电层117以及绝缘层103中形成开口部121之后进行氧化处理,可以形成导电层117的氧化物区域117ox。作为氧化处理,例如可以举出含氧气氛下的微波处理。

[0154] 在此,当在形成导电层111和导电层112之后进行上述氧化处理时,不仅对导电层117而且对导电层111和导电层112进行氧化处理。由此,导电层111和导电层112使用与导电层117相比不容易氧化的材料或者被氧化也具有导电性的材料。导电层111和导电层112例如可以使用包含氧的导电材料。作为导电层111和导电层112,例如可以使用铟锡氧化物(也被称为ITO)、添加有硅的铟锡氧化物(也被称为ITSO)或者铟锌氧化物(也被称为IZO(注册商标))等的单层或叠层。

[0155] 在导电层115及绝缘层105上设置绝缘层107。绝缘层107可以以覆盖导电层115的顶面及侧面的方式设置。绝缘层107具有抑制杂质进入晶体管100的功能,例如具有抑制杂质进入半导体层113的功能。

[0156] 在图1、图2B以及图2C中示出绝缘层105以面状设置的例子,但本发明的一个方式不局限于此。在图2D中示出图2C所示的绝缘层105的侧端部与导电层115的侧端部一致或大

致一致的例子。例如,通过使用与导电层115相同的图案加工绝缘层105,可以使绝缘层105的侧端部与导电层115的侧端部一致或大致一致。

[0157] 图3A是图2C所示的晶体管100和其附近的放大图。此外,图3B示出图3A所示的晶体管100的XY面的平面图。注意,在图3B中没有示出导电层111和导电层117。

[0158] 如图3A所示,半导体层113包括区域113i以及以夹着区域113i的方式设置的区域113na及区域113nb。

[0159] 区域113na是半导体层113的与导电层111接触的区域。区域113na的至少一部分被用作晶体管100的源区域和漏区域中的一个。区域113nb是半导体层113的与导电层112接触的区域。区域113nb的至少一部分被用作晶体管100的源区域和漏区域中的另一个。如图3B所示,导电层112与半导体层113的外周整体接触。因此,晶体管100的源区域和漏区域中的另一个有可能形成在半导体层113的形成在与导电层112相同的层中的部分的外周整体。

[0160] 区域113i是半导体层113的区域113na与区域113nb之间的区域。区域113i的至少一部分被用作晶体管100的沟道形成区域。也就是说,晶体管100的沟道形成区域位于半导体层113中的导电层111与导电层112之间的区域。此外,晶体管100的沟道形成区域也可以说是位于半导体层113的与绝缘层103接触的区域或其附近的区域、与氧化物区域117ox接触的区域或其附近的区域以及与绝缘层104接触的区域或其附近的区域。

[0161] 晶体管的沟道长度为源区域与漏区域之间的距离。换言之,可以说晶体管100的沟道长度根据导电层111上的绝缘层103、氧化物区域117ox以及绝缘层104的厚度决定。在图3A中以虚线的双箭头示出晶体管100的沟道长度L。沟道长度L在从截面看时成为半导体层113接触于导电层111的区域的端部与半导体层113接触于导电层112的区域的端部之间的距离。也就是说,沟道长度L相当于从截面看时的绝缘层103、氧化物区域117ox以及绝缘层104的开口部121一侧的侧面的长度。

[0162] 在现有的晶体管中,具体地说在平面晶体管中,例如根据光刻法的曝光极限设定沟道长度,但在本发明中,可以根据绝缘层103、氧化物区域117ox以及绝缘层104的接触于导电层111的区域的厚度设定沟道长度。因此,可以将晶体管100的沟道长度设定为非常微细,即光刻的曝光极限以下(例如,60nm以下、50nm以下、40nm以下、30nm以下20nm以下或者10nm以下,且为1nm以上或者5nm以上)。由此,晶体管100的通态电流增大。因此,可以提供一种以高速驱动的半导体装置。

[0163] 在此,0S晶体管的对短沟道效应的耐性比Si晶体管高,将后面详细说明其内容。此外,如上所述,例如可以使图3A及图3B等所示的结构晶体管100的沟道长度比平面晶体管短。由此,在晶体管100例如具有图3A及图3B所示的结构时,半导体层113优选使用金属氧化物。此外,作为半导体层113也可以使用硅等金属氧化物以外的材料。

[0164] 再者,如上所述,可以在开口部121中形成沟道形成区域、源区域及漏区域。因此,与在XY平面上分别设置沟道形成区域、源区域及漏区域的平面晶体管等相比,可以减小晶体管的占有面积。由此,可以使半导体装置小型化。

[0165] 如图3B所示,在包括半导体层113的沟道形成区域的XY平面上半导体层113、绝缘层105及导电层115设置为同心圆状。因此,设置在中心的导电层115的侧面隔着绝缘层105与半导体层113的侧面对置。也就是说,在从平面看时半导体层113的外周整体为沟道形成区域。此时,例如,根据半导体层113的外周长度决定晶体管100的沟道宽度。也就是说,可以

说晶体管100的沟道宽度根据开口部121的最大宽度(在从平面看时的开口部121为圆形的情况下,最大径)的大小决定。图3A及图3B以双点划线的双箭头示出开口部121的最大宽度D。图3B以点划线的双箭头示出晶体管100的沟道宽度W。

[0166] 开口部121的最大宽度D例如优选为5nm以上、10nm以上或20nm以上且100nm以下、60nm以下、50nm以下、40nm以下或30nm以下。此外,当从平面看时的开口部121为圆形时,开口部121的最大宽度D相当于开口部121的直径,沟道宽度W可以以“ $D \times \pi$ ”算出。通过应用上述本发明的一个方式的开口部的形成方法,可以容易使开口部121的最大宽度D小。由此,可以使晶体管100微型化。另一方面,通过增大开口部121的最大宽度D的大小,可以增大晶体管100的单位面积的沟道宽度,由此可以增大通态电流。

[0167] 在本发明的一个方式的半导体装置中,晶体管100的沟道长度L优选至少比晶体管100的沟道宽度W小。晶体管100的沟道长度L为晶体管100的沟道宽度W的0.1倍以上且0.99倍以下,优选为0.5倍以上且0.8倍以下。通过采用这种结构,可以实现具有良好的电特性及高可靠性的晶体管。

[0168] 通过半导体层113、绝缘层105及导电层115设置为同心圆状,导电层115与半导体层113之间的距离大致均匀。因此,可以对半导体层113大致均匀地施加栅极电场。

[0169] 开口部121的侧壁例如优选与导电层111的顶面垂直。通过采用这种结构,可以使晶体管100微型化。此外,开口部121的侧壁也可以为锥形形状。

[0170] 以下,说明本发明的一个方式的半导体装置的构成要素。

[0171] 如上所述,作为半导体层113,可以使用后述的[金属氧化物]所记载的金属氧化物的单层或叠层。此外,作为半导体层113,可以使用后述的[其他半导体材料]所记载的硅等的材料的单层或叠层。

[0172] 在半导体层113使用金属氧化物时,具体而言,作为半导体层113可以使用具有In:M:Zn=1:3:2[原子个数比]或其附近的组成、In:M:Zn=1:3:4[原子个数比]或其附近的组成、In:M:Zn=1:1:0.5[原子个数比]或其附近的组成、In:M:Zn=1:1:1[原子个数比]或其附近的组成、In:M:Zn=1:1:1.2[原子个数比]或其附近的组成、In:M:Zn=1:1:2[原子个数比]或其附近的组成或In:M:Zn=4:2:3[原子个数比]或其附近的组成的金属氧化物。此外,附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。此外,作为元素M优选使用镓。

[0173] 另外,在通过溅射法沉积金属氧化物时,上述原子个数比不局限于所沉积的金属氧化物的原子个数比,而也可以是用于金属氧化物的沉积的溅射靶材的原子个数比。

[0174] 用于半导体层113的金属氧化物的组成的分析例如可以使用能量色散X射线分析法(EDX:Energy Dispersive X-ray Spectrometry)、XPS、电感耦合等离子体质谱分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)或电感耦合等离子体原子发射光谱法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)。或者,也可以组合多个上述方法而分析。注意,含有率低的元素有时受分析精度的影响实际上的含有率与分析所得的含有率不同。例如,当元素M的含有率低时,有时分析所得的元素M的含有率低于实际上的含有率。

[0175] 金属氧化物可以适当地利用原子层沉积(ALD:Atomic Layer Deposition)法形成。

[0176] 或者,金属氧化物也可以利用溅射法或化学气相沉积(CVD:Chemical Vapor

Deposition)法形成。

[0177] 注意,在利用溅射法形成金属氧化物的情况下,形成后的金属氧化物的组成与溅射靶材的组成有时不同。尤其是,形成后的金属氧化物中的锌含有率有时减少到溅射靶材的50%左右。

[0178] 用于半导体层113的金属氧化物优选具有结晶性。作为具有结晶性的氧化物半导体,可以举出CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向晶体氧化物半导体)、nc-OS(nanocrystalline oxide semiconductor:纳米晶氧化物半导体)、多晶氧化物半导体及单晶氧化物半导体等。作为半导体层113优选使用CAAC-OS或nc-OS,特别优选使用CAAC-OS。

[0179] CAAC-OS优选具有多个层状晶体区域且其c轴在被形成面的法线方向上取向。例如,半导体层113优选具有大致平行于开口部121的侧壁的层状晶体,尤其是大致平行于绝缘层103、氧化物区域117_{ox}以及绝缘层104的侧面的层状晶体。通过采用这种结构,半导体层113的层状晶体大致平行于晶体管100的沟道长度方向,所以可以增大晶体管100的通态电流。

[0180] CAAC-OS具有结晶性高的致密结构且是杂质及缺陷(例如,氧空位等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行加热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0181] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性及高可靠性。

[0182] 此外,当作为半导体层113使用CAAC-OS等具有结晶性的金属氧化物时,可以抑制源电极或漏电极从半导体层113抽出氧。因此,即使进行热处理也可以抑制氧从半导体层113被抽出,所以晶体管100对制造工序中的高温(所谓热积存:thermal budget)也很稳定。

[0183] 半导体层113的结晶性例如可以通过X射线衍射(XRD:XRay Diffraction)、透射电子显微镜(TEM:Transmission Electron Microscope)或电子衍射(ED:Electron Diffraction)分析。或者,也可以组合多个上述方法而分析。

[0184] 半导体层113的厚度优选为1nm以上、3nm以上或5nm以上且为20nm以下、15nm以下、12nm以下或10nm以下。

[0185] 注意,在图1、图2B及图2C等中以单层示出半导体层113,但本发明的一个方式不局限于此。半导体层113也可以具有化学组成互不相同的多个氧化物层的叠层结构。例如,也可以采用适当地层叠选自上述金属氧化物中的多种的结构。

[0186] 如上所述,半导体层113可以具有与导电层111接触的区域以及与导电层112接触的区域。通过半导体层113与导电层111接触,有时形成金属化合物或氧空位,由此半导体层113的区域113_{na}低电阻化。通过与导电层111接触的半导体层113低电阻化,可以降低半导体层113与导电层111的接触电阻。同样地,通过半导体层113与导电层112接触,有时半导体层113的区域113_{nb}低电阻化。因此,可以降低半导体层113与导电层112的接触电阻。

[0187] 作为用作栅极绝缘层的绝缘层105,例如可以使用氧化硅或氧氮化硅。氧化硅及氧

氮化硅具有热稳定性,所以是优选的。

[0188] 此外,作为绝缘层105也可以使用后述的[绝缘体]所记载的相对介电常数高的材料,所谓high-k材料。例如,也可以使用氧化铪或氧化铝等。

[0189] 绝缘层105的厚度优选为0.5nm以上且15nm以下,更优选为0.5nm以上且12nm以下,进一步优选为0.5nm以上且10nm以下。绝缘层105的至少一部分优选包括具有上述那样的厚度的区域。

[0190] 绝缘层105中的水及氢等的杂质浓度优选得到降低。由此,可以抑制水及氢等杂质混入半导体层113的沟道形成区域。

[0191] 注意,图1、图2B以及图2C等示出单层的绝缘层105,但是本发明不局限于此。绝缘层105也可以具有叠层结构。

[0192] 作为用作栅电极的导电层115,例如可以使用钨、铝或铜等导电性高的导电材料。另外,作为导电层115可以使用合金,例如可以使用铝和钛的合金(Al-Ti)。

[0193] 作为导电层115,优选使用不容易氧化的导电材料或具有抑制氧的扩散的功能的导电材料等。作为该导电材料,可以举出包含氮的导电材料(例如,氮化钛或氮化钽等)及包含氧的导电材料(例如,氧化钨等)等。由此,可以抑制导电层115的导电率降低。此外,作为导电层115也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体或镍硅化物等硅化物。

[0194] 注意,在图1、图2B及图2C等中,以单层示出导电层115,但本发明的一个方式不局限于此。导电层115也可以具有叠层结构。

[0195] 绝缘层101的相对介电常数优选低。由此,可以降低布线间产生的寄生电容。作为绝缘层101,可以使用后述的[绝缘体]所记载的包含相对介电常数低的材料的绝缘体的单层或叠层。尤其是,氧化硅及氮氧化硅具有热稳定性,所以是优选的。

[0196] 另外,绝缘层101中的水及氢等的杂质浓度优选得到降低。由此,可以抑制水及氢等杂质混入半导体层113的沟道形成区域。

[0197] 作为绝缘层107,优选使用后述的[绝缘体]所记载的对氢具有阻挡性的绝缘体。由此,可以抑制氢从晶体管100的外部经过绝缘层105扩散到半导体层113。氮化硅及氮氧化硅具有很少释放水及氢等杂质且氧及氢不容易透过的特征,所以可以适当地用于绝缘层107。

[0198] 作为绝缘层107,优选使用后述的[绝缘体]所记载的具有俘获氢的功能或固定氢的功能的绝缘体。通过采用这种结构,抑制氢从绝缘层107的上方扩散到半导体层113,且俘获或固定半导体层113的氢,由此可以降低半导体层113的氢浓度。作为绝缘层107,可以使用氧化镁、氧化铝或氧化铪等。此外,例如,作为绝缘层107也可以使用氧化铝及该氧化铝上的氮化硅的叠层膜。

[0199] 在图2B及图2C等中示出在晶体管100的顶面形成绝缘层107的结构,但不局限于此。例如,也可以在晶体管100的侧面及底面形成绝缘层107或者具有与绝缘层107同样的功能及材料的绝缘层,由绝缘层107围绕晶体管100。通过采用该结构,可以抑制水及氢等杂质进入晶体管100的内部。

[0200] <半导体装置的结构例子2>

[0201] 图4A及图4B分别是图2B及图2C所示的导电层111具有导电层111a和导电层111a上的导电层111b的两层叠层结构的情况的图。图4C是图4B所示的导电层111和其附近的区域

的放大图。图4C示出至少其一部分被用作晶体管100的源极区域和漏极区域中的一个的区域113na以及至少其一部分被用作晶体管100的沟道形成区域的区域113i。

[0202] 在图4A至图4C所示的例子中,开口部121也设置在导电层111b中,并到达导电层111a。在此情况下,半导体层113可以在开口部121的内部具有与导电层111a的顶面接触的区域以及与导电层111b的侧面接触的区域。

[0203] 在制造图4A至图4C所示的结构的情况下,形成绝缘层101、导电层111a、导电层111b、绝缘层103、导电层117、绝缘层104以及导电层112,然后在导电层112、绝缘层104、导电层117、以及绝缘层103中形成到达导电层111b的开口部121。接着,对导电层117进行氧化处理,来形成氧化物区域117ox。接着,去除导电层111b的与开口部121重叠的区域,由此使开口部121到达导电层111a。然后,以具有位于开口部121的内部的方式形成半导体层113、绝缘层105以及导电层115。如上所述,可以制造图4A至图4C所示的结构。另外,有时具有与开口部121重叠的区域的凹部设置在导电层111a中。此外,有时开口部121不达到导电层111a且具有与开口部121重叠的区域的凹部设置在导电层111b中。

[0204] 在晶体管100具有图4A至图4C所示的结构的情况下,在进行上述氧化处理之后去除导电层111b的一部分。由此,即使在通过上述氧化处理导电层111b被氧化的情况下,也可以通过对导电层111进行上述氧化处理去除被氧化的区域的至少一部分。因此,可以使导电层111与半导体层113的接触界面的电阻减小。由此,例如在晶体管100为开启的情况下,可以抑制电流不流过半导体层113中的导电层111与导电层112之间以及流过的电流减小。由此,可以提供一种可靠性高的半导体装置。此外,例如导电层111可以使用耐氧化性低且导电性高的材料,所以可以扩大导电层111的材料的选择范围。另外,如图1、图2B以及图2C等所示,例如在导电层111具有单层的情况下,也可以在上述氧化处理之后去除导电层111的被氧化的区域的至少一部分。在此情况下,导电层111包括具有与开口部121重叠的区域的凹部。

[0205] 此外,在图4C所示的例子中,导电层111的顶面位于导电层115的底面的上方。由此,在沿着开口部121的侧壁的位置上,导电层111与导电层115具有夹持半导体层113及绝缘层105对置的区域。由此,可以防止在区域113i与区域113na之间形成偏置区域。此外,即使在不具有该对置的区域的情况下,也可以缩短区域113i与区域113na之间的偏置区域的长度。如上所述,可以抑制因偏置区域而晶体管100的实效沟道长度变长。因此,可以抑制晶体管100的通态电流减小。

[0206] 作为导电层111a及导电层111b,可以使用将在后面说明的[导电体]中记载的导电体。例如,作为导电层111a和导电层111b中的一方或双方,可以使用钨、铝或铜等的导电性高的导电材料。另外,作为导电层111a和导电层111b中的一方或双方,与图2B及图2C所示的导电层111同样,可以使用包含氧的导电材料。例如,可以将钨用于导电层111a和导电层111b中的一方且将添加有硅的钨锡氧化物用于导电层111a和导电层111b中的另一方。另外,导电层111也可以具有三层以上的叠层结构。

[0207] 图5A及图5B分别示出图2B及图2C所示的开口部121的侧壁具有锥形形状,即开口部121中的绝缘层103、氧化物区域117ox、绝缘层104及导电层112的侧面具有锥形形状的例子。

[0208] 通过使开口部121的侧壁具有锥形形状,半导体层113及绝缘层105等的覆盖性得到提高,可以减少空洞等的缺陷。例如,开口部121中的绝缘层103的侧面与导电层111的顶面所形成的角度 θ 优选为45度以上且小于90度,更优选为45度以上且75度以下,进一步优选为45度以上且65度以下。此外,如上所述,开口部121的侧壁可以垂直于导电层111的顶面。就是说,角度 θ 可以为90度。

[0209] 图5A及图5B所示的开口部121的形状为圆台形状。在此情况下,从平面看时的开口部121为圆形,从界面看时的开口部121为梯形。另外,圆台形状的上底面(例如,设置在导电层112中的开口部121的顶面)的面积比圆台形状的下底面(开口部121中露出的导电层111的顶面)的面积大。此时,开口部121的最大径根据圆台形状的上底面算出即可。

[0210] 在开口部121的侧壁具有锥形形状的情况下,可以根据与导电层111重叠的区域中的绝缘层103、氧化物区域117_{ox}及绝缘层104的厚度以及开口部121中的绝缘层103的侧面与导电层111的顶面所形成的角度 θ 设定沟道长度。另外,从平面看时的半导体层113的外周长度例如根据与导电层112接触的区域的位置或者导电层117的厚度的一半的位置即可。注意,根据需要,可以将开口部121的任意位置(深度)上的周长设为晶体管100的沟道宽度。例如,既可以将开口部121的最下部的周长设为沟道宽度,又可以将开口部121的最上部的周长设为沟道宽度。

[0211] 在图5A及图5B中,开口部121中的导电层112的侧面、开口部121中的绝缘层104的侧面、开口部121中的氧化物区域117_{ox}的侧面、开口部121中的绝缘层103的侧面优选对齐,但是本发明的一个方式不局限于此。例如,开口部121中的导电层112的侧面与开口部121中的绝缘层104的侧面也可以不连续。此外,开口部121中的导电层112的侧面的倾斜度、开口部121中的绝缘层104的侧面的倾斜度、开口部121中的氧化物区域117_{ox}的侧面的倾斜度、开口部121中的绝缘层103的侧面的倾斜度中的至少一个也可以与其中的其他不同。此外,例如,开口部121中的导电层112的侧面与导电层111的顶面所形成的角度优选小于角度 θ 。通过采用上述结构,对开口部121中的导电层112的侧面的半导体层113的覆盖性得到提高,由此可以减少空洞等的缺陷。

[0212] 如图5A及图5B所示,位于开口部121的内部导电层115的底部具有平坦的区域。注意,根据开口部121的最大宽度(从平面看时的开口部121为圆形的情况下,最大径)的大小、与导电层111重叠的区域中的绝缘层103、氧化物区域117_{ox}及绝缘层104的厚度(相当于开口部121的深度)、半导体层113的厚度以及绝缘层105的厚度等,有时位于开口部121的内部导电层115的底部不具有平坦的区域。图5C及图5D分别示出图5A及图5B所示的导电层115的位于开口部121的内部底部形状为针状的例子。

[0213] 在此,针状是指越靠近顶端(越靠近位于开口部121的内部导电层115的底部)越细的形状。另外,针状的顶端既可以为锐角,又可以向下凸的曲面形状。另外,针状中的其顶端具有锐角的形状也可以被称为V字形形状。

[0214] 位于开口部121的内部导电层115中的隔着绝缘层105与半导体层113对置的区域被用作栅电极。由此,嵌入在开口部121中且其底部形状为针状的导电层115也可以被称为针状栅极。此外,如图5A及图5B所示,即使在导电层115的底部为具有平坦的区域的形状时,有时也可以将其称为针状栅极。

[0215] 开口部121的侧壁也可以为反锥形形状。换言之,角度 θ 也能可以大于90度。

[0216] 在此,反锥形形状是指在平行于衬底的方向上侧部或上部比底部突出的形状。此时,开口部121的形状为圆台形状。在此情况下,从平面看时的开口部121为圆形,从截面看时的开口部121为梯形。另外,圆台形状的上底面(例如,设置在导电层112中的开口部121的顶面)的面积比圆台形状的下底面(开口部121中露出的导电层111的顶面)的面积小。通过采用这种结构,可以扩大半导体层113接触于导电层111的面积。

[0217] 在图6A及图6B中,图2B及图2C所示的绝缘层103及绝缘层104具有三层的叠层结构。在图6A及图6B所示的例子中,绝缘层103包括绝缘层103a、绝缘层103a上的绝缘层103b以及绝缘层103b上的绝缘层103c。另外,绝缘层104包括绝缘层104a、绝缘层104a上的绝缘层104b以及绝缘层104b上的绝缘层104c。

[0218] 作为绝缘层103a、绝缘层103c、绝缘层104a以及绝缘层104c,例如可以使用氮化硅、氮氧化硅或氮化铝等包含氮的绝缘体。此外,绝缘层103b及绝缘层104b可以为被平坦化的层。优选的是,绝缘层103b是与绝缘层103a相比容易被平坦化的层,绝缘层104b是与绝缘层104a相比容易被平坦化的层。作为绝缘层103b及绝缘层104b,例如可以使用氧化硅等包含氧的绝缘体。在上述结构的半导体装置中,半导体层113的接触于绝缘层103a的区域、接触于绝缘层103c的区域、接触于绝缘层104a的区域以及接触于绝缘层104c的区域的电阻率可以低于半导体层113的接触于氧化物区域117_{ox}的区域的电阻率,并可以低于半导体层113的接触于绝缘层103b的区域以及接触于绝缘层104b的区域的电阻率。

[0219] 通过使绝缘层103及绝缘层104具有图6A及图6B所示的结构,可以在绝缘层103及绝缘层104被平坦化的同时使半导体层113的接触于绝缘层103的区域以及接触于绝缘层104的区域的至少一部分的电阻率低于例如接触于氧化物区域117_{ox}的区域的电阻率。由此,可以提供一种容易制造且例如与绝缘层103及绝缘层104不包括包含氮的层的情况相比以高速驱动的半导体装置。注意,当绝缘层103b及绝缘层104b的厚度小时,可以降低半导体层113中的来自导电层117的电场不到达且例如不包含氮的区域的高度,由此可以增大晶体管100的通态电流。另一方面,在增大绝缘层103b的厚度时,可以减小由导电层111、绝缘层103以及导电层117形成的寄生电容。另外,在增大绝缘层104b的厚度时,可以减小由导电层117、绝缘层104以及导电层112形成的寄生电容。

[0220] 在图6C及图6D中,示出图6A及图6B所示的绝缘层103b及绝缘层104b不与半导体层113接触的例子。在图6C及图6D所示的例子中,绝缘层103a的顶面可以与绝缘层103b的顶面一致或大致一致。此外,绝缘层104a的顶面可以与绝缘层104b的顶面一致或大致一致。绝缘层103a的顶面除了接触于绝缘层103b的区域以外还可以具有接触于绝缘层103c的区域。此外,绝缘层104a的顶面除了接触于绝缘层104b的区域以外还可以具有接触于绝缘层104c的区域。

[0221] 在图6C及图6D所示的例子中,与图6A及图6B所示的例子相比,例如可以缩小晶体管100的沟道长度,由此可以增大晶体管100的通态电流。另一方面,在图6A及图6B所示的例子中,与图6C及图6D所示的例子相比,可以减小由导电层111、绝缘层103及导电层117形成的寄生电容以及由导电层117、绝缘层104及导电层112形成的寄生电容。另外,在图6A及图6B所示的例子中,通过使绝缘层103b及绝缘层104b包含过剩氧,可以减少半导体层113的沟道形成区域中的V_{oH}。因此,可以使晶体管100的电特性稳定,来提高可靠性。

[0222] 在图6A至图6D所示的例子中,绝缘层103c可以具有与导电层117的底面接触的区域。

域,绝缘层104a可以具有与导电层117的顶面和侧面接触的区域。此时,在绝缘层103c及绝缘层104a为不包含氧的绝缘层的情况下,例如即使在绝缘层103b及绝缘层104b包含氧的情况下,也可以抑制导电层117的离半导体层113远的区域被氧化。因此,可以抑制导电层117的布线电阻增大。此外,在绝缘层104c为不包含氧的绝缘层的情况下,例如即使在绝缘层104b包含氧的情况下,也可以抑制导电层112被氧化。另外,也可以采用如下结构:不设置绝缘层104c,并且绝缘层104具有绝缘层104a和绝缘层104b的两层结构。通过减少绝缘层104的层的个数,可以使半导体装置的制造工序简化。

[0223] 图2A1、图2A2、图2B及图2C示出导电层117的形状为延伸在Y方向上的带状的例子,但是本发明的一个方式不局限于此。在图7A1、图7A2、图7B及图7C中,图2A1、图2A2、图2B及图2C所示的导电层117的形状为面状。另外,导电层117也可以为延伸在X方向上的带状。

[0224] 在图8A及图8B中,图2B及图2C所示的半导体层113、绝缘层105及导电层115具有叠层结构。图8C是图8B所示的晶体管100的放大图。

[0225] 在图8A至图8C所示的例子中,半导体层113具有半导体层113a和半导体层113a上的半导体层113b的两层结构。此外,在图8A至图8C所示的例子中,绝缘层105具有绝缘层105a、绝缘层105a上的绝缘层105b和绝缘层105b上的绝缘层105c的三层结构。并且,在图8A至图8C所示的例子中,导电层115具有导电层115a和导电层115a上的导电层115b的两层结构。

[0226] 用于半导体层113a的材料的导电率优选与用于半导体层113b的材料的导电率不同。

[0227] 例如,半导体层113a可以使用与半导体层113b相比导电率高的材料。通过将导电率高的材料用于接触于导电层111及导电层112的半导体层113a,可以降低半导体层113与导电层111的接触电阻及半导体层113与导电层112的接触电阻。由此,可以实现通态电流大的晶体管100。

[0228] 在此,在将导电率高的材料用于设置在导电层115一侧的半导体层113b的情况下,例如晶体管100的阈值电压降低,有时晶体管100成为常开启特性。由此,半导体层113b优选使用与半导体层113a相比导电率低的材料。因此,在晶体管100为n沟道型晶体管的情况下可以增大阈值电压,可以抑制晶体管100成为常开启特性。换言之,可以使晶体管100成为常关闭特性。

[0229] 如上所述,通过使半导体层113具有叠层结构且将与半导体层113b相比导电率高的材料用于半导体层113a,可以实现具有常关闭特性且通态电流大的晶体管100。由此,可以提供一种功耗低且以高速驱动的半导体装置。

[0230] 另外,半导体层113a的载流子浓度优选比半导体层113b的载流子浓度高。通过提高半导体层113a的载流子浓度而导电率得到提高,可以降低半导体层113与导电层111的接触电阻及半导体层113与导电层112的接触电阻。由此,可以实现通态电流大的晶体管100。此外,通过降低半导体层113b的载流子浓度而导电率变低,可以使晶体管100成为常关闭特性。

[0231] 在此,示出半导体层113a使用与半导体层113b相比导电率高的材料的例子,但是本发明的一个方式不局限于此。半导体层113a也可以使用与半导体层113b相比导电率低的材料。在此情况下,半导体层113a的载流子浓度可以低于半导体层113b的载流子浓度。

[0232] 用于半导体层113a的第一金属氧化物的带隙优选与用于半导体层113b的第二金属氧化物的带隙不同。例如,第一金属氧化物的带隙与第二金属氧化物的带隙之差异优选为0.1eV以上,更优选为0.2eV以上,进一步优选为0.3eV以上。

[0233] 用于半导体层113a的第一金属氧化物的带隙可以小于用于半导体层113b的第二金属氧化物的带隙。由此,可以降低半导体层113与导电层111的接触电阻及半导体层113与导电层112的接触电阻,可以实现通态电流大的晶体管100。此外,可以增大晶体管100的阈值电压而将晶体管100成为常关闭特性。

[0234] 在此,示出第一金属氧化物的带隙小于第二金属氧化物的带隙的例子,但是本发明的一个方式不局限于此。第一金属氧化物的带隙可以为第二金属氧化物的带隙以上。

[0235] 如上所述,用于半导体层113a的第一金属氧化物的带隙可以小于用于半导体层113b的第二金属氧化物的带隙。第一金属氧化物的组成优选与第二金属氧化物的组成不同。通过使第一金属氧化物与第二金属氧化物的组成不同,可以控制带隙。例如,第一金属氧化物的元素M的含有率优选低于第二金属氧化物的元素M的含有率。具体而言,第一金属氧化物及第二金属氧化物为In-M-Zn氧化物的情况下,第一金属氧化物为In:M:Zn=1:1:1[原子个数比]或其附近的组成,第二金属氧化物为In:M:Zn=1:3:2[原子个数比]或其附近的组成或者In:M:Zn=1:3:4[原子个数比]或其附近的组成。作为元素M,尤其优选使用镓、铝和锡中的一个或多个。

[0236] 第一金属氧化物也可以不包含元素M。例如,用于半导体层113a的第一金属氧化物可以为In-Zn氧化物,用于半导体层113b的第二金属氧化物可以为In-M-Zn氧化物。具体而言,第一金属氧化物可以为In-Zn氧化物,第二金属氧化物可以为In-Ga-Zn氧化物。更具体而言,第一金属氧化物可以为In:Zn=1:1[原子个数比]或其附近的组成或者In:Zn=4:1[原子个数比]或其附近的组成,第二金属氧化物可以为In:Ga:Zn=1:1:1[原子个数比]或其附近的组成。

[0237] 在此,示出第一金属氧化物的元素M的含有率低于第二金属氧化物的元素M的含有率的例子,但是本发明的一个方式不局限于此。第一金属氧化物的元素M的含有率也可以高于第二金属氧化物的元素M的含有率。注意,只要第一金属氧化物与第二金属氧化物的组成不同,第一金属氧化物与第二金属氧化物的元素M以外的元素的含有率也可以不同。例如,也可以将第二金属氧化物用于半导体层113a且将第一金属氧化物用于半导体层113b。

[0238] 半导体层113的厚度优选为1nm以上、3nm以上或5nm以上,且为20nm以下、15nm以下、12nm以下或10nm以下。

[0239] 构成半导体层113的各层(在此,半导体层113a及半导体层113b)的厚度以半导体层113的厚度在上述范围内的方式决定即可。半导体层113a的厚度可以以半导体层113a与导电层111的接触电阻及半导体层113a与导电层112的接触电阻成为所希望的范围内的方式决定。此外,半导体层113b的厚度可以以晶体管100的阈值电压成为所希望的范围内的方式决定。另外,半导体层113a的厚度也可以与半导体层113b的厚度相同或不同。

[0240] 图8A至图8C示出半导体层113具有半导体层113a和半导体层113b的两层叠层结构的例子,但是本发明的一个方式不局限于此。半导体层113也可以具有三层以上的叠层结构。

[0241] 在半导体层113为三层的叠层结构的情况下,例如也可以采用如下结构:从导电层

111一侧依次设置In:Ga:Zn=1:1:1[原子个数比]或其附近的组成的金属氧化物、In:Zn=1:1[原子个数比]或其附近的组成或者In:Zn=4:1[原子个数比]或其附近的组成的金属氧化物以及In:Ga:Zn=1:1:1[原子个数比]或其附近的组成的金属氧化物。此外,可以采用如下结构:从导电层111依次设置In:Ga:Zn=1:3:4[原子个数比]或其附近的组成的金属氧化物、In:Zn=4:1[原子个数比]或其附近的组成的金属氧化物以及In:Ga:Zn=1:3:4[原子个数比]或其附近的组成的金属氧化物。通过采用上述结构,可以增大晶体管100的通态电流。此外,可以减少晶体管100的电特性的不均匀,由此可以提高半导体装置的可靠性。

[0242] 绝缘层105a优选使用将在后面说明的[绝缘体]中记载的具有氧阻挡性的绝缘体。绝缘层105a具有与半导体层113接触的区域。通过绝缘层105a具有氧阻挡性,例如可以在进行热处理时抑制氧从半导体层113脱离。由此,可以抑制在半导体层113中形成氧空位。因此,可以使晶体管100具有良好的电特性,可以提高本发明的一个方式的半导体装置的可靠性。作为绝缘层105a,例如优选使用氧化铝。在此情况下,绝缘层105a至少包含氧及铝。

[0243] 绝缘层105b优选使用将在后面说明的[绝缘体]中记载的相对介电常数低的材料。尤其是,氧化硅及氮化硅具有热稳定性,所以是优选的。在此情况下,绝缘层105b至少包含氧及硅。通过采用上述结构,可以减小导电层115与导电层112之间的寄生电容。此外,绝缘层105b中的水及氢等的杂质浓度优选得到降低。

[0244] 绝缘层105c优选使用将在后面说明的[绝缘体]中记载的具有氢阻挡性的绝缘体。由此,可以抑制包含在导电层115的杂质扩散到半导体层113。尤其是,氮化硅的氢阻挡性高,所以适合于绝缘层105c。在此情况下,绝缘层105c至少包含氮及硅。

[0245] 绝缘层105c也可以还具有氧阻挡性。绝缘层105c设置在绝缘层105b与导电层115之间。因此,可以抑制包含在绝缘层105b的氧扩散到导电层115而导电层115被氧化。

[0246] 另外,也可以在绝缘层105b与绝缘层105c之间设置绝缘体。该绝缘体优选使用将在后面说明的[绝缘体]中记载的具有俘获或固定氢的功能的绝缘体。通过设置该绝缘体,可以更高效地俘获或固定包含在半导体层113的氢。由此,可以降低半导体层113中的氢浓度。作为该绝缘体,例如优选使用氧化铪。在此情况下,该绝缘体至少包含氧及铪。此外,该绝缘体也可以具有非晶结构。

[0247] 为了实现晶体管100的微型化,优选的是,绝缘层105a至绝缘层105c的厚度小,并在上述范围内。典型的是,将绝缘层105a、绝缘层105b、具有俘获或固定氢的功能的绝缘体及绝缘层105c的厚度分别设为1nm、2nm、2nm及1nm。通过采用上述结构,即使晶体管100微型化也可以具有良好的电特性。

[0248] 图8A至图8C示出绝缘层105具有绝缘层105a至绝缘层105c的三层叠层结构,但是本发明的一个方式不局限于此。绝缘层105也可以具有两层或四层以上的叠层结构。此时,包括在绝缘层105中的各层可以在绝缘层105a至绝缘层105c和具有俘获或固定氢的功能的绝缘体中适当地选择。

[0249] 在导电层115具有导电层115a和导电层115b的两层结构的情况下,例如将氮化钛用于导电层115a且将钨用于导电层115b。如此,通过设置包含钨的层,可以提高导电层115的导电性,由此可以降低导电层115的布线电阻。

[0250] 在图8A至图8C中,导电层115具有导电层115a和导电层115b的两层叠层结构,但是本发明的一个方式不局限于此。导电层115也可以具有三层以上的叠层结构。

[0251] 图9A及图9B分别示出如下例子：在图2B及图2C所示的开口部121中氧化物区域117ox的侧面位于比绝缘层103及绝缘层104的侧面例如更靠近与导电层111的中心的相反一侧，即更靠近导电层111的侧面一侧。在图9A及图9B所示的例子中，由绝缘层103和绝缘层104以及氧化物区域117ox形成凹部131。

[0252] 将在后面说明详细内容，在本发明的一个方式的半导体装置的制造方法中，有时在导电层117中形成开口部121之后对开口部121中的导电层117的侧面例如利用各向同性蚀刻进行加工，然后进行氧化处理，来形成氧化物区域117ox。在此情况下，如图9A及图9B所示，有时氧化物区域117ox的侧面与绝缘层103及绝缘层104的侧面相比例如位于导电层111的侧面一侧。

[0253] 在图9C及图9D中，分别示出在图2B及图2C所示的开口部121中氧化物区域117ox的侧面位于比绝缘层103及绝缘层104的侧面更靠近导电层111的中心一侧的例子。在图9C及图9D所示的例子中，在开口部121中具有氧化物区域117ox突出的区域，即具有凸部。

[0254] 通过使导电层117氧化而形成氧化物区域117ox，有时包括氧化物区域117ox的导电层117的体积增大。由此，例如即使在绝缘层104、导电层117及绝缘层103中形成开口部121时开口部121中的绝缘层104、导电层117及绝缘层103的侧面对齐，有时在开口部121中具有氧化物区域117ox突出的区域。

[0255] 图10A示出图2A2所示的开口部121的从平面看时的形状为四角形的例子。注意，在图10A中开口部121的从平面看时的形状为正方形，但是开口部121的形状不局限于此，例如从平面看时的形状也可以为长方形、菱形或平行四边形。此外，开口部121的从平面看时的形状例如可以为三角形或五角形以上的多角形或者星形。

[0256] 图10B示出图10A所示的开口部121的角部带弧形的例子。也就是说，图10B示出开口部121的从平面看时的形状为其角部带弧形的四角形的例子。注意，在图10B中，开口部121的从平面看时的形状为其角部带弧形的四角形，但是开口部121的形状不局限于此，例如开口部121的从平面看时的形状为其角部带弧形的长方形、其角部带弧形的菱形、其角部带弧形的平行四边形、其角部带弧形的三角形、其角部带弧形的五角形以上的多角形或者其角部带弧形。

[0257] 另外，图2A2、图10A及图10B等示出氧化物区域117ox的平面形状与开口部121的平面形状同样的例子。具体而言，其中示出氧化物区域117ox与导电层117的不被氧化的区域的边界的平面形状与氧化物区域117ox的开口部121中的侧面的平面形状同样的例子。但是，本发明的一个方式不局限于此，开口部121的平面形状的种类也可以与氧化物区域117ox的平面形状的种类不同。例如，开口部121的平面形状可以为圆形，并且氧化物区域117ox与导电层117的不被氧化的区域的边界的平面形状可以为四角形或者其角部带弧形的四角形。此外，开口部121的平面形状可以为四角形，并且氧化物区域117ox与导电层117的不被氧化的区域的边界的平面形状可以为其角部带弧形的四角形或者圆形。

[0258] 在图11A、图11B及图11C中，分别示出图2A1、图2B及图2C所示的半导体层113延伸在Y方向上的例子。换言之，图11A、图11B及图11C示出半导体层113延伸在平行于导电层112的延伸方向上的例子。注意，与图2A1、图2B及图2C所示的例子同样，导体层113在图11A、图11B及图11C所示的例子中也在X方向上被分开。

[0259] 图12A、图12B及图12C分别是图2A1、图2B及图2C所示的结构的变化例子，其中示出

设置在绝缘层103、氧化物区域117_{ox}及绝缘层104中的开口部121的平面形状不与设置在导电层112中的开口部121的平面形状一致的例子。在此,在图12A至图12C中,将设置在绝缘层103、氧化物区域117_{ox}及绝缘层104中的开口部121设为开口部121a且将设置在导电层112中的开口部121设为开口部121b。在图12A至图12C所示的例子中,开口部121b的平面形状为其半径比开口部121a大的圆形。另外,开口部121a的平面形状和开口部121b的平面形状中的一方或双方也可以不是圆形。例如,开口部121a的平面形状和开口部121b的平面形状中的一方或双方可以为四角形或者其角部带弧形的四角形等的上述开口部121可具有的形状。

[0260] 图12A至图12C示出开口部121b的从平面看时的面积大于开口部121a的从平面看时的面积的例子,但是开口部121b的从平面看时的面积也可以小于开口部121a的从平面看时的面积。在此情况下,导电层112具有相对于开口部121a的侧壁突出的区域。

[0261] 例如,在使用不同的工序形成开口部121a及开口部121b的情况下,有时开口部121a的平面形状与开口部121b的平面形状不同。另外,即使在使用相同的工序形成开口部121a及开口部121b的情况下,例如在X方向及Y方向上的导电层112的蚀刻速度与X方向及Y方向上的绝缘层103、导电层117及绝缘层104的蚀刻速度不同的情况下,有时开口部121a的平面形状与开口部121b的平面形状不同。例如,在X方向及Y方向的导电层112的蚀刻速度高于X方向及Y方向的绝缘层103、导电层117及绝缘层104的蚀刻速度的情况下,即使在使用相同的工序形成开口部121a及开口部121b的情况下,有时开口部121b的从平面看时的面积大于开口部121a的从平面看时的面积。

[0262] <半导体装置的构成材料>

[0263] 以下,说明可用于半导体装置的构成材料。

[0264] [衬底]

[0265] 作为形成晶体管100的衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(例如氧化钇稳定氧化锆衬底)及树脂衬底等。此外,作为半导体衬底,例如可以举出以硅或锗为材料的半导体衬底以及由碳化硅、硅锗、砷化镓、磷化铟、氧化锌及氧化镓构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如为SOI(Silicon On Insulator;绝缘体上硅)衬底。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底及导电树脂衬底等。或者,可以举出包含金属氮化物的衬底以及包含金属氧化物的衬底等。此外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底以及设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。

[0266] [绝缘体]

[0267] 作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物及金属氮氧化物等。

[0268] 例如,当进行晶体管的微型化时,由于栅极绝缘层的薄膜化,有时发生泄漏电流等的问题。通过作为用作栅极绝缘层的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。此外,可以减少用作栅极绝缘层的绝缘体的等效氧化物厚度(EOT)。另一方面,通过将相对介电常数低的材料用于用作层间绝缘层的绝缘体,可以减

少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。此外,相对介电常数低的材料也是介电强度大的材料。

[0269] 作为相对介电常数高 (high-k) 的材料,例如可以举出氧化铝、氧化镓、氧化铪、氧化钽、氧化锆、铪氧化物、含有铝及铪的氧化物、含有铝及铪的氮氧化物、含有硅及铪的氧化物、含有硅及铪的氮氧化物以及含有硅及铪的氮化物等。

[0270] 作为相对介电常数低的材料,例如可以举出氧化硅、氮化硅及氮氧化硅等无机绝缘材料以及聚酯、聚烯烃、聚酰胺 (尼龙及芳族聚酰胺等)、聚酰亚胺、聚碳酸酯及丙烯酸树脂等树脂。另外,作为相对介电常数低的其他无机绝缘材料,例如可以举出添加有氟的氧化硅、添加有碳的氧化硅以及添加有碳及氮的氧化硅等。另外,例如可以举出具有空孔的氧化硅。注意,这些氧化硅也可以包含氮。此外,氧化硅例如也可以使用四乙氧基硅烷 (TEOS) 等有机硅烷形成。

[0271] 此外,通过由具有抑制杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管,可以使晶体管的电特性稳定。作为具有抑制杂质及氧的透过的功能的绝缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、铋、铈、钕、钐或钐的绝缘体的单层或叠层。具体而言,作为具有抑制杂质及氧的透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化铪、氧化锆、氧化钽、氧化铈、氧化钐、氧化铈及氧化钐等金属氧化物或者氮化铝、氮化硅及氮化硅等金属氮化物。

[0272] 另外,栅极绝缘层等的与半导体层接触的绝缘体或设置在半导体层附近的绝缘体优选为具有包含过剩氧的区域的绝缘体。例如,通过使具有包含过剩氧的区域的绝缘体与半导体层接触或者设置在半导体层附近,可以减少半导体层中的氧空位。作为容易形成包含过剩氧的区域的绝缘体,可以举出氧化硅、氮化硅或具有空孔的氧化硅等。

[0273] 另外,作为具有氧阻挡性的绝缘体,可以举出包含铝和铪中的一方或双方的氧化物、包含铪和硅的氧化物 (硅酸铪)、氧化镁、氧化镓、镓氧化物、铟镓氧化物、氮化硅以及氮氧化硅等。另外,作为包含铝和铪中的一方或双方的氧化物,可以举出氧化铝、氧化铪以及包含铝和铪的氧化物 (铝酸铪) 等。

[0274] 另外,作为具有氢阻挡性的绝缘体,可以举出氧化铝、氧化镁、氧化铪、氧化镓、铟镓氧化物、氮化硅及氮氧化硅等。

[0275] 具有氧阻挡性的绝缘体及具有氢阻挡性的绝缘体可以说是对氧和氢中的一方或双方具有阻挡性的绝缘体。

[0276] 另外,作为具有俘获或固定氢的功能的绝缘体,可以举出包含镁的氧化物以及包含铝和铪中的一方或双方的氧化物。另外,这些氧化物更优选具有非晶结构。在具有非晶结构的氧化物中,氧原子具有悬空键,有时具有由该悬空键俘获或固定氢的性质。这些氧化物优选具有非晶结构,其一部分也可以形成有晶体区域。

[0277] 注意,在本说明书等中,阻挡绝缘膜是指具有阻挡性的绝缘膜。另外,阻挡性是指所对应的物质不容易扩散的性质 (也称为所对应的物质不容易透过的性质、所对应的物质的透过性低的性质或者抑制所对应的物质扩散的功能)。此外,俘获或固定所对应的物质的功能也可以换称为阻挡性。注意,作为所对应的物质记载的氢例如是指氢原子、氢分子、水分子和OH⁻等与氢键合的物质等中的至少一个。另外,在没有特别说明的情况下,作为所对应的物质记载的杂质是指沟道形成区域或半导体层中的杂质,例如是指氢原子、氢分子、水

分子、氮原子、氮分子、氧化氮分子 (N_2O 、 NO 及 NO_2 等) 和铜原子等中的至少一个。另外, 作为所对应的物质记载的氧例如是指氧原子和氧分子等中的至少一个。具体而言, 氧阻挡性是指氧原子和氧分子等中的至少一个不容易扩散的性质。

[0278] [导电体]

[0279] 作为导电体,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钐、钒、铌、锰、镁、锆、铍、铟、钇、铈和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。作为以上述金属元素为成分的合金,也可以使用该合金的氮化物或该合金的氧化物。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钪、氮化钪、包含铈和钇的氧化物、包含镧和镍的氧化物等。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0280] 另外,包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽的氮化物、包含钽及铝的氮化物或者包含钛及铝的氮化物等含氮导电材料、氧化钽、包含钽及钽的氧化物或者包含钼及镍的氧化物等含氧导电材料以及包含钛、钽或钽等金属元素的材料是不容易氧化的导电材料、具有抑制氧扩散的功能的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。注意,作为包含氧的导电材料,可以举出包含氧化钨的钨氧化物、包含氧化钛的钨氧化物、钨锡氧化物、包含氧化钛的钨锡氧化物、添加硅的钨锡氧化物、钨锌氧化物及包含氧化钨的钨锌氧化物等。在本说明书等中,有时将包含氧的导电材料称为氧化物导电体。

[0281] 另外,以钨、铜或铝为主要成分的导电材料具有高导电性,所以是优选的。

[0282] 此外,也可以层叠多个由上述材料形成的导电体。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0283] 此外,在将金属氧化物用于晶体管的沟道形成区域的情况下,作为用作栅电极的导电体优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0284] 尤其是,作为用作栅电极的导体,优选使用包含被形成沟道的金属氧化物所包含的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,也可以使用氮化钛或氮化钽等包含氮的导电材料。此外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物及添加有硅的铟锡氧化物中的一个或多个。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘获被形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0285] [金属氧化物]

[0286] 金属氧化物有时具有晶格缺陷。作为晶格缺陷,有原子空位及奇异原子等点缺陷、位错等线缺陷、晶界等面缺陷以及空隙等体缺陷。另外,作为晶格缺陷的生成原因,有构成元素的原子个数的比例偏离(构成原子的过或不足)及杂质等。

[0287] 当将金属氧化物用于晶体管的半导体层时,金属氧化物中的晶格缺陷会导致载流

子的生成或俘获等。因此,当将晶格缺陷较多的金属氧化物用于晶体管的半导体层时,该晶体管的电特性有可能不稳定。因此,用于晶体管的半导体层的金属氧化物中的晶格缺陷优选少。

[0288] 在使用金属氧化物的晶体管中,尤其是,当在金属氧化物的沟道形成区域中存在氧空位(V_O)及杂质时,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成 V_OH 而可能会生成成为载流子的电子。因此,当在金属氧化物的沟道形成区域中包含氧空位时,晶体管容易具有常开启特性。由此,在金属氧化物的沟道形成区域中,优选尽量减少氧空位及杂质。换言之,优选的是,金属氧化物的沟道形成区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0289] 容易存在于金属氧化物中的晶格缺陷的种类及晶格缺陷的存在量根据金属氧化物的结构或金属氧化物的沉积方法等而不同。

[0290] 金属氧化物的结构被分为单晶结构与其他结构(非单晶结构)。作为非单晶结构,例如有CAAC结构、多晶(polycrystalline)结构、nc结构、amorphous-like(a-like)结构及非晶结构等。a-like结构具有介于nc结构和非晶结构之间的结构。

[0291] 另外,在具有a-like结构的金属氧化物及具有非晶结构的金属氧化物中存在空洞或低密度区域。换言之,具有a-like结构的金属氧化物及具有非晶结构的金属氧化物的结晶性比具有nc结构的金属氧化物及具有CAAC结构的金属氧化物低。另外,具有a-like结构的金属氧化物中的氢浓度比具有nc结构的金属氧化物及具有CAAC结构的金属氧化物高。因此,在具有a-like结构的金属氧化物及具有非晶结构的金属氧化物中容易生成晶格缺陷。

[0292] 因此,优选将结晶性高的金属氧化物用于晶体管的半导体层。例如,优选使用具有CAAC结构的金属氧化物或单晶结构的金属氧化物。通过将该金属氧化物用于晶体管,可以实现一种具有良好的电特性的晶体管。另外,可以实现一种可靠性高的晶体管。

[0293] 另外,晶体管的沟道形成区域优选使用增高该晶体管的通态电流的金属氧化物。为了增高该晶体管的通态电流,增高用于该晶体管的金属氧化物的迁移率即可。为了增高金属氧化物的迁移率,需要提高载流子(n沟道型晶体管时为电子)的传输或者减少给载流子的传输带来影响的散射因素。载流子经过沟道形成区域从源极流至漏极。因此,通过设置载流子在沟道长度方向上容易流过的沟道形成区域,可以增高晶体管的通态电流。

[0294] 在此,作为具有沟道形成区域的金属氧化物优选采用结晶性高的金属氧化物。再者,该晶体优选具有层叠有多个层(例如,第一层、第二层和第三层)的晶体结构。换言之,该晶体具有层状晶体结构(也称为层状晶体、层状结构)。此时,该晶体的c轴方向为层叠有多个层的方向。具有该晶体的金属氧化物例如包括单晶氧化物半导体及CAAC-OS等。

[0295] 另外,上述晶体的c轴优选在金属氧化物的被形成面或膜表面的法线方向上取向。由此,多个层以平行或大致平行于金属氧化物的被形成面或膜表面的方式配置。就是说,多个层延伸在沟道长度方向上。

[0296] 例如,上述三层的层状晶体结构具有如下结构。第一层具有该第一层所包含的金属存在于中心的氧八面体的原子配位结构。第二层具有该第二层所包含的金属存在于中心的氧三角双锥形或四面体的原子配位结构。第三层具有该第三层所包含的金属存在于中心的氧三角双锥形或四面体的原子配位结构。

[0297] 作为上述晶体的晶体结构,例如有 $YbFe_2O_4$ 型结构、 $Yb_2Fe_3O_7$ 型结构及它们的变形结

素,有时可以提高晶体管的场效应迁移率。作为非金属元素,例如可以举出碳、氮、磷、硫、硒、氟、氯、溴及氢等。

[0305] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的锌的原子个数的比率,金属氧化物的结晶性提高,由此可以抑制金属氧化物中的杂质的扩散。由此,晶体管的电特性的变动得到抑制,而可以提高可靠性。

[0306] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的元素M的原子个数的比率,可以抑制金属氧化物中形成氧空位。因此,起因于氧空位的载流子生成得到抑制,由此可以实现关态电流小的晶体管。此外,晶体管的电特性的变动得到抑制,由此可以提高可靠性。

[0307] 此外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的In的原子个数的比率,可以得到通态电流大且频率特性高的晶体管。

[0308] 在本实施方式中,有时以In-Ga-Zn氧化物为例进行说明。

[0309] 为了形成上述具有层状晶体结构的金属氧化物,优选一层一层沉积原子。通过利用ALD法,容易形成具有上述层状晶体结构的金属氧化物。

[0310] 作为ALD法可以举出只利用热能使前驱体及反应物起反应的热ALD(Thermal ALD)法、使用受到等离子体激发的反应物的等离子体ALD(PEALD:Plasma Enhanced ALD)法等。

[0311] ALD法可以一层一层沉积原子,从而具有能够沉积得极薄、能够对纵横比高的结构进行沉积、能够以针孔等缺陷少的方式进行沉积、能够进行覆盖性高的沉积及在低温下能够进行沉积等的效果。因为利用等离子体,可以在更低的温度下进行沉积,所以PEALD法有时是优选的。ALD法中使用的前驱体有时包含碳或氯等元素。因此,利用ALD法设置的膜有时与利用其他的沉积方法设置的膜相比包含更多的碳或氯等元素。另外,上述元素的定量可以利用XPS或SIMS进行。

[0312] 在作为金属氧化物的沉积方法利用ALD法时,通过采用沉积时的衬底温度高的条件和杂质去除处理的实施中一方或双方,与不采用它们而利用ALD法的情况相比,可以减少膜中的碳及氯的量。

[0313] 例如,在沉积金属氧化物时,优选在含氧气氛下间歇地进行杂质去除处理。此外,在沉积金属氧化物之后,优选在含氧气氛下进行杂质去除处理。通过在金属氧化物的沉积中和沉积后中的一方或双方进行杂质去除处理,可以去除膜中的杂质。由此,可以抑制前驱体等原料所包含的杂质(氢、碳及氮等)残留在金属氧化物中。因此,可以降低金属氧化物中的杂质浓度。另外,可以提高金属氧化物的结晶性。由此,金属氧化物例如可以为CAAC-OS,可以提供一种可靠性高的半导体装置。

[0314] 作为杂质去除处理,例如可以举出微波处理以及加热处理。

[0315] 当进行微波处理时,优选将衬底温度设定为室温(例如25℃)以上、100℃以上、200℃以上、300℃以上或400℃以上且500℃以下或450℃以下。另外,优选将加热处理的温度设定为100℃以上、200℃以上、300℃以上或400℃以上且500℃以下或450℃以下。

[0316] 尤其是,通过将杂质去除处理中的温度设定为晶体管或半导体装置的制造工序中的最高温度以下的温度,可以减少金属氧化物的杂质含量而生产率不下降,所以是优选的。例如,通过将本发明的一个方式的半导体装置的制造中的最高温度设定为500℃以下,优选为450℃以下,可以提高半导体装置的生产率。

[0317] 微波处理例如优选使用包括用微波产生高密度等离子体的电源的微波处理装置。在此,将微波处理装置的频率优选设定为300MHz以上且300GHz以下,更优选为2.4GHz以上且2.5GHz以下,例如可以为2.45GHz。通过使用高密度等离子体,可以生成高密度的氧自由基。另外,微波处理装置的施加微波的电源的功率优选为1000W以上且10000W以下,优选为2000W以上且5000W以下。此外,微波处理装置也可以包括对衬底一侧施加RF (Radio Frequency) 的电源。此外,通过对衬底一侧施加RF,可以将由高密度等离子体生成的氧离子高效地导入到膜中。

[0318] 微波处理优选在减压下进行,压力优选为10Pa以上且1000Pa以下,更优选为300Pa以上且700Pa以下。此外,处理温度优选为室温(25℃)以上且750℃以下,更优选为300℃以上且500℃以下,进一步优选为400℃以上且450℃以下。

[0319] 此外,也可以在微波处理之后以不暴露于外部空气的方式连续进行加热处理。加热处理的温度例如优选为100℃以上且750℃以下,更优选为300℃以上且500℃以下,进一步优选为400℃以上且450℃以下。

[0320] 例如,上述微波处理可以使用氧气体及氩气体进行。在此,氧流量比($O_2/(O_2+Ar)$)大于0%且为100%以下。优选的是,氧流量比($O_2/(O_2+Ar)$)大于0%且为50%以下。更优选的是,氧流量比($O_2/(O_2+Ar)$)为10%以上且40%以下。进一步优选的是,氧流量比($O_2/(O_2+Ar)$)为10%以上且30%以下。

[0321] 加热处理在氮气体或非活性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,当在氮气体和氧气体的混合气氛下进行加热处理时,将氧气体的比率优选设为20%左右。加热处理也可以在减压状态下进行。或者,也可以在氮气体或非活性气体气氛下进行加热处理,然后为了填补脱离了氧的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。加热处理可以在超干燥空气(水含量为20ppm以下,优选为1ppm以下,更优选为10ppb以下的空气)气氛下进行。

[0322] 通过如此进行加热处理,可以去除包含在金属氧化物中的氢或碳等杂质。例如,可以将金属氧化物中的碳释放为 CO_2 及CO,可以将金属氧化物中的氢释放为 H_2O 。并且,在去除上述杂质的同时金属原子及氧原子被重新排列,因此可以提高结晶性。由此,可以形成结晶性高的层状晶体结构的金属氧化物,尤其是上述CAAC结构的金属氧化物。

[0323] 例如不同于从靶材等中被释放的粒子沉积的沉积方法,ALD法是因被处理物表面的反应而形成膜的沉积方法。因此,ALD法是不易受被处理物的形状的影响而具有良好的台阶覆盖性的沉积方法。尤其是,ALD法具有良好的台阶覆盖性和厚度均匀性,所以ALD法例如适合用于覆盖纵横比高的开口部的表面的情况。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速率快的溅射法或CVD法等其他沉积方法组合而使用。例如,可以举出利用溅射法沉积第一金属氧化物,利用ALD法在该第一金属氧化物上沉积第二金属氧化物的方法。例如,在上述第一金属氧化物具有晶体部时,有时在上述第二金属氧化物中以该晶体部为核发生结晶生长。

[0324] ALD法可以根据源气体的引入量控制所得到的膜的组成。例如,在ALD法中,通过调节源气体的引入量、引入次数(也称为脉冲次数)以及一个脉冲需要的时间(也称为脉冲时间)等,可以沉积任意组成的膜。此外,例如,当利用ALD法时,可以通过在进行沉积的同时改变源气体来沉积其组成连续变化的膜。当在改变源气体的同时进行沉积时,因为不需要传

送及调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高半导体装置的生产率。

[0325] [[包含金属氧化物的晶体管]]

[0326] 接着,说明将金属氧化物(氧化物半导体)用于晶体管的情况。

[0327] 通过将本发明的一个方式的金属氧化物(氧化物半导体)用于晶体管,可以实现场效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。此外,可以实现微型化的晶体管。例如,可以制造沟道长度为2nm以上且30nm以下的晶体管。

[0328] 优选将载流子浓度低的氧化物半导体用于晶体管的沟道形成区域。例如,氧化物半导体的沟道形成区域的载流子浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,优选为 $1 \times 10^{17} \text{cm}^{-3}$ 以下,更优选为 $1 \times 10^{15} \text{cm}^{-3}$ 以下,进一步优选为 $1 \times 10^{13} \text{cm}^{-3}$ 以下,还优选为 $1 \times 10^{11} \text{cm}^{-3}$ 以下,更进一步优选低于 $1 \times 10^{10} \text{cm}^{-3}$,且为 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,优选降低氧化物半导体膜的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0329] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0330] 此外,被氧化物半导体的陷阱态俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0331] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质可以举出氢、碳及氮等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1atomic%的元素可以说是杂质。

[0332] 另外,氧化物半导体的带隙优选比硅的带隙(典型的是1.1eV)大,优选为2eV以上,更优选为2.5eV以上,进一步优选为3.0eV以上。通过使用具有比硅大的带隙的氧化物半导体,可以减少晶体管的关态电流(也称为 I_{off})。

[0333] 例如,在Si晶体管中,随着晶体管的微型化发展,出现短沟道效应(Short Channel Effect:也称为SCE)。因此,Si晶体管的微型化很困难。作为出现短沟道效应的原因之一可以举出硅的带隙较小。另一方面,在OS晶体管中,使用作为带隙大的半导体材料的氧化物半导体,因此可以抑制短沟道效应。换言之,OS晶体管是没有短沟道效应或短沟道效应极少的晶体管。

[0334] 注意,短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的下降。作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值(有时记为S值)的增大及泄漏电流的增大等。在此,S值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0335] 作为对短沟道效应的耐性的指标,广泛地使用特征长度(Characteristic Length)。特征长度是指沟道形成区域的势的弯曲性指标。特征长度越小,势越急剧上升,因此可以说抗短沟道效应能力高。

[0336] OS晶体管为积累型晶体管,Si晶体管为反型晶体管。因此,与Si晶体管相比,OS晶

体管中的源区域-沟道形成区域间的特征长度及漏区域-沟道形成区域间的特征长度小。因此,OS晶体管的抗短沟道效应能力比Si晶体管高。就是说,当想要制造沟道长度小的晶体管时,OS晶体管比Si晶体管更合适。

[0337] 即使在将氧化物半导体的载流子浓度降低到沟道形成区域被i型化或实质上被i型化的情况下,在短沟道晶体管中由于导带降低(CBL:Conduction-Band-Lowering)效应而沟道形成区域的导带底也变低,因此源区域或漏区域与沟道形成区域之间的导带底的能量差有可能减小到0.1eV以上且0.2eV以下。由此,可以将OS晶体管看作具有 $n^+/n^-/n^+$ 的积累型无结晶体管结构或 $n^+/n^-/n^+$ 的积累型非结晶体管结构,其中沟道形成区域为 n^- 型区域,源区域及漏极区为 n^+ 型区域。

[0338] 当作为OS晶体管采用上述结构时,即便使OS晶体管微型化也可以实现良好的电特性。例如,即使OS晶体管的沟道长度或栅极长度为20nm以下、15nm以下、10nm以下、7nm以下或6nm以下,且为1nm以上、3nm以上或5nm以上,也可以得到良好的电特性。另一方面,在Si晶体管中,因为出现短沟道效应所以有时难以具有20nm以下或15nm以下的栅极长度。因此,与Si晶体管相比,OS晶体管更适合用作沟道长度小的晶体管。注意,栅极长度是指在晶体管工作时载流子在沟道形成区域内迁移的方向上的栅电极长度。

[0339] 此外,通过使OS晶体管微型化可以提高晶体管的高频特性。具体而言,可以提高晶体管的截止频率。当OS晶体管的栅极长度在于上述范围内时,例如室温环境下的晶体管的截止频率可以为50GHz以上,优选为100GHz以上,更优选为150GHz以上。

[0340] 如上所述,OS晶体管具有比Si晶体管优异的效果,诸如关态电流小以及可以制造沟道长度小的晶体管等。

[0341] [[金属氧化物中的杂质]]

[0342] 在此,说明金属氧化物(氧化物半导体)中的各杂质的影响。

[0343] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷态。因此,将利用SIMS测得的氧化物半导体的沟道形成区域中的碳浓度设定为 1×10^{20} atoms/cm³以下,优选为 5×10^{19} atoms/cm³以下,更优选为 3×10^{19} atoms/cm³以下,进一步优选为 1×10^{19} atoms/cm³以下,还优选为 3×10^{18} atoms/cm³以下,更进一步优选为 1×10^{18} atoms/cm³以下。另外,将利用SIMS测得的氧化物半导体的沟道形成区域中的硅浓度设定为 1×10^{20} atoms/cm³以下,优选为 5×10^{19} atoms/cm³以下,更优选为 3×10^{19} atoms/cm³以下,进一步优选为 1×10^{19} atoms/cm³以下,还优选为 3×10^{18} atoms/cm³以下,更进一步优选为 1×10^{18} atoms/cm³以下。

[0344] 当氧化物半导体包含氮时,产生作为载流子的电子,使载流子浓度增高,而容易被n型化。其结果是,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者,在氧化物半导体包含氮时,有时形成陷阱态。其结果是,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为 1×10^{20} atoms/cm³以下,优选为 5×10^{19} atoms/cm³以下,更优选为 1×10^{19} atoms/cm³以下,进一步优选为 5×10^{18} atoms/cm³以下,还进一步优选为 1×10^{18} atoms/cm³以下,更进一步优选为 5×10^{17} atoms/cm³以下。

[0345] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时生成作为载流子的电子。此外,有时由于氢的一部分与

键合于金属原子的氧键合,产生作为载流子的电子。因此,使用含有氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体的沟道形成区域中的氢。具体而言,在氧化物半导体的沟道形成区域中,将利用SIMS测得的氢浓度设定为低于 $1 \times 10^{20} \text{atoms/cm}^3$,优选低于 $5 \times 10^{19} \text{atoms/cm}^3$,更优选低于 $1 \times 10^{19} \text{atoms/cm}^3$,进一步优选低于 $5 \times 10^{18} \text{atoms/cm}^3$,还优选低于 $1 \times 10^{18} \text{atoms/cm}^3$ 。

[0346] 此外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷态而生成载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,将利用SIMS测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。

[0347] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0348] [其他半导体材料]

[0349] 半导体层113可以换称为包括晶体管的沟道形成区域的半导体层。能够用于半导体层的半导体材料不局限于上述金属氧化物。作为半导体,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将单个元素的半导体、化合物半导体或层状物质(也称为原子层物质、二维材料等)等用于半导体材料。

[0350] 在此,在本说明书等中,层状物质是具有层状晶体结构的材料群的总称。层状晶体结构是由共价键或离子键形成的层通过如范德华键合那样的比共价键及离子键弱的键合层叠的结构。层状物质在单位层中具有高导电性,即,具有高二维导电性。通过将用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0351] 作为可用于半导体材料的单个元素的半导体,可以举出硅及锗等。作为可用于半导体层的硅,可以举出单晶硅、多晶硅、微晶硅及非晶硅。作为多晶硅例如可以举出低温多晶硅(LTPS:Low Temperature Poly Silicon)。

[0352] 作为可用于半导体材料的化合物半导体,可以举出碳化硅、硅锗、砷化镓、磷化铟、氮化硼及砷化硼等。可用于半导体层的氮化硼优选具有非晶结构。可用于半导体层的砷化硼优选包括立方晶结构的晶体。

[0353] 作为层状物质,例如可以举出石墨烯、硅烯、碳氮化硼及硫族化物等。在作为层状物质的碳氮化硼中,碳原子、氮原子及硼原子以六角形格子结构排列在平面上。硫族化物是包含氧族元素的化合物。此外,氧族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、釷。此外,作为硫族化物,可以举出过渡金属硫族化物及第13族硫族化物等。

[0354] 作为半导体层,例如优选使用用作半导体的过渡金属硫族化物。作为能够用于半导体层的过渡金属硫族化物,具体地可以举出硫化钼(典型的是 MoS_2)、硒化钼(典型的是 MoSe_2)、碲化钼(典型的是 MoTe_2)、硫化钨(典型的是 WS_2)、硒化钨(典型的是 WSe_2)、碲化钨(典型的是 WTe_2)、硫化铪(典型的是 HfS_2)、硒化铪(典型的是 HfSe_2)、硫化锆(典型的是 ZrS_2)及硒化锆(典型的是 ZrSe_2)等。通过将上述过渡金属硫族化物用于半导体层,可以提供一种通态电流大的半导体装置。

[0355] <半导体装置的制造方法例子1>

[0356] 以下,作为本发明的一个方式的半导体装置的制造方法,说明图2A1、图2B及图2C所示的半导体装置的制造方法例子。

[0357] 以下,通过适当地利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法,可以沉积用来形成绝缘层的绝缘材料、用来形成导电层的导电材料或用来形成半导体层的半导体材料。

[0358] 作为溅射法,可以举出将高频电源用于溅射电源的RF溅射法、使用直流电源的DC溅射法以及以脉冲方式改变施加到电极的电压的脉冲DC溅射法。RF溅射法主要在沉积绝缘膜时利用,DC溅射法主要在沉积金属导电膜时利用。此外,脉冲DC溅射法主要在利用反应性溅射法沉积氧化物、氮化物或碳化物等化合物时利用。

[0359] 注意,CVD法可以分为利用等离子体的等离子体CVD(PECVD)法、利用热CVD(TCVD:Thermal CVD)法及利用光的光CVD(Photo CVD)法等。再者,可以根据使用的源气体分为金属CVD(MCVD:Metal CVD)法及有机金属CVD(MOCVD:Metal Organic CVD)法。

[0360] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。此外,因为不使用等离子体,热CVD法是能够减少对被处理物造成的等离子体损伤的沉积方法。例如,包括在半导体装置中的布线、电极及元件(晶体管及电容器等)等有时因从等离子体接收电荷而产生电荷积聚。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极或元件等受损伤。另一方面,因为在利用不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高半导体装置的成品率。此外,在热CVD法中,不产生沉积时的等离子体损伤,因此能够得到缺陷少的膜。

[0361] 作为ALD法,可以采用只利用热能使前驱体及反应物起反应的热ALD法或者使用受到等离子体激发的反应物的PEALD法等。

[0362] CVD法及ALD法不同于从靶材等中被释放的粒子沉积的溅射法。因此CVD法及ALD法是不易受被处理物的形状的影响而具有高台阶覆盖性的沉积方法。尤其是,ALD法具有高台阶覆盖性和厚度均匀性,所以ALD法例如适合用于覆盖纵横比高的开口部的表面的情况。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速率快的CVD法等其他沉积方法组合而利用。

[0363] 此外,当利用CVD法时,可以根据源气体的流量比沉积任意组成的膜。例如,当利用CVD法时,可以通过在沉积的同时改变源气体的流量比来沉积其组成连续变化的膜。当在改变源气体的流量比的同时沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高半导体装置的生产率。

[0364] 当利用ALD法时,通过同时导入不同的多种前驱体,可以沉积任意组成的膜。或者,在导入不同的多种前驱体时,通过控制各前驱体的循环次数可以沉积任意组成的膜。

[0365] 在示出本发明的一个方式的半导体装置的制造方法的附图中,除非特别叙述,各附图的A及A1是平面图。此外,各附图的B是沿着各附图的A及A1的点划线A1-A2的截面图,各附图的C是沿着各附图的A及A1的点划线A3-A4的截面图。

[0366] 首先,准备衬底(未图示),在该衬底上形成绝缘层101(图13A、图13B及图13C)。绝缘层101可以适当地使用上述绝缘材料。绝缘层101可以适当地利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法形成。

[0367] 接着,在绝缘层101上形成导电层111(图13A、图13B及图13C)。例如,形成将成为导电层111的导电膜,加工该导电膜,由此可以形成导电层111。将成为导电层111的导电膜可

以适当地使用可用于上述导电层111的导电材料。

[0368] 将成为导电层111的导电膜可以适当地利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法形成。在形成将成为导电层111的导电膜之后,例如利用光刻法形成图案,根据该图案利用干蚀刻法或湿蚀刻法等加工该导电膜,由此可以形成导电层111。在此,通过利用干蚀刻法加工该导电膜可以进行微细加工,因此是优选的。

[0369] 注意,在光刻法中,首先通过掩模对抗蚀剂进行曝光。接着,使用显影液去除或留下所曝光的区域而形成抗蚀剂掩模。因此,形成图案。

[0370] 例如,可以使用KrF受激准分子激光、ArF受激准分子激光或EUV光等对抗蚀剂进行曝光来形成抗蚀剂掩模。此外,也可以利用在衬底和投影透镜之间填满水等的液体的状态下进行曝光的液浸技术。此外,也可以使用电子束或离子束代替上述光。注意,当使用电子束或离子束时,不需要掩模。此外,通过进行灰化处理等干蚀刻处理、进行湿蚀刻处理、在进行干蚀刻处理之后进行湿蚀刻处理或者在进行湿蚀刻处理之后进行干蚀刻处理,可以去除抗蚀剂掩模。

[0371] 接着,通过该抗蚀剂掩模进行蚀刻处理。由此,可以将导电膜、半导体膜及绝缘膜等加工为所希望的形状。

[0372] 在作为上述蚀刻处理进行干蚀刻处理时,作为蚀刻气体可以使用包含卤素的蚀刻气体,具体而言,可以使用包含氟、氯和溴中的一个或多个的蚀刻气体。作为蚀刻气体,例如可以使用 C_4F_6 气体、 C_5F_6 气体、 C_4F_8 气体、 CF_4 气体、 SF_6 气体、 NF_3 气体、 CHF_3 气体、 Cl_2 气体、 BCl_3 气体、 $SiCl_4$ 气体、 CCl_4 气体和 BBr_3 气体等中的一种或两种以上的混合气体。另外,可以对上述蚀刻气体适当地添加氧气体、碳酸气体、氮气体、氦气体、氩气体、氢气体或烃气体等。蚀刻条件可以根据蚀刻对象适当地设定。

[0373] 作为干蚀刻装置,例如可以使用包括平行平板型电极的电容耦合等离子体(CCP: Capacitively Coupled Plasma)蚀刻装置。包括平行平板型电极的电容耦合等离子体蚀刻装置也可以采用对平行平板型电极中的一个施加高频电压的结构。或者,也可以采用对平行平板型电极中的一个施加不同的多个高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率相同的高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率不同的高频电压的结构。或者,也可以使用具有高密度等离子体源的干蚀刻装置。例如,作为具有高密度等离子体源的干蚀刻装置,可以使用电感耦合等离子体(ICP: Inductively Coupled Plasma)蚀刻装置。

[0374] 接着,在绝缘层101及导电层111上形成绝缘层103(图13A、图13B及图13C)。绝缘层103可以适当地使用上述绝缘材料。绝缘层103a可以适当地利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法形成。注意,绝缘层103优选在沉积后例如进行化学机械抛光(CMP: Chemical Mechanical Polishing)处理而使其顶面平坦化。通过进行绝缘层103的平坦化处理,可以将后面的工序中适当地形成导电层117。此外,也可以在绝缘层103上例如利用溅射法沉积氧化铝之后直到到达绝缘层103为止进行平坦化处理。通过进行该平坦化处理,可以使绝缘层103表面平坦化及平滑化。通过将该氧化铝配置于绝缘层103上且进行平坦化处理,可以容易检测出平坦化处理的终点。

[0375] 注意,有时也可以不进行平坦化处理。此时,绝缘层103a的顶面具有凸曲面形状。通过不进行平坦化处理,可以降低制造成本,并且可以提高成品率。由此,可以提供一种廉

价的半导体装置。

[0376] 接着,在绝缘层103上形成导电层117(图13A、图13B及图13C)。导电层117可以通过与可用于导电层111的形成同样的方法形成。将成为导电层117的导电膜可以适当地使用可用于上述导电层117的导电材料。另外,如图7A1、图7A2、图7B及图7C所示,在导电层117的形状为面状的情况下,有时不需要进行通过光刻法的图案形成及使用该图案的导电膜的加工。

[0377] 接着,在绝缘层103及导电层117上形成绝缘层104(图13A、图13B及图13C)。绝缘层104可以通过与可用于绝缘层103的形成的方法同样的方法形成。绝缘层104可以适当地使用上述绝缘材料。

[0378] 在此,绝缘层103、导电层117及绝缘层104的与导电层111重叠的区域的厚度对应于晶体管100的沟道长度。由此,可以根据晶体管100的沟道长度的设计值适当地设定绝缘层103、导电层117及绝缘层104的厚度。

[0379] 接着,在绝缘层104上形成导电层112(图13A、图13B及图13C)。导电层112可以通过与可用于导电层111的形成的方法同样的方法形成。将成为导电层112的导电膜可以适当地使用可用于上述导电层112的导电材料。

[0380] 接着,加工导电层112的一部分、绝缘层104的一部分及导电层117的一部分形成到达导电层111的开口部121(图14A、图14B及图14C)。开口部121例如可以利用光刻法及蚀刻法形成。

[0381] 如上所述,开口部121的侧壁优选垂直于导电层111的顶面。通过采用这种结构,可以实现晶体管100的微型化。此外,开口部121的侧壁也可以具有锥形形状。通过开口部121a的侧壁具有锥形形状,例如后述的将成为半导体层113a的金属氧化物膜的覆盖性得到提高,可以减少空洞等缺陷。在此,开口部121的最大宽度(在从平面看时开口部121为圆形的情况下,最大径)的大小优选微型。

[0382] 由于开口部121a的纵横比高,所以优选利用各向异性蚀刻加工导电层112的一部分、绝缘层104的一部分、导电层117的一部分及绝缘层103的一部分。因为利用干蚀刻法的加工适合于微细加工,所以是特别优选的。此外,该结构可以在各自互不相同的条件下进行。注意,根据导电层112、绝缘层104的一部分、导电层117的一部分及绝缘层103的一部分的加工条件而有时开口部121的导电层112的侧面的倾斜度、开口部121的导电层117的侧面的倾斜度和开口部121的绝缘层103的侧面的倾斜度中的至少一个与其他的倾斜度不同。

[0383] 接着,也可以进行加热处理。加热处理以250℃以上且650℃以下,优选以300℃以上且500℃以下,更优选以320℃以上且450℃以下进行即可。此外,加热处理例如在氮气体或非活性气体气氛下进行。此外,加热处理也可以在减压状态下进行。通过进行上述加热处理,可以在后述的将成为半导体层113金属氧化物膜的沉积之前降低例如绝缘层103及绝缘层104中的水等杂质。

[0384] 另外,在上述加热处理中使用的气体优选被高纯度化。例如,在上述加热处理中使用的气体所包含的水分为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下。通过使用高纯度化了的气体进行加热处理,例如可以尽可能地防止水分被绝缘层103a吸收。

[0385] 接着,通过对导电层117的开口部121中的侧面进行氧化处理,来在导电层117中形成氧化物区域117_{ox}(图15A1、图15A2、图15B及图15C)。在此,图15A2是省略图15A1中的导电

层112的平面图。

[0386] 氧化处理可以通过在含氧气氛下的微波处理进行。图15B及图15C所示的点划线的箭头表示微波或RF等高频、氧等离子体或者氧自由基等。在示出半导体装置的制造方法例子的下面的附图中,点划线的箭头也表示微波或RF等高频、氧等离子体或者氧自由基等。

[0387] 例如,微波处理的条件可以参照上述<半导体装置的构成材料>所示的微波处理的条件。注意,上述氧化处理的方法不局限于微波处理,例如可以利用氧等离子体处理或者热氧化处理。

[0388] 在此,在开口部121中导电层111的一部分露出。此外,导电层112也具有露出的面。如上所述,不仅对导电层117而且对导电层111及导电层112进行上述氧化处理。由此,如上所述,导电层111及导电层112可以使用与导电层117相比不容易被氧化的材料或者即使被氧化也具有导电性的材料,例如可以使用包含氧的导电材料。

[0389] 接着,以与开口部121的底部及侧壁以及导电膜112的顶面的至少一部分接触的方式形成将成为半导体层113的半导体膜。作为该半导体膜可以适当地使用可用于上述半导体层113的半导体,例如可以使用金属氧化物膜。该半导体膜可以适当地利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法形成。在此,该半导体膜优选以与纵横比高的开口部121的底部及侧壁接触的方式形成。因此,在形成该半导体膜时优选利用覆盖性良好的沉积方法,更优选利用CVD法或ALD法等。将成为半导体层113的半导体膜例如可以为利用ALD法沉积的In-Ga-Zn氧化物。

[0390] 此外,在半导体层113具有叠层结构时,包括在半导体层113中的各层的沉积方法可以相同或不同。例如,在半导体层113具有如图8A至图8C所示那样的半导体层113a与半导体层113b的两层结构时,也可以利用溅射法沉积将成为半导体层113a的膜且利用ALD法沉积将成为半导体层113b的膜。

[0391] 利用溅射法沉积的金属氧化物膜容易具有结晶性。于是,通过作为将成为半导体层113a的半导体膜使用具有结晶性的金属氧化物膜,在作为将成为半导体层113b的半导体膜使用金属氧化物膜的情况下,可以提高该金属氧化物膜的结晶性。另外,即使在利用溅射法沉积的将成为半导体层113a的金属氧化物膜中形成有针孔或者断开等,也可以由利用覆盖性良好的ALD法沉积的将成为半导体层113b的金属氧化物膜填埋它们。另外,半导体层113a和半导体层113b的双方也可以利用ALD法沉积。由此,除了半导体层113b以外,还可以提高半导体层113a的覆盖性。

[0392] 在此,将成为半导体层113的半导体膜优选以与开口部121中的导电层111的顶面、开口部121中的绝缘层103、氧化物区域117_{ox}、绝缘层104及导电层112的侧面以及导电层112的顶面接触的方式形成。通过以与导电层111接触的方式形成该半导体膜,导电层111被用作晶体管100的源电极和漏电极中的一个。此外,通过以与导电层112接触的方式形成该半导体膜,导电层112被用作晶体管100的源电极和漏电极中的另一个。

[0393] 在作为将成为半导体层113的半导体膜使用金属氧化物膜的情况下,优选在沉积该金属氧化物膜之后进行上述杂质去除处理,具体地说例如进行微波处理。微波处理的详细内容可以参照上述记载。接着,优选进行加热处理。加热处理在不使上述金属氧化物膜多晶化的温度范围内进行即可,以250℃以上且650℃以下,优选以400℃以上且600℃以下进行即可。加热处理的详细内容可以参照上述记载。如上所述,金属氧化物膜例如可以为

CAAC-OS,可以提供一种可靠性高的半导体装置的制造方法。

[0394] 注意,在上述工序中,在沉积上述半导体膜之后进行加热处理,但本发明的一个方式不局限于此。再者也可以在后面工序中进行加热处理。

[0395] 接着,在对将成为半导体层113的半导体膜例如利用光刻法形成图案之后,根据该图案利用蚀刻法进行加工。由此,形成半导体层113a(图16A、图16B及图16C)。半导体层113的一部分形成在开口部121的内部。此外,半导体层113与导电膜112的侧面及顶面的一部分接触。通过上述工序,以具有与导电层111的顶面接触的区域、与氧化物区域117_{ox}的侧面接触的区域、与导电膜112的侧面接触的区域及与导电膜112的顶面接触的区域且具有位于开口部121的内部的区域的方式形成半导体层113。另外,在开口部121中,半导体层113可以以具有与绝缘层103的侧面接触的区域及与绝缘层104的侧面接触的区域的方式形成。

[0396] 接着,在半导体层113、导电层112及绝缘层104上形成绝缘层105(图16A、图16B及图16C)。绝缘层105可以适当地使用上述绝缘材料。绝缘层105可以适当地利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法形成。在此,绝缘层105以与设置在纵横比高的开口部121中的半导体层113接触的方式形成。因此,绝缘层105优选利用覆盖性良好的沉积方法沉积,更优选利用CVD法或ALD法等。例如,作为绝缘层105利用ALD法沉积氧化硅。

[0397] 注意,在开口部121的侧壁具有锥形形状时,绝缘层105的沉积方法不局限于CVD法或ALD法。例如,也可以利用溅射法沉积绝缘层105。

[0398] 接着,以具有位于开口部121的内部区域且具有夹持半导体层113及绝缘层105对置的区域的方式形成导电层115(图16A、图16B及图16C)。例如,通过在绝缘层105上形成将成为导电层115的导电膜而加工该导电膜,由此可以形成导电层115。将成为导电层115的导电膜可以适当地使用可用于上述导电层115的导电材料。

[0399] 将成为导电层115的导电膜可以适当地利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法形成。在此,该导电膜优选以与设置在纵横比高的开口部121中的绝缘层105接触的方式形成。因此,在形成将成为导电层115的导电膜时优选利用覆盖性或嵌入性良好的沉积方法,更优选利用CVD法或ALD法等。

[0400] 注意,在利用CVD法形成将成为导电层115的导电膜时,该导电膜的顶面的平均表面粗糙度有时变大。此时,例如也可以利用CMP法使该导电膜平坦化。此时,也可以在平坦化处理之前在将成为导电层115的导电膜上沉积氧化硅膜或氧氮化硅膜且直到去除该氧化硅膜或氧氮化硅膜为止进行平坦化处理。

[0401] 在形成将成为导电层115的导电膜之后,例如利用光刻法形成图案,根据该图案利用干蚀刻法或湿蚀刻法等加工该导电膜,由此可以形成导电层115。在此,通过利用干蚀刻法加工该导电膜可以进行微细加工,因此是优选的。

[0402] 在此,如图16A及图16C所示,导电层115的侧端部优选位于半导体层113的侧端部的内侧。因此,如上所述,例如可以减小由导电层112、绝缘层105及导电层115形成的寄生电容。

[0403] 通过上述工序,可以形成包括导电层111、导电层112、半导体层113、绝缘层105、导电层115及导电层117的晶体管100。如上所述,导电层111被用作晶体管100的源电极和漏电极中的一个,导电层112被用作晶体管100的源电极和漏电极中的另一个,绝缘层105被用作晶体管100的第一栅极绝缘层,导电层115被用作晶体管100的第一栅电极。此外,导电层117

被用作晶体管100的第二栅电极,氧化物区域117_{ox}被用作晶体管100的第二栅极绝缘层。具体而言,导电层117的氧化物区域117_{ox}以外的区域被用作晶体管100的第二栅电极,导电层117的氧化物区域117_{ox}被用作晶体管100的第二栅极绝缘层。

[0404] 接着,覆盖晶体管100而形成绝缘层107。具体而言,覆盖导电层115及绝缘层105而形成绝缘层107(图2A1、图2B及图2C)。绝缘层107可以适当地使用上述绝缘材料。绝缘层107可以适当地利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法形成。

[0405] 如上所述,可以制造图2A1、图2B及图2C所示的包括晶体管100的半导体装置。

[0406] <半导体装置的制造方法例子2>

[0407] 下面,作为本发明的一个方式的半导体装置的制造方法,说明图4A至图4C所示的半导体装置的制造方法例子。

[0408] 首先,进行与图13A至图13C所示的工序相同的工序。在此,通过形成将成为导电层111a的导电膜及该导电膜上的将成为导电层111b的导电膜而对这些导电膜进行加工,可以形成导电层111。作为将成为导电层111a的导电膜适当地使用可用于上述导电层111a的导电材料。另外,作为将成为导电层111b的导电膜适当地使用可用于上述导电层111b的导电材料。

[0409] 接着,加工导电层112的一部分、绝缘层104的一部分、导电层117的一部分及绝缘层103的一部分,来形成到达导电层111b的开口部121(图17A及图17B)。注意,平面图可以参照图14A。图17A对应于图14A所示的点划线A1-A2的截面。图17B对应于图14A所示的点划线A3-A4的截面。开口部121可以通过与图14A至图14C所示的方法同样的方法形成。

[0410] 接着,通过对导电层117的开口部121中的侧面进行氧化处理,在导电层117中形成氧化物区域117_{ox}(图17C及图17D)。注意,平面图可以参照图15A1及图15A2。图17C对应于图15A1所示的点划线A1-A2的截面,图17D对应于图15A1所示的点划线A3-A4的截面。氧化处理可以通过与图15A1、图15A2、图15B及图15C所示的方法同样的方法进行。

[0411] 接着,去除导电层111b的与开口部121重叠的区域。由此,使开口部121到达导电层111a(图17E及图17F)。注意,平面图可以参照图15A1及图15A2。图17E对应于图15A1所示的点划线A1-A2的截面。图17F对应于图15A1所示的点划线A3-A4的截面。另外,有时开口部121不到达导电层111a且在导电层111b中形成具有与开口部121重叠的区域的凹部。

[0412] 例如,可以通过利用干蚀刻法或湿蚀刻法加工导电层111b,来去除导电层111b的一部分。在此,优选的是,在导电层111a与导电层111b的蚀刻选择比高的条件,即在导电层111b容易被蚀刻且导电层111a不容易被蚀刻的条件下,对导电层111b进行加工。另外,在导电层111a与导电层111b的蚀刻选择比低的条件下对导电层111b进行加工的情况下,有时在导电层111a中形成具有与开口部121重叠的区域的凹部形成。另外,优选的是,例如在导电层111b与导电层112的蚀刻选择比高的条件下,即导电层111b容易被蚀刻且导电层112不容易被蚀刻的条件下对导电层111b进行加工。在此情况下,不需要进行图案形成。

[0413] 通过进行图17E及图17F所示的工序,即使通过上述氧化处理导电层111b被氧化,也可以去除该被氧化的区域中的至少一部分。由此,如上所述,可以减小导电层111与半导体层113的接触界面的电阻。因此,例如在晶体管100为开启状态的情况下,可以抑制如下情况:电流不流过半导体层113的导电层111与导电层112之间;以及流过的电流减少。如此,可以提供一种可靠性高的半导体装置。另外,例如导电层111可以使用耐氧化性低且导电性高

的材料,由此可以扩大导电层111的材料的选择范围。如上所述,例如导电层111a和导电层111b中的一个可以使用导电性高的导电材料,导电层111a和导电层111b中的另一个可以使用包含氧的导电材料。注意,例如在导电层111为单层的情况下,也可以在上述氧化处理之后例如利用干蚀刻法或湿蚀刻法去除导电层111的被氧化的区域的至少一部分。在此情况下,在导电层111中形成具有与开口部121重叠的区域的凹部。

[0414] 接着,进行与图16A至图16C所示的工序及此后的工序同样的工序。通过上述工序,可以制造如图4A至图4C所示的包括晶体管100的半导体装置。

[0415] <半导体装置的制造方法例子3>

[0416] 以下,说明与图13A至图16C所示的半导体装置的制造方法不同的制造方法例子。

[0417] 首先,进行与图13A至图14C所示的工序同样的工序。接着,通过对导电层117的开口部121中的侧面进行加工,使该侧面后退(图18A1、图18A2、图18B及图18C)。由此,由绝缘层103及绝缘层104和导电层117形成凹部132。上述侧面的加工例如可以通过各向同性蚀刻进行。在此,优选的是,在导电层117与绝缘层103、绝缘层104、导电层111及导电层112的蚀刻选择比高的条件,即导电层117容易被蚀刻且绝缘层103、绝缘层104、导电层111及导电层112不容易被蚀刻的条件下对导电层117进行加工。

[0418] 图18A1、图18A2、图18B及图18C所示的工序可以说是如下工序:在水平方向上(垂直于Z方向的方向)加工导电层117而使导电层117的开口部121中的侧面后退。注意,在图18A2中,以虚线表示图18A1所示的导电层112而不附上阴影线。

[0419] 如上所述,通过对导电层117进行氧化来形成氧化物区域117ox,有时包括氧化物区域117ox的导电层117的体积变大。由此,如图9C及图9D所示,有时氧化物区域117ox具有在开口部121中突出的区域。起因于该突出的区域,有时例如半导体层113不与导电层111接触。于是,通过使导电层117的开口部121中的侧面后退,可以抑制氧化物区域117ox具有在开口部121中突出的区域。由此,例如可以抑制半导体层113不与导电层111接触。因此,可以提供一种成品率高的半导体装置的制造方法。此外,可以提供一种可靠性高的半导体装置。

[0420] 在使导电层117的开口部121中的侧面后退之后,进行与图15A至图16C所示的工序及下面的工序同样的工序。如上所述,可以制造包括图2A1、图2B及图2C所示的晶体管100的半导体装置。另外,在开口部121中的后退的宽度大的情况下,如图9A及图9B所示,有时开口部121中的氧化物区域117ox的侧面位于比绝缘层103及绝缘层104的侧面更靠近导电层111的侧面一侧。

[0421] <半导体装置的制造方法例子4>

[0422] 以下,作为本发明的一个方式的半导体装置的制造方法,说明图6A及图6B所示的半导体装置的制造方法例子。

[0423] 首先,进行与图13A至图14C所示的工序同样的工序。在此,可以在形成绝缘层103a及绝缘层103a上的绝缘层103b且将绝缘层103b平坦化之后,在绝缘层103b上形成绝缘层103c,由此可以形成绝缘层103。另外,可以在形成绝缘层104a及绝缘层104a上的绝缘层104b且将绝缘层104b平坦化之后,在绝缘层104b上形成绝缘层104,由此可以形成绝缘层104。例如,可以通过CMP处理进行平坦化。

[0424] 绝缘层103a、绝缘层103b、绝缘层103c、绝缘层104a、绝缘层104b及绝缘层104c适当地可以使用上述绝缘材料。例如,作为绝缘层103a、绝缘层103c、绝缘层104a及绝缘层

104c,可以使用包含氮的绝缘体。另外,作为绝缘层103b及绝缘层104b,可以使用包含氧的绝缘体。

[0425] 接着,在导电层111、导电层112及绝缘层104c上形成绝缘层106(图19A1、图19B及图19C)。在此,图19A2是省略图19A1中的导电层112的平面图。绝缘层106以至少在开口部121中具有与导电层117的侧面接触的区域的方式形成。另外,绝缘层106可以以在开口部121中具有与导电层111的顶面、绝缘层103的侧面和绝缘层104的侧面中的至少一部分接触的区域的方式形成。并且,绝缘层106可以以具有与导电层112的侧面、导电层112的顶面和绝缘层104c的顶面中的至少一部分接触的区域的方式形成。

[0426] 绝缘层106可以使用可用于绝缘层105的材料,例如可以使用包含氧的绝缘体。例如,作为绝缘层106,可以使用氧化硅。此外,绝缘层106可以利用与可用于绝缘层105的形成方法同样的方法形成。例如,绝缘层106可以利用ALD法或CVD法。

[0427] 接着,通过对导电层117的开口部121中的侧面进行氧化处理,在导电层117中形成氧化物区域117_{ox}(图20A1、图20B及图20C)。在此,图20A2是省略图20A1中的导电层112的平面图。氧化处理可以通过与图15A1、图15A2、图15B及图15C所示的方法同样的方法进行。氧化处理例如可以通过在含氧气氛下的微波处理进行。

[0428] 通过在以具有与导电层117接触的区域的方式形成绝缘层106之后进行上述氧化处理,氧化物区域117_{ox}成为包含导电层117所包含的成分和绝缘层106所包含的成分的区域,由此导电层117和绝缘层106可以被合金化。在此情况下,氧化物区域117_{ox}可以被称为被合金化的区域。例如,在作为导电层117使用氮化钽且作为绝缘层106使用氧化硅的情况下,氧化物区域117_{ox}可以为包含钽、硅、氧及氮的区域。此外,在作为导电层117使用钨且作为绝缘层106使用氧化硅的情况下,氧化物区域117_{ox}可以为包含钨、硅及氧的区域。

[0429] 在此,当绝缘层106的厚度小时,与绝缘层106的厚度大的情况相比导电层117容易被氧化,由此容易形成氧化物区域117_{ox},所以是优选的。绝缘层106的厚度优选为0.1nm以上且15nm以下,更优选为0.1nm以上且10nm以下,进一步优选为0.1nm以上且5nm以下,典型为1nm。另外,优选将绝缘层106的厚度设为将在后面的工序中形成的绝缘层105的厚度以下。优选的是,绝缘层106的与导电层117接触的区域至少一部分是具有上述厚度的区域。

[0430] 接着,去除绝缘层106(图20D及图20E)。图20D是图20A1所示的点划线A1-A2的截面图,图20E是图20A1所示的点划线A3-A4的截面图。例如,可以通过干蚀刻法或湿蚀刻法去除绝缘层106。在此,在以具有与绝缘层104c的顶面接触的区域的方式形成绝缘层106的情况下,优选使绝缘层106所包含的材料与绝缘层104c所包含的材料不同。并且,优选的是,在绝缘层104c与绝缘层106的蚀刻选择比高的条件,即绝缘层106容易被蚀刻且绝缘层104c不容易被蚀刻的条件下去除绝缘层106。由此,当去除绝缘层106时,可以抑制绝缘层104被加工。另外,绝缘层106由于在半导体装置的制造工序中被去除,所以可以被称为牺牲层。

[0431] 接着,进行与图16A至图16C所示的工序及此后的工序同样的工序。如上所述,可以制造包括图6A及图6B所示的晶体管100的半导体装置。注意,有时在半导体装置中残留绝缘层106的一部分。例如,有时在开口部121的侧壁上残留绝缘层106的一部分。另外,有时不能确认到开口部121的侧壁与绝缘层106的边界的至少一部分。

[0432] 通过与制造图6A及图6B所示的结构的情况相比更长时间进行绝缘层103b及绝缘层104b的平坦化处理,可以制造图6C及图6D所示的结构。另外,在制造图6A至图6D所示的结

构的半导体装置的情况下,也可以不形成绝缘层106而在导电层117中形成氧化物区域117_{ox}。此外,当制造图6A至图6D所示的结构的半导体装置以外的半导体装置时,也可以在形成绝缘层106之后在导电层117中形成氧化物区域117_{ox},然后去除绝缘层106。

[0433] <半导体装置的制造方法例子5>

[0434] 以下,说明与图13A至图16C所示的半导体装置的制造方法不同的制造方法例子。

[0435] 首先,进行与图13A至图14C所示的工序同样的工序。接着,通过与图16A至图16C所示的方法同样的方法,形成半导体层113(图21A、图21B及图21C)。然后,通过对导电层117的开口部121中的侧面进行氧化处理,在导电层117中形成氧化物区域117_{ox}(图21D及图21E)。图21D是图21A所示的点划线A1-A2的截面图,图21E是图21A所示的点划线A3-A4的截面图。

[0436] 例如,与图15B及图15C所示的例子同样,氧化处理可以以通过在含氧气氛下的微波处理进行。在此,在图21D及图21E所示的例子中,可以对导电层117进行氧化处理的同时进行半导体层113的杂质去除处理。另外,优选在对导电层117进行氧化处理之后进行加热处理。氧化处理及加热处理的详细内容可以参照上述记载。

[0437] 接着,通过与图16A至图16C所示的方法同样的方法形成绝缘层105及导电层115,形成晶体管100。然后,覆盖晶体管100形成绝缘层107。通过上述工序,可以制造包括图2A1、图2B及图2C所示的晶体管100的半导体装置。

[0438] 如上所述,在本发明的一个方式的半导体装置的制造方法中,以在形成在第一层间绝缘层及第一绝缘层上的第二层间绝缘层中的开口部的内部设置有半导体层、第一栅极绝缘层及第一栅电极的方式形成晶体管。另外,以源电极和漏电极中的一个设置在上述开口部下且源电极和漏电极中的另一个设置在第二层间绝缘层上的方式形成晶体管。另外,形成有上述开口部的第二栅电极形成在第一层间绝缘层与第二层间绝缘层之间,并且对第二栅电极的该开口部中的侧面进行氧化而将氧化物区域用作第二栅极绝缘层。通过上述工序,可以制造沟道长度短且能够控制阈值电压的晶体管。因此,根据本发明的一个方式,例如可以提供一种以高速驱动且电特性良好的半导体装置的制造方法。

[0439] <存储装置的结构例子>

[0440] 以下,说明将本发明的一个方式的半导体装置用于存储装置的例子。

[0441] 图22A1是示出本发明的一个方式的存储装置的结构例子的平面图。本发明的一个方式的存储装置包括具有晶体管100及电容器200的存储单元150。图22A2是省略图22A1中的晶体管100的构成要素的平面图,并示出电容器200的结构例子。图22B是图22A1所示的点划线A1-A2的截面图,图22C是图22A1所示的点划线A3-A4的截面图。

[0442] 在图22A1、图22B及图22C所示的存储装置中,在绝缘层101与绝缘层103及导电层111之间包括导电层211及导电层211上的电容器200。此外,该存储装置包括导电层211上的绝缘层203及绝缘层203上的绝缘层209。在此,导电层211可以以面状设置。另外,绝缘层203及绝缘层209被用作层间绝缘层。

[0443] 绝缘层203包括到达导电层211的开口部221。图22A1及图22A2示出开口部221的从平面看时的形状为圆形的例子。当开口部221的平面形状为圆形时,可以提高形成开口部221时的加工精度,由此可以形成微细尺寸的开口部221。注意,开口部221的平面形状不局限于圆形,可以具有与开口部121可具有的形状同样的形状。

[0444] 电容器200包括导电层214、绝缘层205及导电层215。导电层214及导电层215被用

作电容器200的一对电极,绝缘层205被用作电容器200的介电层。电容器200可以构成MIM (Metal-Insulator-Metal) 电容。

[0445] 导电层214覆盖开口部221,并以具有位于开口部221的内部的区域的方式设置。导电层214可以具有沿着导电层211的顶面以及绝缘层203的侧面及顶面的形状。由此,导电层214在与开口部221重叠的位置上具有凹部。导电层214可以具有与导电层211的顶面接触的区域、与绝缘层203的侧面接触的区域及与绝缘层203的顶面接触的区域。

[0446] 绝缘层205覆盖开口部221,并以具有位于开口部221的内部的区域的方式设置。绝缘层205设置在导电层214及绝缘层203上。绝缘层205可以具有沿着导电层214的顶面及侧面以及绝缘层203的顶面的形状的形状。通过绝缘层205具有沿着导电层214的顶面及侧面的形状,绝缘层205在与开口部221重叠的位置上具有凹部。绝缘层205可以具有与导电层214的顶面接触的区域、与导电层214的侧面接触的区域及与绝缘层203的顶面接触的区域。

[0447] 导电层215设置在绝缘层205上,并可以具有与绝缘层205的顶面及凹部侧面接触的区域。导电层215具有位于开口部221的内部的区域。导电层215与导电层214不仅在开口部221的底部而且在沿着侧壁的位置上夹持绝缘层205对置。由此,开口部221的深度越深,可以使电容器200的单位面积的容量值越大。因此,可以稳定地进行存储装置的读出工作,可以提供一种可靠性高的存储装置。另外,即使电容器200的占有面积小也可以确保容量值,由此可以提供一种微型化的存储装置及高集成化的存储装置。如上所述,既可以提供一种小型存储装置,又可以提供一种大容量存储装置。在此,导电层214可以在开口部221的内部隔着绝缘层205覆盖导电层215的侧面及底面。例如,在开口部221的内部,绝缘层205可以具有与导电层214的侧面接触的区域、与导电层214的凹部顶面接触的区域、与导电层215的侧面接触的区域及与导电层215的底面接触的区域。

[0448] 在图22A1、图22A2、图22B及图22C中,示出导电层215的侧端部在X方向及Y方向上都位于导电层214的侧端部的内侧的例子。注意,在X方向和Y方向中的一方或双方上,导电层215的侧端部也可以位于导电层214的侧端部的外侧。

[0449] 电容器200是如下电容器:沿着绝缘层203的侧面及导电层211的顶面层叠有导电层214及绝缘层205且以嵌入开口部221的方式在绝缘层205上设置有导电层215。具有上述结构的电容器可以说是沟槽型电容器或沟槽电容器。

[0450] 开口部221的侧壁优选垂直于导电层211的顶面。此时,开口部221例如具有圆筒形状。通过采用这种结构,可以提供一种微型化的存储装置及高集成化的存储装置。另外,开口部221的侧壁例如可以为图5A至图5D所示的开口部121的侧壁那样的锥形形状。

[0451] 绝缘层209在开口部221的外部覆盖导电层215的侧面。绝缘层209在开口部221的外部例如具有与导电层215的侧面接触的区域。绝缘层209及导电层215被平坦化,绝缘层209的顶面与导电层215的顶面可以一致或大致一致。注意,图22B及图22C示出绝缘层205以面状设置的例子,但是绝缘层205的侧端部与导电层215的侧端部也可以一致或大致一致。例如,通过使用与导电层215相同的图案加工绝缘层205,可以使绝缘层205的侧端部与导电层215的侧端部一致或大致一致。

[0452] 为了形成图22A1、图22A2、图22B及图22C所示的电容器200,在形成导电层214及绝缘层205之后,将成为导电层215的导电膜形成在绝缘层205上。接着,例如,通过利用光刻法形成图案而根据该图案利用干蚀刻法或湿蚀刻法等加工该导电膜,形成导电层215。然后,

通过在导电层215及绝缘层205上形成绝缘层209并例如利用CMP法对绝缘层209进行平坦化处理,使导电层215的顶面露出。此时,例如,为了容易形成电容器200上的晶体管100,优选对导电层215的顶面进行平坦化。以上是电容器200的制造方法的一个例子。

[0453] 以下,说明本发明的一个方式的存储装置的构成要素。

[0454] 作为导电层211,可以使用上述[导电体]中记载的导电体的单层或叠层。作为导电层211,例如可以使用导电性高的导电材料,例如可以使用钨。

[0455] 另外,作为导电层211,可以使用不容易氧化的导电材料或具有抑制氧扩散的功能的导电材料等的单层或叠层。例如,也可以使用氮化钛或添加有硅的铟锡氧化物等。此外,也可以具有钨上层叠有氮化钛的结构。或者,也可以具有依次层叠第一氮化钛、钨和第二氮化钛的结构。通过采用这种结构,可以抑制在绝缘层203使用氧化物绝缘体时导电层211被绝缘层203氧化。

[0456] 绝缘层203及绝缘层209被用作层间绝缘层,所以其相对介电常数优选低。通过将相对介电常数低的材料用于层间绝缘层,可以减少产生在布线之间的寄生电容。作为绝缘层203及绝缘层209,可以使用上述[绝缘体]中记载的包含相对介电常数低的地方的绝缘体的单层或叠层。尤其是,氧化硅及氮化硅具有热稳定性,所以是优选的。

[0457] 作为导电层214及导电层215,可以使用上述[导电体]中记载的导电体的单层或叠层。作为导电层214及导电层215,优选使用不容易氧化的导电材料或者具有抑制氧扩散的功能的导电材料等。例如,可以使用氮化钛或氮化钽等。另外,也可以具有氮化钛上层叠有氮化钽的结构。通过采用这种结构,在绝缘层205使用氧化物绝缘体的情况下,可以抑制导电层214及导电层215被绝缘层205氧化。此外,在绝缘层203使用氧化物绝缘体的情况下,可以抑制导电层214被绝缘层203氧化。并且,在绝缘层209使用氧化物绝缘体的情况下,可以抑制导电层215被绝缘层209氧化。

[0458] 作为绝缘层205,优选使用上述[绝缘体]中记载的相对介电常数高的材料,即所谓的high-k材料。通过绝缘层205使用high-k材料,可以将绝缘层205的厚度增加到能够抑制泄漏电流的程度且可以充分确保电容器200的容量值。

[0459] 另外,作为绝缘层205,优选层叠由high-k材料构成的绝缘层而使用,优选使用相对介电常数高的(high-k)材料与介电强度大于该high-k材料的材料的叠层结构。例如,作为绝缘层205,可以使用依次层叠有氧化锆、氧化铝及氧化锆的绝缘膜。另外,例如,可以使用依次层叠有氧化锆、氧化铝、氧化锆及氧化铝的绝缘膜。另外,例如,可以使用依次层叠有钪锆氧化物、氧化铝、钪锆氧化物、氧化铝的绝缘膜。通过作为绝缘层205层叠氧化铝等介电强度较大的绝缘体而使用,可以提高绝缘层205的介电强度而可以抑制电容器200的静电破坏。

[0460] 此外,作为绝缘层205,也可以使用可具有铁电性的材料。作为可具有铁电性的材料,可以举出氧化钪、氧化锆及 HfZrO_x (X为大于0的实数) 等金属氧化物。此外,作为可具有铁电性的材料,可以举出对氧化钪添加元素J1 (在此,元素J1为选自锆、硅、铝、钒、钇、镧和铈等中的一个或多个) 的材料。在此,可以适当地设定钪原子的原子个数与元素J1的原子个数之比,例如,可以将钪原子的原子个数与元素J1的原子个数之比设定为1:1或其附近。此外,作为可具有铁电性的材料,可以举出对氧化锆添加元素J2 (在此,元素J2为选自钪、硅、铝、钒、钇、镧和铈等中的一个或多个) 的材料等。此外,可以适当地设定锆原子的原子个数

与元素J2的原子个数之比,例如,可以将锆原子的原子个数与元素J2的原子个数之比设定为1:1或其附近。此外,作为可具有铁电性的材料,也可以使用钛酸铅(PbTiO_x)、钛酸钡锶(BST)、钛酸锶、锆钛酸铅(PZT)、钽酸锶铋(SBT)、铁酸铋(BFO)或钛酸钡等具有钙钛矿结构的压电陶瓷。

[0461] 图22D1是示出图22A1、图22B及图22C所示的存储单元150所包括的晶体管100及电容器200的连接关系的电路图。晶体管100的源极和漏极中的一个与电容器200的一个电极电连接。晶体管100的源极和漏极中的另一个与布线BL电连接。晶体管100的第一栅极与布线WL电连接。晶体管100的第二栅极与布线BG电连接。电容器200的另一个电极与布线PL电连接。

[0462] 布线BL对应于导电层112,布线WL对应于导电层,布线BG对应于导电层117,布线PL对应于导电层211。换言之,导电层112具有用作布线BL的区域,导电层115具有用作布线WL的区域,导电层117具有用作布线BG的区域,导电层211具有用作布线PL的区域。另外,导电层214也可以具有用作布线PL的区域。

[0463] 晶体管100被用作开关,并具有控制对存储单元150写入数据以及从存储单元150读出数据。通过使晶体管100成为开启状态,将数据写入到存储单元150或者将数据从存储单元150读出。通过使晶体管100成为关闭状态,保持写入到存储单元150的数据。

[0464] 布线BL被用作用来进行数据的写入及读出的位线。布线WL被用作用来控制用作开关的晶体管100的开启或关闭(导通状态或非导通状态)的字线。布线PL被用作连接于电容器200的恒电位线。此外,布线BG的电位为晶体管100的第二栅极的电位。

[0465] 图22D2是示出存储单元150A的结构例子的电路,存储单元150A具有对图22D1中的存储单元150追加了晶体管151的结构。在存储单元150A中,晶体管100的源极和漏极中的一个及电容器200的一个电极与晶体管151的栅极电连接。晶体管100的源极和漏极中的另一个与布线WBL电连接。晶体管151的源极和漏极中的一个与布线RBL电连接。晶体管151的源极和漏极中的另一个与布线SL电连接。

[0466] 图22D2示出晶体管151中不设置有第二栅电极的例子,在晶体管151中除了第一栅电极以外还可以设置第二栅电极。在此情况下,例如,对晶体管151的第二栅电极可以供应恒电位或与晶体管151的第一栅电极的电位相同的电位。另外,在从存储单元150A读出数据的情况以外的情况下,可以使晶体管151的第二栅极电位的电位不同。

[0467] 布线WBL被用作用来进行数据的写入的位线,并被称为写入位线。布线RBL被用作用来进行数据的读出的位线,并被称为读出位线。布线SL被用作恒电位线。

[0468] 在存储单元150A中,当使晶体管100成为开启状态时,通过布线WBL数据被写入。此时,在晶体管151为n沟道型晶体管的情况下,布线PL的电位为低电位。另外,通过使晶体管100成为关闭状态而使布线PL的电位从低电位改变到高电位,根据保持在存储单元150A的数据的电流从布线SL向布线RBL流过,由此从存储单元150A读出数据。因此,在存储单元150A中,布线PL被供应脉冲信号(在进行特定工作的期间电位变动的信号)。另外,也可以对布线SL供应脉冲信号。在此情况下,可以对布线PL供应恒电位。

[0469] OS晶体管在关闭状态下流过源极和漏极之间的电流,即泄漏电流极小。由此,通过将OS晶体管用作晶体管100,可以在电容器200中长期保持对应于保持在存储单元的数据的电荷。因此,可以在存储单元中长期保持数据。由此,由于可以不需要刷新工作或刷新

工作的频度极低,所以可以充分降低存储装置的功耗。另外,由于0S晶体管的频率特性高,所以可以对存储单元高速写入数据以及从存储单元高速读出数据。

[0470] 晶体管151可以为与0S晶体管相比通态电流大的晶体管,例如可以为Si晶体管。由此,可以从存储单元150A高速读出数据。此外,可以将0S晶体管用于晶体管151。在此情况下,可以使存储单元150A所包括的所有晶体管的种类相同。由此,例如,存储单元150A所包括的所有晶体管可以通过相同的工序形成。

[0471] 图23A、图23B及图23C分别示出不设置图22A1、图22B及图22C所示导电层111及绝缘层209的例子。图23B及图23C示出开口部121到达导电层215且半导体层113的底面与导电层215接触的例子。此外,图23B及图23C示出绝缘层103覆盖导电层215的侧面及顶面的一部分的例子。

[0472] 在图23A至图23C所示的例子中,导电层215被用作晶体管100的源电极和漏电极中的一方。在此情况下,导电层215优选使用与可用于导电层111的材料同样的材料。例如,导电层215优选使用与导电层117相比不容易被氧化的材料或者被氧化也具有导电性的材料。

[0473] 图24A是示出使两个存储单元150(以下,称为存储单元150a及存储单元150b)连接于相同布线的存储装置的例子的平面图。图24B是图24A所示的点划线A3-A4的截面图。

[0474] 在此,图24A及图24B所示的存储单元150a及存储单元150b具有与存储单元150同样的结构。存储单元150a包括电容器200a及晶体管100a,存储单元150b包括电容器200b及晶体管100b。因此,在图24A及图24B所示的存储装置中,对具有与构成图22A1、图22B及图22C所示的存储装置的构成要素相同功能的构成要素附上相同符号。

[0475] 如图24A及图24B所示,用作布线WL的导电层115分别设置在存储单元150a及存储单元150b中。另外,用作布线BL的一部分的导电层112共同设置在存储单元150a及存储单元150b中。换言之,导电层112具有接触于存储单元150a的半导体层113的区域及存储单元150b的半导体层113的区域。另外,绝缘层107上设置有用作层间绝缘层的绝缘层109。

[0476] 在此,图24A及图24B所示的存储装置包括电连接于存储单元150a及存储单元150b而被用作插头(也可以被称为连接电极)的导电层141及导电层142。导电层141配置在形成在绝缘层101、绝缘层203、绝缘层205、绝缘层209、绝缘层103及绝缘层104中的开口部内且接触于导电层112的底面。另外,导电层142配置在形成在绝缘层109、绝缘层107及绝缘层105中的开口部内且接触于导电层112的顶面。另外,作为导电层141及导电层142可以使用可用于导电层112的导电材料等。

[0477] 绝缘层109被用作层间绝缘层,所以其相对介电常数优选低。通过将相对介电常数低的材料用于层间绝缘层,可以减少产生在布线之间的寄生电容。作为绝缘层109,可以使用上述[绝缘体]中记载的包含相对介电常数低的材料的绝缘体的单层或叠层。

[0478] 另外,绝缘层109中的水及氢等的杂质浓度优选得到降低。由此,可以抑制水及氢等杂质混入半导体层113的沟道形成区域中。

[0479] 导电层141及导电层142被用作电连接开关、晶体管、电容器、电感器、电阻器及二极管等电路元件、布线、电极或端子与存储单元150a及存储单元150b的插头或布线。例如,可以采用如下结构:导电层141与设置在图24B所示的存储装置下的读出放大器(未图示)电连接,并且导电层142与设置在图24B所示的存储装置上的同样的存储装置(未图示)电连接。在此情况下,导电层141及导电层142被用作布线BL的一部分。如此,通过在图24B所示的

存储装置之上或下设置存储装置等,可以增大单位面积的存储容量。

[0480] 另外,存储单元150a和存储单元150b以点划线A3-A4的垂直平分线为对称轴呈线对称。因此,晶体管100a和晶体管100b也夹着导电层141及导电层142配置在对称的位置上。在此,导电层112兼作晶体管100a的源电极和漏电极中的另一个以及晶体管100b的源电极和漏电极中的另一个。另外,晶体管100a及晶体管100b共同使用用作插头的导电层141及导电层142。如此,通过作为两个晶体管与插头的连接关系采用上述结构,可以提供一种可以实现微型化或高集成化的存储装置。

[0481] 另外,用作布线PL的导电层211既可以分别设置在存储单元150a及存储单元150b中,也可以共同设置在存储单元150a及存储单元150b中。与此同样,用作布线BG的导电层117既可以分别设置在存储单元150a及存储单元150b中,也可以共同设置在存储单元150a及存储单元150b中。注意,如图24B所示,导电层211以与导电层141分离的方式设置免得导电层211与导电层141短路。与此同样,导电层117以与导电层141分离的方式设置免得导电层117与导电层141短路。

[0482] 另外,通过将存储单元150以三维方式且以矩阵状配置,可以构成存储单元阵列。作为存储单元阵列的一个例子,图25A及图25B示出在X方向、Y方向及Z方向上配置两个×四个×四个存储单元150的存储装置的例子。图25A是示出存储装置的结构例子的平面图。另外,图25B是图25A中的点划线A3-A4的截面图。

[0483] 在此,图25A及图25B所示的存储单元150a至存储单元150d具有与存储单元150同样的结构。存储单元150a包括电容器200a及晶体管100a,存储单元150b包括电容器200b及晶体管100b,存储单元150c包括电容器200c及晶体管100c,存储单元150d包括电容器200d及晶体管100d。因此,在图25A及图25B所示的存储装置中,对具有与构成图22A1、图22A2、图22B及图22C所示的存储装置的构成要素相同功能的构成要素附上相同符号。

[0484] 以下,多个存储单元150的集合被称为存储器单元。在图25A及图25B所示的存储装置中,设置有包括存储单元150a、存储单元150b、存储单元150c及存储单元150d的存储器单元160。图25A及图25B示出存储器单元160[1,1]至存储器单元160[4,2]。依次层叠有存储器单元160[1,1]至存储器单元160[4,1]。此外,依次层叠有存储器单元160[1,2]至存储器单元160[4,2]。并且,在X方向上存储器单元160[1,2]至存储器单元160[4,2]与存储器单元160[1,1]至存储器单元160[4,1]相邻。

[0485] 如图25B所示,在存储器单元160中,以导电层141为中心存储单元150a的外侧配置有存储单元150c且存储单元150b的外侧配置有存储单元150d。换言之,也可以说图24A及图24B所示的存储装置是在图24A及图24B所示的存储装置中与存储单元150a相邻地设置存储单元150c且与存储单元150b相邻地设置存储单元150d的存储装置。

[0486] 如图25A及图25B所示,在X方向上相邻的存储单元150共同使用用作布线WL的导电层115。另外,在相同的存储器单元内共同使用用作布线BL的一部分的导电层112。换言之,导电层112具有接触于存储单元150a至存储单元150d各自中的半导体层113的区域。

[0487] 导电层141设置在Z方向上相邻的存储器单元所包括的导电层112间。例如,如图25B所示,导电层141以与存储器单元160[1,1]中的导电层112的顶面及存储器单元160[2,1]中的导电层112的底面接触的方式设置。如此,由设置在各存储器单元160中的导电层112及导电层141形成布线BL。导电层141电连接于设置在图25B所示的存储装置下的读出放大

器(未图示)。如此,通过在图25B所示的存储装置中层叠多个存储器单元,可以增大单位面积的存储容量。

[0488] 另外,存储单元150a及存储单元150c和存储单元150b及存储单元150d以点划线A3-A4的垂直平分线为对称轴呈线对称。因此,晶体管100a及晶体管100c和晶体管100b及晶体管100d也夹着导电层141配置在对称的位置上。在此,导电层112被用作晶体管100a至晶体管100d的源电极和漏电极中的另一个。另外,晶体管100a至晶体管100d共同使用用作插头的导电层141。如此,通过作为四个晶体管与插头的连接关系采用上述结构,可以提供能够实现微型化或高集成化的存储装置。

[0489] 如图25B所示,通过层叠多个存储单元150,可以集成地配置单元而无需增大存储单元阵列的占有面积。就是说,可以构成3D存储单元阵列。注意,图25A及图25B示出具有层叠四个包括两个存储器单元160的层的结构的例子,但是本发明的一个方式不局限于此。在存储装置中,既可以包括一个至少包括一个存储单元150的层,又可以层叠两个以上的上述层。

[0490] 图25A及图25B示出用作插头的导电层141配置在存储单元150之间的结构的例子。换言之,图25B示出用作插头的导电层141配置在存储器单元160的内侧的结构。注意,本发明的一个方式不局限于此。导电层141可以配置在存储器单元的外侧。

[0491] 作为存储单元阵列的一个例子,图26A及图26B示出在X方向、Y方向及Z方向上配置三个×三个×四个存储单元150的存储装置的例子。图26A是示出存储装置的结构例子的平面图。另外,图26B是图26A的点划线A3-A4的截面图。在图26B中,设置有存储单元150的层为层170,并且示出依次设置层170[1]至层170[4]的例子。

[0492] 图26A及图26B示出导电层141设置在设置有存储单元150的区域的外侧的例子。导电层141可以与设置在包括该导电层141的层的上层的导电层212电连接。例如,设置在层170[1]中的导电层141与设置在层170[2]中的导电层212电连接。另外,例如设置在层170[2]中的导电层212设置在与包括在层170[2]中的导电层211相同的层中。也就是说,导电层212可以通过与导电层211相同的工序形成。

[0493] 注意,图26A及图26B示出导电层141与设置在包括该导电层141的层的上层的导电层212电连接的结构,但是本发明的一个方式不局限于此。例如,导电层141也可以与设置在包括该导电层141的层中的导电层212电连接。例如,设置在层170[1]中的导电层141也可以与设置在层170[1]中的导电层212电连接。

[0494] 图27是示出图25B所示的存储器单元160[1,1]至存储器单元160[4,1]的下层的晶体管300的结构例子的图。图27示出晶体管300的栅电极与用作布线BL的一部分的导电层141电连接的例子。晶体管300可以为设置在具有控制本发明的一个方式的半导体装置的驱动的功能的电路的驱动电路中的晶体管。例如,图27所示的晶体管300可以为控制对存储单元150的数据的写入及读出的位线驱动电路所包括的晶体管,例如可以为包括在位线驱动电路的放大器中的晶体管。

[0495] 晶体管300设置在衬底311上,并包括用作栅电极的导电层316、用作栅极绝缘层的绝缘层315、由衬底311的一部分构成的半导体区域313、用作源极区域和漏极区域中的一个的低电阻区域314a、用作源极区域和漏极区域中的另一个的低电阻区域314b。晶体管300可以为n沟道型晶体管或p沟道型晶体管。

[0496] 在图27所示的例子中,以与存储器单元160重叠的方式设置晶体管300。由此,可以缩短用作位线的布线BL,可以减小由布线BL形成的寄生电容(也称为位电容)。因此,即使减小存储单元150的存储电容,也可以保持从存储单元150读出值为“1”的数据时的布线BL的电位与从存储单元150读出值为“0”的数据时的布线BL的电位之差。由此,即使减小存储单元150的存储电容,本发明的一个方式的半导体装置也可以正确读出保持在存储单元150中的数据。由于可以减小存储单元150的存储电容,所以例如可以减小电容器200的容量值。因此,可以减小存储单元150的占有面积。如上所述,可以提供能够微型化或高集成化的存储装置。

[0497] 在此,图27所示的晶体管300的形成有沟道的半导体区域313(衬底311的一部分)具有凸部形状。另外,以隔着绝缘层315覆盖半导体区域313的侧面及顶面的方式设置导电层316。此外,导电层316也可以使用调整功函数的材料。由于这种晶体管300利用半导体衬底的凸部,所以被称为FIN型晶体管。另外,也可以以与凸部的上部接触的方式包括用作用来形成凸部的掩模的绝缘层。此外,在此示出加工半导体衬底的一部分而形成凸部的情况,但是也可以加工SOI衬底而形成具有凸部形状的半导体膜。

[0498] 注意,图27所示的晶体管300是一个例子,所以不局限于其结构,可以根据电路结构或驱动方法使用适当的晶体管。

[0499] 在各结构体之间也可以设置有包括层间绝缘层、布线及插头等的布线层。另外,可以根据设计设置多个布线层。在此,在具有插头或布线的功能的导电层中,有时使用相同的符号表示多个结构要素。另外,在本说明书中,布线与电连接于布线的插头也可以是一个结构要素。也就是说,导电层的一部分有时被用作布线,并且导电层的一部分有时被用作插头。

[0500] 例如,在晶体管300上,作为层间绝缘层依次层叠有绝缘层320、绝缘层322、绝缘层324及绝缘层326。此外,绝缘层320及绝缘层322嵌入有导电层328,绝缘层324及绝缘层326嵌入有导电层330。另外,导电层328及导电层330被用作插头或布线。

[0501] 如上所述,用作层间绝缘层的层也可以被平坦化。例如,为了提高平坦性,绝缘层322的顶面也可以通过利用CMP法等平坦化处理进行平坦化。

[0502] 在绝缘层326及导电层330上也可以设置布线层。例如,在图27中,依次层叠有绝缘层350、绝缘层352及绝缘层354。此外,绝缘层350、绝缘层352及绝缘层354中形成有导电层356。导电层356被用作插头或布线。

[0503] 绝缘层354及导电层356上设置有绝缘层101。此外,导电层356上设置有导电层141。例如,导电层141具有与导电层356的顶面接触的区域,导电层356具有与导电层330的顶面接触的区域,导电层330具有与导电层316接触的区域。由此,用作布线BL的一部分的导电层141与用作晶体管300的栅电极的导电层316电连接。

[0504] 用作层间绝缘层的绝缘层352及绝缘层354等例如可以使用与可用于绝缘层101的材料同样的材料。

[0505] 作为用作插头或布线的导电层,例如作为导电层328、导电层330及导电层356等,可以使用上述[导电体]中记载的导电层。优选使用兼具耐热性和导电性的钨或钼等的高熔点材料,尤其优选使用钨。此外,优选使用铝或铜等的低电阻导电材料形成。在使用低电阻导电材料时,可以降低布线电阻。

[0506] 图28A是示出本发明的一个方式的存储装置的结构例子的平面图,其中示出在X方向及Y方向上分别包括四个即总有十六个的图22A1所示的存储单元150的区域。图28A示出用作布线WL的导电层115、用作布线BL的导电层112及开口部121。另外,在导电层115、导电层112及开口部121彼此重叠的区域中设置存储单元150。换言之,开口部121设置在导电层112的导电层112与导电层115交叉的区域中。

[0507] 图28A示出存储单元150以矩阵状配置的结构。此外,还示出开口部121以矩阵状配置的结构。此外,还示出导电层115延伸在X方向上且导电层112延伸在Y方向上的结构。换言之,其中示出导电层115与导电层112正交的结构。此外,还示出垂直于导电层115的延伸方向的方向(Y方向)上的导电层115的宽度为一定且垂直于导电层112的延伸方向的方向(X方向)上的导电层112的宽度为一定的结构。注意,本发明的一个方式不局限于此。

[0508] 图28B是存储装置的平面布局的另一个例子。与图28A同样,在图28B的平面布局中示出导电层115、导电层112及开口部121。图28B所示的存储装置与图28A所示的存储装置的主要不同之处在于:存储单元150(开口部121)的配置;导电层112的形状;以及导电层115的延伸方向。

[0509] 如图28B所示,存储单元150(开口部121)在X方向上配置为锯齿形状。在图28B中,将在Y方向上与第一存储单元相邻的存储单元设为第二存储单元,将在X方向上与第一存储单元及第二存储单元相邻的存储单元设为第三存储单元。例如,第三存储单元的中心优选位于穿过第一存储单元与第二存储单元的中间且平行于X方向的直线上。此时,也可以说第三存储单元位于在Y方向上与第一存储单元及第二存储单元错开一半的位置上。

[0510] 另外,如图28B所示,导电层112具有第一区域及第二区域。第一区域是开口部121及其附近的区域,将第一区域中的X方向上的宽度设为第一宽度。从平面看时的第一区域可以说具有四角形的角部带弧形的形状。另外,第二区域是在一个导电层112中相邻的开口部121之间的区域,将第二区域中的X方向上的宽度设为第二宽度。此时,第二宽度优选小于第一宽度。通过采用这种结构,当在X方向上存储单元150(开口部121)配置为锯齿形状时,可以缩小导电层112之间的物理距离。由此,可以实现存储装置的微型化及高集成化。

[0511] 另外,在图28B中,导电层115的延伸方向以倾斜于X方向的方式配置。也就是说,根据存储单元150(开口部121)的配置,有时导电层115的延伸方向不与导电层112的延伸方向正交。换言之,导电层115与导电层112交叉即可。

[0512] 图28C是存储装置的平面布局的另一个例子。与图28B同样,在图28C的平面布局中示出导电层115、导电层112及开口部121。图28C所示的存储装置与图28B所示的存储装置的主要不同之处是导电层112的第一区域的形状。

[0513] 图28B所示的导电层112的第一区域在从平面看时具有四角形的角部带弧形的形状,该四角形的一个边平行于X方向或Y方向。另一方面,图28C所示的导电层112的第一区域在从平面看时具有四角形的角部带弧形的形状,该四角形的对角线平行于X方向或Y方向。通过采用这种结构,当在X方向上存储单元150(开口部121)配置为锯齿形状时,可以缩小导电层112之间的物理距离。由此,可以实现存储装置的微型化及高集成化。

[0514] 图28B及图28C示出导电层112的第一区域在从平面看时具有四角形的角部带弧形的形状的例子,但是本发明的一个方式不局限于此。

[0515] 图29A是存储装置的平面布局的另一个例子。与图28B及图28C同样,在图29A的平

面布局中示出导电层115、导电层112及开口部121。图29A所示的存储装置与图28B及图28C所示的存储装置的主要不同之处是导电层112的第一区域的形状。

[0516] 图29A所示的导电层112的第一区域在从平面看时具有圆形状。通过采用这种结构,当在X方向上存储单元150(开口部121)配置为锯齿形状时,可以缩小导电层112之间的物理距离。由此,可以实现存储装置的微型化及高集成化。

[0517] 注意,从平面看时的导电层112的第一区域不局限于上述形状。例如,从平面看时的导电层112的第一区域也可以具有椭圆形等大致圆形、四角形等多角形或者四角形等多角形的角部带弧形的形状。

[0518] 另外,图29A示出垂直于导电层115的延伸方向的方向上的导电层115的宽度为一定的结构,但是本发明的一个方式不局限于此。

[0519] 图29B是存储装置的平面布局的另一个例子。与图29A同样,在图29B的平面布局中示出导电层115、导电层112及开口部121。图29B所示的存储装置与图29A所示的存储装置的主要不同之处是导电层115的形状。

[0520] 与导电层112同样,图29B所示的导电层115具有第一区域及第二区域。第一区域是开口部121及其附近的区域,并在从平面看时具有圆形状。另外,第二区域是在一个导电层115中相邻的开口部121之间的区域。另外,导电层115的第一区域与导电层112的第一区域重叠。通过采用这种结构,当在X方向上存储单元150(开口部121)配置为锯齿形状时,可以缩小导电层112之间的物理距离。由此,可以实现存储装置的微型化及高集成化。

[0521] 图29C是存储装置的平面布局的另一个例子。与图29A同样,在图29C的平面布局中示出导电层115、导电层112及开口部121。图29C所示的存储装置与图29A所示的存储装置的主要不同之处是导电层115的形状及延伸方向。

[0522] 图29C所示的导电层115在从平面看时具有三角波那样蜿蜒的形状,并延伸在在X方向上。通过采用这种结构,当在X方向上存储单元150(开口部121)配置为锯齿形状时,可以缩小导电层112之间的物理距离。由此,可以实现存储装置的微型化及高集成化。另外,从平面看时的导电层115不局限于此,例如也可以具有蛇行形状。

[0523] 通过采用上述结构,可以使导电层115之间的物理距离和导电层112之间的物理距离中的一方或双方缩小,可以实现存储装置的微型化及高集成化。

[0524] 将在后面的实施方式中详细地说明包括3D存储单元阵列的存储装置。

[0525] 以上,本实施方式所示的结构及方法等的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0526] (实施方式2)

[0527] 在本实施方式中,说明使用上述实施方式中说明的存储单元的存储装置的结构例子。在本实施方式中说明存储装置的结构例子,其中包括层叠的存储单元的层之间设置有包括具有放大保持在存储单元中的数据电位并将其输出的功能的功能电路的层。

[0528] <存储装置的结构例子>

[0529] 图30是示出根据本发明的一个方式的存储装置的存储装置400的结构例子的方框图。图30所示的存储装置400包括驱动电路21及存储器阵列20。存储器阵列20包括多个存储单元10及具有多个功能电路51的功能层50。

[0530] 图30示出存储器阵列20包括配置为m行n列(m及n为2以上的整数)的矩阵状的多个

存储单元10的例子。此外,作为一个例子,按每个用作位线的布线BL设置功能电路51。图30示出包括对应n个布线BL设置的多个功能电路51的例子。

[0531] 在图30中,将第1行第1列存储单元10表示为存储单元10[1,1],将第m行第n列存储单元10表示为存储单元10[m,n]。另外,例如在本实施方式中,有时记作i行来表示任意行。另外,有时记作j列来表示任意列。因此,i为1以上且m以下的整数,j为1以上且n以下的整数。另外,例如在本实施方式中,将第i行第j列存储单元10表示为存储单元10[i,j]。注意,例如在本实施方式中,当表示为“i+ α ”(α为正整数或负整数)时,“i+ α ”不小于1且不大于m。同样,当表示为“j+ α ”时,“j+ α ”不小于1且不大于n。

[0532] 另外,存储器阵列20包括延伸在行方向上的m个布线WL、延伸在行方向上的m个布线PL以及延伸在列方向上的n个布线BL。例如在本实施方式中,将第一个(第1行)设置的布线WL表示为布线WL[1],将第m个(第m行)设置的布线WL表示为布线WL[m]。同样地,将第一个(第1行)设置的布线PL表示为布线PL[1],将第m个(第m行)设置的布线PL表示为布线PL[m]。同样地,将第一个(第1列)设置的布线BL表示为布线BL[1],将第n个(第n列)设置的布线BL表示为布线BL[n]。

[0533] 设置在第i行的多个存储单元10与第i行布线WL(布线WL[i])和第i行布线PL(布线PL[i])电连接。设置在第j列的多个存储单元10与第j列布线BL(布线BL[j])电连接。

[0534] 存储器阵列20可以使用DOSRAM(注册商标)(Dynamic Oxide Semiconductor Random Access Memory)。DOSRAM是包括1T(晶体管)1C(电容器)型存储单元的RAM,且是存取晶体管为0S晶体管的存储器。0S晶体管在关闭状态下流过源极和漏极之间的电流,即泄漏电流极小。在DOSRAM中,通过使存取晶体管处于关闭状态,可以长时间保持根据保持在电容器中的数据的电荷。因此,与由Si晶体管构成的DRAM相比,DOSRAM的刷新工作的频度可以更低。其结果是,可以实现低功耗化。

[0535] 另外,存储单元10如实施方式1所说明那样通过层叠配置0S晶体管,可以层叠设置存储单元10。例如在图30所示的存储器阵列20中可以层叠设置多个存储器阵列20[1]至存储器阵列20[m]。通过将存储器阵列20所包括的存储器阵列20[1]至存储器阵列20[m]配置在垂直于设置有驱动电路21的衬底表面的方向上,可以提高存储单元10的存储器密度。此外,存储器阵列20可以在垂直方向上反复使用相同的制造工序制造。存储装置400可以降低存储器阵列20的制造成本。由此,存储装置400可以为廉价的存储装置。

[0536] 如实施方式1所示,布线BL被用作进行数据的写入及读出的位线。布线WL被用作控制用作开关的存取晶体管的开启状态或关闭状态的字线。布线PL被用作连接到电容器的恒电位线。

[0537] 存储器阵列20[1]至20[m]分别包括的存储单元10通过布线BL与功能电路51连接。布线BL可以配置在垂直于设置有驱动电路21的衬底表面的方向上。通过将从存储器阵列20[1]至20[m]所包括的存储单元10延伸设置的布线BL设置在垂直于衬底表面的方向上,可以缩短存储器阵列20与功能电路51之间的布线的长度。因此,由于可以缩短连接于位线的两个电路之间的信号传输距离且可以大幅度降低位线的电阻及寄生电容,所以可以降低功耗及信号延迟。此外,即使降低存储单元10所包括的容量值也可以进行工作。

[0538] 功能电路51具有放大保持在存储单元10中的数据电位并将其通过后述的布线GBL(未图示)输出到驱动电路21所包括的读出放大器46的功能。通过采用该结构,可以在读出

数据时将布线BL的微小的电位差放大。布线GBL与布线BL同样地可以配置在垂直于设置有驱动电路21的衬底表面的方向上。通过将存储单元10延伸设置的布线BL及布线GBL设置在垂直于衬底表面的方向上,可以缩短功能电路51与读出放大器46之间的布线的长度。因此,由于可以缩短连接于布线GBL的两个电路之间的信号传输距离且大幅度降低布线GBL的电阻及寄生电容,所以可以降低功耗及信号延迟。

[0539] 另外,布线BL以与存储单元10所包括的晶体管的半导体层接触的方式设置。或者布线BL以与存储单元10所包括的晶体管的半导体层的用作源极或漏极的区域接触的方式设置。或者布线BL以与接触于存储单元10所包括的晶体管的半导体层的用作源极或漏极的区域的导电层接触的方式设置。也就是说,布线BL可以说是使存储单元10所包括的晶体管的源极和漏极中的一个与功能电路51在垂直方向上电连接的布线。

[0540] 存储器阵列20可以重叠设置在驱动电路21上。通过重叠设置驱动电路21和存储器阵列20,可以缩短驱动电路21和存储器阵列20之间的信号传输距离。因此,驱动电路21和存储器阵列20之间的电阻及寄生电容得到降低,可以实现功耗及信号延迟的降低。另外,可以实现存储装置400的小型化。

[0541] 通过与DOSRAM的存储单元10所包括的晶体管同样地由OS晶体管构成功能电路51,可以与存储器阵列20[1]至20[m]同样地将功能电路51自由地配置在使用Si晶体管的电路上等,由此可以容易地进行集成化。通过采用由功能电路51放大信号的结构可以使后级的电路的读出放大器46等的电路小型化,从而可以实现存储装置400的小型化。

[0542] 驱动电路21包括PSW22(功率开关)、PSW23及外围电路31。外围电路31包括外围电路41、控制电路32(Control Circuit)及电压生成电路33。

[0543] 在存储装置400中,根据需要可以适当地取舍各电路、各信号及各电压。或者,也可以追加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。信号CLK为时钟信号。

[0544] 此外,信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、信号PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以在控制电路32中生成。

[0545] 控制电路32为具有控制存储装置400的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置400的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0546] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0547] 外围电路41是用来对存储单元10进行数据的写入及读出的电路。此外,外围电路41是输出用来控制功能电路51的各种信号的电路。外围电路41包括行译码器42(Row Decoder)、列译码器44(Column Decoder)、行驱动器43(Row Driver)、列驱动器45(Column Driver)、输入电路47(Input Cir.)、输出电路48(Output Cir.)及读出放大器46(Sense

Amplifier)。

[0548] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要访问行的电路,列译码器44是用来指定要访问列的电路。行驱动器43具有选择由行译码器42指定的布线WL的功能。列驱动器45具有如下功能:将数据写入到存储单元10的功能;从存储单元10读出数据的功能;保持所读出的数据的功能等。

[0549] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据输出到列驱动器45。输入电路47的输出数据是写入到存储单元10的数据(Din)。由列驱动器45从存储单元10读出的数据(Dout)输出到输出电路48。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到存储装置400的外部的功能。从输出电路48输出的数据为信号RDA。

[0550] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,存储装置400的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1控制PSW22的开启/关闭,利用信号PON2控制PSW23的开启/关闭。在图30中,外围电路31中的被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0551] 存储器阵列20包括存储器阵列20[1]至20[m](m为2以上的整数)及功能层50,可以在驱动电路21上重叠设置多个层的存储器阵列20。通过重叠设置多个层的存储器阵列20,可以提高存储单元10的存储器密度。图31A是示出在驱动电路21上重叠设置五层(m=5)的存储器阵列20[1]至20[5]及功能层50的情况的存储装置400的立体图。

[0552] 在图31A中,将设置在第一层中的存储器阵列20记作存储器阵列20[1],将设置在第二层中的存储器阵列20记作存储器阵列20[2],将设置在第五层中的存储器阵列20记作存储器阵列20[5]。此外,图31A示出延伸设置在X方向上的布线WL及布线PL以及延伸设置在Z方向(垂直于设置有驱动电路的衬底表面的方向)上的布线BL。注意,为了使附图更易懂,省略存储器阵列20的每一个所包括的布线WL及布线PL的一部分的记载。注意,图31A示出布线PL延伸设置在X方向上的结构,但是本发明的一个方式不局限于此。例如,布线PL可以延伸设置在Y方向上,也可以延伸设置在X方向及Y方向上,例如布线PL也可以以面状设置。

[0553] 图31B是说明图31A所示的连接于布线BL的功能电路51及连接于布线BL的存储器阵列20[1]至20[5]所包括的存储单元10的结构例子的示意图。此外,图31B示出设置在功能电路51与驱动电路21之间的布线GBL。另外,将一个布线BL与多个存储单元(存储单元10)电连接的结构也称为“存储器串(memory string)”。注意,在附图中,为了提高易见度,有时用粗线示出布线GBL。

[0554] 图31B示出连接于布线BL的存储单元10的电路结构的一个例子。存储单元10包括晶体管11及电容器12。关于晶体管11、电容器12及各布线(布线BL及布线WL等),例如有时将布线BL[1]及布线WL[1]称为布线BL及布线WL等。

[0555] 图31B所示的存储单元10对应于实施方式1,例如对应于实施方式1的图22D1所示的存储单元150。此外,存储单元10所包括的晶体管11及电容器12分别对应于晶体管100及电容器200。在此,图31B所示的四个晶体管11的第二栅电极电连接于相同的布线BG的例子。

[0556] 布线PL是供应用来保持电容器12的电位的恒电位的布线。

[0557] 图31B所示的布线GBL以电连接驱动电路21与功能层50之间的方式设置。图32A示出以功能层50以及存储器阵列20[1]至20[m]为重复单位70的存储装置400的示意图。虽然

在图32A中示出一个布线GBL,但也可以根据功能层50中的功能电路51的数量适当地设置布线GBL。

[0558] 另外,布线GBL以与功能电路51所包括的晶体管的半导体层接触的方式设置。或者,布线GBL以与功能电路51所包括的晶体管的半导体层的用作源极或漏极的区域接触的方式设置。或者,布线GBL以与接触于功能电路51所包括的晶体管的半导体层的用作源极或漏极的区域的导电层接触的方式设置。也就是说,布线GBL可以说是使功能层50的功能电路51所包括的晶体管的源极和漏极中的一个与驱动电路21在垂直方向上电连接的布线。

[0559] 此外,也可以具有层叠包括功能电路51及存储器阵列20[1]至20[m]的重复单位70的结构。本发明的一个方式的存储装置400A如图32B所示可以包括重复单位70[1]至70[p](p为2以上的整数)。布线GBL与重复单位70所包括的功能层50连接。根据功能电路51的数量适当地设置布线GBL即可。

[0560] 在本发明的一个方式中,在层叠设置0S晶体管的同时将用作位线的布线配置在垂直于设置有驱动电路21的衬底表面的方向上。通过在垂直于衬底表面的方向上设置从存储器阵列20延伸设置的用作位线的布线,可以缩短存储器阵列20与驱动电路21之间的布线的长度。因此,可以大幅度降低位线的寄生电容。

[0561] 此外,本发明的一个方式在设置有存储器阵列20的层中包括功能层50,该功能层50包括具有放大保持在存储单元10中的数据电位并将其输出的功能的功能电路51。通过采用该结构,可以将读出数据时用作位线的布线BL的微小的电位差放大而可以驱动驱动电路21所包括的读出放大器46。由于可以使读出放大器等的电路小型化,所以可以实现存储装置400的小型化。此外,即使降低存储单元10所包括的电容器12的容量也可以进行工作。

[0562] <存储器阵列20及功能电路51的结构例子>

[0563] 参照图33说明图30至图32所说明的功能电路51的结构例子以及存储器阵列20及驱动电路21所包括的读出放大器46的结构例子。图33示出驱动电路21,该驱动电路21连接于布线GBL(GBL_A、GBL_B),该布线GBL(GBL_A、GBL_B)连接于功能电路51(51_A、51_B),且该功能电路51(51_A、51_B)连接于与不同的布线BL(BL_A、BL_B)连接的存储单元10(10_A、10_B)。作为图33所示的驱动电路21,除了读出放大器46以外还示出预充电电路71_A、预充电电路71_B、开关电路72_A、开关电路72_B及写入读出电路73。

[0564] 在图33中,示出电连接于设置在存储单元10_A中的晶体管11的第二栅电极的布线BG与电连接于设置在存储单元10_B中的晶体管11的第二栅电极的布线BG不同的例子,但是这些布线BG也可以相同。

[0565] 作为功能电路51_A、功能电路51_B示出晶体管52_a、晶体管52_b、晶体管53_a、晶体管53_b、晶体管54_a、晶体管54_b、晶体管55_a、晶体管55_b。与存储单元10所包括的晶体管11同样,图33所示的晶体管52_a、52_b、53_a、53_b、54_a、54_b、55_a、55_b是0S晶体管。包括功能电路51的功能层50可以与存储器阵列20[1]至20[m]同样地层叠设置。

[0566] 布线BL_A及BL_B与晶体管52_a、52_b的栅极连接。布线GBL_A及GBL_B与晶体管53_a、53_b、54_a、54_b的源极和漏极中的一个连接。与布线BL_A及BL_B同样地,布线GBL_A及GBL_B设置在垂直方向上并与驱动电路21所包括的晶体管连接。如图33所示,晶体管53_a、53_b、54_a、54_b、55_a、55_b的栅极被供应控制信号WE、RE、MUX。

[0567] 构成图33所示的读出放大器46、预充电电路71_A及预充电电路71_B的晶体管81_1

至晶体管81_6及82_1至82_4由Si晶体管构成。构成开关电路72_A及开关电路72_B的开关83_A至83_D也可以由Si晶体管构成。晶体管53_a、53_b、54_a、54_b的源极和漏极中的一个与构成预充电电路71_A、预充电电路71_B、读出放大器46、开关电路72_A的晶体管或开关连接。

[0568] 预充电电路71_A包括n沟道型的晶体管81_1至晶体管81_3。预充电电路71_A是根据供应给预充电线PCL1的预充电信号将布线BL_A及BL_B预充电至相当于VDD与VSS之间的电位VDD/2的中间电位VPC的电路。

[0569] 预充电电路71_B包括n沟道型的晶体管81_4至81_6。预充电电路71_B是根据供应给预充电线PCL2的预充电信号将布线GBL_A及布线GBL_B预充电至相当于VDD与VSS之间的电位VDD/2的中间电位VPC的电路。

[0570] 读出放大器46包括连接于布线VHH或布线VLL的p沟道型的晶体管82_1、p沟道型的晶体管82_2及n沟道型的晶体管82_3、n沟道型的晶体管82_4。布线VHH或布线VLL是具有供应VDD或VSS的功能的布线。晶体管82_1至82_4是构成反相器环路的晶体管。通过选择存储单元10_A、10_B而被预充电的布线BL_A及布线BL_B的电位变化,根据该变化将布线GBL_A及布线GBL_B的电位设定为高电源电位VDD或低电源电位VSS。布线GBL_A及布线GBL_B的电位可以经过开关83_C及开关83_D以及写入读出电路73输出到外部。布线BL_A及布线BL_B以及布线GBL_A及布线GBL_B相当于位线对。写入读出电路73根据信号EN_data被控制数据信号的写入。

[0571] 开关电路72_A是控制读出放大器46与布线GBL_A及布线GBL_B之间的导通状态的电路。开关电路72_A通过控制切换信号CSEL1可以切换开启或关闭。在开关83_A及83_B为n沟道型晶体管的情况下,在切换信号CSEL1为高电平时开启,而在切换信号CSEL1为低电平时关闭。开关电路72_B是控制写入读出电路73与连接于读出放大器46的位线对之间的导通状态的电路。开关电路72_B通过控制切换信号CSEL2可以切换开启或关闭。开关83_C及83_D可以与开关83_A及83_B同样。

[0572] 如图33所示,存储装置400可以具有通过设置在最短距离的垂直方向上的布线BL及布线GBL使存储单元10、功能电路51与读出放大器46连接的结构。包括构成功能电路51的晶体管的功能层50增加,但通过降低布线BL的负载,可以缩短写入时间且可以易于读出数据。

[0573] 另外,如图33所示,功能电路51_A、51_B所包括的各晶体管根据控制信号WE、RE及选择信号MUX控制。各晶体管可以根据控制信号及选择信号将布线BL的电位经过布线GBL输出到驱动电路21。功能电路51_A、51_B可以被用作由0S晶体管构成的读出放大器。通过采用该结构,可以在读出时将布线BL的微小的电位差放大,可以驱动使用Si晶体管的读出放大器46。

[0574] 如上所述,通过层叠设置多个存储单元阵列与驱动电路,可以实现存储装置的高集成化及存储容量的大容量化。

[0575] 以上,本实施方式所示的结构及方法等的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0576] (实施方式3)

[0577] 在本实施方式中,参照图34A及图34B说明安装有本发明的一个方式的存储装置的

芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0578] 如图34A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0579] 在芯片1200上设置有凸块(未图示),该凸块如图34B所示那样与封装衬底1201的第一面连接。此外,在封装衬底1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0580] 在母板1203上也可以设置有DRAM1221或闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。由此,可以实现DRAM1221的低功耗化、高速化及大容量化。

[0581] CPU1211优选具有多个CPU核心。此外,GPU1212优选具有多个GPU核心。此外,CPU1211和GPU1212也可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述DOSRAM应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过在GPU1212中设置使用本发明的一个方式的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0582] 此外,因为在相同的芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0583] 模拟运算部1213具有A/D(模拟/数字)转换电路和D/A(数字/模拟)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0584] 存储控制器1214具有用作DRAM1221的控制器的电路及用作闪存1222的接口的电路。

[0585] 接口1215具有与显示装置、扬声器、麦克风、照相机或控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘及游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)或HDMI(注册商标)(High-Definition Multimedia Interface:高清晰度多媒体接口)等。

[0586] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0587] 上述电路(系统)可以经相同的制造工艺形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工艺,可以以低成本制造芯片1200。

[0588] 包括设置有具有GPU1212的芯片1200的封装衬底1201、DRAM1221以及闪存1222的母板1203可以被称为GPU模块1204。

[0589] GPU模块1204因具有使用SoC技术的芯片1200而可以缩小其尺寸。此外,GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机及便携式(可携带)游戏机等便携式电子设备。此外,通过使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、循环神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)或深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者可以将GPU模块

1204用作AI系统模块。

[0590] 以上,本实施方式所示的结构及方法等的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0591] (实施方式4)

[0592] 本实施方式示出组装有上述实施方式所示的存储装置的电子构件及电子设备的一个例子。通过将上述实施方式所示的存储装置用于以下电子构件及电子设备,可以实现电子构件及电子设备的低功耗化及高速化。

[0593] <电子构件>

[0594] 首先,参照图35A及图35B对组装有存储装置720的电子构件的例子进行说明。

[0595] 图35A是电子构件700及安装有电子构件700的衬底(电路板704)的立体图。图35A所示的电子构件700在模子711内包括存储装置720。在图35A中,省略电子构件700的一部分以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置720。电子构件700例如安装于印刷电路板702上。通过组合多个上述电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0596] 存储装置720包括驱动电路层721及存储电路层722。

[0597] 图35B是电子构件730的立体图。电子构件730是SiP(System in package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置720。通过作为存储装置720使用上述实施方式所示的存储装置,可以实现低功耗化及高速化。

[0598] 半导体装置735可以使用CPU、GPU或FPGA等集成电路(半导体装置)。

[0599] 封装衬底732可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板731可以使用硅插板或树脂插板等。

[0600] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线以单层或多层设置。此外,插板731具有使设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时将插板也称为“再分布衬底(redistribution substrate)”或“中间衬底”。此外,有时在插板731中设置贯通电极且使用该贯通电极使集成电路与封装衬底732电连接。此外,在硅插板中,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0601] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0602] 此外,在使用硅插板的SiP和MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路在横方向上排列地配置于插板上。

[0603] 此外,也可以与电子构件730重叠的方式设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构

件730中,优选使存储装置720与半导体装置735的高度一致。

[0604] 为了将电子构件730安装在其他衬底上,也可以在封装衬底732的底部设置电极733。图35B示出使用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)安装。

[0605] 电子构件730可以通过各种安装方法安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0606] 以上,本实施方式所示的结构及方法等的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0607] (实施方式5)

[0608] 在本实施方式中,说明使用上述实施方式所示的存储装置的存储装置的应用例子。上述实施方式所示的存储装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器、数码相机(也包括摄像机)、录像再现装置及导航系统等)的存储装置。通过将上述实施方式所示的存储装置用于上述电子设备的存储装置,可以实现电子设备的低功耗化及高速化。注意,在此,计算机包括平板电脑、笔记本型计算机、台式计算机以及大型计算机诸如服务器系统。或者,上述实施方式所示的存储装置应用于存储卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图36A至图36E示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的存储装置加工为被封装的存储器芯片并用于各种存储设备、可移动存储器。

[0609] 图36A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及衬底1104。衬底1104被容纳在外壳1101中。例如,衬底1104上安装有存储器芯片1105及控制器芯片1106。例如,可以将上述实施方式所示的存储装置组装于存储器芯片1105。

[0610] 图36B是SD卡的外观示意图,图36C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及衬底1113。衬底1113被容纳在外壳1111中。例如,衬底1113上安装有存储器芯片1114及控制器芯片1115。通过在衬底1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。例如,可以将上述实施方式所示的存储装置组装于存储器芯片1114。

[0611] 图36D是SSD的外观示意图,图36E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及衬底1153。衬底1153被容纳在外壳1151中。例如,衬底1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在衬底1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。例如,可以将上述实施方式所示的存储装置组装于存储器芯片1154。

[0612] 以上,本实施方式所示的结构及方法等的至少一部分可以与本说明书所记载的其

他实施方式或实施例适当地组合而实施。

[0613] (实施方式6)

[0614] 本发明的一个方式的存储装置可以用于CPU或GPU等处理器或者芯片。通过将这种CPU或GPU等处理器或者芯片用于电子设备,可以实现电子设备的低功耗化及高速化。图37A至图37H示出具备使用该存储装置的CPU或GPU等处理器或者芯片的电子设备的例子。

[0615] <电子设备及系统>

[0616] 本发明的一个方式的GPU或芯片可以安装在各种各样的电子设备。作为电子设备的例子,例如除了电视装置、用于台式或笔记本型信息终端等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、电子书阅读器、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。此外,通过将本发明的一个方式的GPU或芯片设置在电子设备中,可以使电子设备具备人工智能。

[0617] 本发明的一个方式的电子设备也可以包括天线。通过使用天线接收信号,可以在显示部上显示影像及信息等。此外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0618] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0619] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像及文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。图37A至图37H示出电子设备的例子。

[0620] [信息终端]

[0621] 图37A示出信息终端之一的移动电话(智能手机)。信息终端5100包括外壳5101及显示部5102,作为输入接口在显示部5102中具备触摸面板,并且在外壳5101上设置有按钮。

[0622] 信息终端5100通过采用本发明的一个方式的芯片而可以实现低功耗化及高速化。

[0623] 图37B示出笔记本型信息终端5200。笔记本型信息终端5200包括信息终端主体5201、显示部5202及键盘5203。

[0624] 与上述信息终端5100同样,笔记本型信息终端5200通过采用本发明的一个方式的芯片而可以实现低功耗化及高速化。

[0625] 注意,在上述中,图37A及图37B分别示出智能手机及笔记本型信息终端作为电子设备的例子,但是也可以应用智能手机及笔记本型信息终端以外的信息终端。作为智能手机及笔记本型信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、台式信息终端、工作站等。

[0626] [游戏机]

[0627] 图37C示出作为游戏机的一个例子的便携式游戏机5300。便携式游戏机5300包括外壳5301、外壳5302、外壳5303、显示部5304、连接部5305及操作键5306等。可以将外壳5302及外壳5303从外壳5301拆卸。通过将设在外壳5301中的连接部5305安装到其他外壳(未图示),可以将输出到显示部5304的影像输出到其他视频显示设备(未图示)。此时,外壳5302

及外壳5303分别可以被用作操作部。由此,多个游戏玩者可以同时玩游戏。可以将上述实施方式所示的芯片组装于设置在外壳5301、外壳5302及外壳5303的衬底的芯片等。

[0628] 另外,图37D示出游戏机之一的固定式游戏机5400。固定式游戏机5400以无线或有线连接有控制器5402。

[0629] 通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300或固定式游戏机5400等游戏机,可以实现低功耗的游戏机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的影响。

[0630] 再者,通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300,可以实现低功耗化及高速化。

[0631] 虽然图37C及图37D示出便携式游戏机及固定式游戏机作为游戏机的一个例子,但是应用本发明的一个方式的GPU或芯片的游戏机不局限于此。作为应用本发明的一个方式的GPU或芯片的游戏机,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0632] [大型计算机]

[0633] 本发明的一个方式的GPU或芯片可以应用于大型计算机。

[0634] 图37E是示出作为大型计算机的一个例子的超级计算机5500的图。图37F是示出超级计算机5500所包括的机架(rack-mount)式计算机5502的图。

[0635] 超级计算机5500包括机架5501及多个机架式计算机5502。注意,多个计算机5502容纳在机架5501中。另外,计算机5502设有多个衬底5504,在该衬底上可以安装上述实施方式所说明的GPU或芯片。

[0636] 超级计算机5500主要是适合于科学计算的大型计算机。科学计算需要以高速进行庞大的运算,因此功耗大且芯片的发热高。例如,在包括多个超级计算机5500的数据中心中使用的数据量非常庞大。具体而言,可以预测全世界的数字数据量超过 10^{24} (yotta) 字节或 10^{30} (quetta) 字节。

[0637] 通过将本发明的一个方式的GPU或芯片应用于超级计算机5500,可以实现低功耗的超级计算机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的影响。此外,通过应用使用本发明的一个方式的存储装置的GPU或芯片,可以实现低功耗的超级计算机。由此,通过降低全世界的数字数据量,被期待可以有助于进行全球变暖对策。

[0638] 在图37E及图37F中,作为大型计算机的一个例子示出超级计算机,但是应用本发明的一个方式的GPU或芯片的大型计算机不局限于此。作为应用本发明的一个方式的GPU或芯片的大型计算机,例如可以举出提供服务的计算机(服务器)、大型通用计算机(主机)等。

[0639] [移动体]

[0640] 本发明的一个方式的GPU或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0641] 图37G是示出移动体的一个例子的汽车内部的前挡风玻璃周边的图。图37G示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0642] 通过显示速度表、转速计、行驶距离、燃料表、排档状态或空调的设定等,显示面板

5701至显示面板5703可以提供各种信息。此外,使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等,可以提高设计性。显示面板5701至显示面板5703还可以被用作照明装置。

[0643] 通过将由设置在汽车的摄像装置(未图示)拍摄的影像显示在显示面板5704上,可以弥补被支柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车外侧的摄像装置拍摄的影像,可以弥补死角,从而可以提高安全性。此外,通过显示弥补看不到的部分的影像,可以更自然且更舒适地确认安全。显示面板5704还可以被用作照明装置。

[0644] 因为可以将本发明的一个方式的GPU或芯片用作人工智能的构成要素,例如可以将该芯片用于汽车的自动驾驶系统。此外,该芯片可以用于进行导航或危险预测等的系统。此外,也可以在显示面板5701至显示面板5704上显示导航或危险预测等的信息。

[0645] 注意,虽然在上述中作为移动体的一个例子说明了汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶及飞行物等,可以对这些移动体应用本发明的一个方式的芯片,以提供利用人工智能的系统。在此,作为飞行物,可以举出直升机、无人驾驶飞机(无人机)、飞机、火箭等。

[0646] [电器产品]

[0647] 图37H是示出电器产品的一个例子的电冷藏冷冻箱5800的图。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0648] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品及该食品的消费期限等自动生成菜单的功能以及根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能等。

[0649] 作为电器产品的一个例子说明了电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机及视听设备等。

[0650] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他电子设备的记载适当地组合。

[0651] 以上,本实施方式所示的结构及方法等的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0652] (实施方式7)

[0653] 本发明的一个方式的存储装置包括OS晶体管。该OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在辐射线有可能入射的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。在本实施方式中,使用图38说明将本发明的一个方式的存储装置应用于太空设备的情况的具体例子。

[0654] 在图38中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,在图38中,示出在宇宙空间的行星6804。注意,宇宙空间例如是指高度100km以上,但是本说明书所记载的宇宙空间也可以包括热层、中间层及平流层。

[0655] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。另外,作为辐射线,例如可以举出:以X射线及 γ 射线为代表的电磁波(电磁辐射线);以及以 α 射线、 β 射线、中子射

线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0656] 在阳光照射到太阳能电池板6802时生成人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量少的情況下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0657] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0658] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。另外,作为控制装置6807优选使用包括本发明的一个方式的OS晶体管的存储装置。与Si晶体管相比,OS晶体管的因被照射辐射线而导致的电特性变动小。也就是说,OS晶体管在辐射线有可能入射的环境下也具有高可靠性且可以适当地使用。

[0659] 另外,人造卫星6800可以包括传感器。例如,通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0660] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的存储装置可以适当地应用于宇宙飞船、太空舱或太空探测器等太空设备。

[0661] 以上,本实施方式所示的结构及方法等的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0662] [实施例]

[0663] 在本实施例中,说明通过制造样品而对其进行截面STEM(Scanning Transmission Electron Microscopy:扫描透射电子显微镜)观察来测量电特性的结果。

[0664] 图39A是示出本实施例中制造的样品的结构的截面图。在本实施例中,制造样品1至样品3。首先,在样品1至样品3中,作为导电层503,在硅衬底501上利用溅射法沉积目标厚度为50nm的氮化钽。接着,在样品1及样品2中,为了使导电层503氧化而形成氧化物区域503ox,进行微波处理。在微波处理中,作为处理气体使用氩气体150sccm和氧气体50sccm,压力设为400Pa,功率设为400W,处理温度设为400℃。样品1的处理时间为10分钟,样品2的处理时间为30分钟。在此,不对样品3进行微波处理。

[0665] 接着,在样品1至样品3中,作为导电层505,利用使用金属掩模的溅射法沉积目标厚度为200nm的铝和钛的合金。然后,在硅衬底501的背面(与导电层503相反一侧的面)上,作为导电层507,利用溅射法沉积目标厚度为400nm的铝。通过上述工序,制造样品1至样品3。

[0666] 图40A、图40B及图40C分别是样品1、样品2及样品3的截面STEM图像。如图40A及图40B所示,确认到在沉积导电层503之后进行微波处理的样品1及样品2中形成有氧化物区域503ox。另一方面,不对样品3进行微波处理,因此没有形成氧化物区域503ox。在此,氧化物

区域503ox的主要成分是氧化钼。

[0667] 另外,样品1至样品3中的氧化物区域503ox的厚度分别为17.9nm、29.5nm及0nm,导电层503的厚度分别为33.8nm、30.5nm及42.9nm。因此,确认到随着通过微波处理形成氧化物区域503ox而导电层503的不被氧化的区域的厚度减小。此外,确认到如下事实:氧化物区域503ox的厚度在进行30分钟的微波处理的情况比在进行10分钟的微波处理的情况厚,并且导电层503的不被氧化的区域的厚度减薄。注意,将没有形成氧化物区域503ox的情况记载为氧化物区域503ox为0nm。

[0668] 图39B是示出电特性的测量系统的示意图。如图39B所示,将电压V施加到导电层503与导电层507之间。并且,电连接导电层505与导电层507,而测量流过导电层503与导电层505之间的电流I。图41A、图41B及图41C是分别示出样品1、样品2及样品3的I-V特性的测量结果的图表。

[0669] 如图41A至图41C所示,确认到如下事实:在样品1的电压V为5V以下且样品2的电压V为11V以下的情况下,形成有氧化物区域503ox的样品1及样品2的电流I小于没有形成氧化物区域503ox的样品3的电流I。因此,确认到在氧化物区域503ox的电阻率高于导电层503及导电层505。此外,在电压V为11V以下的情况下,进行30分钟的微波处理时的电流I小于进行10分钟的微波处理时的电流I。如上所述,确认到如下事实:进行30分钟的微波处理时的氧化物区域503ox的厚度大于进行10分钟的微波处理时的氧化物区域503ox的厚度,因此导电层503与导电层505之间的电阻变高。

[0670] [符号说明]

[0671] 10:存储单元、11:晶体管、12:电容器、20:存储器阵列、21:驱动电路、22:PSW、23:PSW、31:外围电路、32:控制电路、33:电压生成电路、41:周边电路、42:行译码器、43:行驱动器、44:列译码器、45:列驱动器、46:读出放大器、47:输入电路、48:输出电路、50:功能层、51:功能电路、52_a:晶体管、52_b:晶体管、53_a:晶体管、53_b:晶体管、54_a:晶体管、54_b:晶体管、55_a:晶体管、55_b:晶体管、70:重复单位、71_A:预充电电路、71_B:预充电电路、72_A:开关电路、72_B:开关电路、73:写入读出电路、81_1:晶体管、81_3:晶体管、81_4:晶体管、81_6:晶体管、82_1:晶体管、82_2:晶体管、82_3:晶体管、82_4:晶体管、83_A:开关、83_B:开关、83_C:开关、83_D:开关、100a:晶体管、100b:晶体管、100c:晶体管、100d:晶体管、100:晶体管、101:绝缘层、103a:绝缘层、103b:绝缘层、103c:绝缘层、103:绝缘层、104a:绝缘层、104b:绝缘层、104c:绝缘层、104:绝缘层、105a:绝缘层、105b:绝缘层、105c:绝缘层、105:绝缘层、106:绝缘层、107:绝缘层、109:绝缘层、111a:导电层、111b:导电层、111:导电层、112:导电层、113a:半导体层、113b:半导体层、113i:区域、113na:区域、113nb:区域、113:半导体层、115a:导电层、115b:导电层、115:导电层、117ox:氧化物区域、117:导电层、121a:开口部、121b:开口部、121:开口部、131:凹部、132:凹部、141:导电层、142:导电层、150A:存储单元、150a:存储单元、150b:存储单元、150c:存储单元、150d:存储单元、150:存储单元、151:晶体管、160:存储器单元、170:层、200a:电容器、200b:电容器、200c:电容器、200d:电容器、200:电容器、203:绝缘层、205:绝缘层、209:绝缘层、211:导电层、212:导电层、214:导电层、215:导电层、221:开口部、300:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘层、316:导电层、320:绝缘层、322:绝缘层、324:绝缘层、326:绝缘层、328:导电层、330:导电层、350:绝缘层、352:绝缘层、354:绝缘层、356:导

电层、400A:存储装置、400:存储装置、501:硅衬底、503ox:氧化物区域、503:导电层、505:导电层、507:导电层、700:电子构件、702:印刷电路板、704:电路板、711:模子、712:连接盘、713:电极焊盘、714:引线、720:存储装置、721:驱动电路层、722:存储电路层、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:衬底、1105:存储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:衬底、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:衬底、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1200:芯片、1201:封装衬底、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储控制器、1215:接口、1216:网络电路、1221:DRAM、1222:闪存、5100:情报端末、5101:外壳、5102:显示部、5200:笔记本型信息终端、5201:主体、5202:显示部、5203:键盘、5300:便携式游戏机、5301:外壳、5302:外壳、5303:外壳、5304:显示部、5305:连接部、5306:操作键、5400:固定式游戏机、5402:控制器、5500:超级计算机、5501:机架、5502:计算机、5504:衬底、5701:显示面板、5702:显示面板、5703:显示面板、5704:显示面板、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6804:行星、6805:二次电池、6807:控制装置

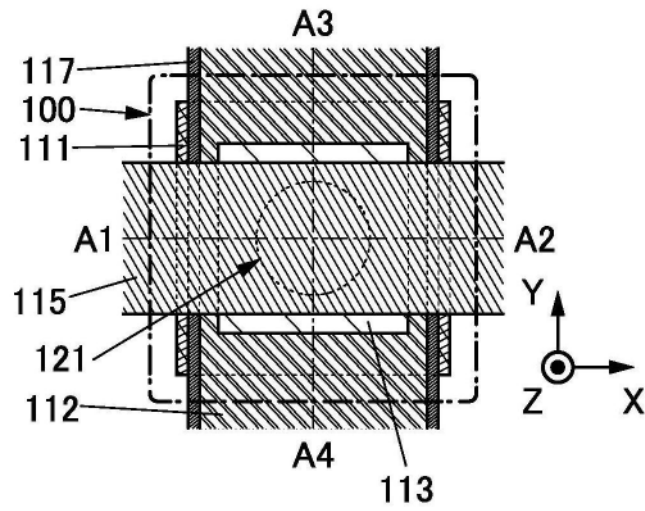


图2A1

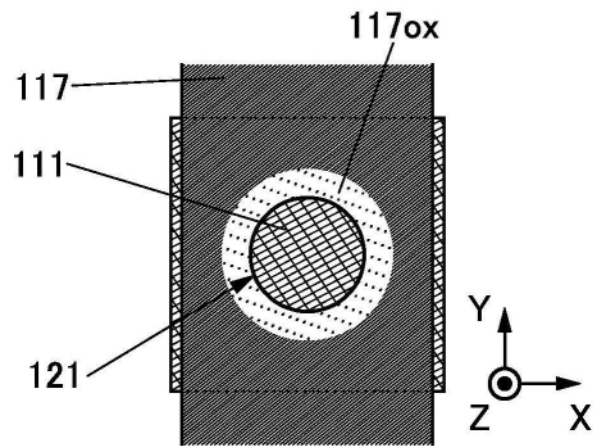


图2A2

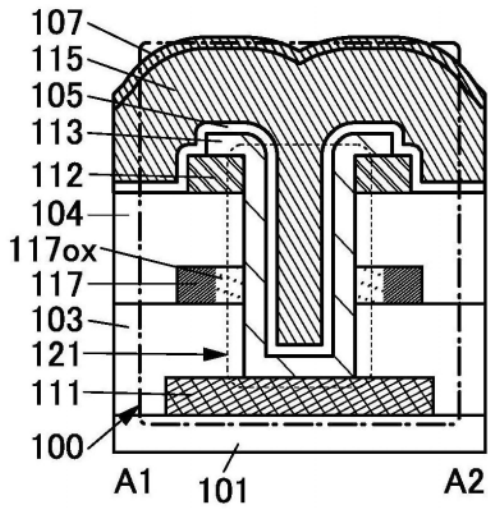


图2B

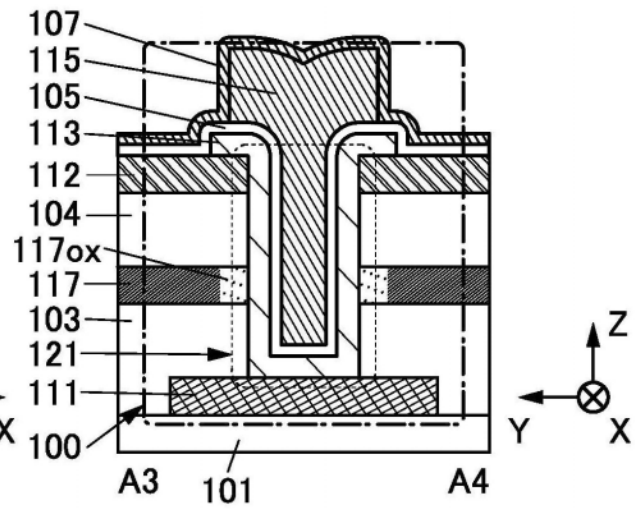


图2C

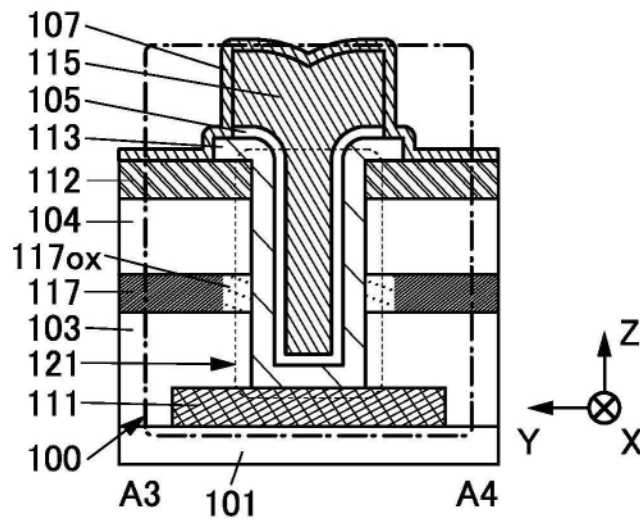


图2D

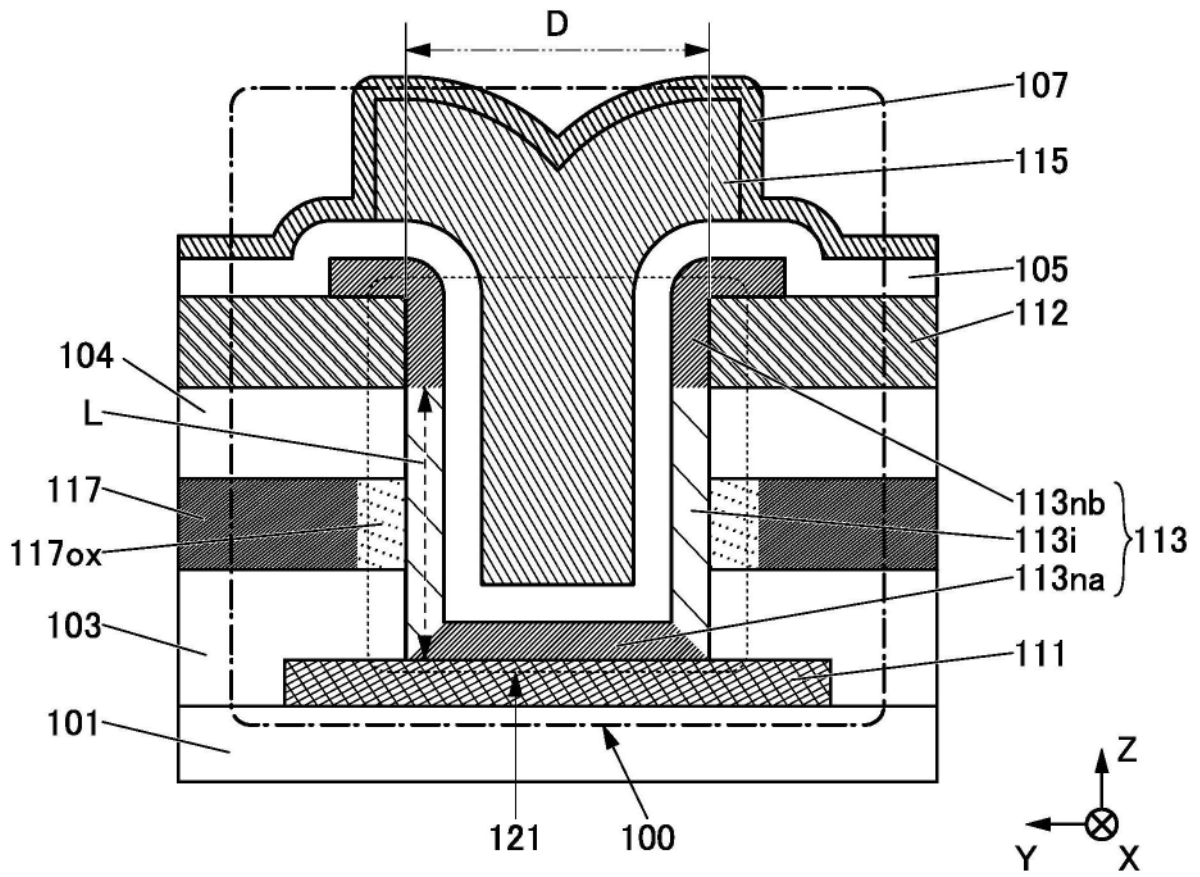


图3A

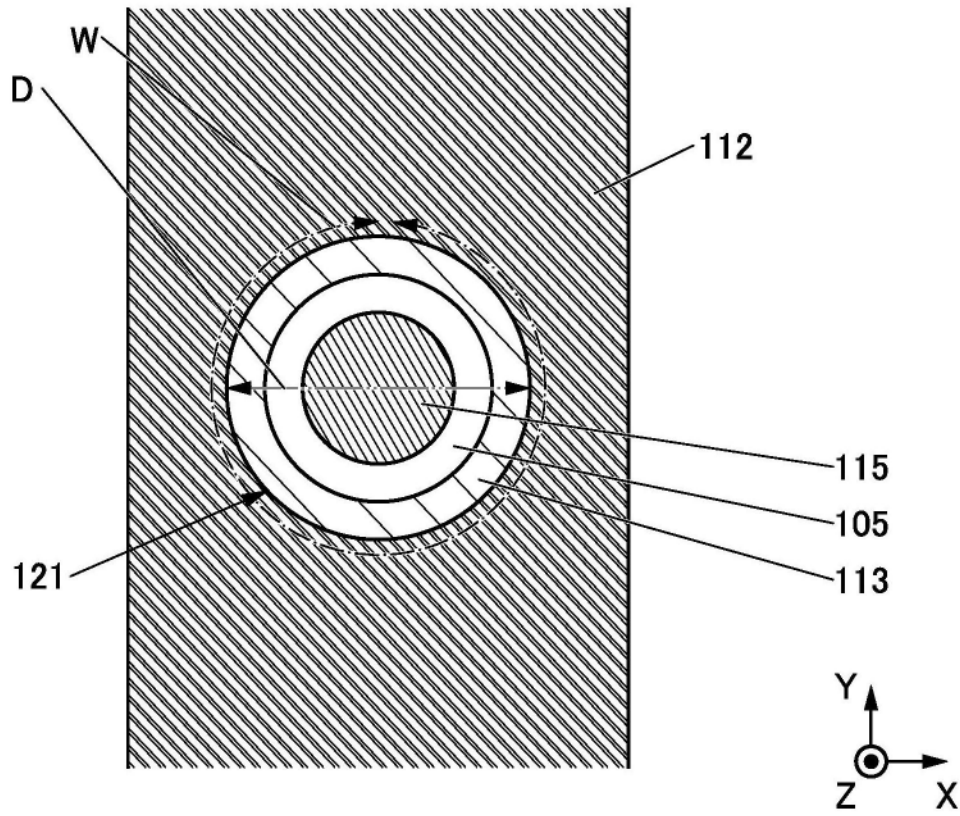


图3B

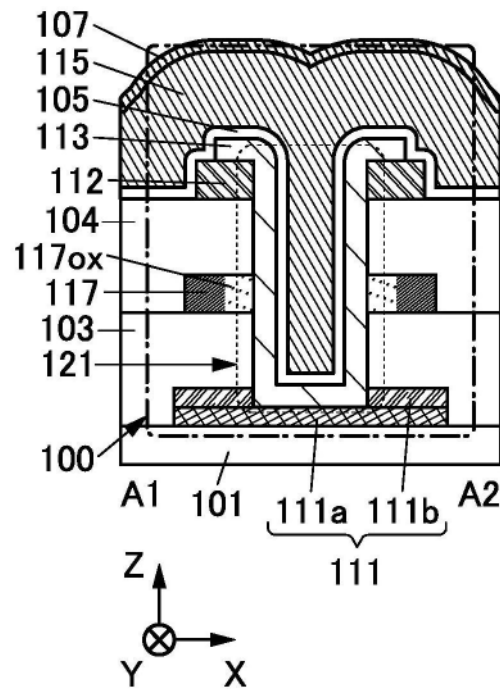


图4A

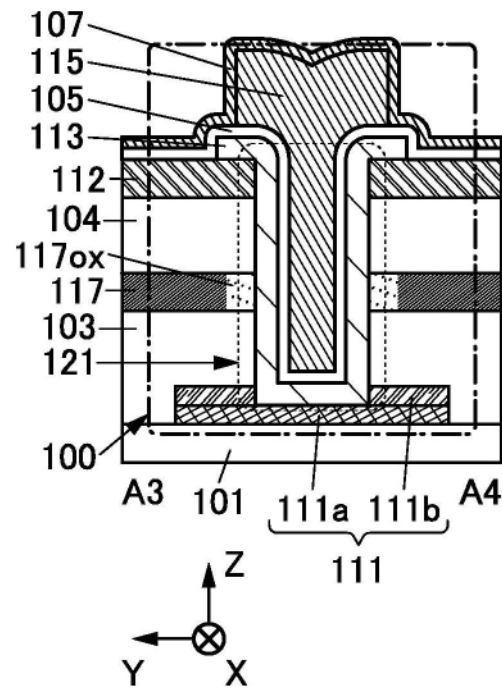


图4B

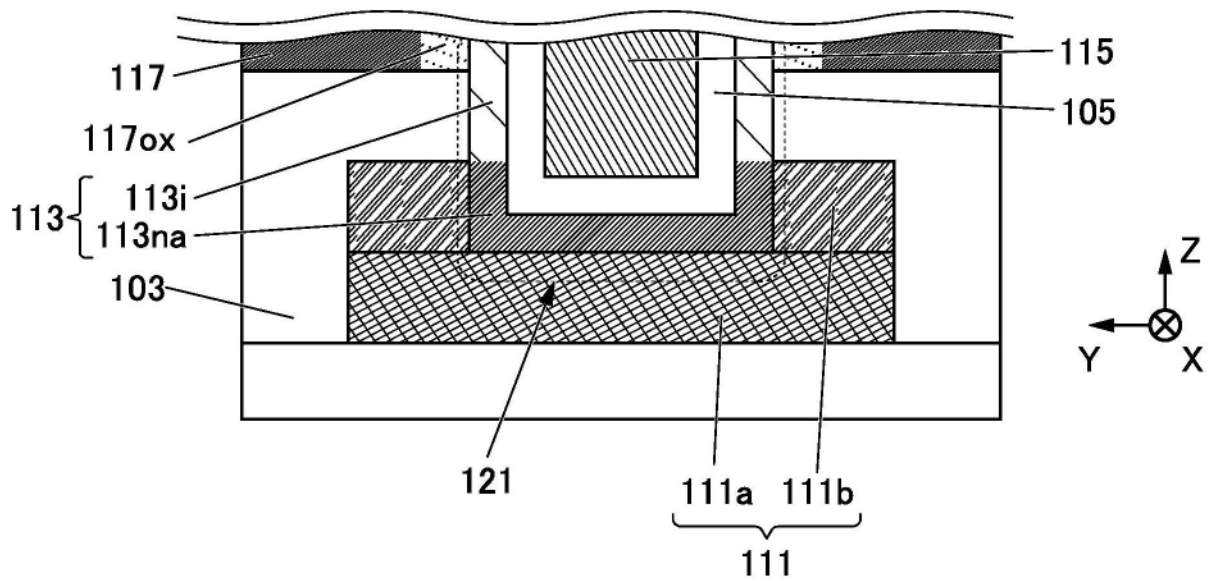


图4C

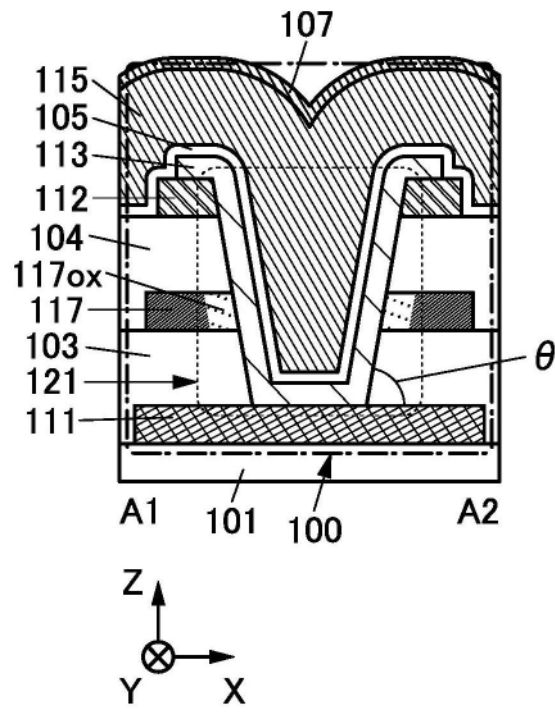


图5A

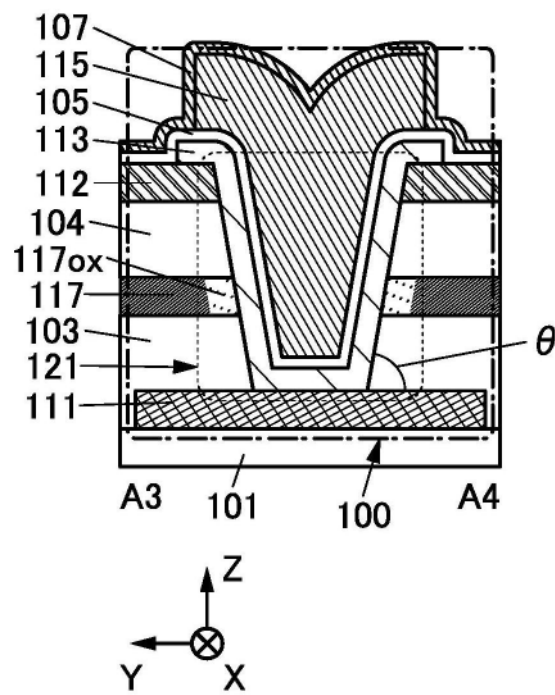


图5B

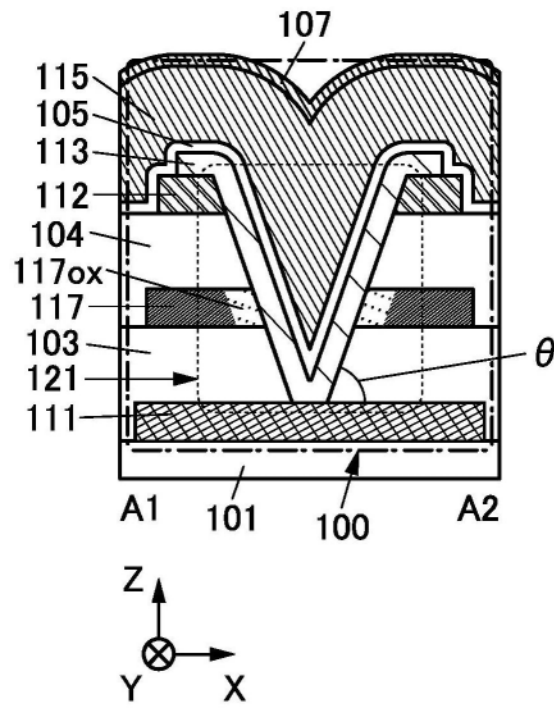


图5C

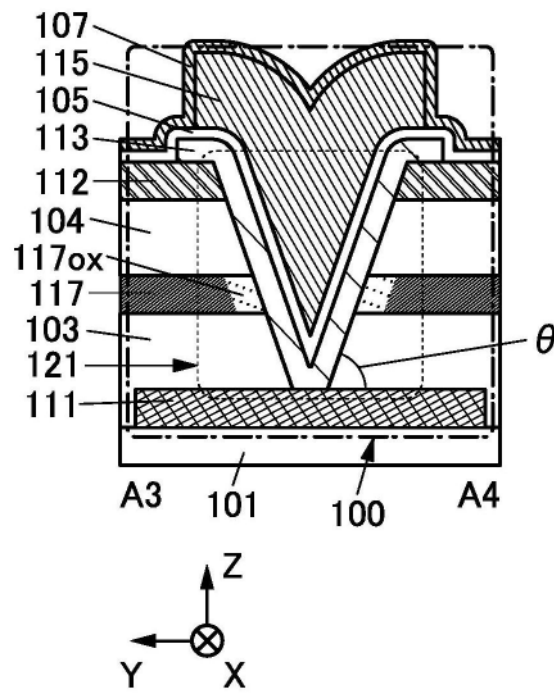


图5D

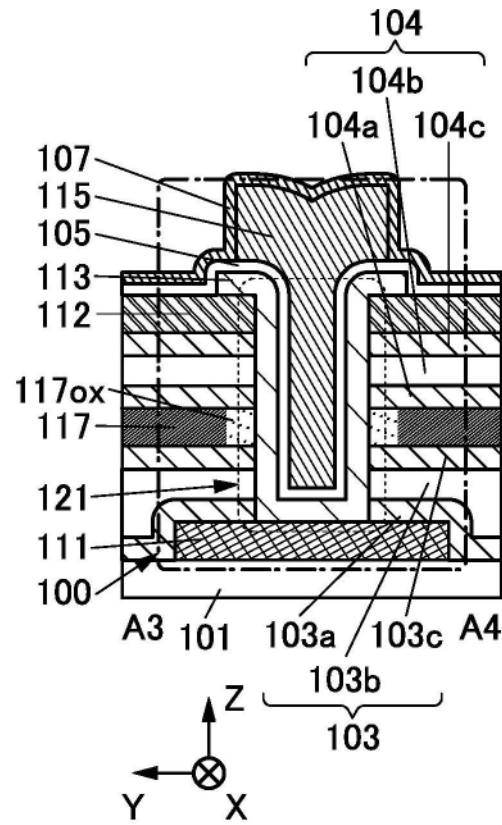


图6B

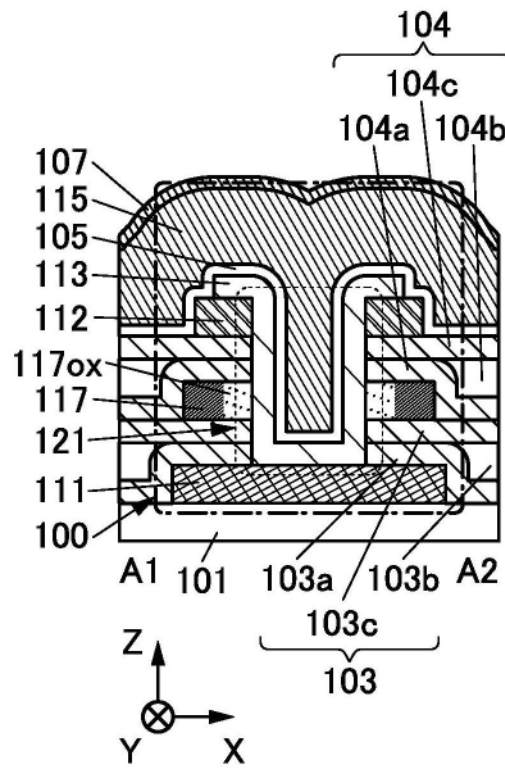


图6C

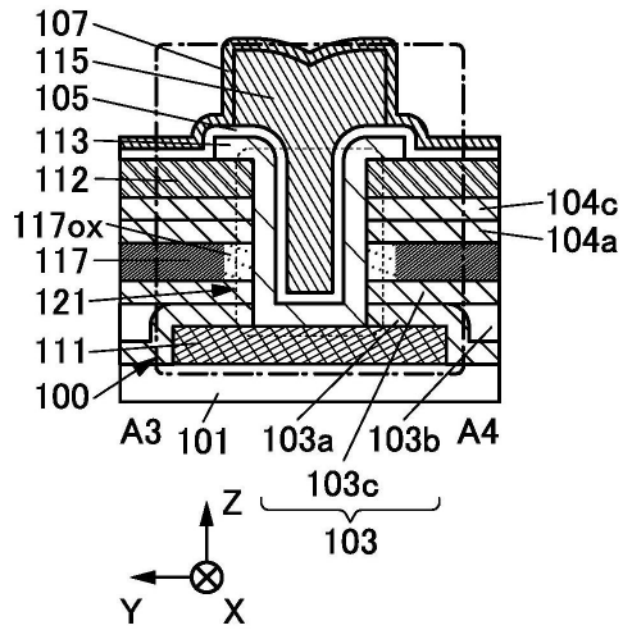


图6D

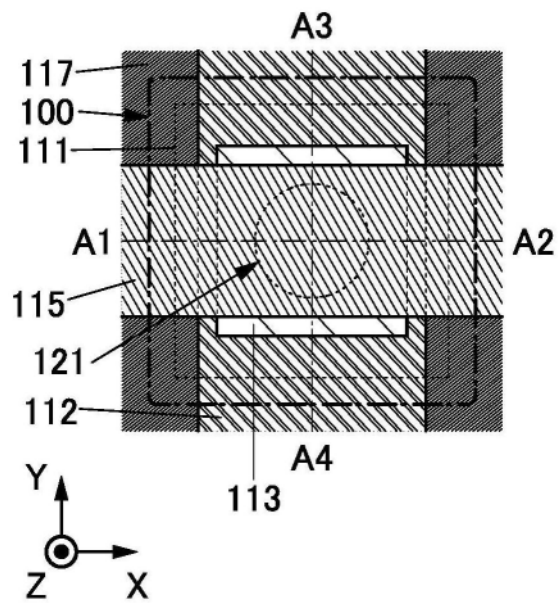


图7A1

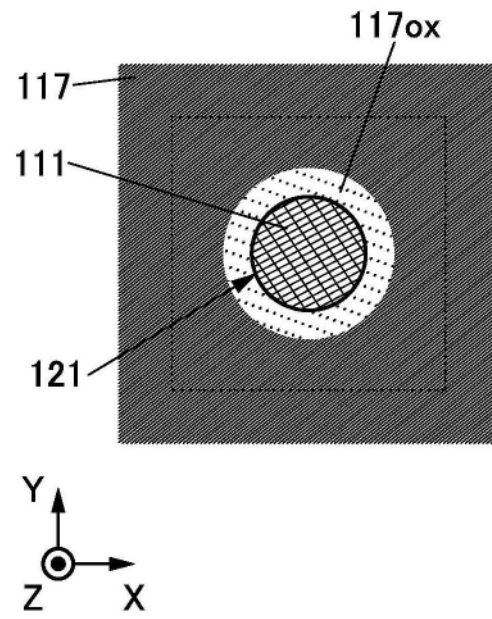


图7A2

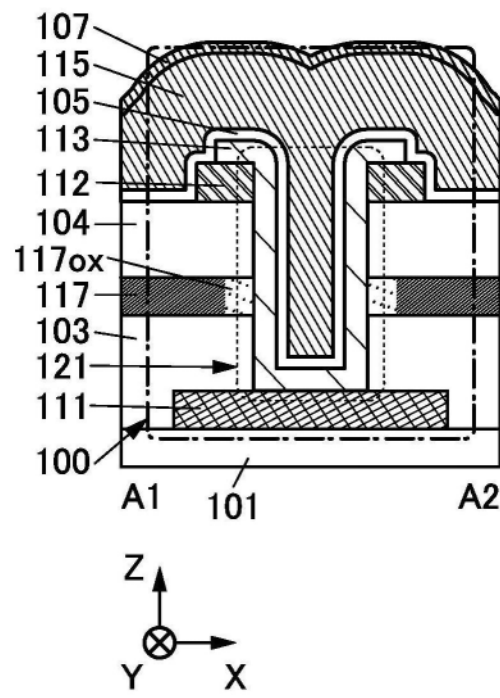


图7B

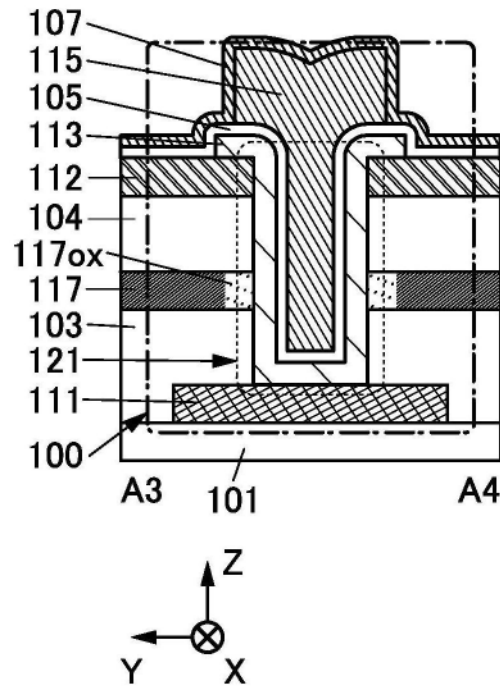


图7C

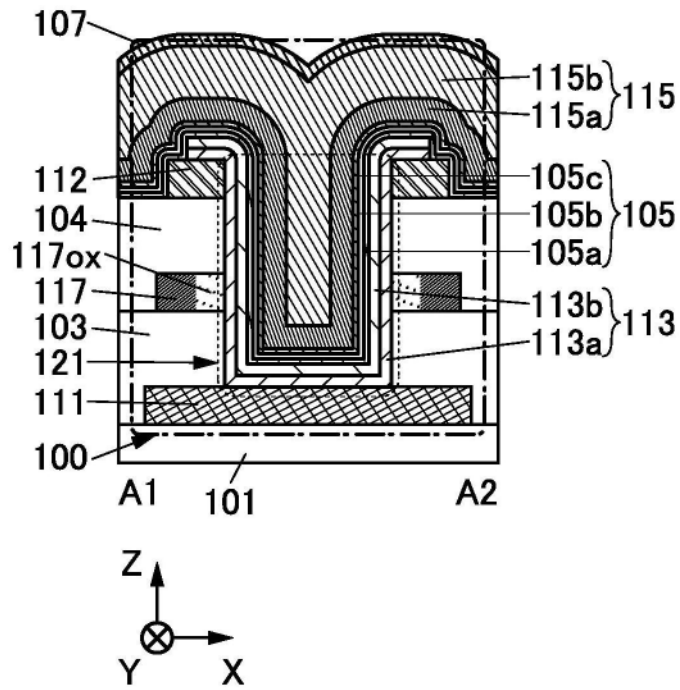


图8A

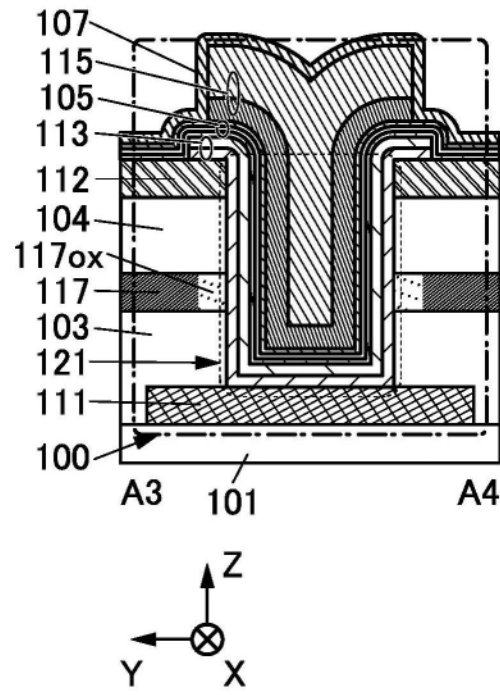


图8B

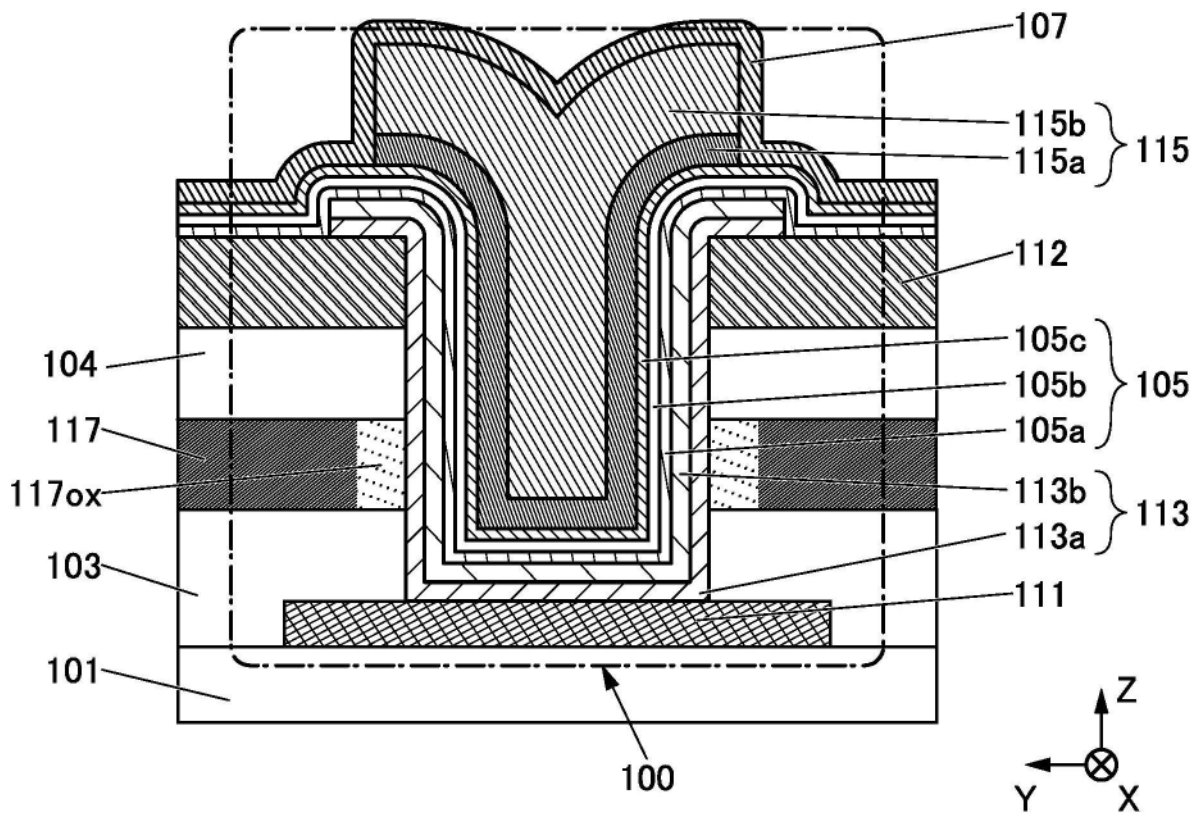


图8C

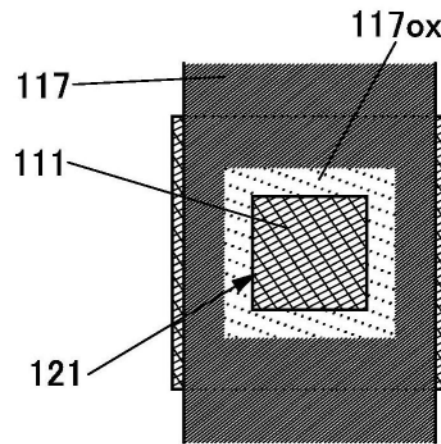


图10A

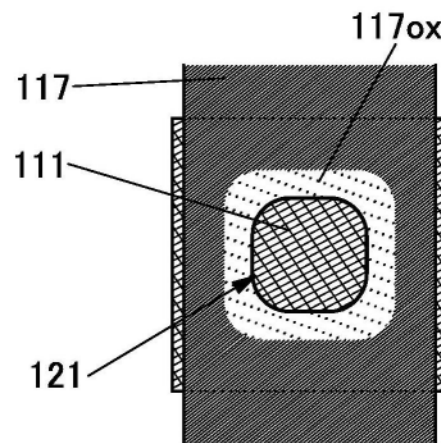


图10B

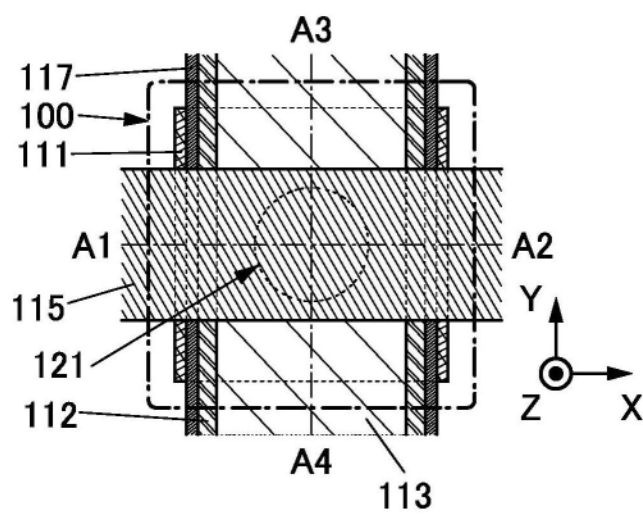


图11A

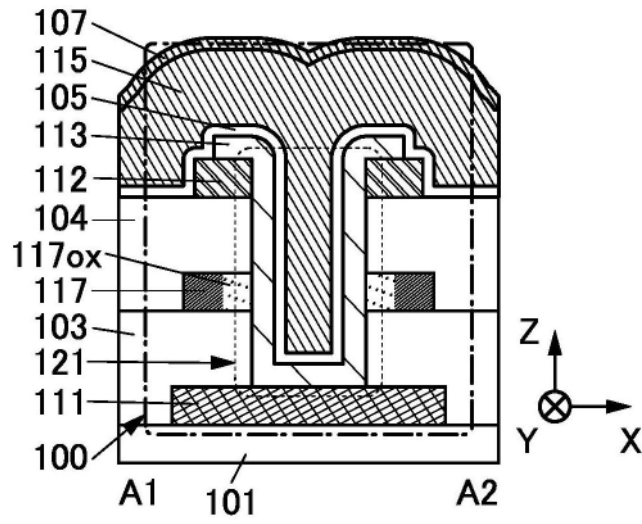


图11B

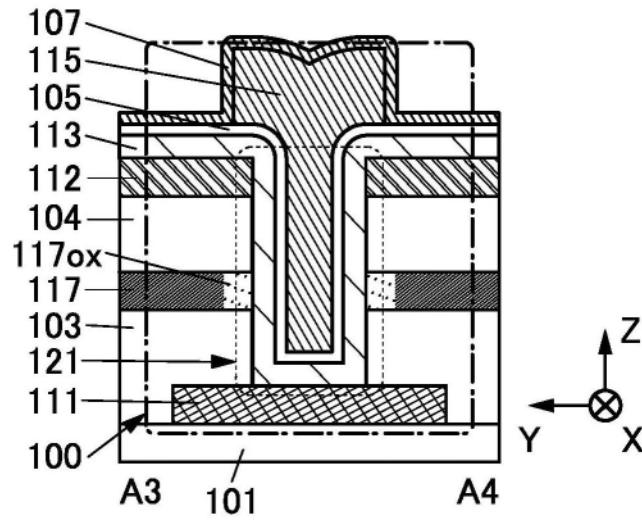


图11C

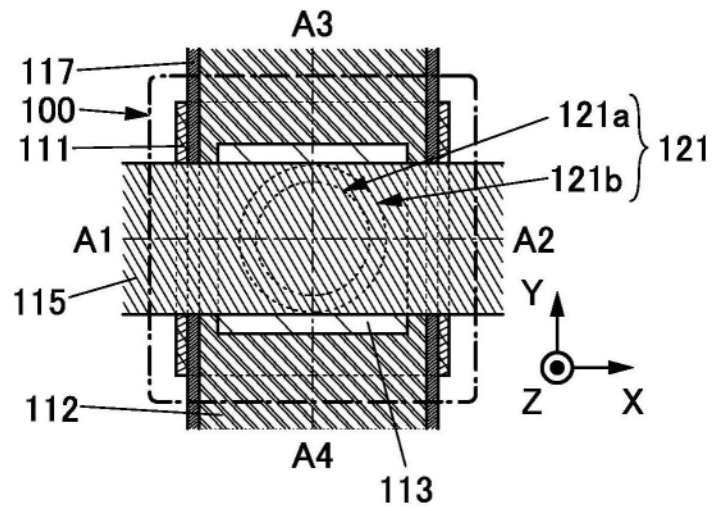


图12A

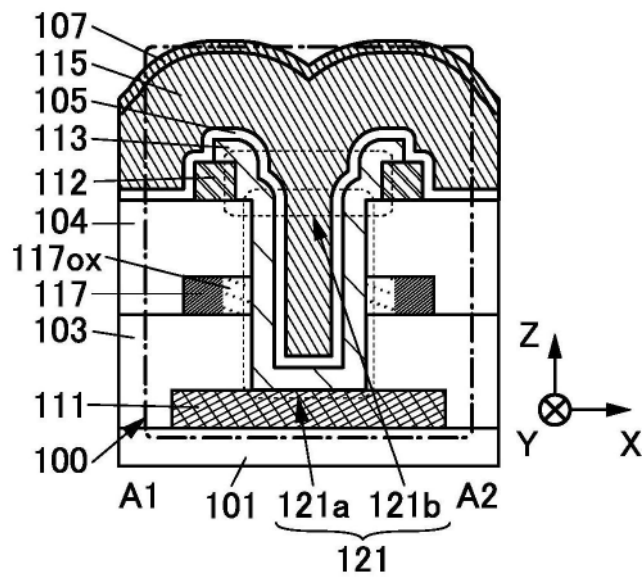


图12B

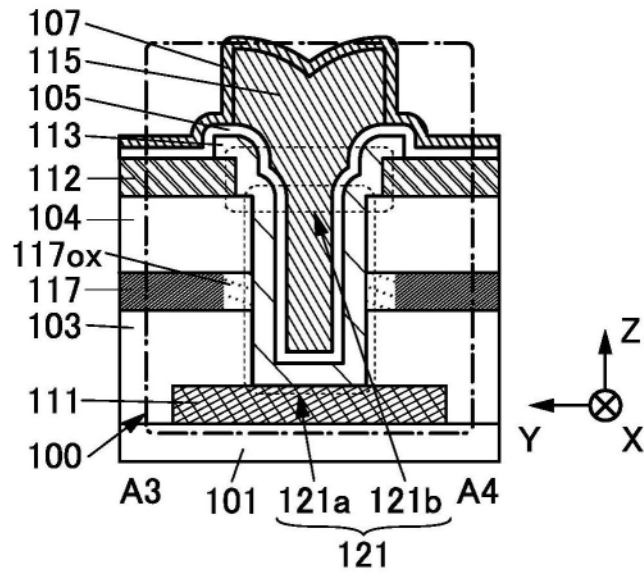


图12C

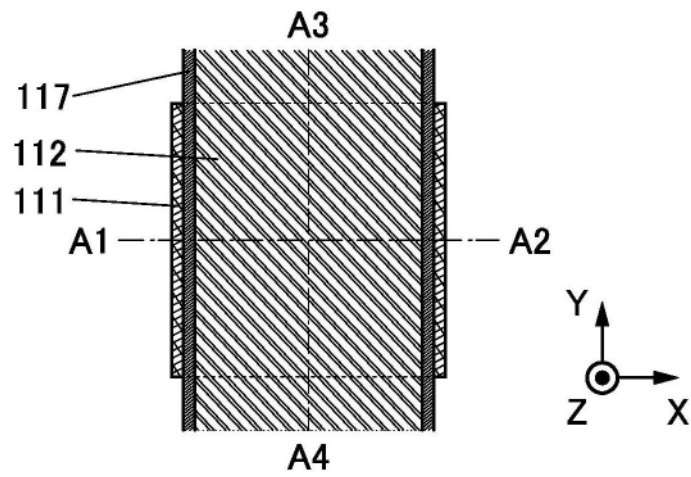


图13A

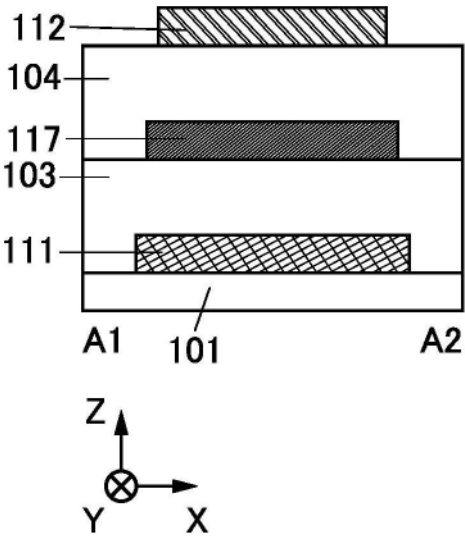


图13B

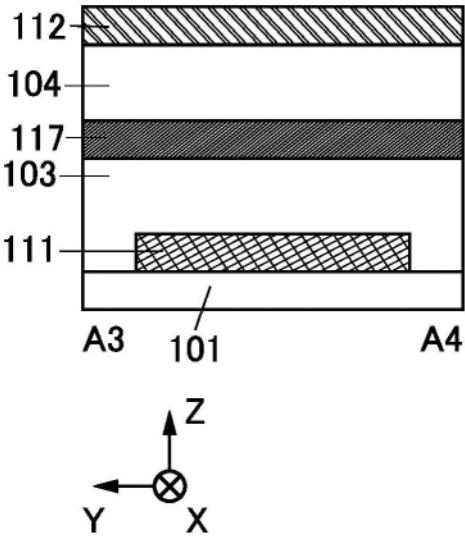


图13C

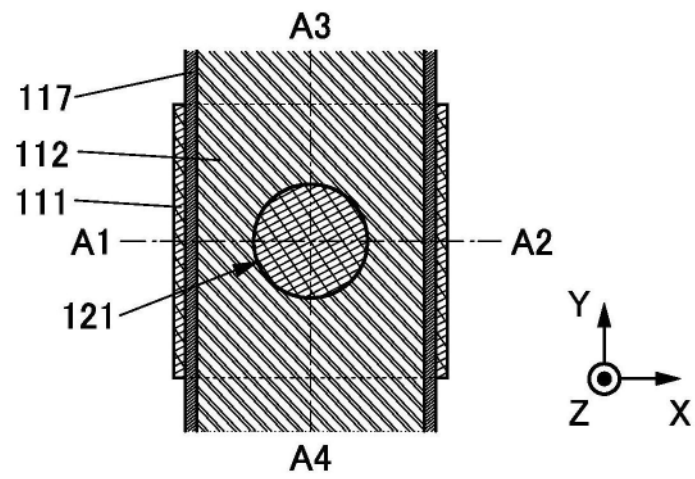


图14A

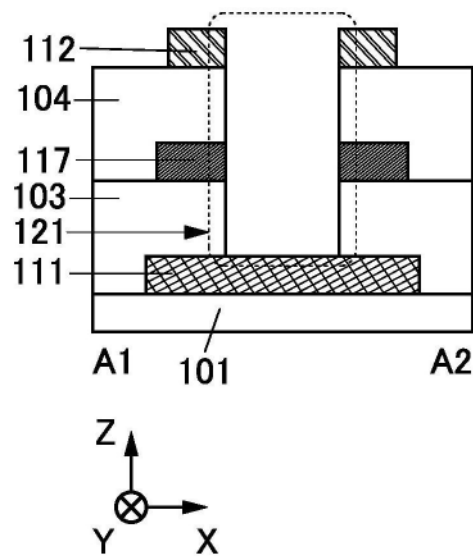


图14B

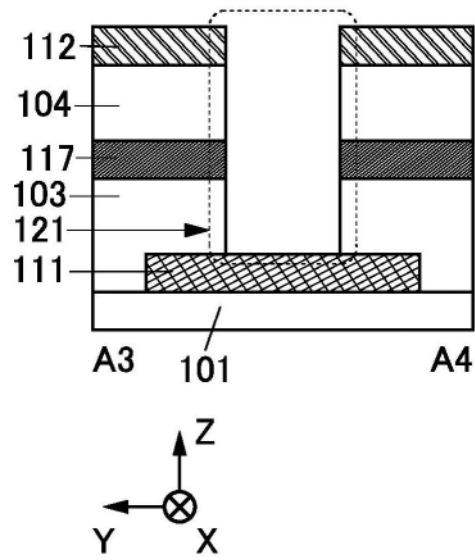


图14C

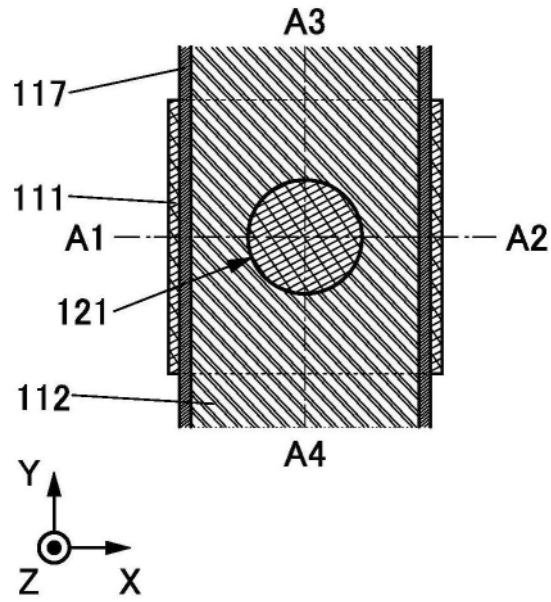


图15A1

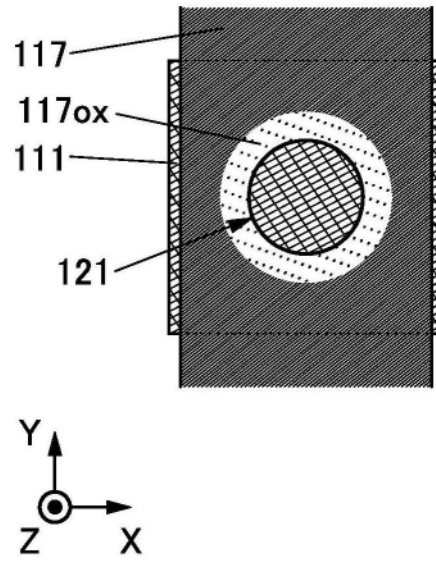


图15A2

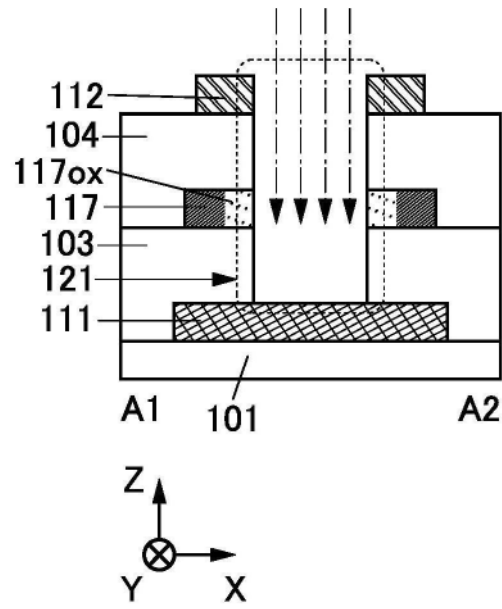


图15B

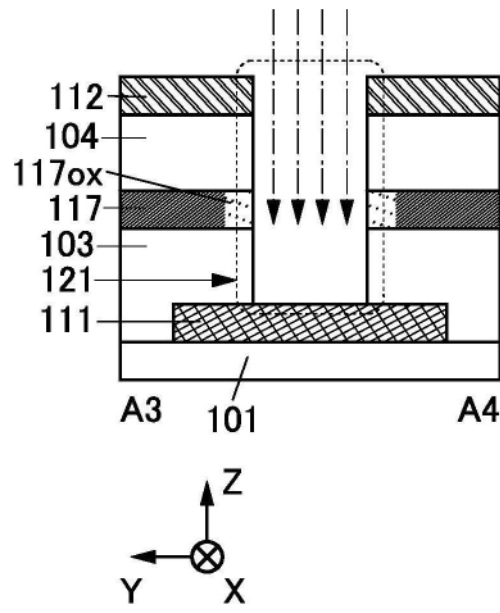


图15C

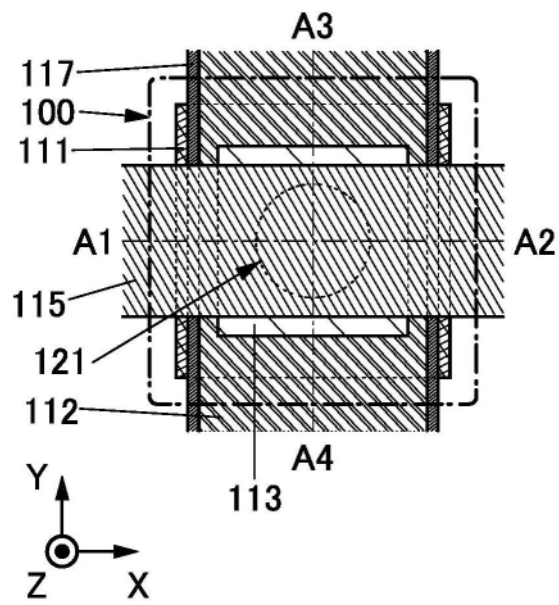


图16A

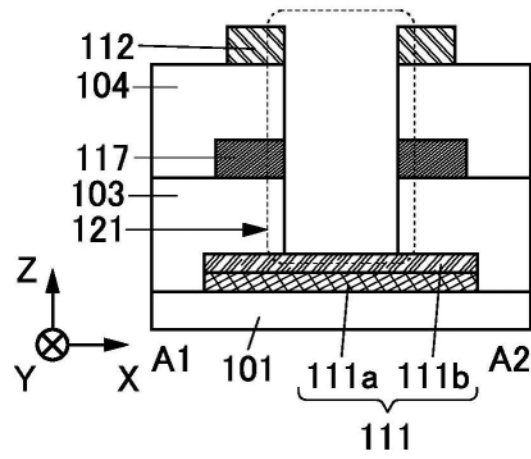


图17A

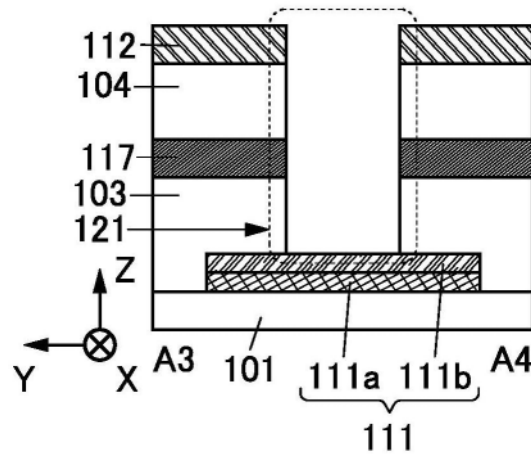


图17B

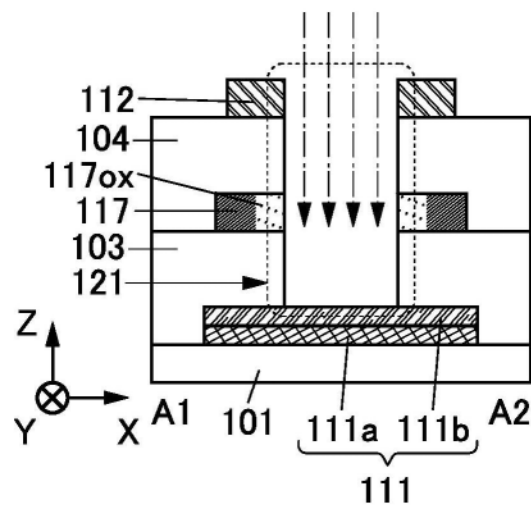


图17C

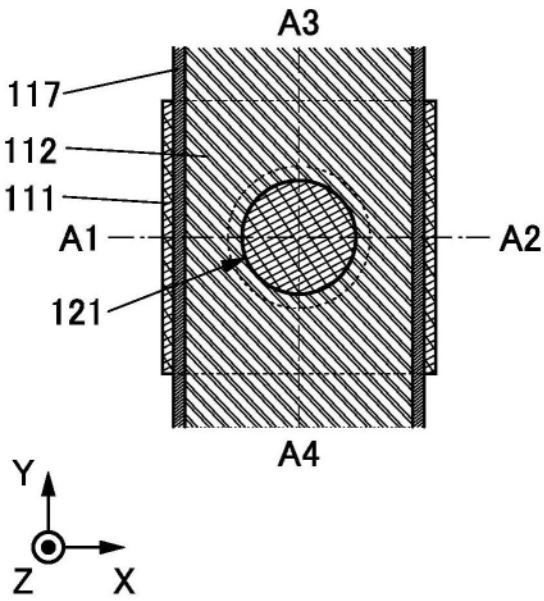


图18A1

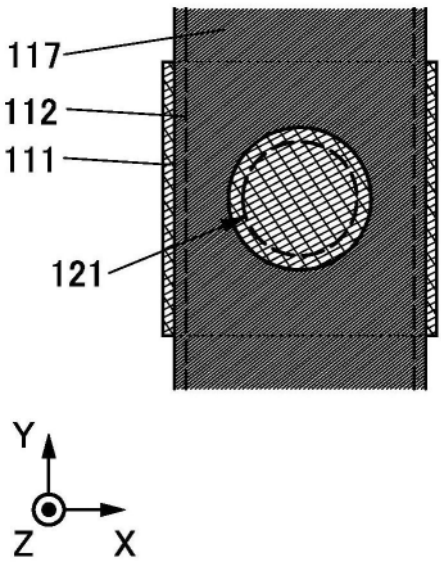


图18A2

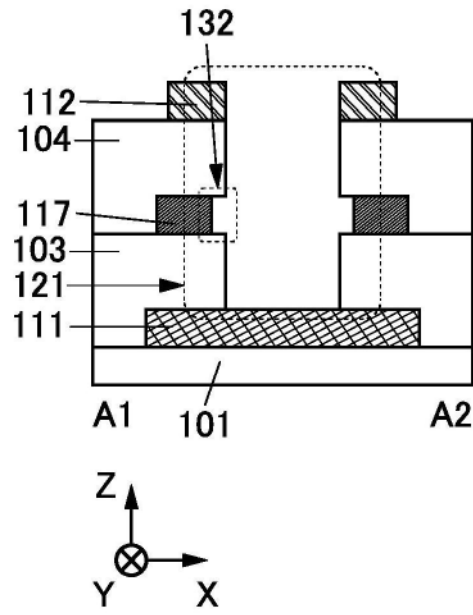


图18B

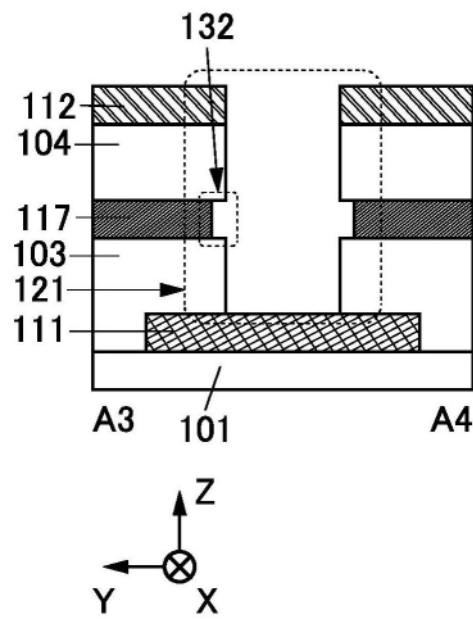


图18C

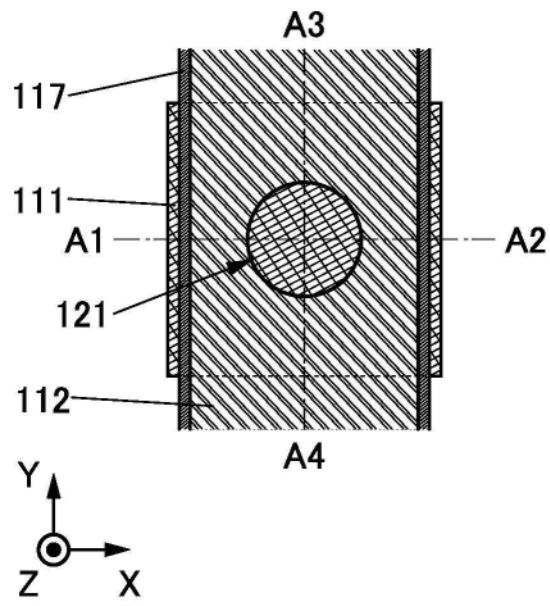


图19A1

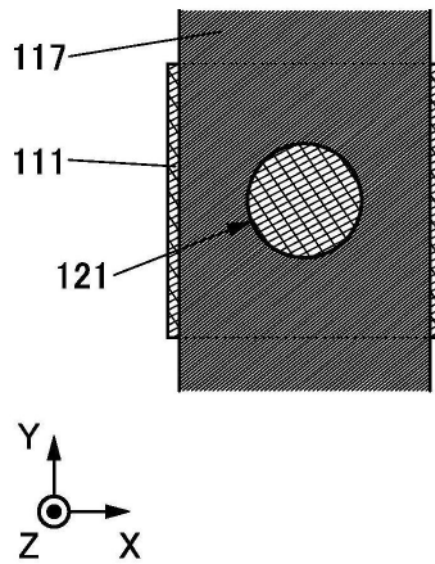


图19A2

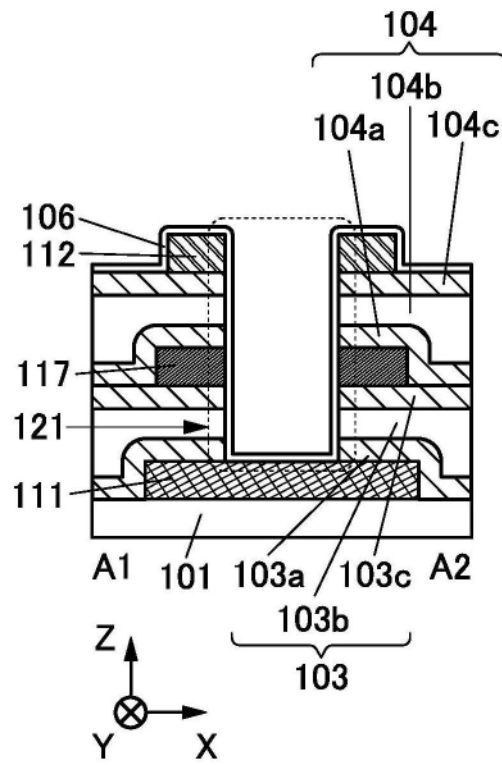


图19B

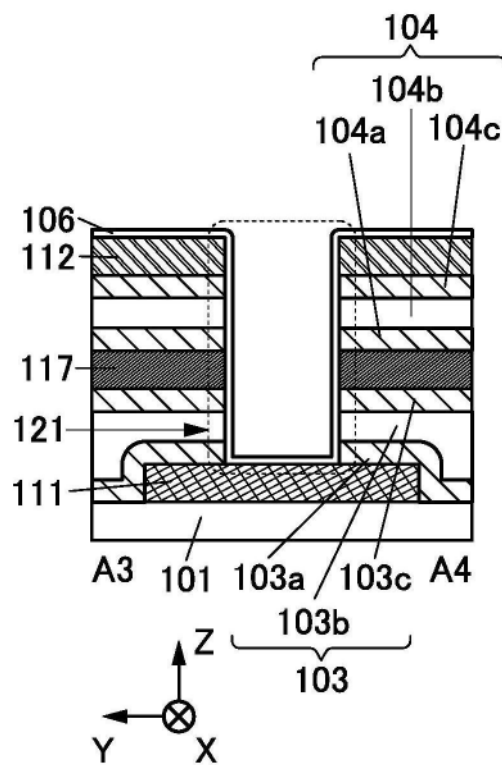


图19C

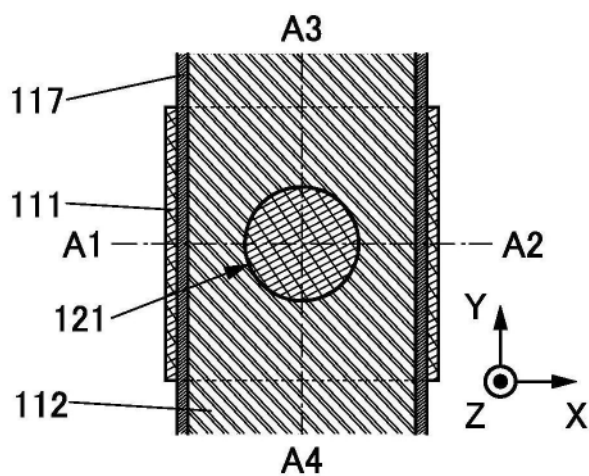


图20A1

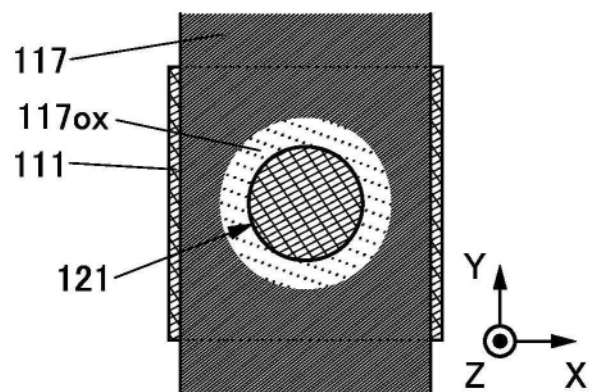


图20A2

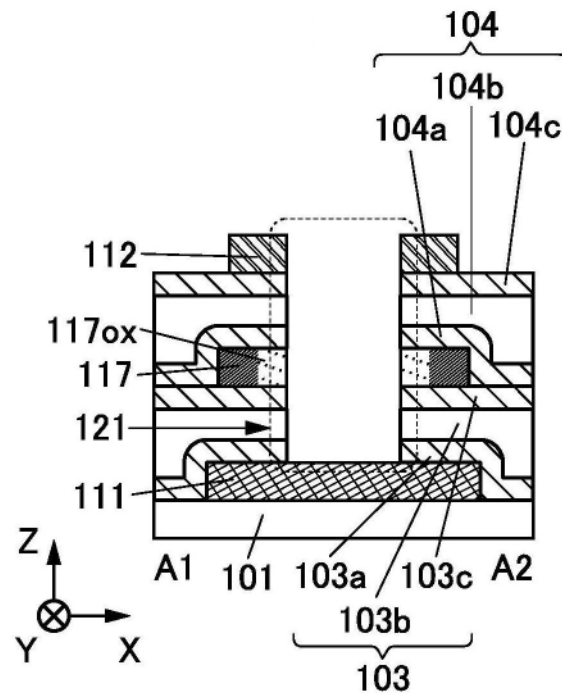


图20D

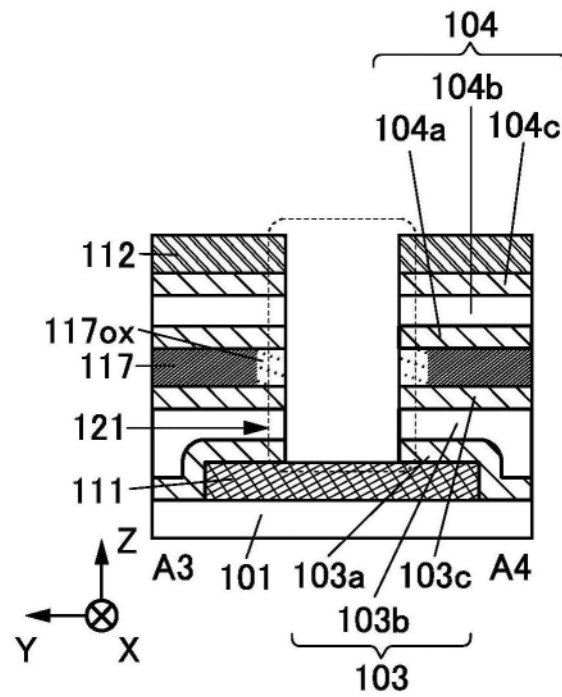


图20E

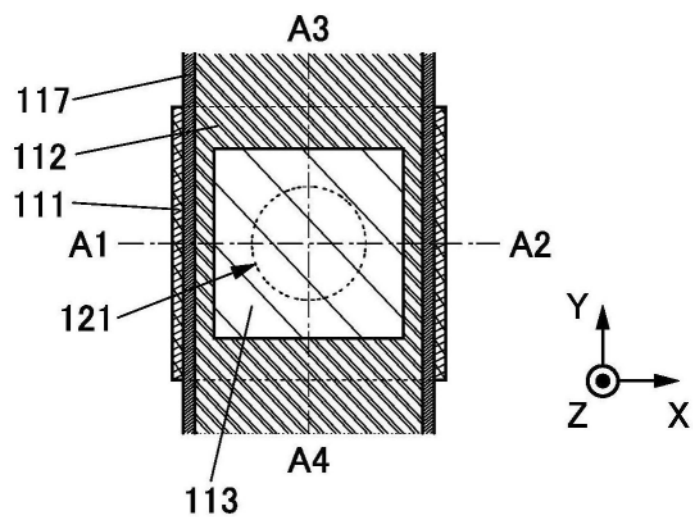


图21A

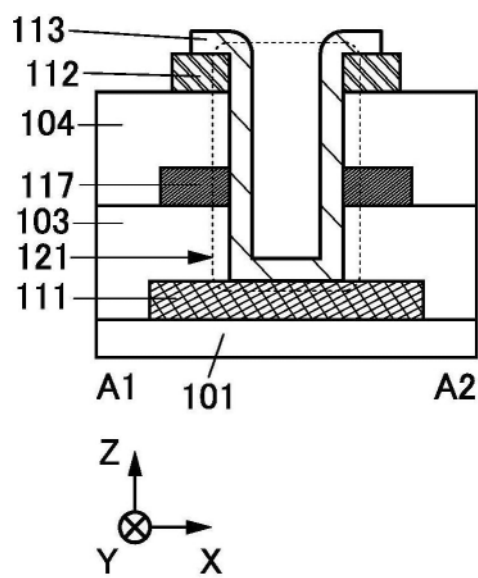


图21B

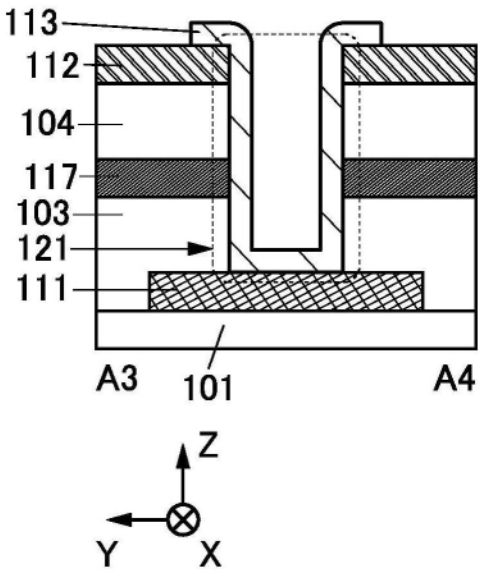


图21C

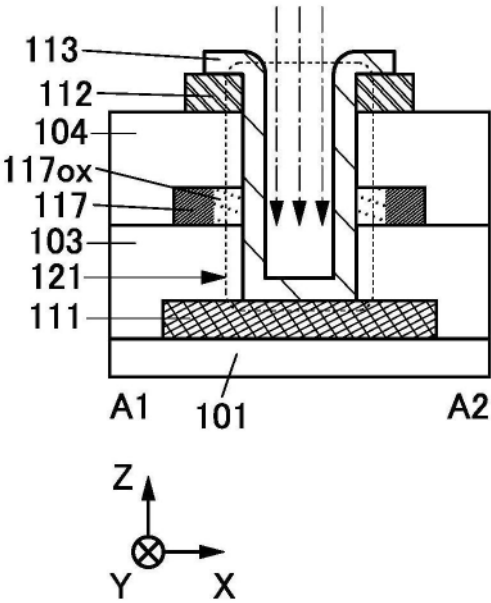


图21D

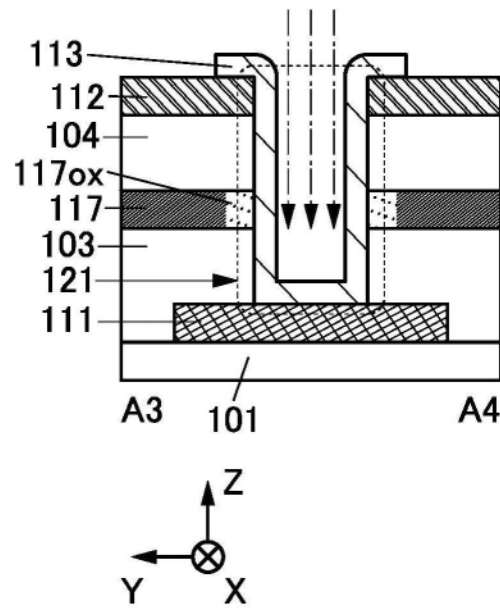


图21E

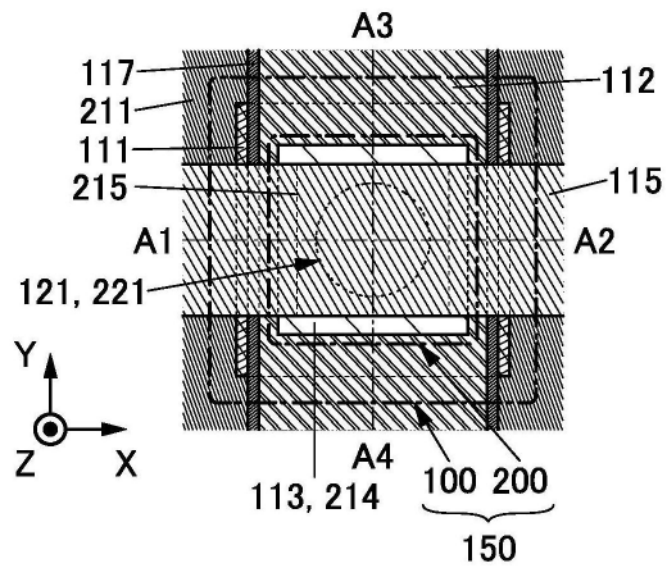


图22A1

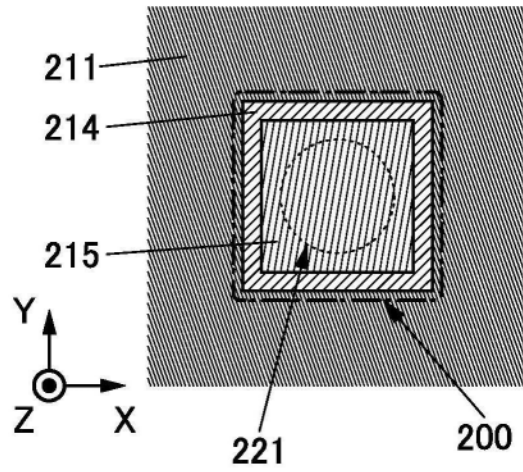


图22A2

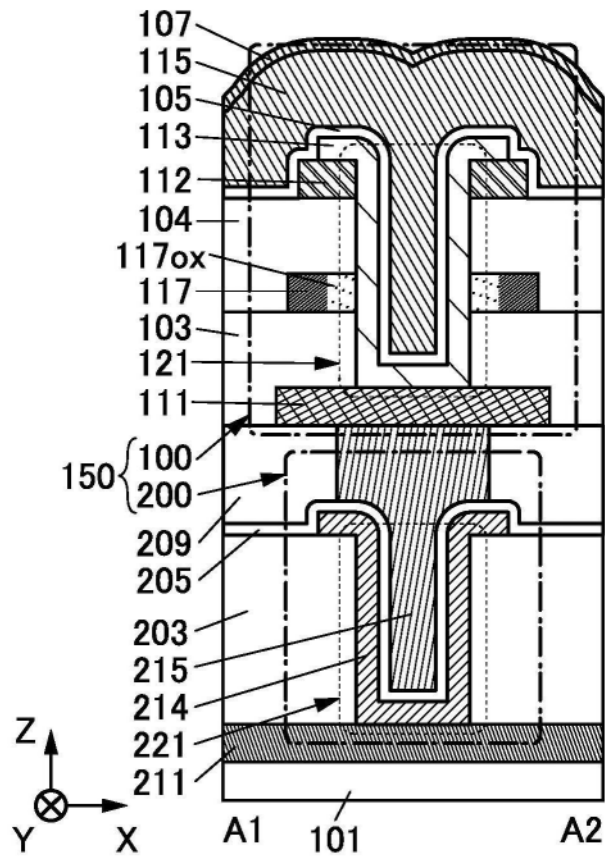


图22B

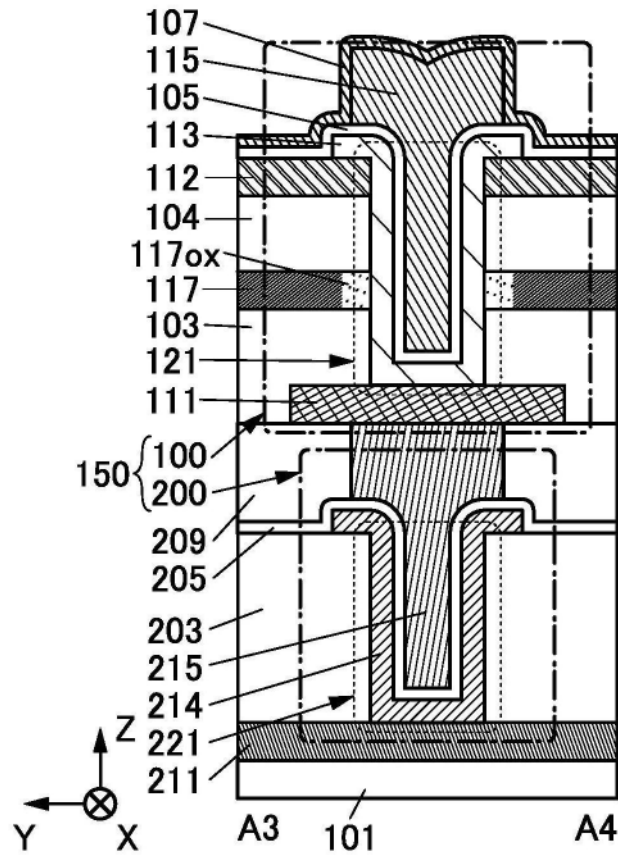


图22C

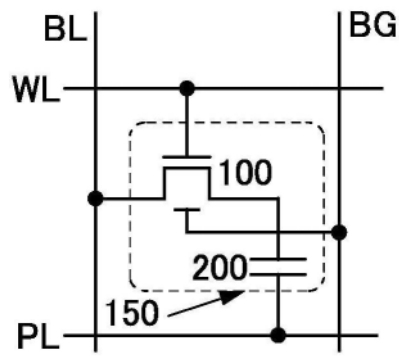


图22D1

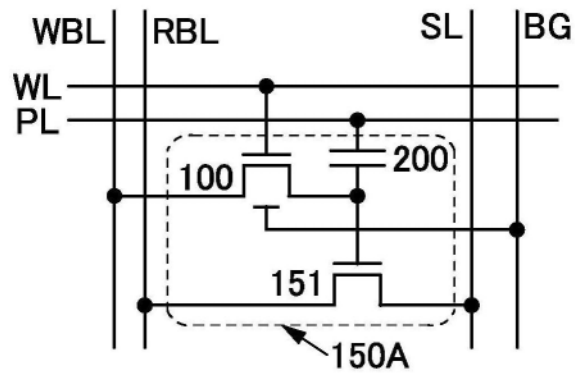


图22D2

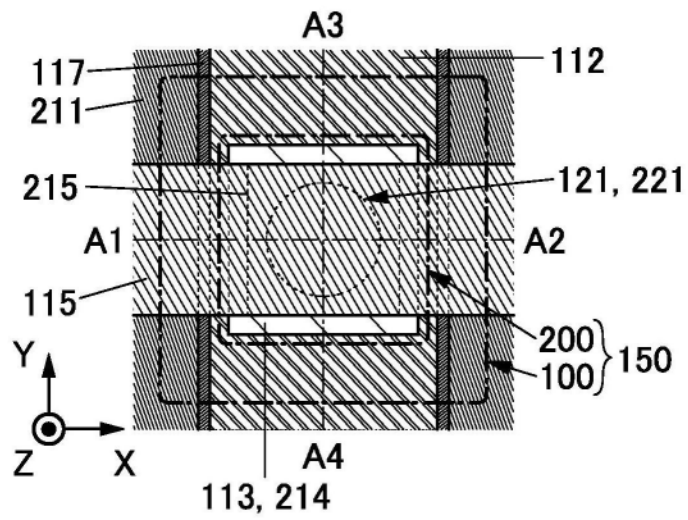


图23A

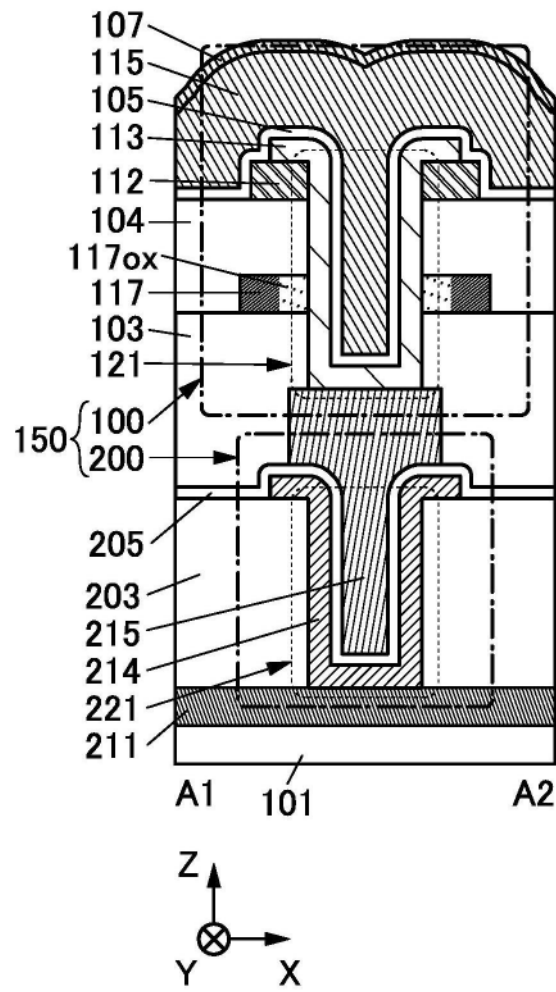


图23B

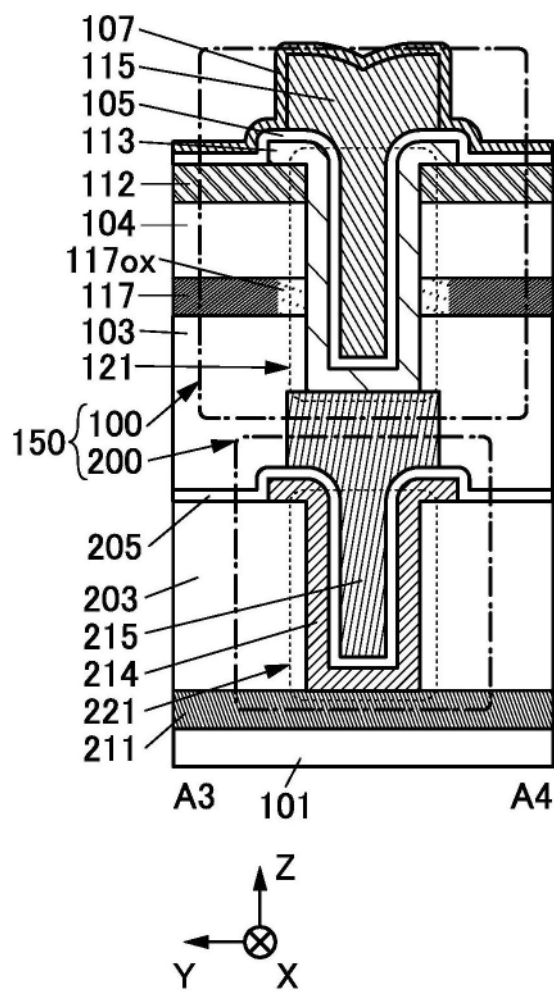


图23C

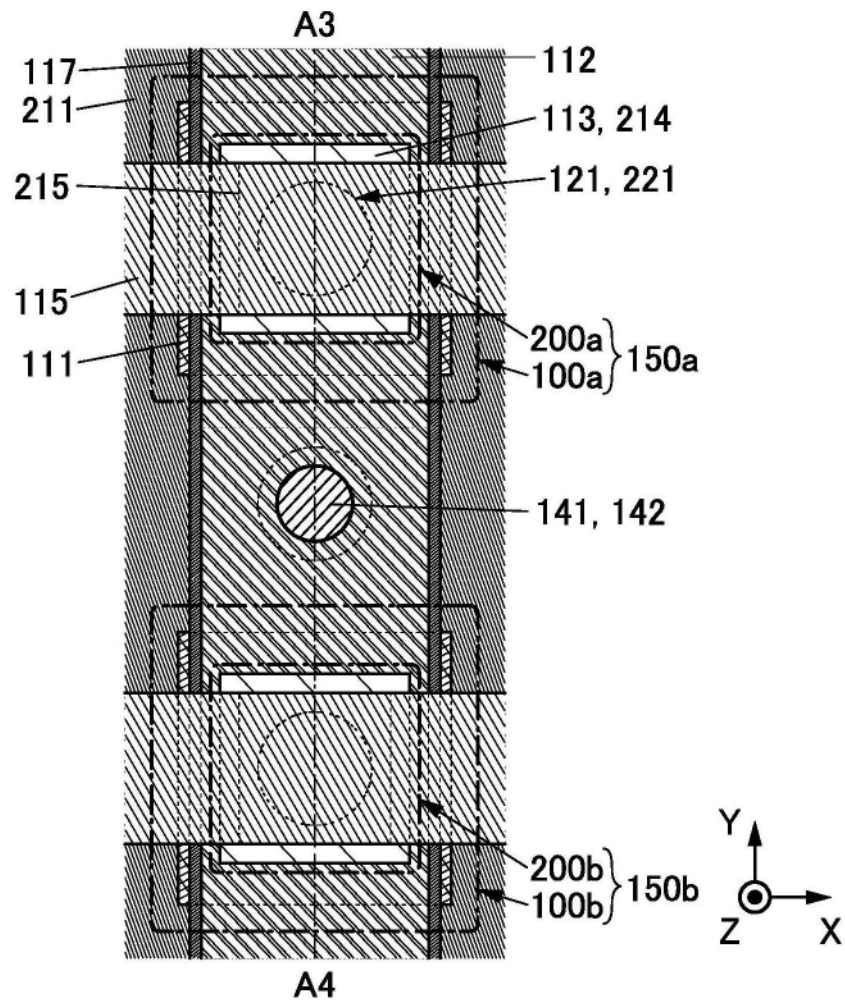


图24A

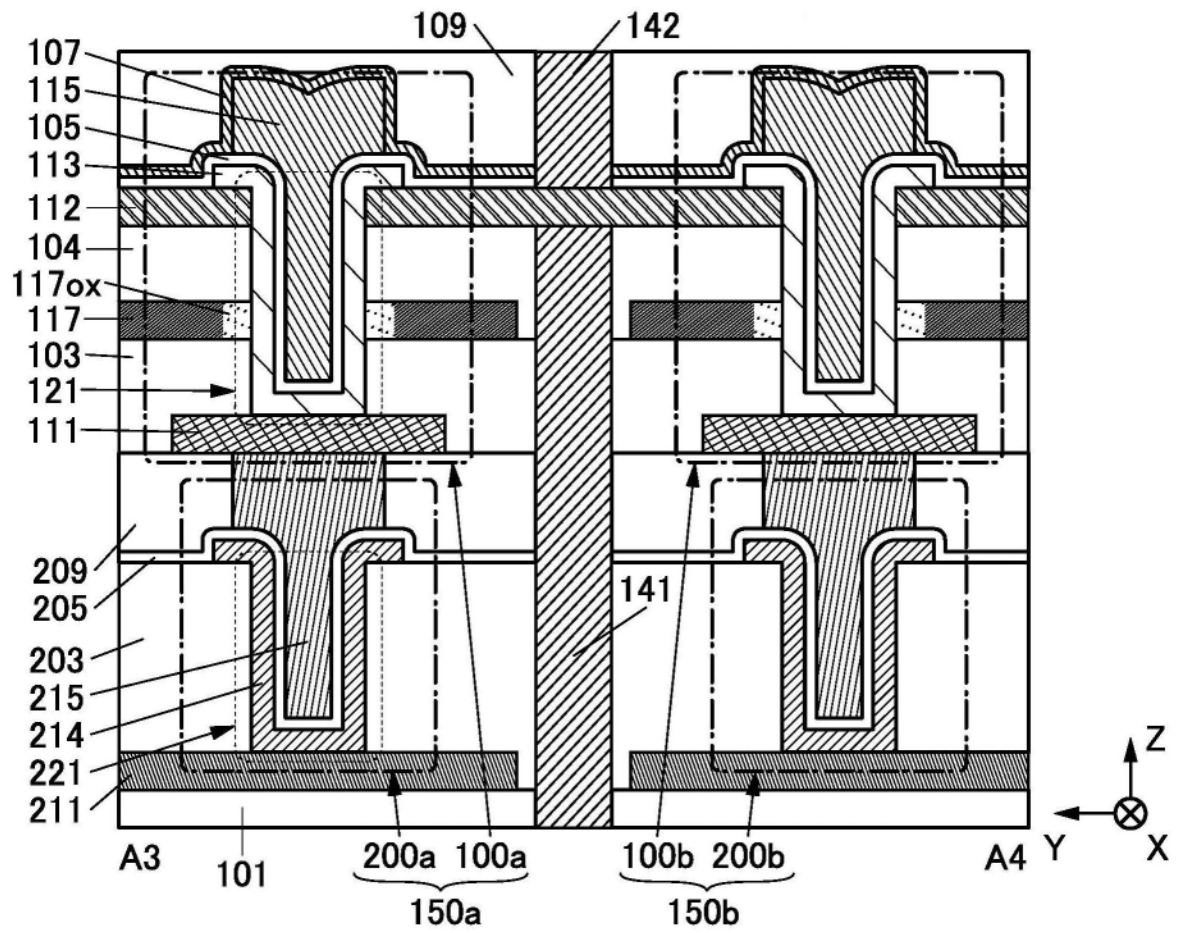
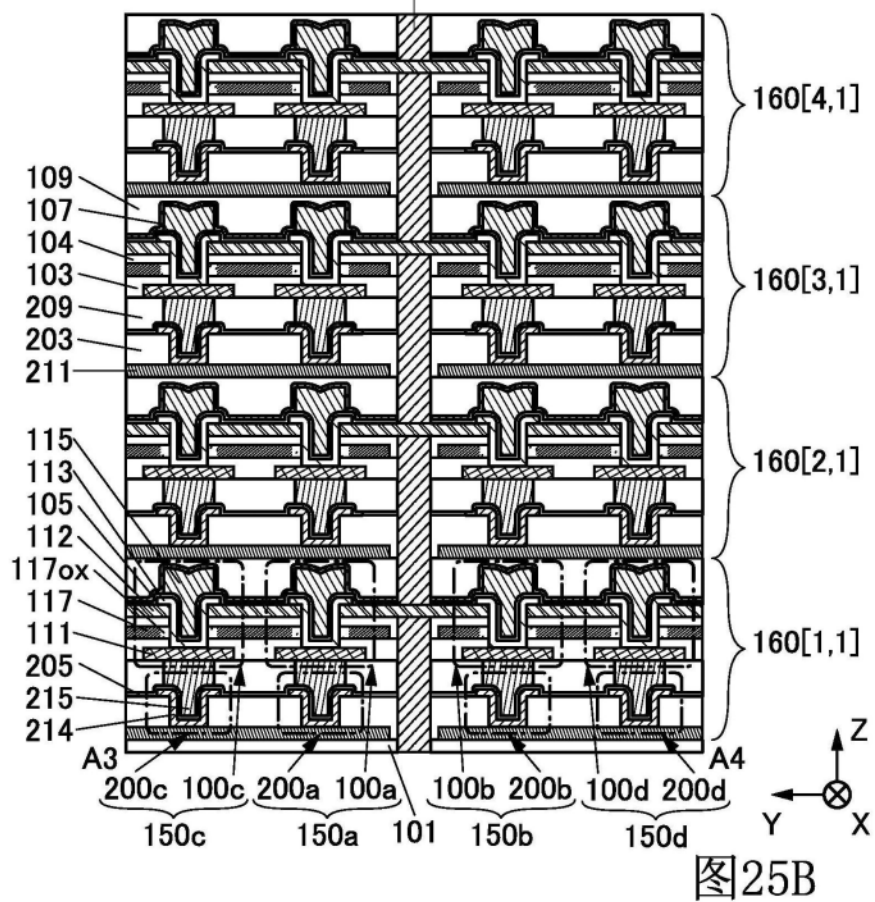
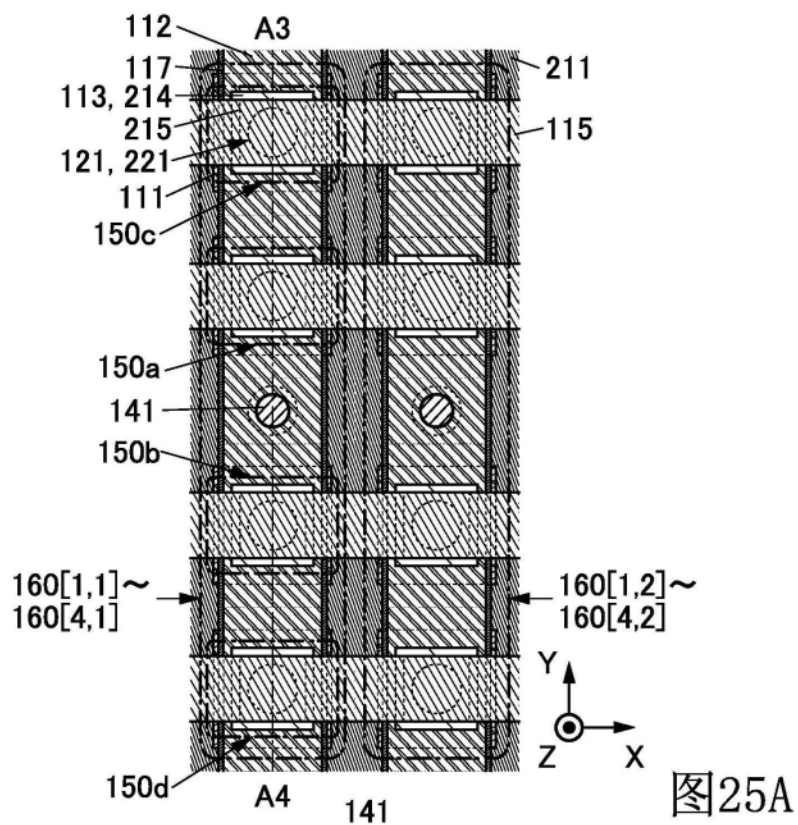


图24B



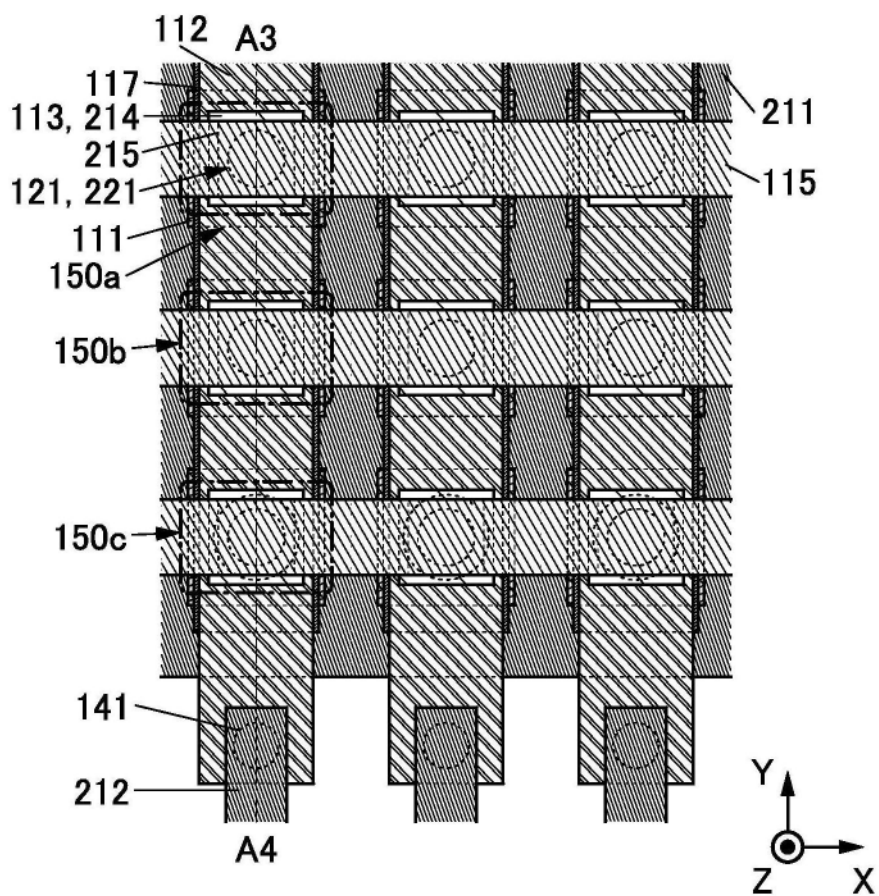


图26A

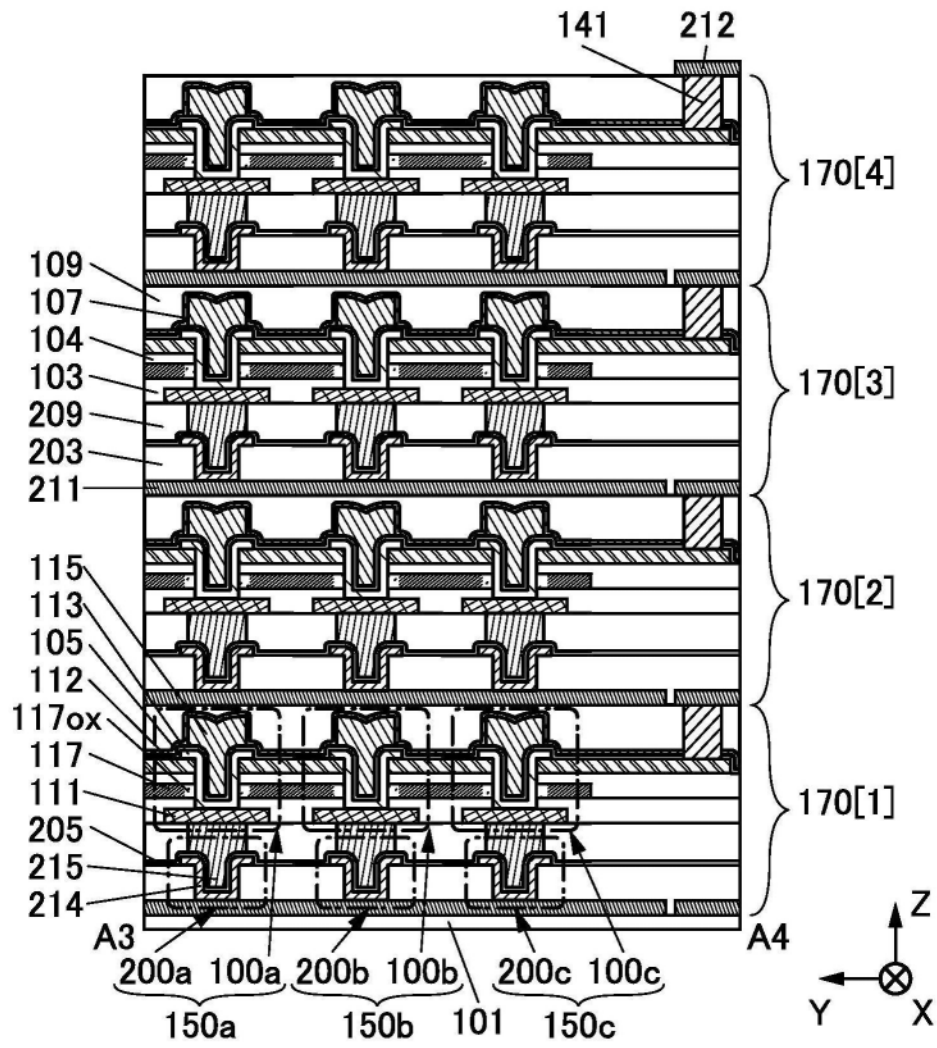


图26B

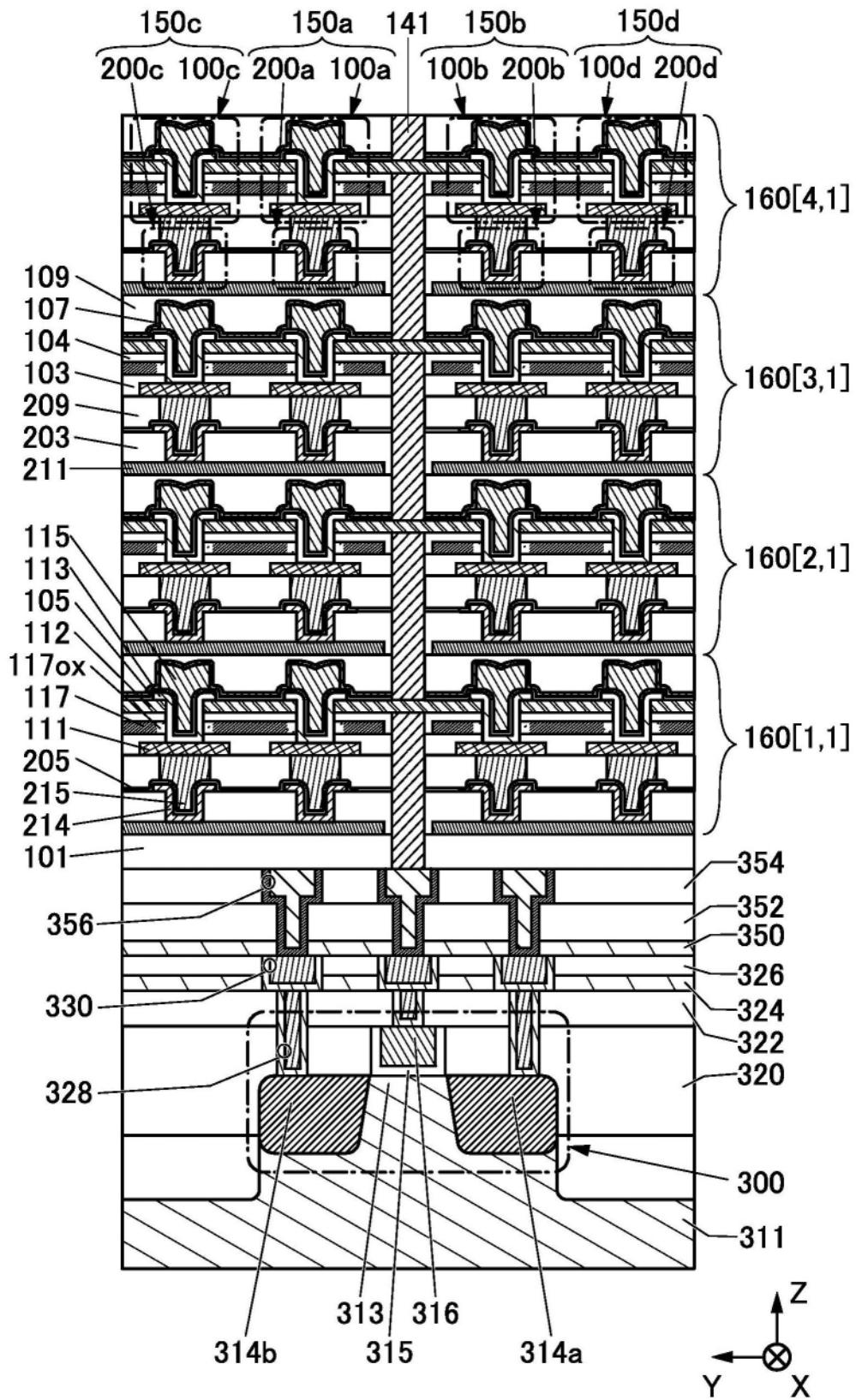


图27

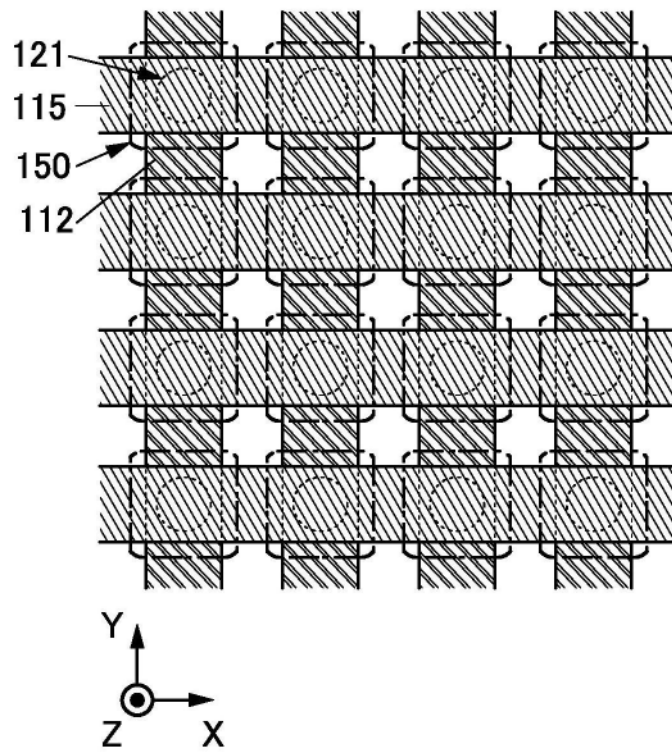


图28A

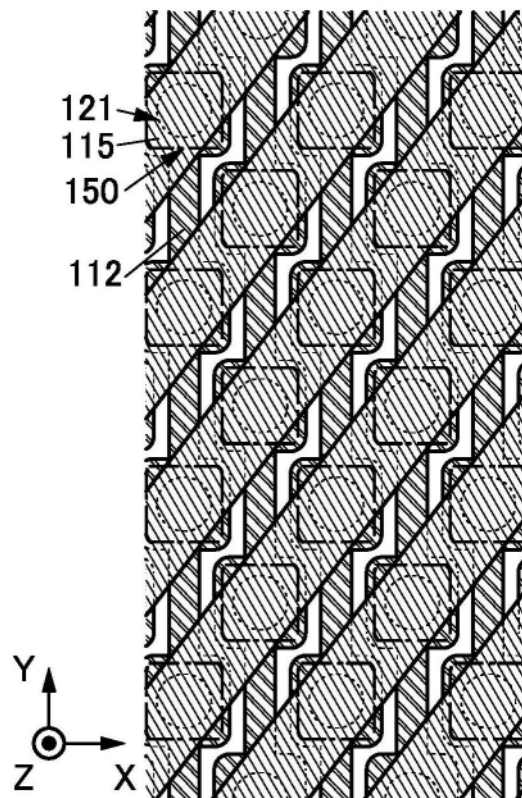


图28B

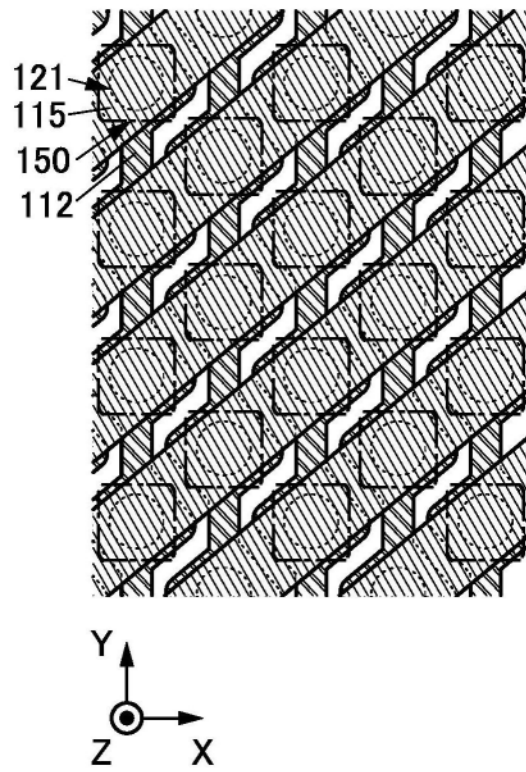


图28C

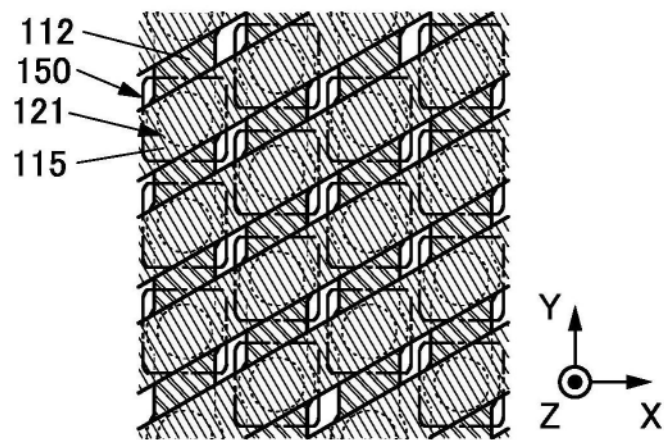


图29A

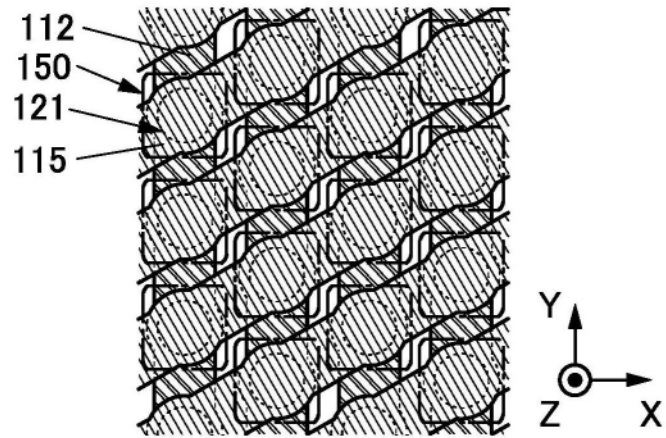


图29B

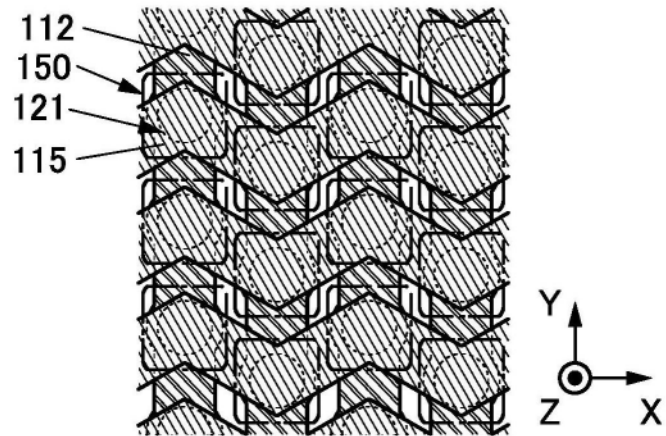


图29C

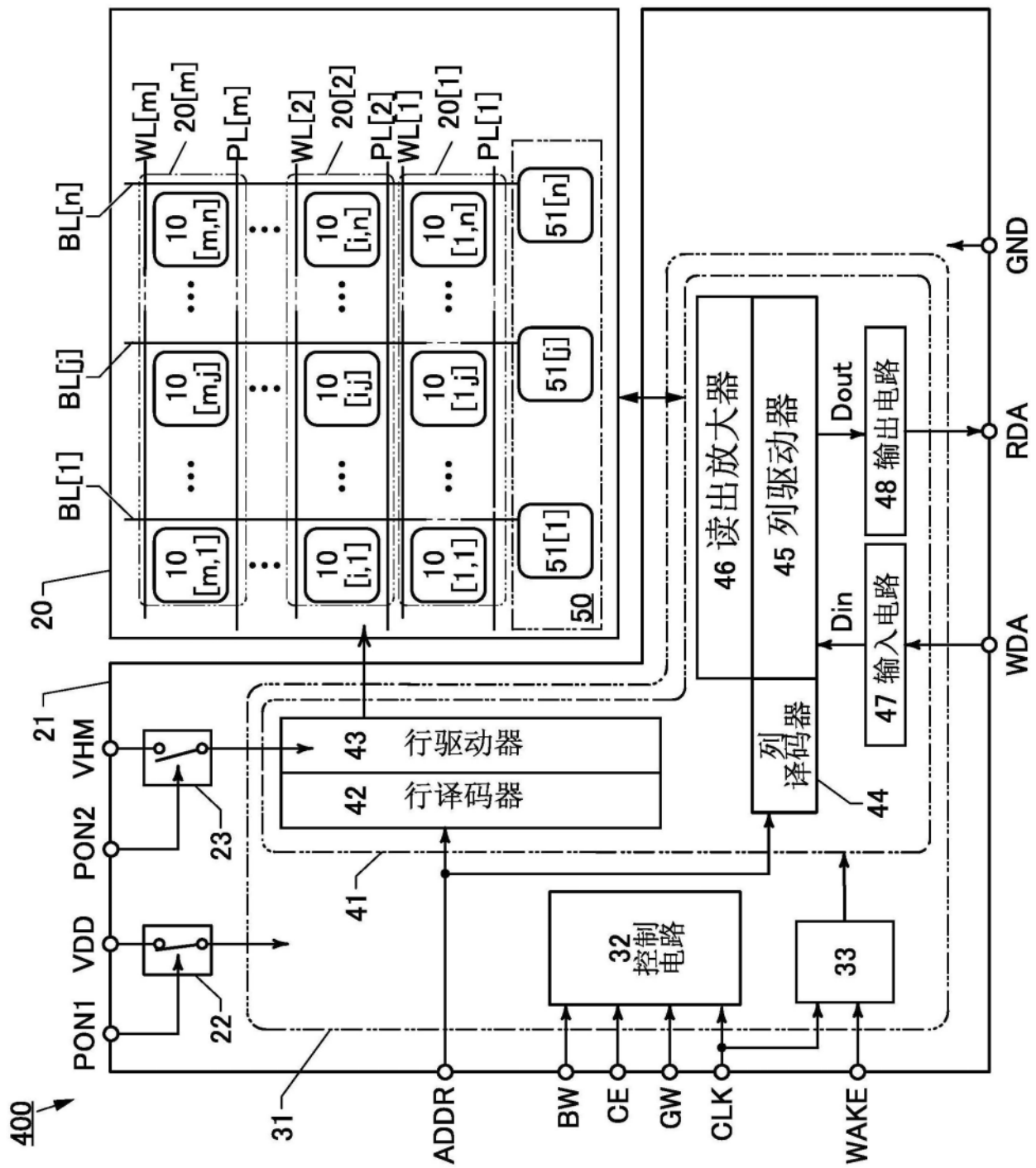


图30

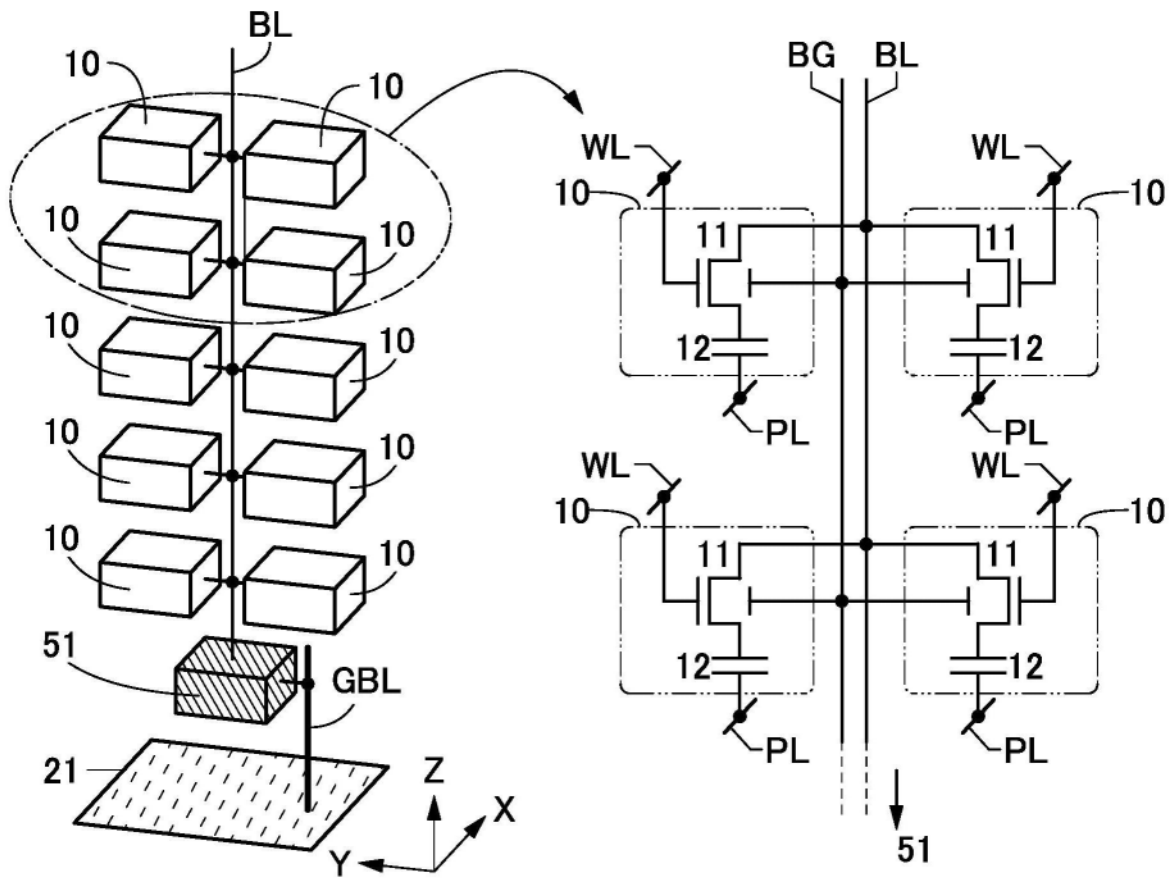


图31B

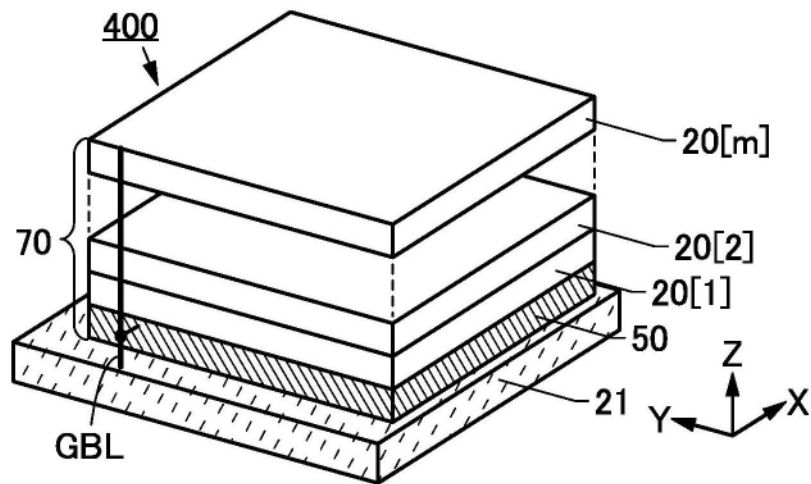


图32A

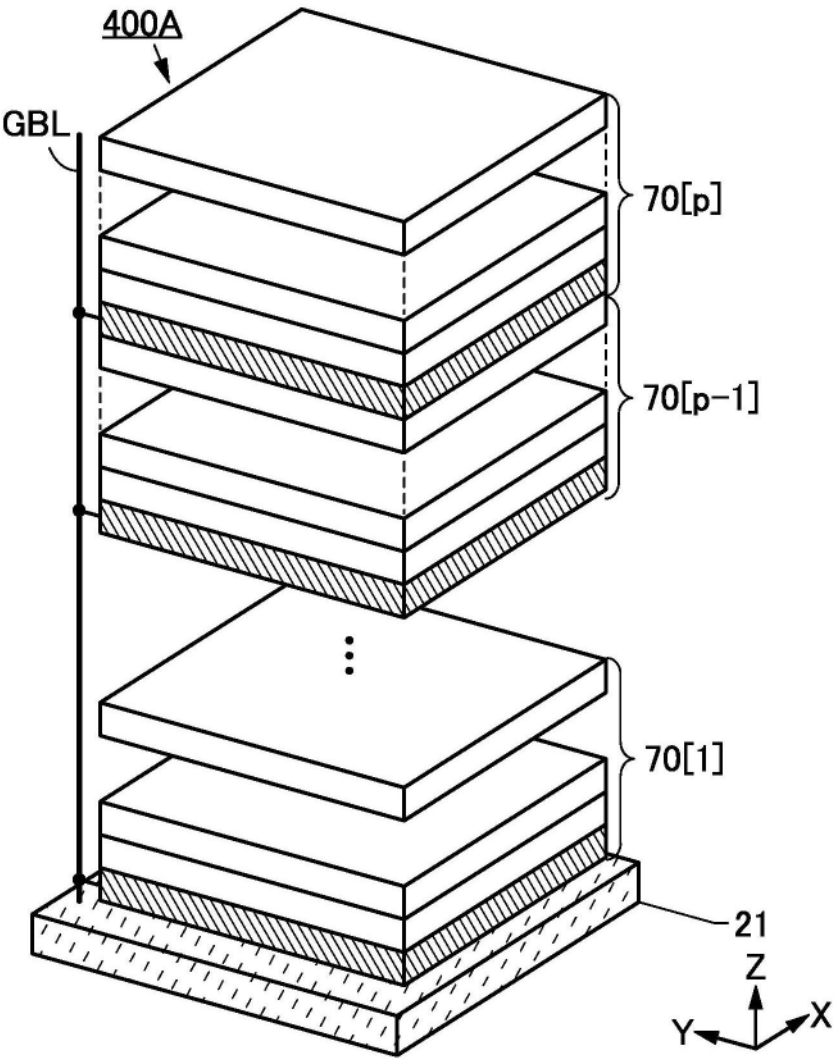


图32B

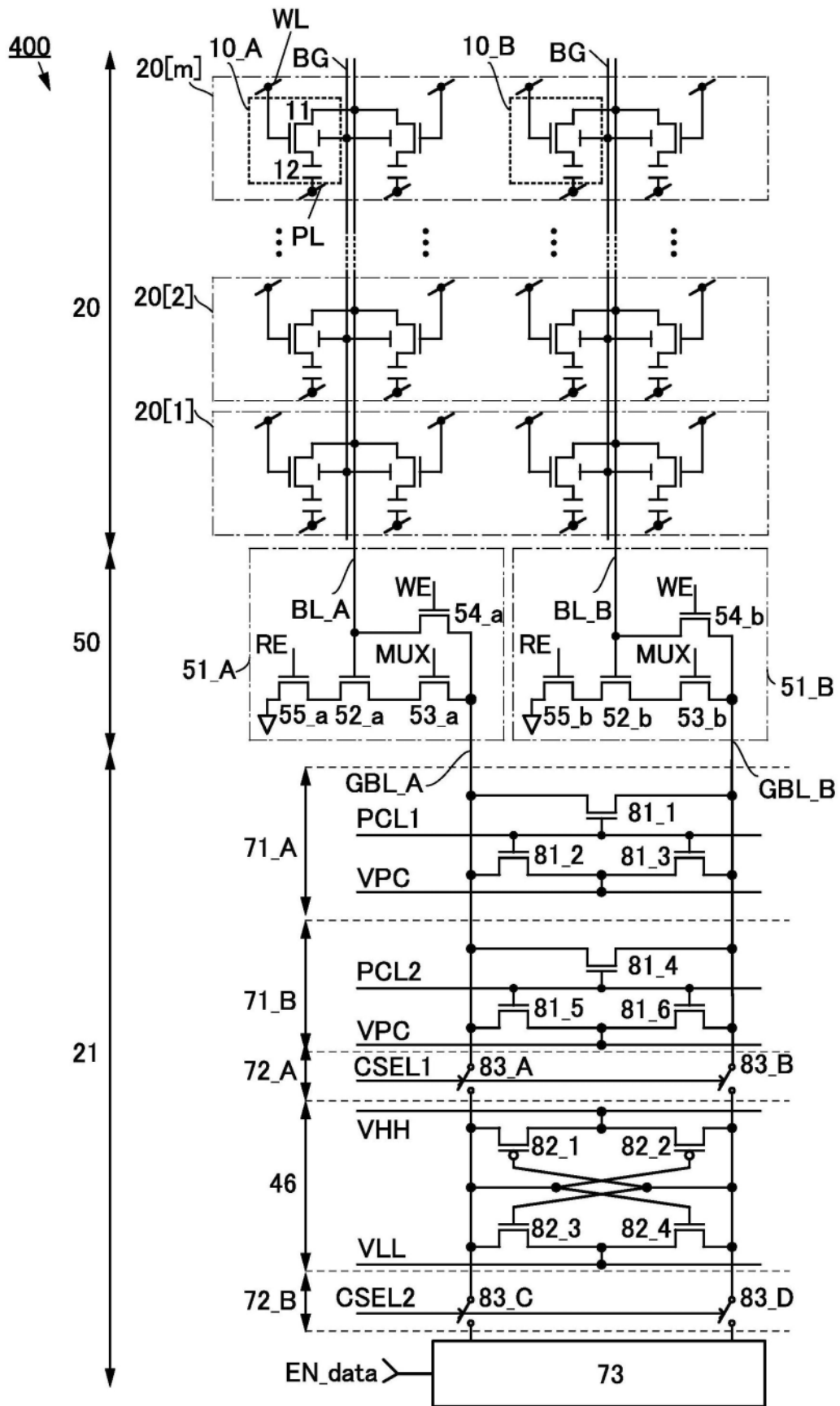


图33

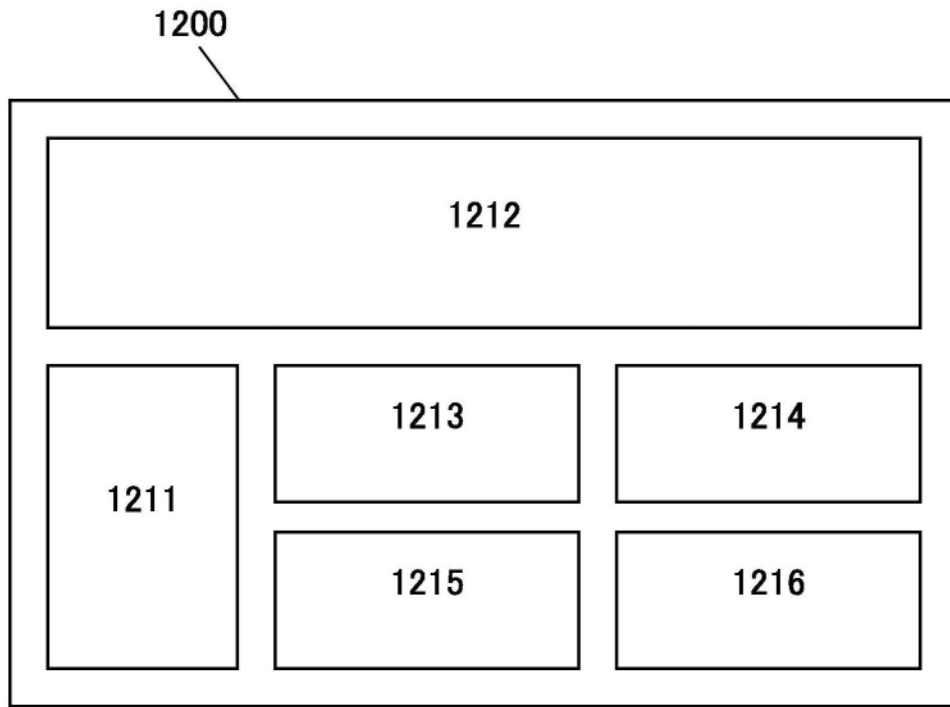


图34A

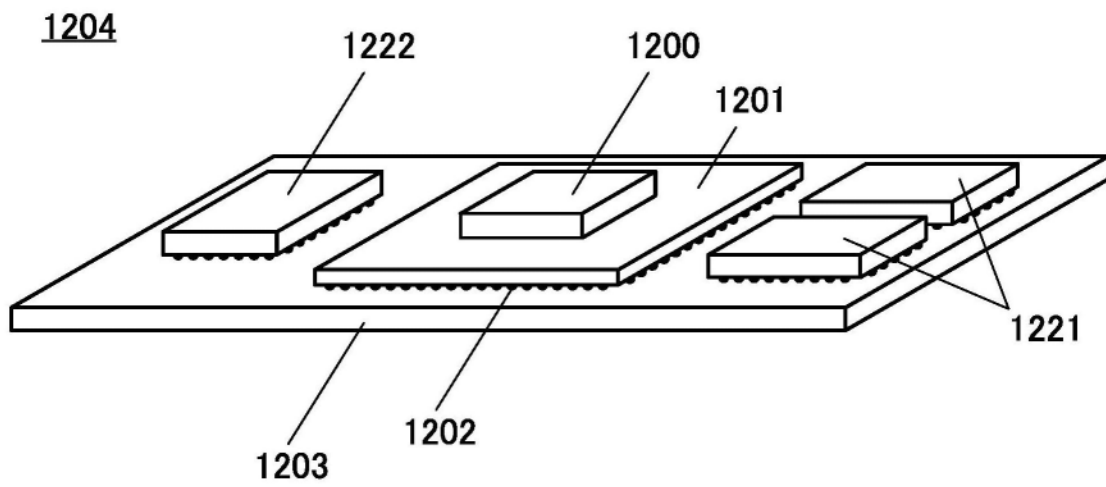


图34B

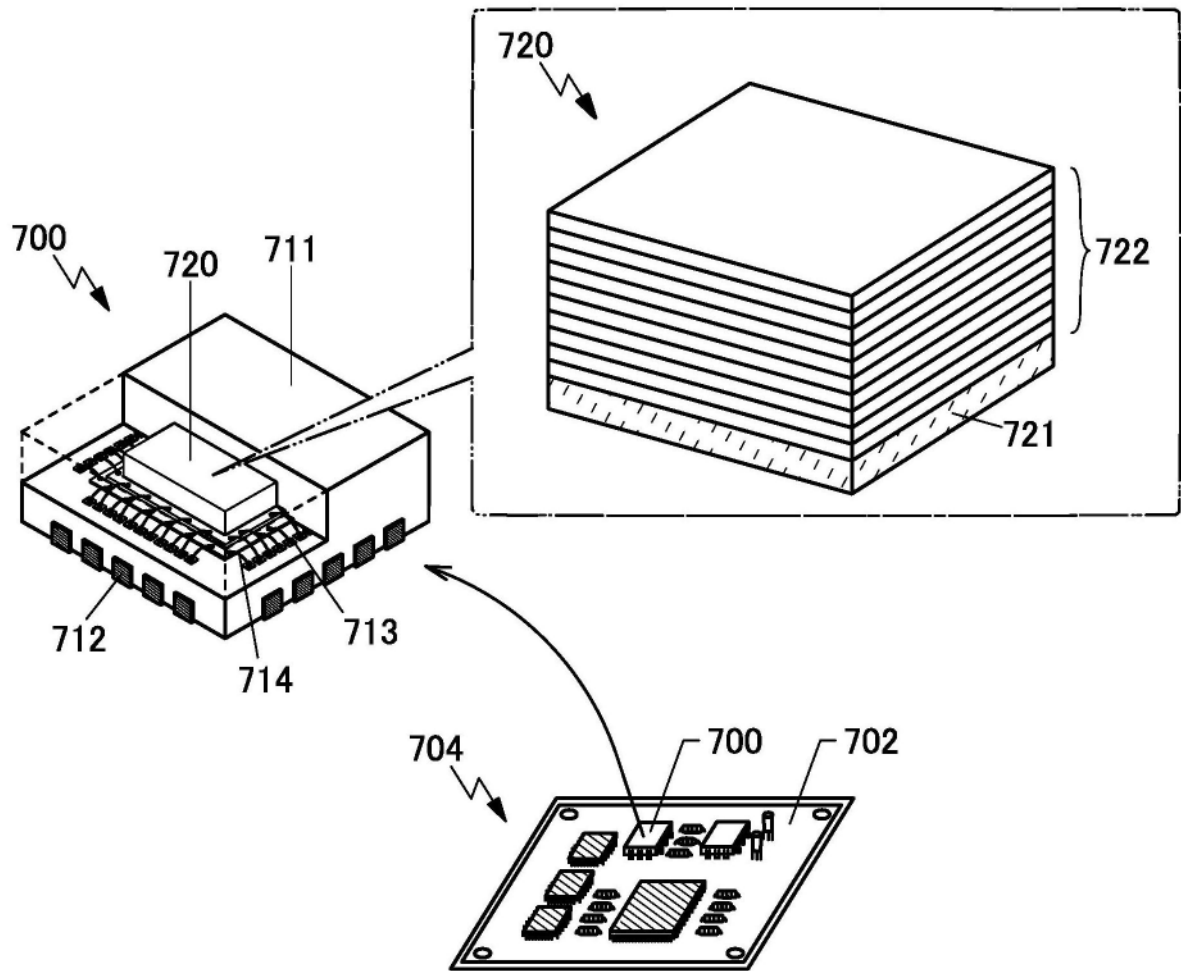


图35A

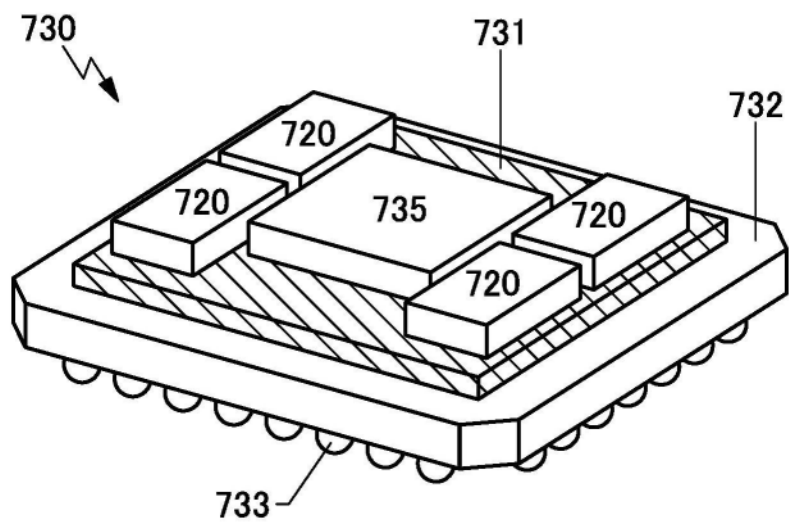


图35B

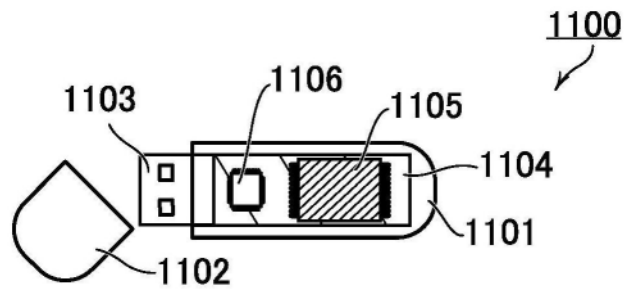


图36A

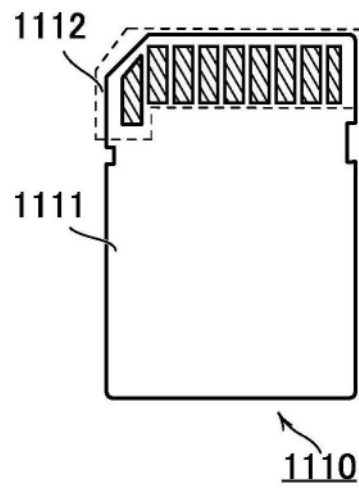


图36B

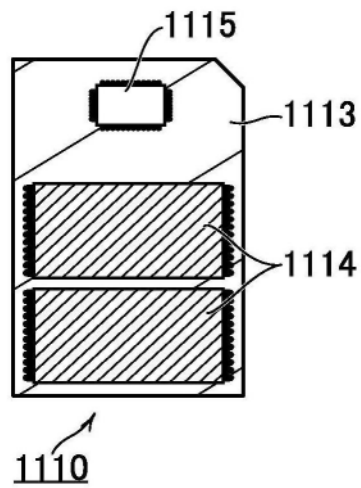


图36C

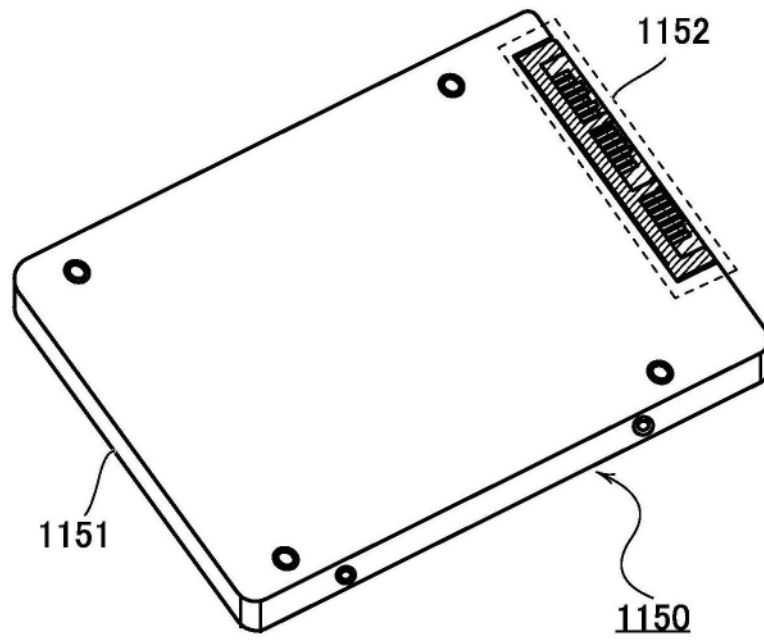


图36D

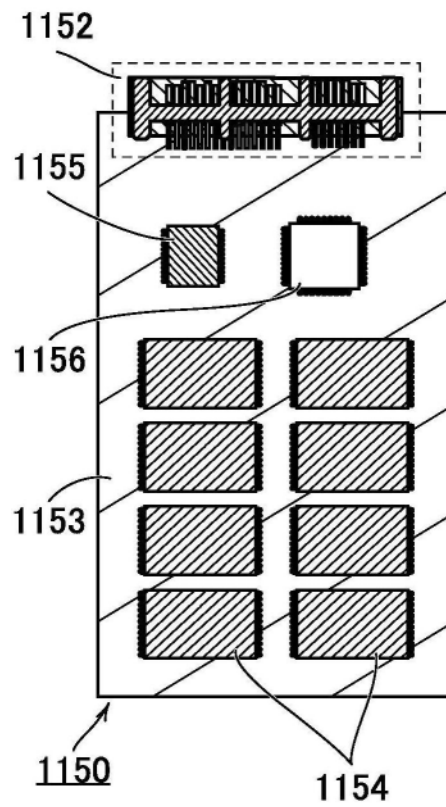


图36E

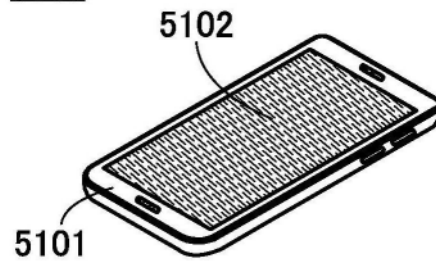
5100

图37A

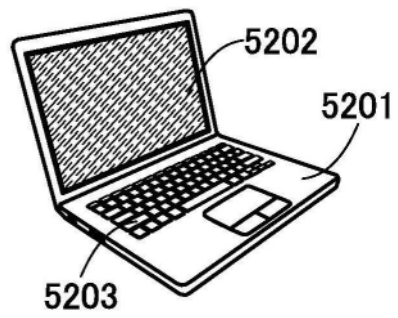
5200

图37B

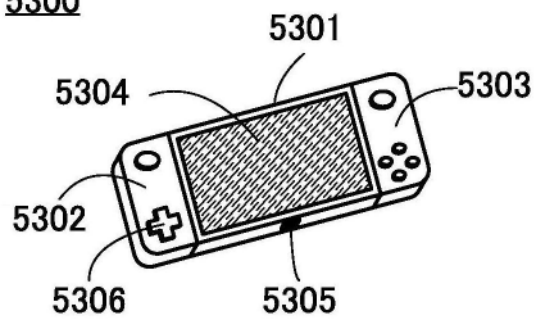
5300

图37C

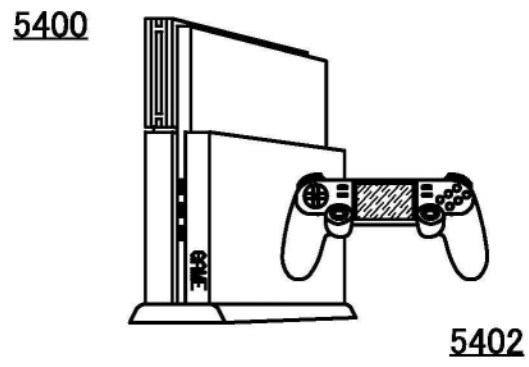


图37D

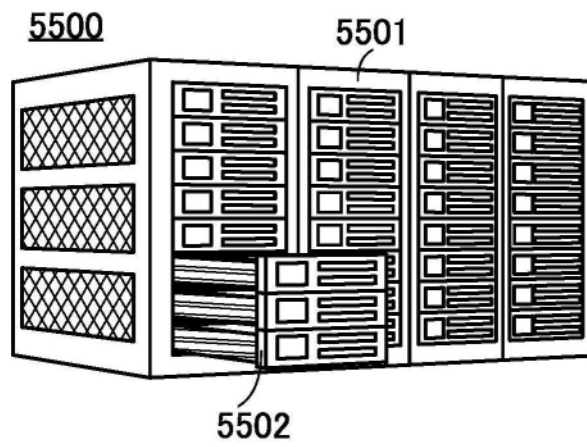


图37E

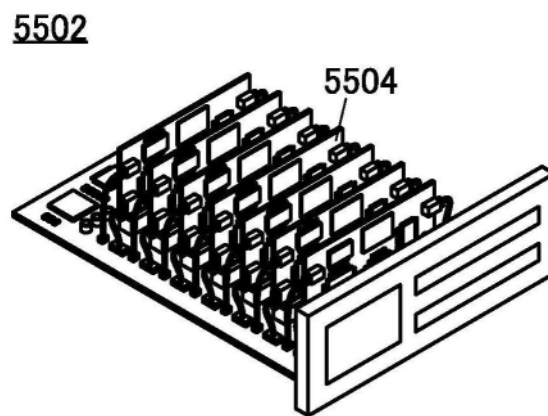


图37F



图37G

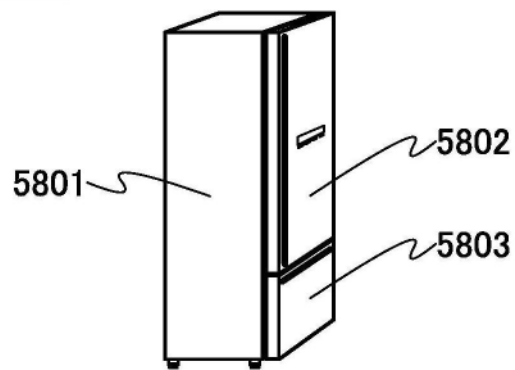
5800

图37H

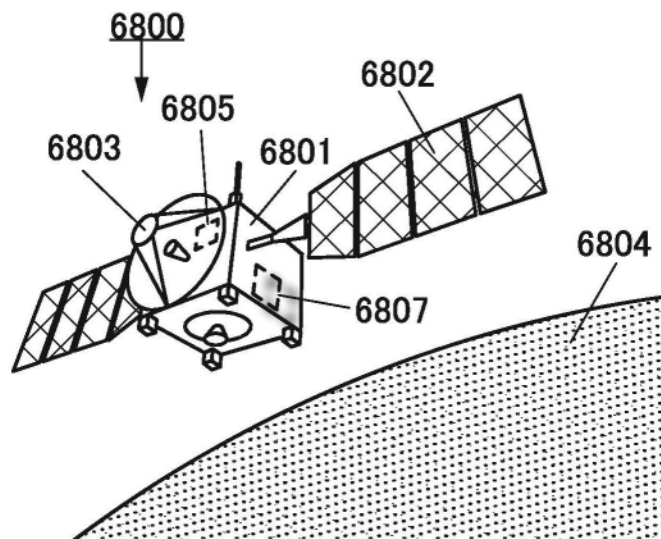


图38

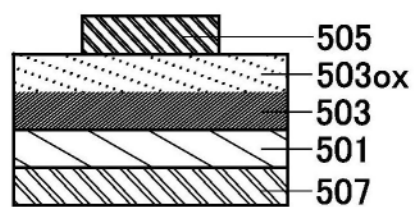


图39A

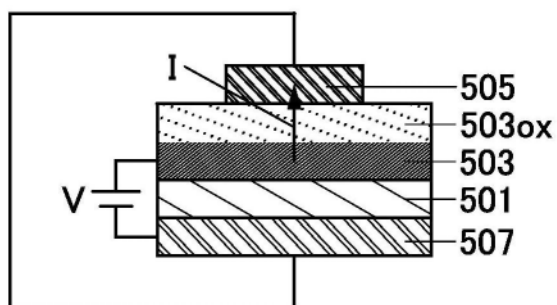


图39B

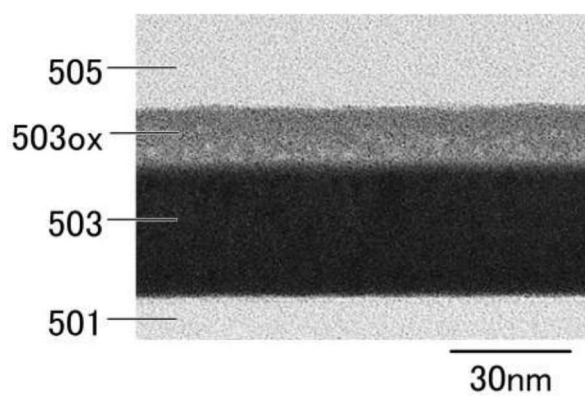


图40A

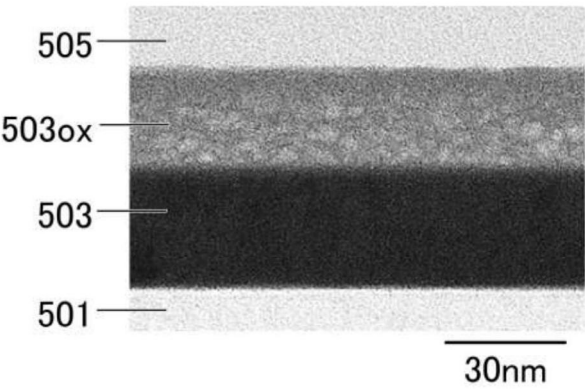


图40B

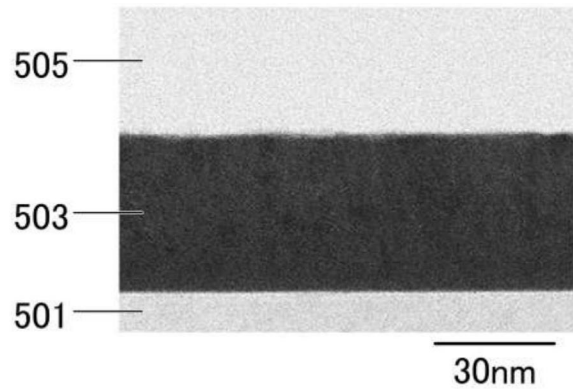


图40C

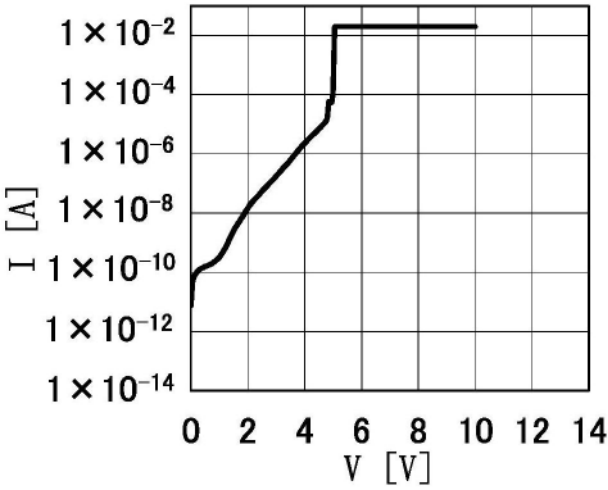


图41A

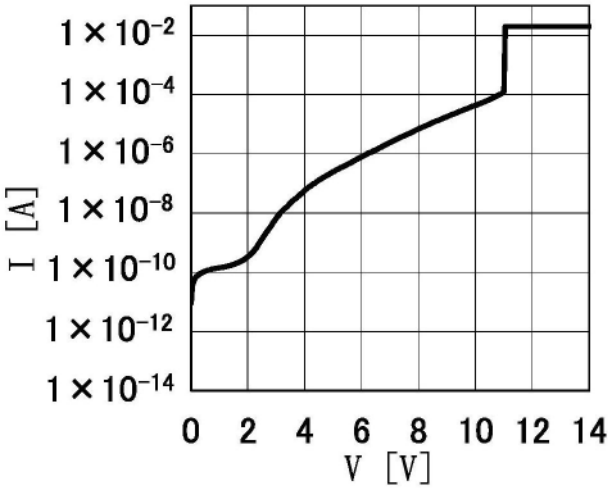


图41B

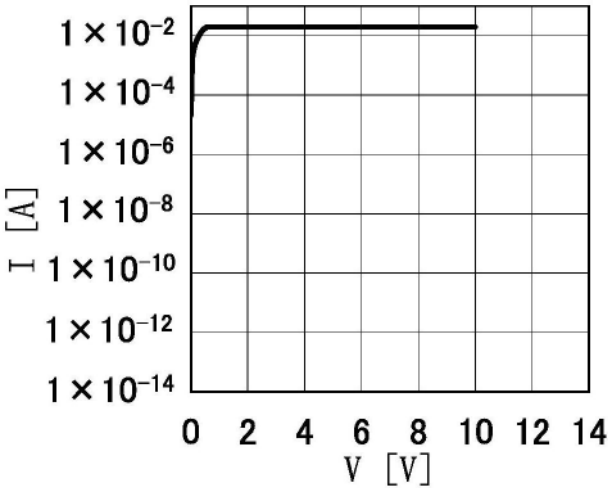


图41C