

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年7月11日 (11.07.2002)

PCT

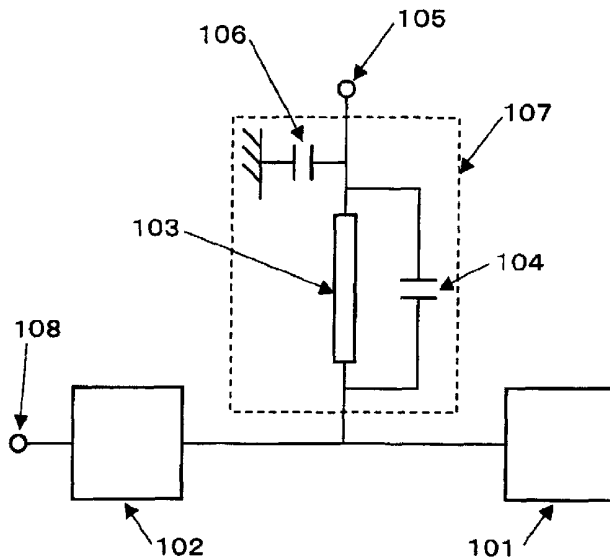
(10) 国際公開番号
WO 02/054585 A1

- (51) 国際特許分類: H03F 3/189
 - (21) 国際出願番号: PCT/JP01/10993
 - (22) 国際出願日: 2001年12月14日 (14.12.2001)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2000-400451
2000年12月28日 (28.12.2000) JP
 - (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 櫛谷 洋 (KUSHITANI, Hiroshi) [JP/JP]; 〒598-0043 大阪府泉佐野市大西1-7-6 Osaka (JP). 加藤久賀 (KATO, Hisayoshi) [JP/JP]; 〒501-0222 岐阜県本巣郡穂積町大字別府1102-7-B102 Gifu (JP). 恒岡道朗 (TSUNEOKA, Michiaki) [JP/JP]; 〒567-0821 大阪府茨木市末広町4-20 Osaka (JP).
 - (74) 代理人: 岩橋文雄, 外(IWAHASHI, Fumio et al.); 〒571-8501 大阪府門真市大字門真1006番地 松下電器産業株式会社内 Osaka (JP).
 - (81) 指定国 (国内): US.
 - (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: HIGH-FREQUENCY AMPLIFIER

(54) 発明の名称: 高周波増幅器



(57) **Abstract:** A bias circuit applicable to a high-frequency amplifier used in a communication device such as a portable telephone and adapted for reducing the harmonic distortion with a simple structure. A high-frequency amplifier of high-efficiency and small current consumption in which the voltage drop caused at the bias circuit is reduced is also disclosed. The high-frequency amplifier is composed of an amplifier circuit, an output-side matching circuit, and a bias circuit. In this bias circuit, one end of a parallel circuit composed of a first transmission line and a first capacitor is connected between the amplifier circuit and the output-side matching circuit. The other end of the parallel circuit is connected to a power supply and grounded through a second capacitor. Thus, the bias circuit is kept open in a frequency band of the signal amplified by the amplifier circuit and short-circuited in a desired frequency band, thereby reducing the high-frequency distortion without using any low-pass filter.

[続葉有]



WO 02/054585 A1



— 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

携帯電話等の通信機器に用いられる高周波増幅器に適用でき、簡単な構成で高調波歪みを低減できるバイアス回路を提供する。さらにバイアス回路での電圧降下が低減され、結果として消費電流が少なくかつ高効率の高周波増幅器を実現する。高周波増幅器は増幅回路と出力側整合回路とバイアス回路からなる。バイアス回路では、第1の伝送線路と第1のコンデンサで構成された並列回路の一端が増幅回路と出力側整合回路の間に接続される。並列回路の他端が電源に接続されるとともに第2のコンデンサを介して接地される。これにより増幅回路が増幅する信号の周波数帯域においてオープン状態を保持しながら、所望の周波数帯域でショート状態となるバイアス回路を形成でき、低域通過フィルタを用いることなく高調波歪みを低減できる。

明細書

高周波増幅器

技術分野

- 5 本発明は主として携帯電話等の通信機器に用いられる高周波増幅器に関する。

背景技術

従来の高周波増幅器では図14に示すように、一般的に増幅回路1401と出力側整合回路1402の間に伝送線路1403の一端が接続され、伝送線路1403の他端が電源1405に接続するとともにコンデンサ1404を介して接地される。

伝送線路1403は増幅回路1401が増幅する信号の周波数帯域において4分の1波長の長さに設定される。コンデンサ1404は前記周波数帯域で充分ショート状態となるように比較的大きな容量値に設定される。

- 15 電源1405から流れてきたバイアス電流は直流なのでコンデンサ1404には流れず、伝送線路1403を経由して増幅回路1401に流れて増幅回路1401を駆動する。増幅回路1401は前記周波数帯域において信号を増幅し、同時に前記周波数帯域の n 倍（ n は整数）の帯域において高調波歪みを生み出す。前記周波数帯域においてコンデンサ1404は充分にショート状態であり伝送線路1403の長さは4分の1波長である。したがって伝送線路1403の一端では、位相が反転してオープン状態となって増幅された信号はバイアス回路1406には流れずに出力側整合回路1402を介して出力される。

- 25 前記周波数帯域の $2n$ 倍の周波数帯域においてもコンデンサ1404は充分にショート状態であり、かつ伝送線路1403は2分の1波長となる長さであるので、バイアス回路1406はノッチ回路として作用する。従って前記 $2n$ 倍の周

波数帯域における高調波歪みは低減され、出力側整合回路 1 4 0 2 に流れない。

一例として図 1 5 に増幅回路 1 4 0 1 の出カインピーダンスが $3.2 - j 5.7 \Omega$ で出力する周波数帯が 9 0 0 MHz である高周波増幅器の周波数特性を示す。

従来の高周波増幅器のバイアス回路は、高周波増幅器の主要な高調波歪みである 2 倍高調波の周波数帯域および 3 倍高調波の周波数帯域におけるコンデンサのショート状態が不十分であるため、高調波歪みを低減させるために整合回路に続いて低域通過フィルタを接続する必要がある。したがって回路規模が大きくなるうえに低域通過フィルタの損失が加わるために高周波増幅器が効率が下がり、所望の電力を発生させるための消費電流が増大する。

10

発明の開示

高周波増幅器は (a) 増幅回路と、(b) 出力側整合回路と、(c) 第 1 端が前記増幅回路と前記出力側整合回路の間に接続されて第 2 端が電源に接続された、第 1 の伝送線路と第 1 のコンデンサで形成された並列回路と、前記並列回路の前記第 2 端に第 1 端が接続されて第 2 端が接地された第 2 のコンデンサとを有するバイアス回路とを備える。

15

バイアス回路は増幅回路が増幅する信号の周波数帯域においてオープン状態を保持しながら、所望の周波数帯域でショート状態となる。したがって低域通過フィルタを用いることなく高調波歪みを低減することができる。

20

図面の簡単な説明

- 図 1 は本発明の実施の形態 1 における高周波増幅器の回路図である。
図 2 は実施の形態 1 における別の高周波増幅器の回路図である。
図 3 は実施の形態 1 における高周波増幅器の周波数特性図である。
図 4 は本発明の実施の形態 2 における高周波増幅器の回路図である。

25

- 図 5 は本発明の実施の形態 3 における高周波増幅器の回路図である。
- 図 6 は実施の形態 3 における高周波増幅器の周波数特性図である。
- 図 7 は実施の形態 3 における高周波増幅器の回路図である。
- 図 8 は本発明の実施の形態 4 における高周波増幅器の回路図である。
- 5 図 9 は実施の形態 4 における別の高周波増幅器の回路図である。
- 図 10 は実施の形態 4 におけるさらに別の高周波増幅器の回路図である。
- 図 11 は実施の形態 4 におけるさらに別の高周波増幅器の回路図である。
- 図 12 は本発明の実施の形態 5 における高周波増幅器の斜視図である。
- 図 13 は本発明の実施の形態 6 における高周波増幅器の斜視図である。
- 10 図 14 は従来の高周波増幅器の回路図である。
- 図 15 は従来の高周波増幅器の周波数特性図である。

発明を実施するための最良の形態

(実施の形態 1)

- 15 図 1 は本発明の実施の形態 1 における高周波増幅器の回路図である。増幅回路 101 と出力側整合回路 102 の間に第 1 の伝送線路 103 と第 1 のコンデンサ 104 からなる並列回路の一端が接続される。並列回路の他端が電源 105 に接続されるとともに第 2 のコンデンサ 106 を介してグラウンドに接地される。

- この高周波増幅器の動作を説明する。以下の説明では増幅回路が増幅する信号
20 の周波数帯域を帯域帯域 f 、信号の 2 倍波の周波数帯域を帯域帯域 $2f$ 、信号の 3 倍波の周波数帯域を帯域 $3f$ 、(以下、帯域 $4f$ 、帯域 $5f$ 、) のように略記する。

- 第 1 の伝送線路 103 は帯域 $3f$ の 2 分の 1 波長となる長さに設定される。第 1 のコンデンサ 104 の容量は第 1 の伝送線路 103 とで形成する並列回路が帯
25 域 f において高インピーダンス、すなわちオープン状態となるように設定される。

第2のコンデンサ106の容量は帯域fより高い周波数帯域で充分ショート状態となるように比較的大きな値に設定される。

電源105から流れてきたバイアス電流は直流なので第1のコンデンサ104や第2のコンデンサ106には流れず、第1の伝送線路103を經由して増幅回路101に流れて増幅回路101を駆動する。増幅回路101は帯域fにおいて信号を増幅し、同時に高調波歪みを生み出す。第1の伝送線路103と第1のコンデンサ104が形成する並列回路は帯域fにおいてオープン状態であるので、増幅された信号はバイアス回路107には流れずに出力側整合回路102を介して出力される。

10 帯域 $3f$ において第2のコンデンサ106は十分にショート状態であり、第1の伝送線路103は2分の1波長となる長さであるため、バイアス回路107はノッチ回路として作用する。従って帯域 $3f$ の信号は高調波歪みが低減され、出力側整合回路102に流れない。

15 実施の形態1における第1の伝送線路103は帯域 $3f$ において2分の1波長となる長さに設定されているが、これは帯域 $n \times f$ (n は3以上の素数)において2分の1波長となる長さに設定されてもよい。この場合は n 倍の周波数帯域における高周波増幅器の高調波歪みを低減することができる。

20 なお、図2に示すように、出力側整合回路202が第3のコンデンサ208と第1のインダクタ209と第4のコンデンサ210からなり、第3のコンデンサ208の一端が増幅回路101と第1の伝送線路103の一端と第1のインダクタ209の一端に接続され、第1のインダクタ209の他端が第4のコンデンサ210の一端と接続され、第3のコンデンサ208の他端と第4のコンデンサ210の他端が接地されてもよい。この場合はバイアス回路207では第1のコンデンサ104を削除されてもよい。出力側整合回路202は帯域fにおいて出力
25 端子から見たインピーダンスが50オームになるよう設定される。第2のコンデ

ンサ106は帯域fより高い周波数帯域では十分にショート状態となっており、第1の伝送線路103、および第1の伝送線路103に並列接続されている第1のコンデンサ104、および第3のコンデンサ208は帯域fにおいて並列接続しているとみなすことができる。従って、図1における第1のコンデンサ104
5 と第3のコンデンサ208は合成でき、結果として第1のコンデンサ104が削除できる。

一例として増幅回路101の出力側のインピーダンスが $3.2 - j5.7 \Omega$ 、 $f = 900 \text{ MHz}$ である場合の増幅器の周波数特性を図3に示す。帯域fにおいて整合がとれて信号が通過し、帯域 $3f$ において信号が通過しない。

10 なお、実施の形態1における伝送線路およびコンデンサはさまざまな方法で形成されうるが、本発明はそれらの細部に限定されるものではない。

また、移動体通信機器において実施の形態1の高周波増幅器を用いることにより簡単な回路で高調波歪みを低減できるので、小型で高性能である移動体通信機器を構成できる。

15

(実施の形態2)

図4は本発明の実施の形態2における高周波増幅器の回路図である。増幅回路401と出力側整合回路402の間に第2の伝送線路403と第5のコンデンサ404からなる並列回路の一端が接続される。並列回路の他端が電源405と第
20 2のインダクタ406の一端が接続される。第2のインダクタ406の他端に第6のコンデンサ407の一端が接続される。第6のコンデンサ407の他端が接地される。

その高周波増幅器の動作を説明する。

第2の伝送線路403は帯域fの4分の1波長よりも短い長さに設定される。

25 第5のコンデンサ404の容量は第2の伝送線路403とで形成される並列回路

6

が帯域 f において高インピーダンス、すなわちオープン状態となるように設定される。第6のコンデンサ407の容量はバイアス回路408を構成する他の素子のインピーダンス条件を乱さない、かつ帯域 f より高い周波数帯域で十分にショート状態となるように比較的大きな値に設定される。

- 5 電源405から流れてきたバイアス電流は直流なので第5のコンデンサ404や第6のコンデンサ407には流れず、第2の伝送線路403を經由して増幅回路401に流れて増幅回路401を駆動する。増幅回路401は帯域 f において信号を増幅し、同時に高調波歪みを生み出す。第2の伝送線路403と第5のコンデンサ404が形成する並列回路は帯域 f においてオープン状態であるので、
- 10 増幅された信号はバイアス回路408には流れずに出力側整合回路402を介して出力される。

- 第2の伝送線路403と第5のコンデンサ404の並列回路は帯域 f においてオープン状態であるため、帯域 f より高い周波数帯域においては容量性の合成インピーダンスを示す。この合成インピーダンスと第2のインダクタ406が帯域
- 15 $n \times f$ (n は2以上の整数)において直列共振となるように第2のインダクタ406のインダクタンスが設定される。第6のコンデンサ407は帯域 $n \times f$ の周波数帯域では充分ショート状態であるので、バイアス回路408はノッチ回路として作用する。従って増幅された信号は帯域 $n \times f$ における高調波歪みが低減され、出力側整合回路402に流れない。また、第2の伝送線路403は実
- 20 施の形態1における第1の伝送線路103よりも短いので、バイアス電流の電圧降下が低減される。この結果増幅器における効率が改善される。

なお、実施の形態2における伝送線路およびインダクタおよびコンデンサはさまざまな方法で形成されるが、実施の形態2の発明はそれらの細部に限定されるものではない。

- 25 また、移動体通信機器において実施の形態2の高周波増幅器を用いることによ

り簡単な構成で高調波歪みを低減でき、またバイアス電流の電圧降下を低減できるので、小型で高性能である移動体通信機器を構成できる。

(実施の形態3)

5 図5は本発明の実施の形態3における高周波増幅器の回路図である。増幅回路501と出力側整合回路502の間に第3の伝送線路503の一端が接続される。第3の伝送線路503の他端と第3のインダクタ504の一端と第7のコンデンサ505の一端と第4の伝送線路506の一端とが接続される。第3のインダクタ504の他端に第8のコンデンサ507の一端が接続される。第7のコンデンサ505の他端と第8のコンデンサ507の他端が接地される。第4の伝送線路506の他端が電源508に接続されるとともに第9のコンデンサ509を介して接地される。

その高周波増幅器の動作を説明する。

第3の伝送線路503は帯域 $3f$ の2分の1波長となる長さに設定される。第7のコンデンサ505の容量は帯域 f より高い周波数帯域で充分ショート状態となるように比較的大きな値に設定される。第3のインダクタ504のインダクタンスは第7のコンデンサ505とで形成する並列回路が帯域 $2f$ において高インピーダンス、すなわちオープン状態となるように設定される。第8のコンデンサ507の容量はバイアス電流を遮断するために充分大きな値に設定される。また第4の伝送線路506と第3の伝送線路503を併せた長さは帯域 $2f$ で2分の1波長となる長さに設定される。第9のコンデンサ509の容量は帯域 f より高い周波数帯域で充分ショート状態となるように比較的大きな値に設定される。

電源508から流れてきたバイアス電流は直流なので第9のコンデンサ509、第7のコンデンサ505、第8のコンデンサ507には流れず、第4の伝送線路506および第3の伝送線路503を経由して増幅回路501に流れて増幅回路

5 0 1を駆動する。増幅回路5 0 1は帯域 f において信号を増幅し、同時に高調波歪みを生み出す。バイアス回路5 1 0は帯域 f においてオープン状態であるので、増幅された信号はバイアス回路5 1 0には流れずに出力側整合回路5 0 2を介して出力される。

5 帯域 $2f$ において、第9のコンデンサ5 0 9は十分にショート状態、また第3のインダクタ5 0 4と第7のコンデンサ5 0 5はオープン状態、また第3の伝送線路5 0 3と第4の伝送線路5 0 6の合計長さが2分の1波長であるため、バイアス回路5 1 0はノッチ回路として作用する。従って増幅された信号は帯域 $2f$ における高調波歪みが低減され、出力側整合回路5 0 2に流れない。

10 帯域 $3f$ において、第7のコンデンサ5 0 5は十分にショート状態であり、第3の伝送線路5 0 3は2分の1波長となる長さであるため、バイアス回路5 1 0はノッチ回路として作用する。従って増幅された信号は帯域 $3f$ における高調波歪みが低減され、出力側整合回路5 0 2に流れない。

結果として、バイアス回路5 1 0は帯域 f において増幅された信号は流れず、
15 帯域 $2f$ および帯域 $3f$ における高調波歪みを低減する。

一例として増幅回路5 0 1の出力側のインピーダンスが $3.2 - j5.7 \Omega$ 、 $f = 900 \text{ MHz}$ である増幅器の周波数特性を図6に示す。帯域 f において整合がとれて信号が通過し、帯域 $2f$ および帯域 $3f$ において信号が通過しない。

20 なお、実施の形態3における第3の伝送線路5 0 3は帯域 $3f$ において2分の1波長となる長さに設定されているが、これは帯域 $m \times f$ (m は3以上の素数) において2分の1波長となる長さに設定してもよい。また第3の伝送線路5 0 3と第4の伝送線路5 0 6の合計長さは帯域 $2f$ において2分の1波長に設定されているが、これは帯域 $n \times f$ (n は2以上の整数) において2分の1波長となるよう設定してもよい。 $m > n$ であるとき、 m 倍および n 倍の周波数帯域に
25 おける高周波増幅器の高調波歪みを低減できる。

なお、実施の形態3における第3の伝送線路503の長さは帯域3fにおいて2分の1波長に設定されているが、第3の伝送線路503の変わりに図4に示すバイアス回路のように第2の伝送線路403と第5のコンデンサ404が形成する並列回路を用いてもよい。この場合は並列回路の帯域3fにおける合成インピーダンスが容量性となり、その合成インピーダンスと第3のインダクタ504が帯域3fにおいて直列共振するように設定し、かつ第3のインダクタ504と第7のコンデンサ505が帯域2fにおいて並列共振するように設定すれば、バイアス回路510は帯域2fおよび帯域3fにおいて同様にノッチ回路として作用する。このとき第3の伝送線路503が短くできるのでバイアス電流の電圧降下が低減でき、結果として高周波増幅器の効率を向上できる。

なお、実施の形態3における第4の伝送線路506はその他端が電源508に接続されて第9のコンデンサ509を介して接地されている。第4の伝送線路506の代わりに図7に示すように第4の伝送線路506と第10のコンデンサ712の並列回路を用い、第9のコンデンサ509と並列回路との間に第4のインダクタ713が挿入されてもよい。この場合は第3の伝送線路503と第4の伝送線路506の合計長さが帯域fにおいて4分の1波長よりも短い長さに設定される。帯域2fにおける並列回路の合成インピーダンスは容量性を示すので、合成インピーダンスと第4のインダクタ713のインダクタンスが帯域2fにおいて直列共振するように設定され、第9のコンデンサ509の容量はバイアス電流を遮断できるように充分大きな値に設定する。以上のように設定すれば、バイアス回路714は帯域2fおよび帯域3fにおいて同様にノッチ回路として作用する。このとき第4の伝送線路506が短くできるのでバイアス電流の電圧降下を低減でき、結果として高周波増幅器の効率を向上できる。

なお、実施の形態3における伝送線路およびコンデンサはさまざまな方法出形成されるが、本発明はそれらの細部に限定されるものではない。

また、移動体通信機器において本実施の形態の高周波増幅器を用いることにより簡単な構成で高調波歪みを低減できるので、小型で高性能である移動体通信機器を構成できる。

5 (実施の形態 4)

図 8 は本発明の実施の形態 4 における高周波増幅器の回路図である。増幅回路 8 0 1 と出力側整合回路 8 0 2 の間に第 5 の伝送線路 8 0 3 の一端と第 6 の伝送線路 8 0 4 の一端が接続される。第 5 の伝送線路 8 0 3 の他端が電源 8 0 5 に接続されて第 1 1 のコンデンサ 8 0 6 を介して接地される。第 6 の伝送線路 8 0 4 の他端は電源 8 0 5 に接続されて第 1 2 のコンデンサ 8 0 7 を介して接地される。

その高周波増幅器の動作を説明する。

第 5 の伝送線路 8 0 3 の長さ、第 6 の伝送線路 8 0 4 の長さはともに帯域 f の 4 分の 1 波長に設定される。第 1 1 のコンデンサ 8 0 6 と第 1 2 のコンデンサ 8 0 7 の容量はともに帯域 f より高い周波数帯域で充分ショート状態となるように比較的大きな値に設定される。

電源 8 0 5 から流れてきたバイアス電流は直流なので第 1 1 のコンデンサ 8 0 6 や第 1 2 のコンデンサ 8 0 7 には流れず、第 5 の伝送線路 8 0 3 と第 6 の伝送線路 8 0 4 に分割された後、再び合流して増幅回路 8 0 1 に流れて増幅回路 8 0 1 を駆動する。増幅回路 8 0 1 は帯域 f において信号を増幅し、同時に高調波歪みを生み出す。帯域 f において第 1 1 のコンデンサ 8 0 6 が充分にショート状態であるため、信号は第 5 の伝送線路 8 0 3 の一端では位相が反転して帯域 f ではオープン状態となり、増幅された信号は第 1 のバイアス回路 8 0 8 には流れない。同様に帯域 f において第 1 2 のコンデンサ 8 0 7 が充分にショート状態であるため、帯域 f で第 6 の伝送線路 8 0 4 の一端では信号の位相が反転してオープン状態となり、増幅された信号は第 2 のバイアス回路 8 0 9 には流れない。従って増

幅回路 801 で増幅された信号は出力側整合回路 802 を介して出力される。

また帯域 $2f$ において、第 11 のコンデンサ 806 は十分にショート状態であり、第 5 の伝送線路 803 の長さは $\frac{1}{2}$ 波長であるため、第 1 のバイアス回路 808 はノッチ回路として作用する。従って増幅された信号は帯域 $2f$ における高調波歪みが低減され、出力側整合回路 802 に流れない。同様に第 12 のコンデンサ 807 は十分にショート状態であり、第 6 の伝送線路 804 は $\frac{1}{2}$ 波長となる長さであるため、第 2 のバイアス回路 809 はノッチ回路として作用する。従って増幅された信号は帯域 $2f$ における高調波歪みが低減され、出力側整合回路 802 に流れない。

10 また本バイアス回路は帯域 f の偶数倍の周波数帯域においてもノッチ回路として作用するので、その周波数特性は減衰極を形成する。

従って実施の形態 4 では、電圧降下が半減されかつ同じ周波数帯域でノッチ効果が重なるので、高効率の高周波増幅器を構成でき、また主に帯域 $2f$ における高調波歪みをより低減できる。

15 なお、実施の形態 4 における二つのバイアス回路はともに帯域 f 以上の周波数帯域において充分ショート状態となるコンデンサが接続されているが、これは図 9 に示すように一つでもよい。この場合はバイアス回路の実装面積が小さくなる。

なお、実施の形態 4 におけるバイアス回路は 2 つの同じ伝送線路で構成されているが、2 つのうち少なくとも一つは図 1 に示されているバイアス回路 107 が
20 接続されてもよい。実施の形態 1 において説明したようにバイアス回路 107 は帯域 $3f$ においてノッチを形成するので、帯域 $2f$ (帯域 $4f$ 、帯域 $6f$ 、...) の他に帯域 $3f$ においても高調波歪みを低減できる。

また、実施の形態 4 におけるバイアス回路と出力側整合回路に図 2 に示すバイアス回路 207 と出力側整合回路 202 を用いてもよい。この場合は主に帯域
25 f および帯域 $3f$ の高調波歪みを低減でき、回路の素子数を削減できる。

なお、実施の形態4におけるバイアス回路の2つの伝送線路のうち少なくとも一つは図4に示されているバイアス回路408、もしくは図5に示されているバイアス回路510でもよい。もしくは図7に示されているバイアス回路714が接続されても同様にバイアス電流の電圧降下を低減でき、帯域2fにおける高調波歪みをより低減でき、帯域2f（帯域4f、帯域6f、…）の他に帯域3fにおいても高調波歪みを低減できる。

なお、実施の形態4におけるバイアス回路の2つの伝送線路はともに増幅回路801と出力側整合回路802の間に接続されているが、図10に示すように出力側整合回路として図2の出力側整合回路202が接続され、第1のインダクタ209の両側にそれぞれバイアス回路が接続されてもよい。この場合は増幅回路801と出力側整合回路202を接続する配線を短くできるので、結果として帯域fにおける増幅した信号の損失を低減できる。

また、第1のインダクタ209と第4のコンデンサ210の接続点に接続されるバイアス回路が図1に示すバイアス回路107であるときは同様に第1のコンデンサ104の容量を第4のコンデンサ210の容量に含むことができる。この場合もバイアス回路を実装する面積を削減できる。

なお、実施の形態4における伝送線路およびコンデンサはさまざまな方法で形成されるが、本実施の形態はそれらの細部に限定されるものではない。

また、移動体通信機器において本実施の形態の高周波増幅器を用いることにより簡単な構成で高調波歪みを低減できるので、小型で高性能である移動体通信機器を構成できる。

また、出力側整合回路を図2に示す第3のコンデンサ208と第1のインダクタ209と第4のコンデンサで構成する出力側整合回路202とする場合、第1のインダクタは図11に示すように第14のコンデンサと並列回路を形成してもよい。この場合は出力信号の伝送経路が短くできるので信号の損失を低減できる

とともに、並列回路の共振点を帯域 $2f$ もしくは帯域 $3f$ などの増幅回路 801 による高調波歪みの周波数とあわせることで歪みをされに低減できる。本効果は実施の形態 1、実施の形態 2、および実施の形態 3 のすべてにおいて適用できる。

5 (実施の形態 5)

図 12 は本発明の実施の形態 5 における高周波増幅器の斜視図である。誘電体基板 1201 上に増幅回路用集積回路 (PA-IC) 1202 とチップコンデンサ 1203 が実装され、伝送線路 1204 およびインダクタ 1205 が電極パターンで形成されている。その等価回路は実施の形態 1、実施の形態 2、実施の形態 3、もしくは実施の形態 4 で説明した回路である。

回路の高周波的な動作は実施の形態 1、実施の形態 2、実施の形態 3、もしくは実施の形態 4 で説明した動作と同じである。実施の形態 5 は伝送線路とインダクタおよび素子間の接続用の電極とがすべて同じ工程で作製できるため、高周波増幅器を低価格で実現できる。

15 なお、実施の形態 5 では伝送線路は誘電体基板上の電極パターンで形成されているがチップインダクタでもよい。この場合は回路の面積を小さくできる。

(実施の形態 6)

図 13 は本発明の実施の形態 6 における高周波増幅器の斜視図である。高周波増幅器は複数の誘電体層 1301 にコンデンサ用電極 1302 とインダクタ用電極 1303 が配置される。最上層の誘電体層の上側に増幅回路用集積回路 (PA-IC) 1304 が実装され、各素子間は電氣的に接続される。その等価回路は実施の形態 1、実施の形態 2、実施の形態 3、もしくは実施の形態 4 で説明した回路となっている。

25 回路の高周波的な動作は実施の形態 1、実施の形態 2、実施の形態 3、もしくは

は実施の形態4で説明した動作と同じである。本実施の形態では伝送線路およびインダクタおよびコンデンサが複数の誘電体層で形成された積層体に内装されるため、部品点数が削減でき高周波増幅器を低価格で実現できる。

- 5 なお、実施の形態6では伝送線路およびインダクタおよびコンデンサが積層体に内装されているが、これらのうち一部は実施の形態5に示すようにPA-IC 1304と同じ層にチップもしくは電極パターンとして実装してもよい。この場合は回路の設計の自由度が大きくなる。

産業上の利用可能性

- 10 本発明によれば、増幅回路と出力側整合回路とバイアス回路からなる高周波増幅器において、バイアス回路は増幅回路が増幅する信号の周波数帯域ではオープン状態を保持しながら所望の周波数帯域でショート状態となり、その結果高調波歪みを低減できる。

- 15 また共通の電源に接続されるバイアス回路を少なくとも二つ接続することによってそれぞれのバイアス回路自体の電圧降下が低減でき、その結果消費電流が少なくなかつ高効率の高周波増幅器を実現できる。

請求の範囲

1. 増幅回路と、
出力側整合回路と、
前記増幅回路と前記出力側整合回路の間に第1端が接続され、第
5 2端が電源に接続された第1の伝送線路と、
前記第1の伝送線路に並列に接続された第1のコンデンサと、
前記第1の伝送線路の前記第2端とグランド間に接続された第2
のコンデンサと
を有するバイアス回路と
10 を備えた高周波増幅器。

2. 前記バイアス回路は前記第2のコンデンサと直列に接続された第2のインダ
クタをさらに有する、請求の範囲第1項記載の高周波増幅器。

15 3. 増幅回路と、
第1端が前記増幅回路に接続された第1のインダクタと、
前記第1のインダクタの第2端とグランド間に接続された第1の
コンデンサと、
前記第1のインダクタの前記第1端と前記グランド間に接続され
20 た第2のコンデンサと
を有する出力側整合回路と、
前記増幅回路に第1端が接続され、第2端が電源に接続された第
1の伝送線路と、
前記第1の伝送線路の前記第2端と前記グランド間に接続された
25 第3のコンデンサと

を有するバイアス回路と
を備えた高周波増幅器。

4. 前記出力側整合回路は前記第1のインダクタに並列に接続された第4のコン
5 デンサをさらに有する、請求の範囲第3項に記載の高周波増幅器。

5. 増幅回路と、

出力側整合回路と、

前記増幅回路と前記出力側整合回路の間に第1端が接続された第
10 1の伝送線路と、

前記第1の伝送線路の前記第2端とグランド間に接続された第1
のコンデンサと、

前記第1の伝送線路の前記第2端に第1端が接続され、第2端が
電源に接続された第2の伝送線路と、

15 前記第1の伝送線路の前記第2端と前記グランド間に接続された
第1のインダクタと、

前記第1のインダクタと直列に接続された第3のコンデンサと、

前記第2の伝送線路の前記第2端と前記グランド間に接続された
第2のコンデンサと

20 を有するバイアス回路と
を備えた高周波増幅器。

6. 前記バイアス回路は、

前記第2の伝送線路に並列に接続された第3のコンデンサと、

25 前記第2のコンデンサと直列に接続された第4のインダクタと

をさらに有する、請求の範囲第5項記載の高周波増幅器。

7. 誘電体基板と、

前記誘電体基板に形成された、前記バイアス回路の少なくとも一部を形成
5 する電極パターンと

をさらに備えた、請求の範囲第1から6項のいずれかに記載の高周波増幅器。

8. 積層された複数の誘電体基板を有する積層体と、

前記複数の誘電体基板の少なくとも1つに形成された、前記バイアス回路
10 の少なくとも一部を形成する電極パターンと

をさらに備えた、請求の範囲第1から6項のいずれかに記載の高周波増幅器。

9. 増幅回路と、

出力側整合回路と、

15 前記増幅回路と前記出力側整合回路の間に第1端が接続され、電
源に第2端が接続された第1の伝送線路と、

前記第1の伝送線路の前記第2端とグランド間に接続された第1
1 のコンデンサと

を有する第1のバイアス回路と、

20 前記増幅回路と前記出力側整合回路の間に第1端が接続され、前記電源に
第2端が接続された第2の伝送線路を有する第2のバイアス回路と
を備えた高周波増幅器。

10. 前記第2のバイアス回路は前記第2の伝送線路の前記第2端と前記グラン
25 ド間に接続された第2のコンデンサをさらに有する、請求の範囲第9項に記載の

高周波増幅器。

1 1. 前記第 1 のバイアス回路は前記第 1 の伝送線路に並列に接続された第 3 のコンデンサをさらに有する、請求の範囲第 9 項に記載の高周波増幅器。

5

1 2. 前記第 2 のバイアス回路は前記第 2 の伝送線路に並列に接続された第 4 のコンデンサをさらに有する、請求の範囲第 1 1 項に記載の高周波増幅器。

1 3. 前記出力側整合回路は、

10 第 1 端が前記増幅回路に接続された第 1 のインダクタと、
前記第 1 のインダクタの第 2 端と前記グランド間に接続された第 5 のコン
デンサと、

前記第 1 のインダクタの前記第 1 端と前記グランド間に接続された第 6 の
コンデンサと

15 と有する、請求の範囲第 9 から 1 1 項のいずれかに記載の高周波増幅器。

1 4. 前記出力側整合回路は前記第 1 のインダクタに並列に接続された第 7 のコ
ンデンサをさらに有する、請求の範囲第 1 3 項に記載の高周波増幅器。

20 1 5. 増幅回路と、

出力側整合回路と、

前記増幅回路と前記出力側整合回路の間に第 1 端が接続され、電
源に第 2 端が接続された第 1 の伝送線路と、

前記第 1 の伝送線路の前記第 2 端とグランド間に接続された第 1

25 1 のコンデンサと

- を有する第1のバイアス回路と、
前記増幅回路と前記出力側整合回路の間に第1端が接続され、第
2端が前記電源に接続された第2の伝送線路と、
前記第2の伝送線路に並列に接続された第2のコンデンサと、
5 前記第2の伝送線路の前記第2端と前記グランド間に接続された
第3のコンデンサと、
前記第3のコンデンサと直列に接続された第1のインダクタと
を有する第2のバイアス回路と
を備えた高周波増幅器。
- 10
16. 増幅回路と、
出力側整合回路と、
前記増幅回路と前記出力側整合回路の間に第1端が接続され、第
2端が電源に接続された第1の伝送線路と、
15 前記第1の伝送線路に並列に接続された第1のコンデンサと、
前記第1の伝送線路の前記第2端とグランド間に接続された第2
のコンデンサと、
前記第2のコンデンサと直列に接続された第1のインダクタと
を有する第1のバイアス回路と、
20 前記増幅回路と前記出力側整合回路の間に第1端が接続され、第
2端が前記電源に接続された第2の伝送線路と、
前記第2の伝送線路に並列に接続された第3のコンデンサと、
前記第2の伝送線路の前記第2端と前記グランド間に接続された
第4のコンデンサと、
25 前記第4のコンデンサと直列に接続された第2のインダクタと

を有する第2のバイアス回路と
を備えた高周波増幅器。

17. 増幅回路と、

5 出力側整合回路と、

前記増幅回路と前記出力側整合回路の間に第1端が接続され、第
2端が電源に接続された第1の伝送線路と、

前記第1の伝送線路に並列に接続された第1のコンデンサと、
前記第1の伝送線路の前記第2端とグランド間に接続された第2
10 のコンデンサと、

前記第2のコンデンサと直列に接続された第1のインダクタと
を有する第1のバイアス回路と、

前記増幅回路と前記出力側整合回路の間に第1端が接続された第
2の伝送線路と、

15 前記第2の伝送線路の前記第2端と前記グランド間に接続された
第3のコンデンサと、

前記第2の伝送線路の前記第2端に第1端が接続され、第2端が
前記電源に接続された第3の伝送線路と、

前記第3の伝送線路の前記第1端と前記グランド間に接続された
20 第2のインダクタと、

前記第2のインダクタと直列に接続された第4のコンデンサと、
前記第3の伝送線路の前記第2端と前記グランド間に接続された
第5のコンデンサと

を有する第2のバイアス回路と
25 を備えた高周波増幅器。

- 1 8. 前記第 2 のバイアス回路は、
前記第 3 の伝送線路に並列に接続された第 6 のコンデンサと、
前記第 5 のコンデンサと直列に接続された第 3 のインダクタと
5 をさらに有する、請求の範囲第 1 6 項記載の高周波増幅器。
- 1 9. 増幅回路と、
出力側整合回路と、
前記増幅回路と前記出力側整合回路の間に第 1 端が接続され、電
10 源に第 2 端が接続された第 1 の伝送線路と、
前記第 1 の伝送線路の前記第 2 端とグランド間に接続された第 1
1 のコンデンサと
を有する第 1 のバイアス回路と、
前記増幅回路と前記出力側整合回路の間に第 1 端が接続された第
15 2 の伝送線路と、
前記第 2 の伝送線路の前記第 2 端と前記グランド間に接続された
第 2 のコンデンサと、
前記第 2 の伝送線路の前記第 2 端に第 1 端が接続され、第 2 端が
前記電源に接続された第 3 の伝送線路と、
20 前記第 3 の伝送線路の前記第 1 端と前記グランド間に接続された
第 1 のインダクタと、
前記第 1 のインダクタと直列に接続された第 3 のコンデンサと、
前記第 3 の伝送線路の前記第 2 端と前記グランド間に接続された
第 4 のコンデンサと
25 を有する第 2 のバイアス回路と

を備えた高周波増幅器。

20. 前記第2のバイアス回路は、

前記第3の伝送線路に並列に接続された第5のコンデンサと、

5 前記第4のコンデンサと直列に接続された第2のインダクタと

をさらに有する、請求の範囲第19項記載の高周波増幅器。

21. 増幅回路と、

出力側整合回路と、

10 前記増幅回路と前記出力側整合回路の間に第1端が接続された第1の伝送線路と、

前記第1の伝送線路の前記第2端とグランド間に接続された第2のコンデンサと、

15 前記第1の伝送線路の前記第2端に第1端が接続され、第2端が電源に接続された第2の伝送線路と、

前記第2の伝送線路の前記第1端と前記グランド間に接続された第1のインダクタと、

前記第1のインダクタと直列に接続された第2のコンデンサと、

20 前記第2の伝送線路の前記第2端と前記グランド間に接続された第3のコンデンサと

を有する第1のバイアス回路と、

前記増幅回路と前記出力側整合回路の間に第1端が接続された第3の伝送線路と、

25 前記第3の伝送線路の前記第2端と前記グランド間に接続された第4のコンデンサと、

前記第 3 の伝送線路の前記第 2 端に第 1 端が接続され、第 2 端が前記電源に接続された第 4 の伝送線路と、

前記第 4 の伝送線路の前記第 1 端と前記グランド間に接続された第 2 のインダクタと、

5 前記第 2 のインダクタと直列に接続された第 5 のコンデンサと、
前記第 4 の伝送線路の前記第 2 端と前記グランド間に接続された第 6 のコンデンサと

を有する第 2 のバイアス回路と
を備えた高周波増幅器。

10

2 2. 前記第 2 のバイアス回路は、

前記第 4 の伝送線路に並列に接続された第 7 のコンデンサと、
前記第 6 のコンデンサと直列に接続された第 3 のインダクタと
をさらに有する、請求の範囲第 2 1 項記載の高周波増幅器。

15

2 3. 前記第 1 のバイアス回路は、

前記第 2 の伝送線路に並列に接続された第 8 のコンデンサと、
前記第 3 のコンデンサと直列に接続された第 4 のインダクタと
をさらに有する、請求の範囲第 2 2 項記載の高周波増幅器。

20

2 4. 増幅回路と、

第 1 端が前記増幅回路に接続された第 1 のインダクタと、
前記第 1 のインダクタの第 2 端とグランド間に接続された第 1 の
コンデンサと、

25 前記第 1 のインダクタの前記第 1 端と前記グランド間に接続され

た第2のコンデンサと

を有する出力側整合回路と、

前記第1のインダクタの前記第1端に第1端が接続され、電源に第2端が接続された第1の伝送線路と、

5 前記第1の伝送線路の前記第2端と前記グランド間に接続された第3のコンデンサと

を有する第1のバイアス回路と、

前記第1のインダクタの前記第2端に第1端が接続され、前記電源に第2端が接続された第2の伝送線路を有する第2のバイアス回路と

10 を備えた高周波増幅器。

25. 前記第2のバイアス回路は前記第2の伝送線路の前記第2端と前記グランド間に接続された第4のコンデンサをさらに有する、請求の範囲第24項に記載の高周波増幅器。

15

26. 前記第1のバイアス回路は前記第1の伝送線路に並列に接続された第5のコンデンサをさらに有する、請求の範囲第24項に記載の高周波増幅器。

20 27. 前記第2のバイアス回路は前記第2の伝送線路に並列に接続された第6のコンデンサをさらに有する、請求の範囲第24項に記載の高周波増幅器。

28. 前記出力側整合回路は前記第1のインダクタに並列に接続された第7のコンデンサをさらに有する、請求の範囲第24から27項のいずれかに記載の高周波増幅器。

25

29. 増幅回路と、

第1端が前記増幅回路に接続された第1のインダクタと、
前記第1のインダクタの第2端とグランド間に接続された第1の
コンデンサと、

5 前記第1のインダクタの前記第1端と前記グランド間に接続され
た第2のコンデンサと

を有する出力側整合回路と、

前記第1のインダクタの前記第1端に第1端が接続され、電源に
第2端が接続された第1の伝送線路と、

10 前記第1の伝送線路の前記第2端と前記グランド間に接続された
第3のコンデンサと

を有する第1のバイアス回路と、

前記第1のインダクタの前記第1端に第2端が接続され、前記電
源に第2端が接続された第2の伝送線路と、

15 前記第2の伝送線路に並列に接続された第4のコンデンサと、
前記第2の伝送線路の前記第2端と前記グランド間に接続された
第5のコンデンサと

前記第5のコンデンサと直列に接続された第2のインダクタと

を有する第2のバイアス回路と

20 を備えた高周波増幅器。

30. 増幅回路と、

第1端が前記増幅回路に接続された第1のインダクタと、
前記第1のインダクタの第2端とグランド間に接続された第1の
25 コンデンサと、

前記第 1 のインダクタの前記第 1 端と前記グランド間に接続された第 2 のコンデンサと

を有する出力側整合回路と、

前記第 1 のインダクタの前記第 1 端に第 1 端が接続され、電源に
5 第 2 端が接続された第 1 の伝送線路と、

前記第 1 の伝送線路の前記第 2 端と前記グランド間に接続された
第 3 のコンデンサと

を有する第 1 のバイアス回路と、

前記第 1 のインダクタの前記第 2 端に第 1 端が接続された第 2 の
10 伝送線路と、

前記第 2 の伝送線路の前記第 2 端と前記グランド間に接続された
第 4 のコンデンサと、

前記第 2 の伝送線路の前記第 2 端に第 1 端が接続され、第 2 端が
前記電源に接続された第 3 の伝送線路と、

15 前記第 3 の伝送線路の前記第 1 端と前記グランド間に接続された
第 2 のインダクタと、

前記第 2 のインダクタと直列に接続された第 5 のコンデンサと、

前記第 3 の伝送線路の前記第 2 端と前記グランド間に接続された
第 6 のコンデンサと

20 を有する第 2 のバイアス回路と
を備えた高周波増幅器。

3 1. 前記第 2 のバイアス回路は、

前記第 3 の伝送線路に並列に接続された第 7 のコンデンサと、

25 前記第 6 のコンデンサと直列に接続された第 3 のインダクタと

をさらに有する、請求の範囲第30項記載の高周波増幅器。

32. 増幅回路と、

第1端が前記増幅回路に接続された第1のインダクタと、
5 前記第1のインダクタの第2端とグランド間に接続された第1の
コンデンサと、

前記第1のインダクタの前記第1端と前記グランド間に接続され
た第2のコンデンサと

を有する出力側整合回路と、

10 前記第1のインダクタの前記第1端に第1端が接続され、電源に
第2端が第1の伝送線路と、

前記第1の伝送線路に並列に接続された第3のコンデンサと、
前記第1の伝送線路の前記第2端と前記グランド間に接続された
第4のコンデンサと、

15 前記第4のコンデンサと直列に接続された第2のインダクタと
を有する第1のバイアス回路と、

前記第1のインダクタの前記第1端に第1端が接続され、前記電
源に第2端が接続された第2の伝送線路と、

20 前記第2の伝送線路の前記第2端と前記グランド間に接続された
第5のコンデンサと

を有する第2のバイアス回路と

を備えた高周波増幅器。

33. 増幅回路と、

25 第1端が前記増幅回路に接続された第1のインダクタと、

- 前記第 1 のインダクタの第 2 端とグランド間に接続された第 1 の
コンデンサと、
- 前記第 1 のインダクタの前記第 1 端と前記グランド間に接続され
た第 2 のコンデンサと
- 5 を有する出力側整合回路と、
- 前記第 1 のインダクタの前記第 1 端に第 1 端が接続され、電源に
第 2 端が接続された第 1 の伝送線路と、
- 前記第 1 の伝送線路に並列に接続された第 3 のコンデンサと、
- 前記第 1 の伝送線路の前記第 2 端と前記グランド間に接続された
- 10 第 4 のコンデンサと、
- 前記第 4 のコンデンサと直列に接続された第 2 のインダクタと
- を有する第 1 のバイアス回路と、
- 前記第 1 のインダクタの前記第 1 端に第 1 端が接続され、前記電
源に第 2 端が接続された第 2 の伝送線路と、
- 15 前記第 2 の伝送線路に並列に接続された第 5 のコンデンサと、
- 前記第 2 の伝送線路の前記第 2 端と前記グランド間に接続された
- 第 6 のコンデンサと、
- 前記第 6 のコンデンサと直列に接続された第 3 のインダクタと
- を有する第 2 のバイアス回路と
- 20 を備えた高周波増幅器。
- 3 4. 増幅回路と、
- 第 1 端が前記増幅回路に接続された第 1 のインダクタと、
- 前記第 1 のインダクタの第 2 端とグランド間に接続された第 1 の
- 25 コンデンサと、

前記第 1 のインダクタの前記第 1 端と前記グランド間に接続された第 2 のコンデンサと

を有する出力側整合回路と、

前記第 1 のインダクタの前記第 1 端に第 1 端が接続され、電源に
5 第 2 端が第 1 の伝送線路と、

前記第 1 の伝送線路に並列に接続された第 3 のコンデンサと、

前記第 1 の伝送線路の前記第 2 端と前記グランド間に接続された
第 4 のコンデンサと、

前記第 4 のコンデンサと直列に接続された第 2 のインダクタと
10 を有する第 1 のバイアス回路と、

前記第 1 のインダクタの前記第 2 端に第 1 端が接続された第 2 の
伝送線路と、

前記第 2 の伝送線路の前記第 2 端と前記グランド間に接続された
第 5 のコンデンサと、

15 前記第 2 の伝送線路の前記第 2 端に第 1 端が接続され、第 2 端が
前記電源に接続された第 3 の伝送線路と、

前記第 3 の伝送線路の前記第 1 端と前記グランド間に接続された
第 3 のインダクタと、

前記第 3 のインダクタと直列に接続された第 6 のコンデンサと、
20 前記第 3 の伝送線路の前記第 2 端と前記グランド間に接続された

第 7 のコンデンサと

を有する第 2 のバイアス回路と

を備えた高周波増幅器。

25 35. 前記第 2 のバイアス回路は、

前記第 3 の伝送線路に並列に接続された第 8 のコンデンサと、
前記第 7 のコンデンサと直列に接続された第 4 のインダクタと
をさらに有する、請求の範囲第 3 4 項記載の高周波増幅器。

- 5 36. 増幅回路と、
第 1 端が前記増幅回路に接続された第 1 のインダクタと、
前記第 1 のインダクタの第 2 端とグランド間に接続された第 1 の
コンデンサと、
前記第 1 のインダクタの前記第 1 端と前記グランド間に接続され
10 た第 2 のコンデンサと
を有する出力側整合回路と、
前記第 1 のインダクタの前記第 1 端に第 1 端が接続された第 1 の
伝送線路と、
前記第 1 の伝送線路の前記第 2 端と前記グランド間に接続された
15 第 3 のコンデンサと、
前記第 1 の伝送線路の前記第 2 端に第 1 端が接続され、第 2 端が
前記電源に接続された第 2 の伝送線路と、
前記第 2 の伝送線路の前記第 1 端と前記グランド間に接続された
第 2 のインダクタと、
20 前記第 2 のインダクタと直列に接続された第 4 のコンデンサと、
前記第 2 の伝送線路の前記第 2 端と前記グランド間に接続された
第 5 のコンデンサと
を有する第 1 のバイアス回路と
前記増幅回路と前記出力側整合回路の間に第 1 端が接続され、第
25 2 端が前記電源に接続された第 3 の伝送線路と、

前記第 3 の伝送線路に並列に接続された第 6 のコンデンサと、
前記第 3 の伝送線路の前記第 2 端と前記グランド間に接続された
第 7 のコンデンサと、

前記第 7 のコンデンサと直列に接続された第 3 のインダクタと
5 を有する第 2 のバイアス回路と、
を備えた高周波増幅器。

3 7. 前記第 1 のバイアス回路は、

前記第 2 の伝送線路に並列に接続された第 8 のコンデンサと、
10 前記第 5 のコンデンサと直列に接続された第 4 のインダクタと
をさらに有する、請求の範囲第 3 6 項記載の高周波増幅器。

3 8. 増幅回路と、

第 1 端が前記増幅回路に接続された第 1 のインダクタと、
15 前記第 1 のインダクタの第 2 端とグランド間に接続された第 1 の
コンデンサと、

前記第 1 のインダクタの前記第 1 端と前記グランド間に接続され
た第 2 のコンデンサと

を有する出力側整合回路と、
20 前記第 1 のインダクタの前記第 1 端に第 1 端が接続された第 1 の
伝送線路と、

前記第 1 の伝送線路の前記第 2 端と前記グランド間に接続された
第 3 のコンデンサと、

前記第 1 の伝送線路の前記第 2 端に第 1 端が接続され、第 2 端が
25 電源に接続された第 2 の伝送線路と、

前記第 2 の伝送線路の前記第 1 端と前記グランド間に接続された
第 2 のインダクタと、

前記第 2 のインダクタと直列に接続された第 4 のコンデンサと、

前記第 2 の伝送線路の前記第 2 端と前記グランド間に接続された

5 第 5 のコンデンサと

を有する第 1 のバイアス回路と

前記第 1 のインダクタの前記第 2 端に第 1 端が接続され、前記電
源に第 2 端が第 3 の伝送線路と、

前記第 3 の伝送線路に並列に接続された第 6 のコンデンサと、

10 前記第 3 の伝送線路の前記第 2 端と前記グランド間に接続された
第 7 のコンデンサと、

前記第 2 のコンデンサと直列に接続された第 3 のインダクタと

を有する第 2 のバイアス回路と、

を備えた高周波増幅器。

15

39. 前記第 1 のバイアス回路は、

前記第 2 の伝送線路に並列に接続された第 8 のコンデンサと、

前記第 5 のコンデンサと直列に接続された第 4 のインダクタと

をさらに有する、請求の範囲第 38 項記載の高周波増幅器。

20

40. 増幅回路と、

第 1 端が前記増幅回路に接続された第 1 のインダクタと、

前記第 1 のインダクタの第 2 端とグランド間に接続された第 1 の
コンデンサと、

25 前記第 1 のインダクタの前記第 1 端と前記グランド間に接続され

た第2のコンデンサと

を有する出力側整合回路と、

前記第1のインダクタの前記第1端に第1端が接続された第1の
伝送線路と、

5 前記第1の伝送線路の前記第2端と前記グランド間に接続された
第3のコンデンサと、

前記第1の伝送線路の前記第2端に第1端が接続され、第2端が
電源に接続された第2の伝送線路と、

10 前記第2の伝送線路の前記第1端と前記グランド間に接続された
第2のインダクタと、

前記第3のインダクタと直列に接続された第4のコンデンサと、
前記第2の伝送線路の前記第2端と前記グランド間に接続された
第5のコンデンサと

を有する第1のバイアス回路と

15 前記第1のインダクタの前記第1端に第1端が接続された第3の
伝送線路と、

前記第3の伝送線路の前記第2端と前記グランド間に接続された
第6のコンデンサと、

20 前記第3の伝送線路の前記第2端に第1端が接続され、第2端が
前記電源に接続された第4の伝送線路と、

前記第4の伝送線路の前記第1端と前記グランド間に接続された
第3のインダクタと、

前記第3のインダクタと直列に接続された第7のコンデンサと、
前記第4の伝送線路の前記第2端と前記グランド間に接続された

25 第8のコンデンサと

を有する第2のバイアス回路と、
を備えた高周波増幅器。

4 1. 前記第1のバイアス回路は、

5 前記第2の伝送線路に並列に接続された第9のコンデンサと、
前記第5のコンデンサと直列に接続された第4のインダクタと
をさらに有する、請求の範囲第40項記載の高周波増幅器。

4 2. 前記第2のバイアス回路は、

10 前記第4の伝送線路に並列に接続された第10のコンデンサと、
前記第8のコンデンサと直列に接続された第5のインダクタと
をさらに有する、請求の範囲第41項記載の高周波増幅器。

4 3. 前記出力側整合回路は前記第1のインダクタに並列に接続された並列コン
15 デンサをさらに有する、請求の範囲第29から42項のいずれかに記載の高周波
増幅器。

4 4. 誘電体基板と、

20 前記誘電体基板に形成された、前記第1と第2のバイアス回路の少なくと
も一部を形成する電極パターンと
をさらに備えた、請求の範囲第9から43項のいずれかに記載の高周波増幅器。

4 5. 積層された複数の誘電体基板を有する積層体と、

25 前記複数の誘電体基板の少なくとも1つに形成された、前記第1と第2の
バイアス回路の少なくとも一部を形成する電極パターンと

をさらに備えた、請求の範囲第 9 から 4 3 項のいずれかに記載の高周波増幅器。

4 6. 請求の範囲第 1 から 4 5 項のいずれかに記載の高周波増幅器を備えた通信機器。

補正書の請求の範囲

[2002年5月22日 (22. 05. 02) 国際事務局受理：出願当初の請求の範囲1は
補正された；出願当初の請求の範囲2は取り下げられた；
他の請求の範囲は変更なし。(1頁)]

1. (補正後) 増幅回路と、

出力側整合回路と、

前記増幅回路と前記出力側整合回路の間に第1端が接続され、第

5 2端が電源に接続された第1の伝送線路と、

前記第1の伝送線路に並列に接続された第1のコンデンサと、

前記第1の伝送線路の前記第2端とグランド間に接続された第2

のコンデンサと前記第2のコンデンサに直列接続された第2のインダクタと

を有するバイアス回路と

10 を備えた高周波増幅器。

2. (削除)

3. 増幅回路と、

15 第1端が前記増幅回路に接続された第1のインダクタと、

前記第1のインダクタの第2端とグランド間に接続された第1の

コンデンサと、

前記第1のインダクタの前記第1端と前記グランド間に接続され

た第2のコンデンサと

20 を有する出力側整合回路と、

前記増幅回路に第1端が接続され、第2端が電源に接続された第

1の伝送線路と、

前記第1の伝送線路の前記第2端と前記グランド間に接続された

第3のコンデンサと

25

Fig. 1

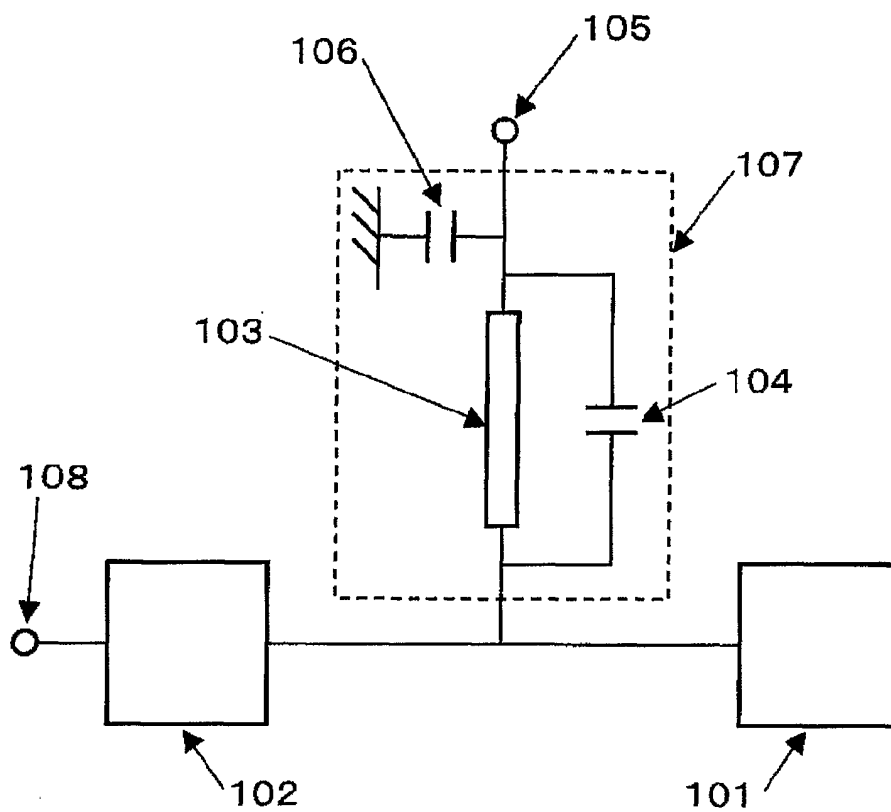


Fig. 2

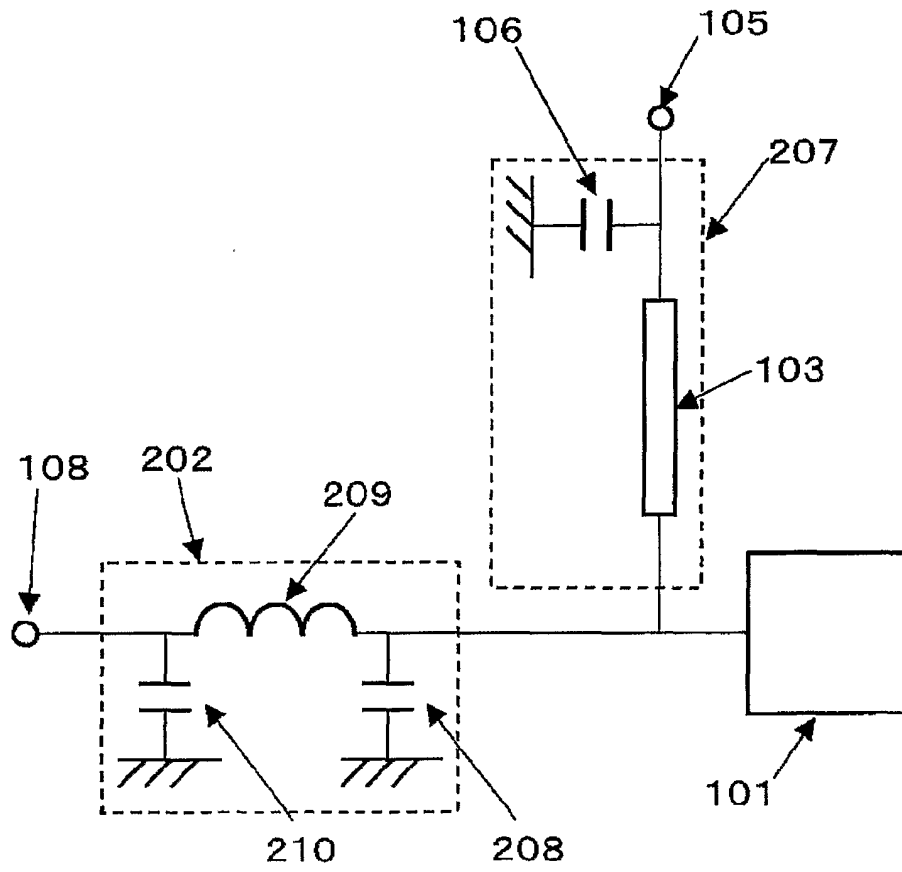


Fig. 3

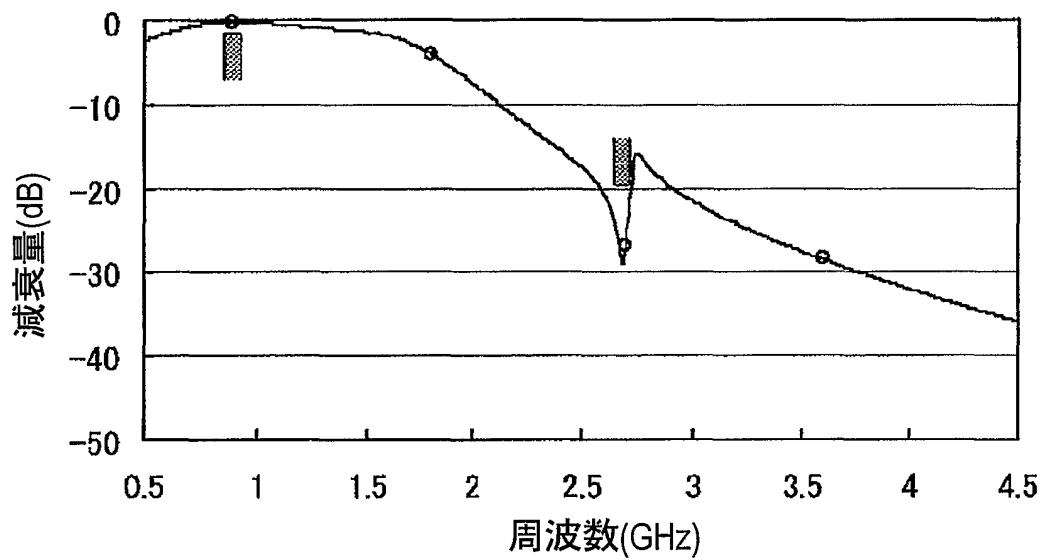


Fig. 4

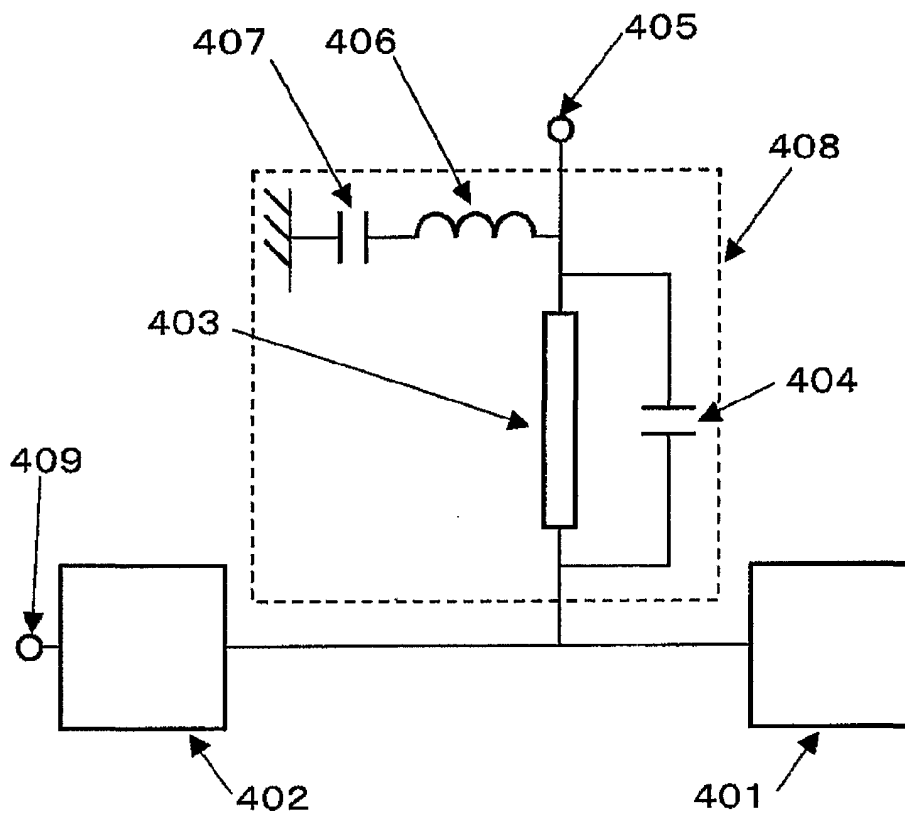


Fig. 5

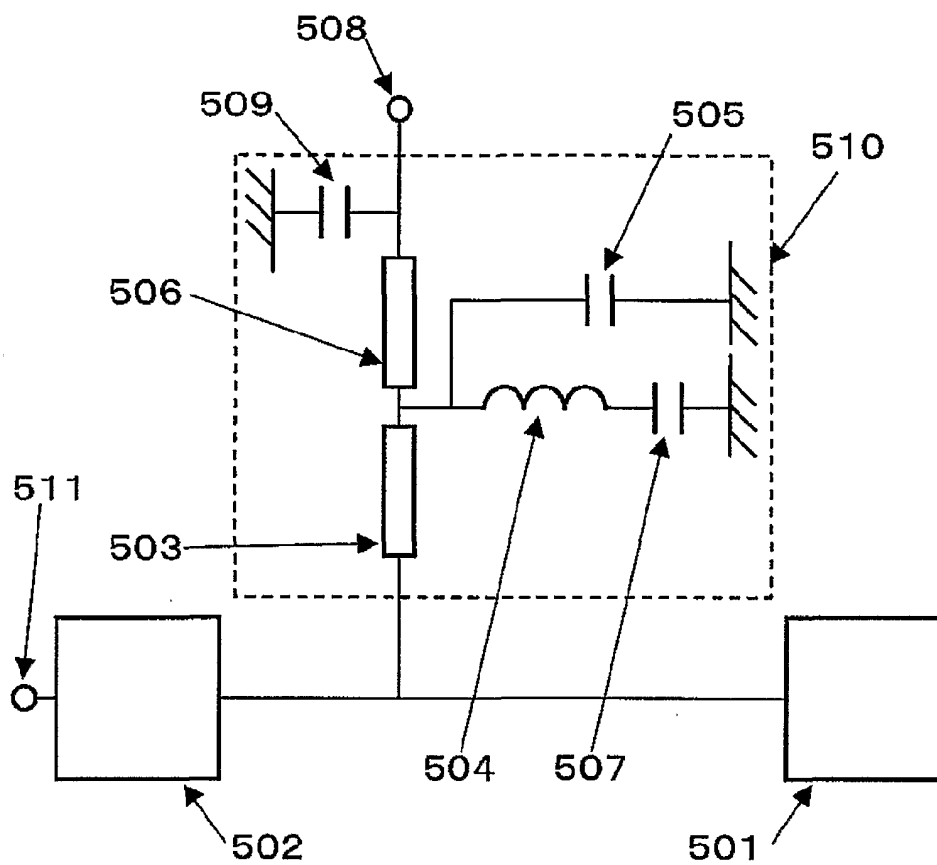


Fig. 6

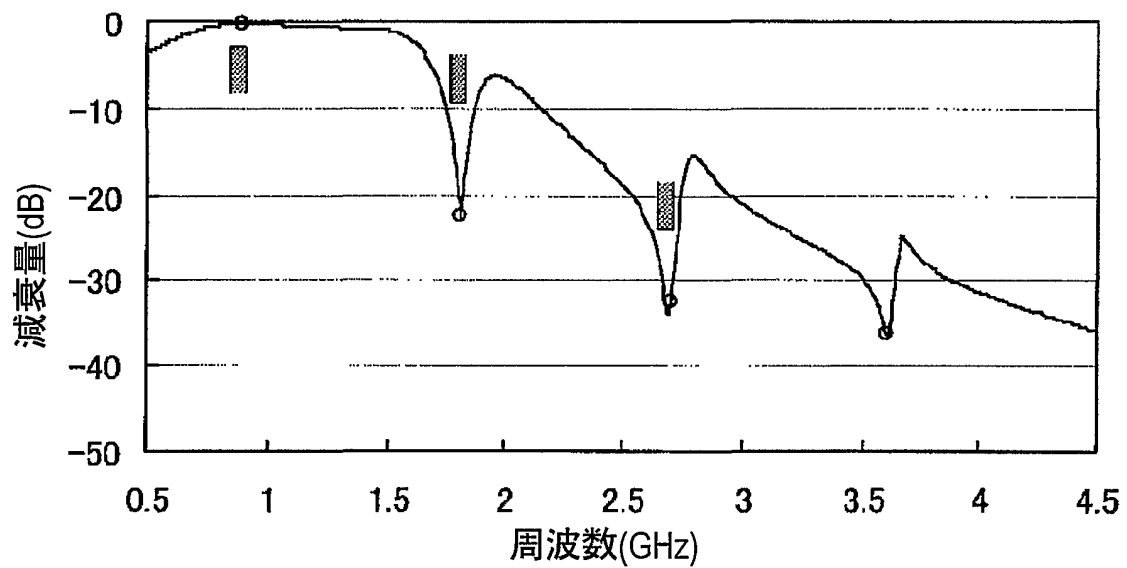


Fig. 7

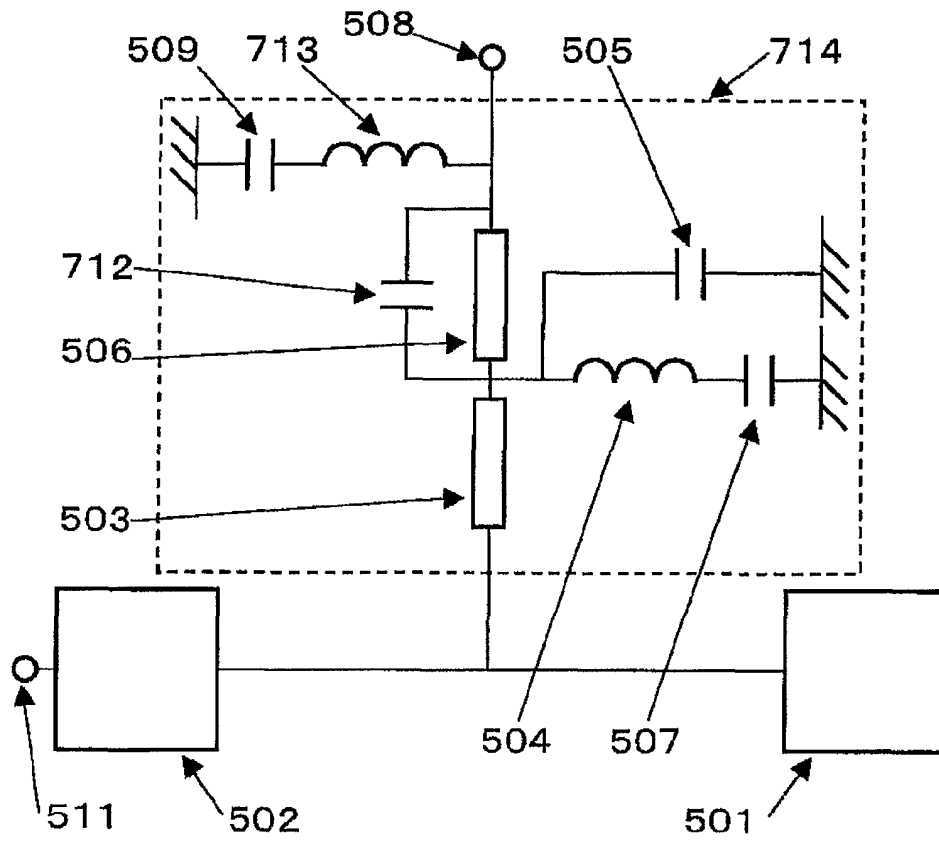


Fig. 8

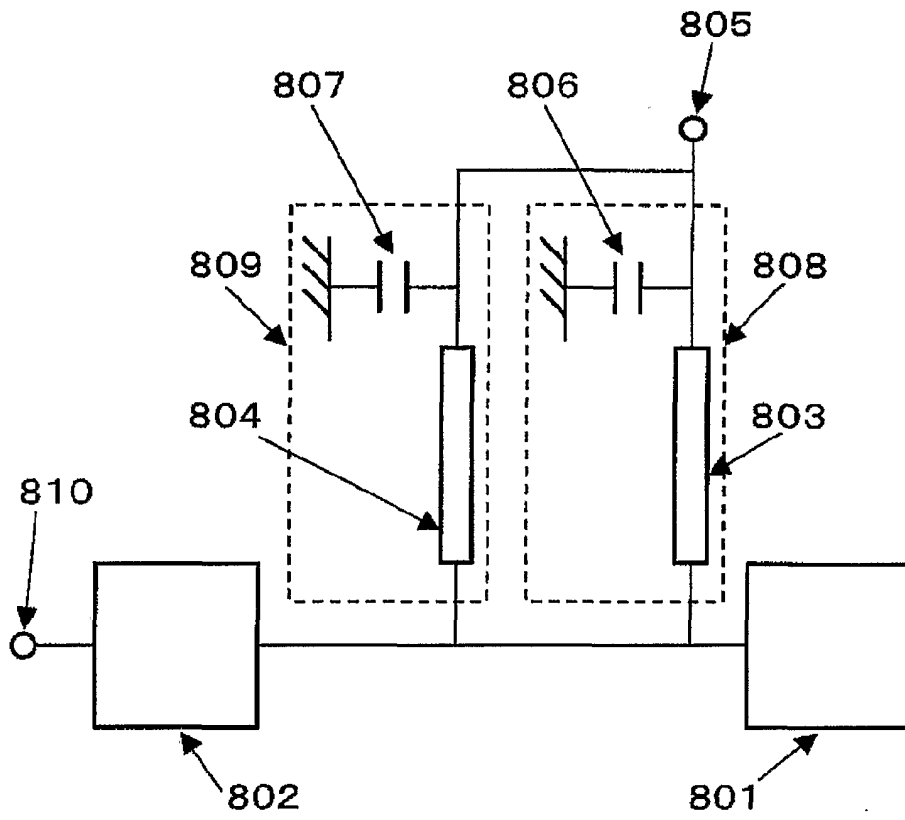


Fig. 9

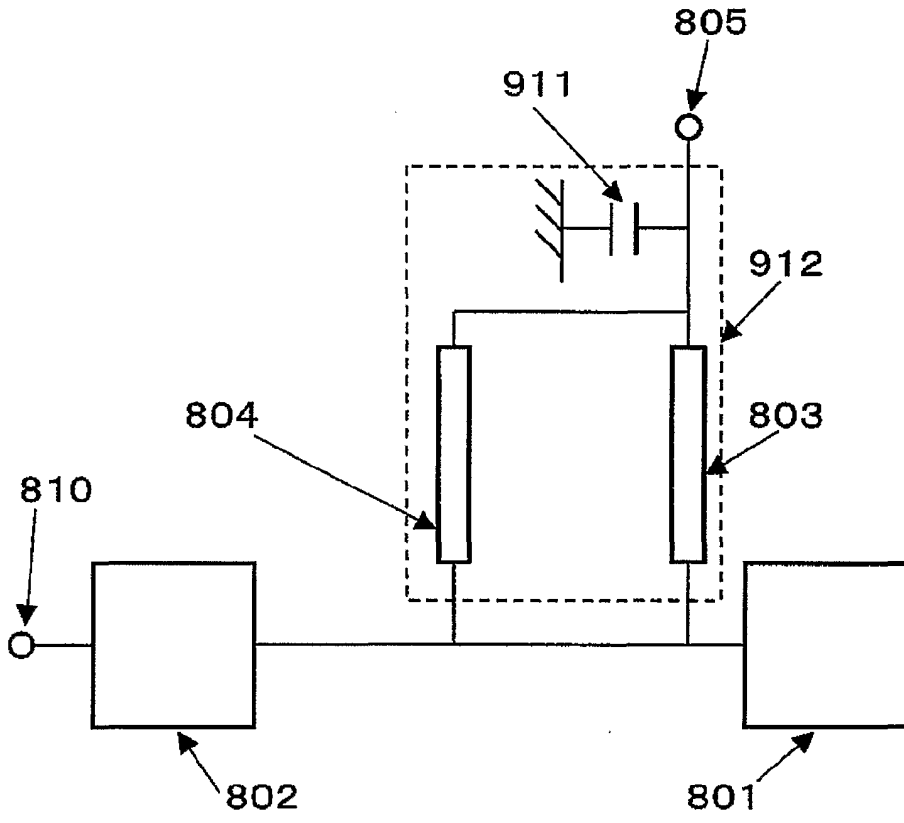


Fig. 10

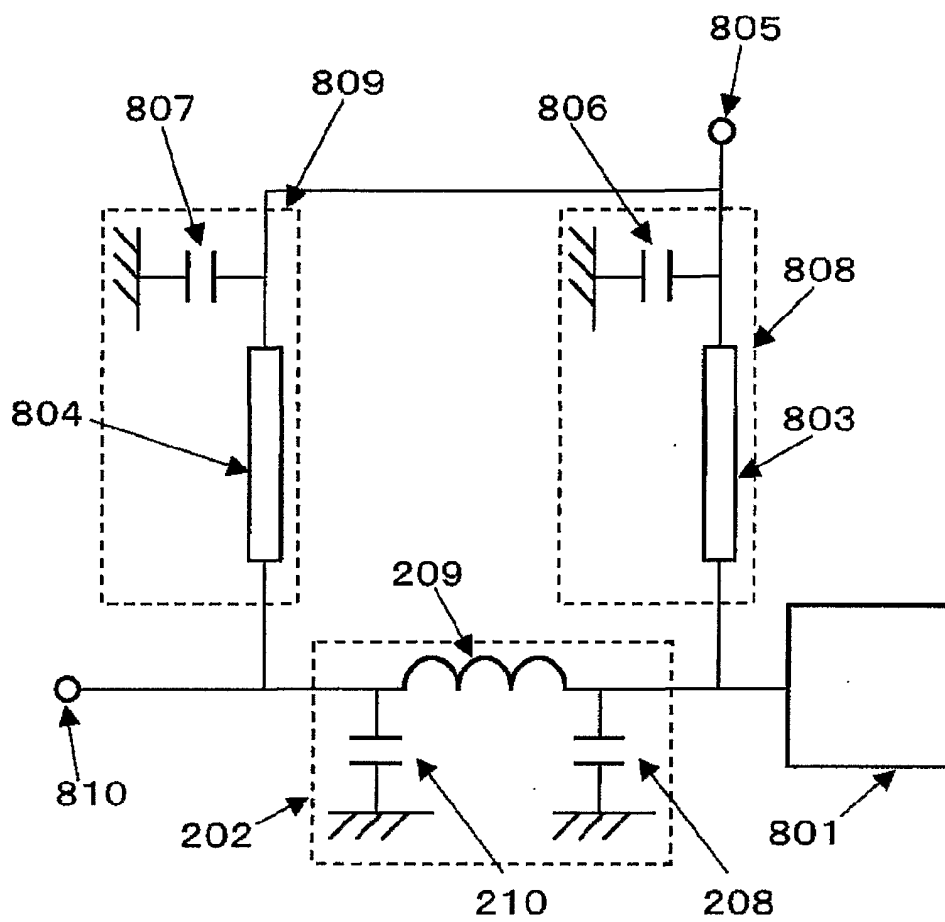


Fig. 11

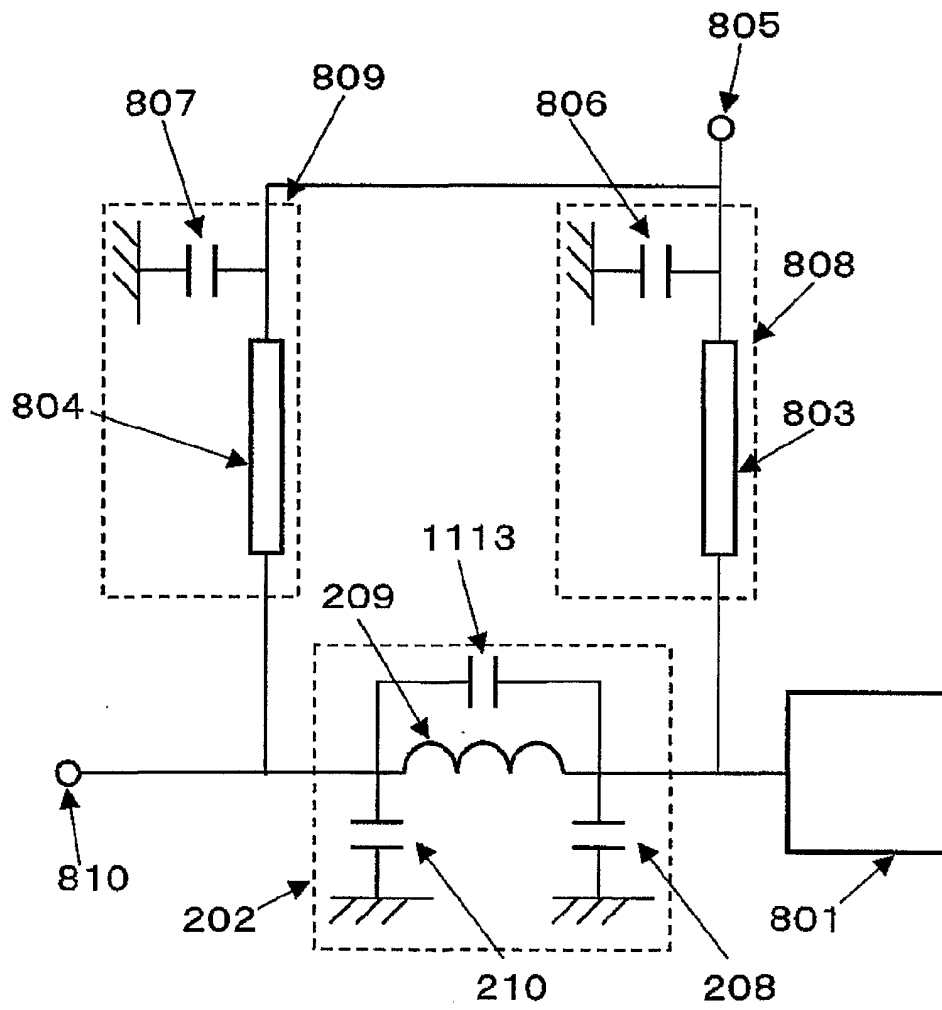


Fig. 12

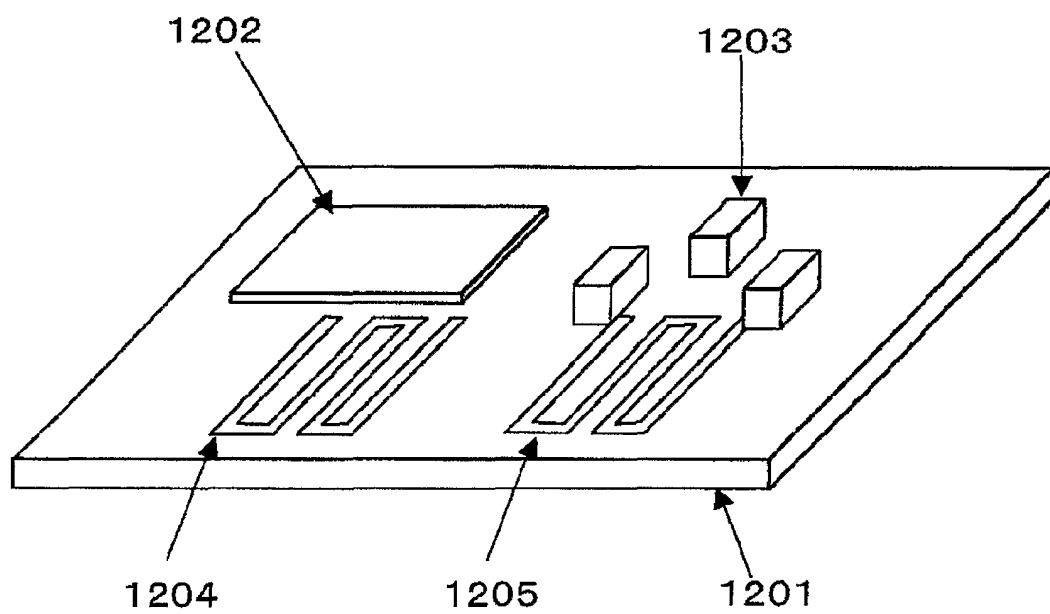


Fig. 13

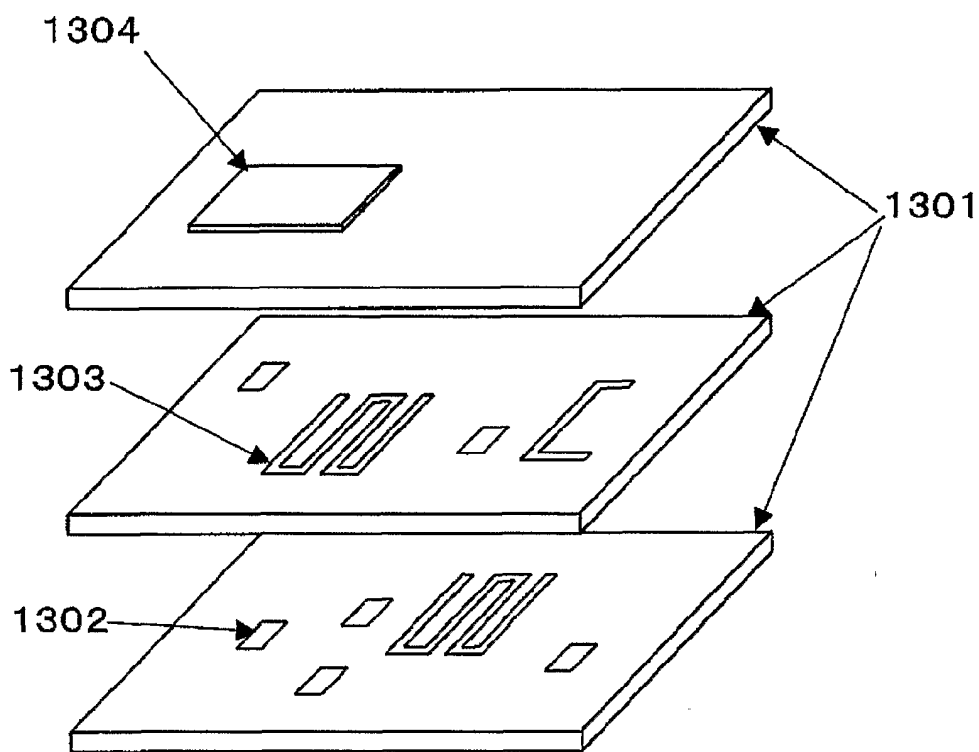


Fig. 14

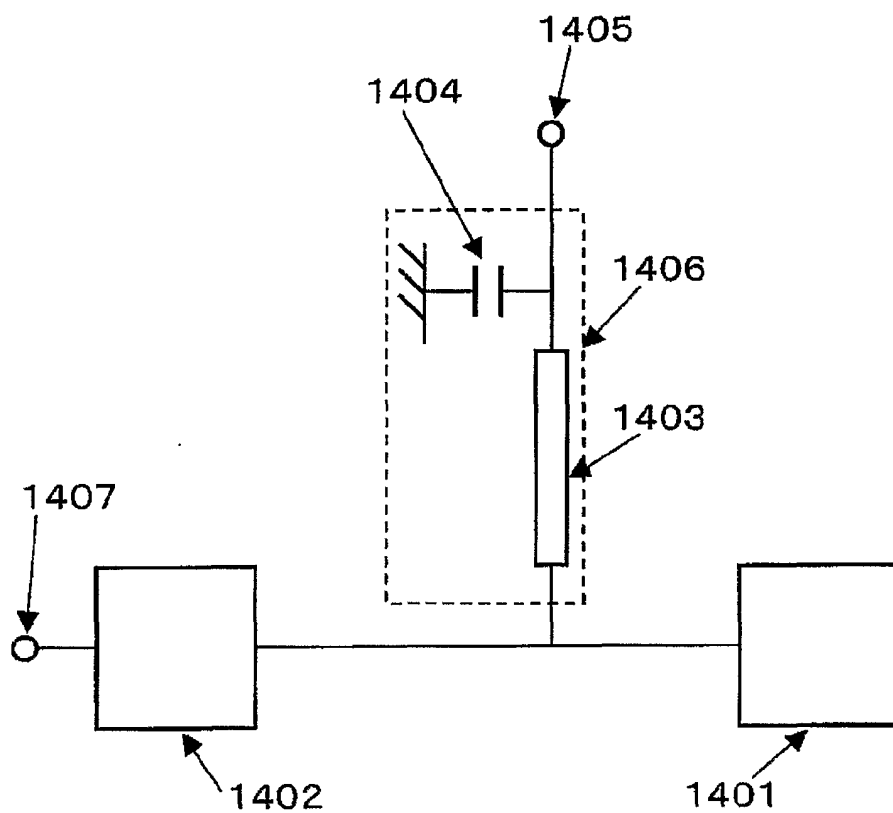
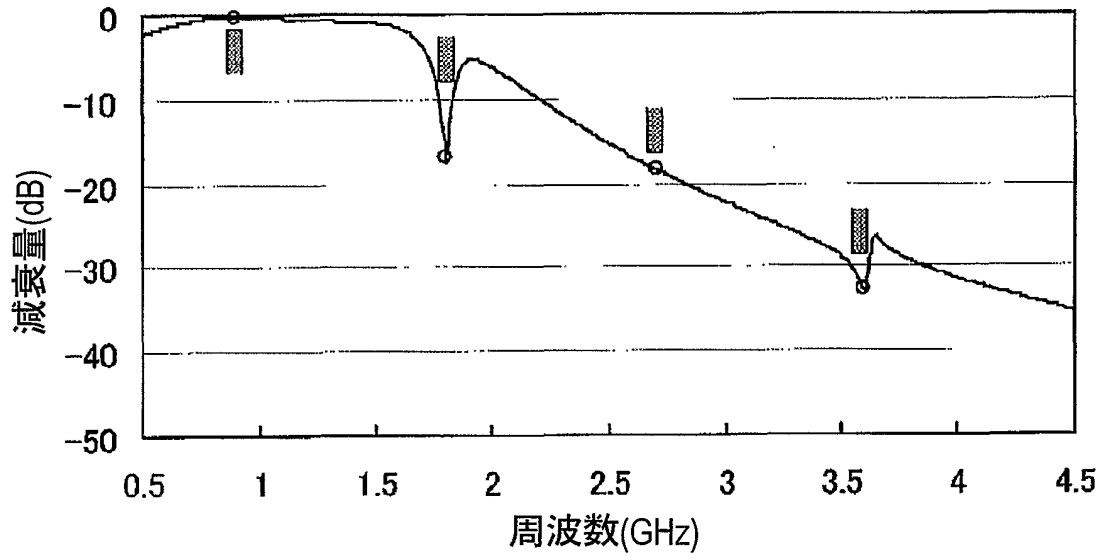


Fig. 15



参照番号の一覧

- 101 増幅回路
- 102 出力側整合回路
- 103 伝送線路
- 104 コンデンサ
- 105 電源
- 106 コンデンサ
- 107 バイアス回路
- 108 出力端子
- 202 出力側整合回路
- 207 バイアス回路
- 208 コンデンサ
- 209 コンデンサ
- 210 コンデンサ
- 401 増幅回路
- 402 出力側整合回路
- 403 伝送線路
- 404 コンデンサ
- 405 電源
- 406 インダクタ
- 407 コンデンサ
- 408 バイアス回路
- 409 出力端子
- 501 増幅回路
- 502 出力側整合回路
- 503 伝送線路
- 504 インダクタ
- 505 コンデンサ
- 506 伝送線路
- 507 コンデンサ
- 508 電源
- 509 コンデンサ
- 510 バイアス回路
- 511 出力端子

17/17

- 712 コンデンサ
- 713 インダクタ
- 714 バイアス回路
- 801 増幅回路
- 802 出力側整合回路
- 803 伝送線路
- 804 伝送線路
- 805 電源
- 806 コンデンサ
- 807 コンデンサ
- 808 バイアス回路
- 809 バイアス回路
- 810 出力端子
- 911 コンデンサ
- 912 バイアス回路
- 1201 誘電体基板
- 1202 P A - I C
- 1203 チップコンデンサ
- 1204 伝送線路
- 1205 インダクタ
- 1301 誘電体層
- 1303 インダクタ用電極
- 1304 P A - I C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10993

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H03F3/189 According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H03F3/189, 1/32, 1/56 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X Y A	JP, 6-140862, A (Texas Instruments Inc.), 20 May, 1994 (20.05.94), Full text & EP 475116 A & US 5105172 A	1 2-4 5-46		
X Y A	JP, 11-205052, A (Kyocera Corp.), 30 July, 1999 (30.07.99), Full text (Family: none)	1 2-4 5-46		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.				
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none; vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; border: none; vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 12 March, 2002 (12.03.02)		Date of mailing of the international search report 26 March, 2002 (26.03.02)		
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer Telephone No.		

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ H03F 3/189

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ H03F 3/189
 1/32
 1/56

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 6-140862A (テキサス インストルメンツ インコーポレイテッド) 1994. 05. 20, 全文 & EP 475116A & US 5105172A	1
Y		2~4
A		5~46
X	JP 11-205052A (京セラ株式会社) 1999. 07. 30, 全文 (ファミリー無し)	1
Y		2~4
A		5~46

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 12. 03. 02	国際調査報告の発送日 26.03.02
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 山崎 慎一 電話番号 03-3581-1101 内線 3574

