



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/66 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월26일 10-0674950 2007년01월22일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0006102 2005년01월22일 2005년01월22일	(65) 공개번호 (43) 공개일자	10-2006-0085123 2006년07월26일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                이상문  
                              경기 용인시 기흥읍 영덕리 15번지 용인영덕 신일아파트 102동 1402호

                              김영부  
                              경기 성남시 분당구 정자동 정든마을 한진6단지아파트 602동 1501호

                              김정혜  
                              경기 수원시 장안구 수원우체국사서함 125호 여자기숙사 진달래동 928호

(74) 대리인               리엔특특허법인  
                              이해영

심사관 : 이별섭

전체 청구항 수 : 총 15 항

(54) 기준 반도체 칩을 구비하는 반도체 기판 및 이를 이용한반도체 칩 어셈블리 방법

(57) 요약

기준 반도체 칩을 구비하는 반도체 기판 및 이를 이용한 반도체 칩 어셈블리 방법이 개시된다. 본 발명에 따른 어셈블리 방법은, 복수의 반도체 칩들이 형성된 반도체 기판을 제공하는 단계와, 반도체 칩들 가운데 하나의 기준 반도체 칩에 식별 표시를 하는 단계와, 그리고 기준 반도체 칩을 참고하여 반도체 기판을 정렬하여, 반도체 칩들에 대해서 전기적인 다이 소팅 시험을 수행하는 단계를 포함한다.

대표도

도 8

특허청구의 범위

## 청구항 1.

복수의 반도체 칩들이 형성된 반도체 기판을 제공하는 단계;

상기 반도체 칩들 가운데, 하나의 기준 반도체 칩에 식별 표시를 하는 단계; 및

작업자가 상기 기준 반도체 칩의 식별 표시를 외관으로 인식하여 상기 기준 반도체 칩을 첫 번째로 테스트하도록 상기 반도체 기판을 정렬하여, 상기 기준 반도체 기판의 상기 기준 반도체 칩들에 대해서 전기적인 다이 소팅 시험을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

## 청구항 2.

제 1 항에 있어서, 상기 식별 표시 단계는 상기 기준 반도체 칩 상에 레이저를 조사하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

## 청구항 3.

제 2 항에 있어서, 상기 레이저 조사 단계는 상기 기준 반도체 칩의 크기에 맞추어 초점 크기를 조정하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

## 청구항 4.

제 2 항에 있어서, 상기 레이저 조사 단계는 상기 기준 반도체 칩의 표면을 변형시키는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

## 청구항 5.

제 1 항에 있어서, 상기 식별 표시 단계는 상기 기준 반도체 칩 상에 식별용 레이저 마킹을 하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

## 청구항 6.

제 1 항 내지 제 5 항의 어느 한 항에 있어서, 상기 전기적인 다이 소팅 시험 단계는 시험 결과를 상기 기준 반도체 칩을 참고로 한 상기 반도체 칩들의 좌표와 함께 저장하는 단계를 포함하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

## 청구항 7.

제 1 항에 있어서, 상기 전기적인 다이 소팅 시험 단계 후, 상기 시험 결과에 따라서 상기 반도체 칩들을 물리적으로 분리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

## 청구항 8.

제 7 항에 있어서, 상기 분리 단계는 상기 기준 반도체 칩을 작업자가 인식하여 상기 반도체 기판을 정렬하여 수행하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

**청구항 9.**

제 8 항에 있어서, 상기 분리 단계 전에, 상기 시험 결과에 따라서 상기 반도체 칩들 상에 잉크 표시를 하는 단계를 더 포함하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

**청구항 10.**

제 9 항에 있어서, 상기 잉크 표시 단계는 상기 전기적인 다이 소팅 시험 단계에서 저장된 상기 좌표를 이용하여 수행하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

**청구항 11.**

삭제

**청구항 12.**

복수의 반도체 칩들이 형성된 반도체 기판을 제공하는 단계;

상기 반도체 칩들 가운데 하나의 기준 반도체 칩 상에 식별 표시를 하는 단계;

작업자가 상기 기준 반도체 칩의 식별 표시를 외관으로 인식하여 상기 기준 반도체 칩을 첫 번째로 테스트하도록 상기 반도체 기판을 정렬하여, 상기 반도체 기판의 상기 반도체 칩들에 대해서 전기적인 다이 소팅 시험을 수행하는 단계;

상기 전기적인 다이 소팅 시험 결과에 따라서 상기 반도체 칩들 가운데 불량 다이를 표시하도록 잉크 표시를 수행하는 단계; 및

상기 반도체 칩들을 물리적으로 분리하는 단계를 포함하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

**청구항 13.**

제 12 항에 있어서, 상기 식별 표시 단계는 상기 기준 반도체 칩 상에 레이저를 조사하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

**청구항 14.**

제 13 항에 있어서, 상기 레이저 조사 단계는 상기 기준 반도체 칩의 크기에 맞추어 초점 크기를 조정하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

**청구항 15.**

제 13 항에 있어서, 상기 레이저 조사 단계는 상기 반도체 칩의 표면을 변형시키는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

**청구항 16.**

제 12 항에 있어서, 상기 식별 표시 단계는 상기 기준 반도체 칩 상에 식별용 레이저 마킹을 하는 것을 특징으로 하는 반도체 칩 어셈블리 방법.

**청구항 17.**

삭제

**청구항 18.**

삭제

**청구항 19.**

삭제

**청구항 20.**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 칩 어셈블리 방법에 관한 것으로서, 특히 복수의 반도체 칩을 포함하는 반도체 기판에 대한 전기적인 다이 소팅 시험 및 각 반도체 칩들에 대한 물리적인 분리 단계를 포함하는 반도체 칩 어셈블리 방법에 관한 것이다.

반도체 칩들은 반도체 기판, 예를 들어 실리콘 기판에 매트릭스 형태로 동시에 여러 개가 제조되는 것이 일반적이다. 매트릭스로 구분되는 각 반도체 칩을 갖는 반도체 기판 부분을 하나의 다이(die)라고 부르기도 한다. 반도체 기판 상에 반도체 칩들에 대한 제조 공정 단계가 완료되면, 이어서 반도체 기판의 각 반도체 칩에 대해 전기적 시험을 거쳐 불량 반도체 칩을 분리해 내는 단계가 이어진다.

이러한 전기적 시험을 불량 다이를 분리해 낸다는 의미에서 전기적 다이 소팅(electrical die sorting; EDS) 시험이라고 한다. 이러한 EDS 시험 단계 후, 반도체 칩들에 대해서 어셈블리(assembly) 단계가 진행된다.

이하 도면을 참조하여 종래 EDS 시험 및 어셈블리 단계에서 문제점에 대해서 설명한다. 도 1을 참조하면, 매트릭스 상으로 배열된 반도체 칩들(예를 들어, 10, 20, 30 등)을 포함하는 반도체 기판(100)이 도시되어 있다.

반도체 기판(100)에 형성된 반도체 칩들(10, 20, 30 등) 중 일부는 EDS 시험에서 제외된다. 예를 들어, 반도체 기판(100)에서 가상 표시선(105) 내부의 반도체 칩들(20, 30 등)만이 EDS 시험 대상이 되고, 표시선(105) 외부의 반도체 칩들(10 등)은 EDS 시험에서 제외된다. 반도체 기판(100) 외곽의 반도체 칩들은 패터닝이 완벽하지 않거나, 각 제조 장치에서 공정 마진을 벗어나는 부분에 해당하기 때문에, 처음부터 불량 처리하는 것이다. 여기에서 가상 표시선(105)은 실제 반도체 기판에는 표시되지 않는다.

따라서, 반도체 기판(100)에 대해 EDS 시험 또는 어셈블리 단계를 진행할 때, 첫 번째 진행할 반도체 칩 또는 다이(예를 들어, 20)를 작업자가 외관상으로 구분해 내는데 어려움이 있다. 반도체 기판(100)이 EDS 시험 또는 어셈블리 장치에 로딩 되면, 먼저 첫 번째 반도체 칩 또는 다이(20)를 기준으로 정렬 및 작업이 진행된다.

하지만, 첫 번째 반도체 칩(20) 주변에도 여러 반도체 칩들(10, 30 등)이 있기 때문에 첫 번째 반도체 칩(20)에 대한 식별 표시가 필요하다. 도 2를 참조하면, 작업자들이 종래 잉크를 이용하여 첫 번째 반도체 칩 또는 다이를 표시하는 방법이 도시되어 있다. 이러한 잉크 표시는 첫 번째 반도체 칩에 대한 표시의 용도보다는 EDS 시험 후 불량 반도체 칩들에 대한 표시로 많이 이용된다.

잉크(ink, 70)는 실리콘 웨이퍼(50) 상의 패시베이션층(passivation layer, 550)을 덮고 있는 폴리이미드층(polyimide layer, 60) 상에 위치된다. 실리콘 웨이퍼는 약 675 um 두께이며 폴리이미드층은 약 4 um 두께일 때, 잉크는 약 25um 두께에 이른다. 따라서, 작업자가 첫 번째 반도체 칩(도 1의 20)과 그 주변의 반도체 칩들(10, 30 등)을 구분하기가 어려워, 잉크 에러가 발생할 확률이 높다.

더구나, 최근에는 EDS 시험 후 어셈블리 진행 시 잉크 표시를 하지 않고 어셈블리를 진행하는 제품도 있다. 이러한 잉크 표시가 없는 반도체 기판의 경우에는, 반도체 칩 또는 다이의 좌표 데이터를 가지고서 어셈블리를 진행하고 있다. 이에 따라, 첫 번째 반도체 칩 또는 다이의 좌표가 매우 중요하다. 특히, 백랩(back-lap) 두께가 감소하고, 파운드리(foundry) 사업으로 인하여 대부분의 제품이 잉크 표시가 없이 진행되는 경향이 늘고 있다.

따라서, 반도체 칩들에 대한 EDS 시험 및 어셈블리 단계에서 첫 번째 반도체 칩 또는 다이의 구분이 매우 중요한 이슈로 대두되고 있다. 하지만, 현재 첫 번째 다이가 다른 다이와 외관으로 구분되지 않아 오류가 종종 발생하고 있다. 특히, 이를 명확히 하기 위해, 한도 견본을 만들어 작업지침서로 삼고 있음에도 불구하고 첫 번째 다이를 잘못 지적하는 오류가 발생하고 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 기준 반도체 칩을 참고로 한 반도체 칩 어셈블리 방법을 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 기준 반도체 칩이 표시된 반도체 기판을 제공하는 데 있다.

### 발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따르면, 복수의 반도체 칩들이 형성된 반도체 기판을 제공하는 단계; 상기 반도체 칩들 가운데, 하나의 기준 반도체 칩(reference semiconductor chip)에 식별 표시를 하는 단계; 및 상기 기준 반도체 칩을 참고하여 상기 반도체 기판을 정렬하여, 상기 반도체 기판의 상기 반도체 칩들에 대해서 전기적인 다이 소팅(EDS) 시험을 수행하는 단계를 포함하는 반도체 칩 어셈블리 방법이 제공된다.

또한, 본 발명에 따른 바람직한 실시예에 있어서, 상기 식별 표시 단계는 상기 기준 반도체 칩 상에 레이저(laser)를 조사하여 수행하는 것이 바람직하다. 나아가, 상기 레이저 조사 단계는 상기 기준 반도체 칩의 크기에 맞추어 초점 크기를 조정하는 것이 더욱 바람직하다. 또는, 상기 레이저 조사 단계는 상기 기준 반도체 칩의 표면을 변형시켜 수행할 수 있다.

또한, 상기 식별 단계는 상기 기준 반도체 칩 상에 식별용 레이저 마킹(laser marking)을 하여 수행할 수도 있다.

또한, 상기 전기적인 다이 소팅 시험(EDS) 단계는 시험 결과를 상기 기준 반도체 칩을 참고로 한 상기 반도체 칩들의 좌표와 함께 저장하는 것이 바람직하다.

또한, 상기 전기적인 다이 소팅(EDS) 시험 단계 후, 상기 시험 결과에 따라서 상기 반도체 칩들을 물리적으로 분리하는 단계를 더 포함할 수 있다. 상기 분리 단계는 상기 기준 반도체 칩을 참고하여 상기 반도체 기판을 정렬하여 수행할 수 있다. 또한, 상기 분리 단계 전에 상기 시험 결과에 따라서 상기 반도체 칩들 상에 잉크 표시를 하는 단계가 더 포함될 수도 있다. 상기 잉크 표시 단계는 상기 전기적인 다이 소팅 시험(EDS) 단계에서 저장된 상기 좌표를 이용하여 수행할 수 있다.

또한, 상기 실시예들에 있어서, 상기 기준 반도체 칩은 상기 반도체 기판 상에서 전기적인 다이 소팅(EDS) 시험이 수행되는 첫 번째 반도체 칩인 것이 바람직하다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따르면, 복수의 반도체 칩들이 제조된 반도체 기판에 대해서 상기 반도체 칩들을 전기적인 특성에 따라 소팅하고 분리하여 어셈블리 하는 방법으로서, 상기 반도체 칩들을 소팅하기 전에, 상기 반도체 칩 가운데 하나의 기준 반도체 칩에 식별 표시를 하는 단계를 포함하는 반도체 칩 어셈블리 방법이 제공된다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 태양에 따르면, 매트릭스 상으로 배열된 복수의 반도체 칩들을 포함하는 것으로서, 상기 반도체 칩들 가운데 하나의 기준 반도체 칩 상에는 식별 표시가 되어 있는 반도체 기판이 제공된다.

상기 식별 표시는 레이저 마킹인 것이 바람직하다. 나아가, 상기 식별 표시는 상기 반도체 칩의 표면층이 열 경화된 것일 수도 있다.

또한, 상기 식별 표시가 되어 있는 반도체 칩은 상기 반도체 칩들에 대한 어셈블리를 위한 첫 번째 반도체 칩인 것이 바람직하다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장되어 있다.

도 3은 기준 반도체 칩(220)을 구비하는 본 발명의 실시예에 따른 반도체 기판(200)을 보여주는 평면도이다. 반도체 기판(200)에는 복수의 반도체 칩들(예를 들어, 210, 220, 230 등)이 매트릭스로 배열되어 있다. 여기에서 참조 부호는 세 개의 반도체 칩들(210, 220, 230)에 대해서만 예시적으로 표시되었다.

이러한 매트릭스 구조의 반도체 칩들(210, 220, 230 등)은 제조 공정 상의 포토리소그래피 단계와 식각 단계를 거쳐서 형성될 수 있다. 또한, 반도체 칩들(210, 220, 230 등)은 반도체 기판(200)의 매트릭스를 이룬다는 점에서 다이들(dies)이라고도 불린다.

반도체 칩들(210, 220, 230 등)의 수는 제품, 반도체 기판(200)의 크기 및 집적도에 따라서 달라질 수 있음은 해당 기술분야에서 통상의 지식을 가진 자에게 있어서 자명하다. 즉, 도 3에서는 예시적으로 반도체 칩들(210, 220, 230 등)을 도시한 것이다. 또한, 기준 반도체 칩(220)을 제외한 다른 반도체 칩들(210, 230 등)은 특별히 다른 처리를 하지 않는 이상, 기본적으로 외관상 구분이 가지 않는다. 즉, 기준 반도체 칩(220)은 외관상 다른 반도체 칩들(210, 230 등)과 구분되어 있다.

도 1에서 설명된 바와 같이, 반도체 기판(200)의 반도체 칩들(210, 220, 230 등) 가운데 일부는 EDS 시험 및 어셈블리에서 처음부터 제외된다. 예를 들어, 표시선(205) 내부의 반도체 칩들(220, 230 등)은 EDS 시험 및 어셈블리의 대상이 되지 않지만, 표시선(205) 외부의 반도체 칩들(210 등)은 EDS 시험 및 어셈블리의 대상에서 처음부터 제외된다. 이때, 표시선(205)은 실제 반도체 기판(200)에는 표시되지 않는 편의상의 가상선(imaginary line)이다.

기준 반도체 칩(220)은 임의의 반도체 칩이 될 수도 있지만, EDS 시험의 대상이 되는 첫 번째 반도체 칩(220)이 되는 것이 바람직하다. 이에 따라, EDS 시험장치는 기준 반도체 칩(220)을 참고하여 반도체 기판(200)을 정렬할 수 있다. 또한, 기준 반도체 칩(220)을 기준으로 EDS 대상 칩들에 대한 좌표를 입력받아 EDS 시험을 진행할 수 있게 된다.

즉, EDS 시험을 진행하는 작업자는 외관상 구분이 가는 기준 반도체 칩(220)을 기준으로 EDS 시험을 진행할 수 있어, 종래 좌표만으로 첫 번째 반도체 칩을 찾을 때에 비해서 오류를 줄일 수 있다. 나아가, 어셈블리 단계에서 잉크 작업도 기준 반도체 칩(220)을 기준으로 수행할 수 있다.

또한, 잉크 표시가 생략된 어셈블리 단계에서는 EDS 시험 결과를 기준 반도체 칩(220)을 참고로 한 좌표로 직접 입력받음으로써 오류 없이 작업을 진행할 수 있게 된다.

이하 도 4 내지 도 6을 참조하여 기준 반도체 칩(도 3의 220)을 보다 상세하게 설명한다.

도 4는 본 발명의 일 실시예에 따른 기준 반도체 칩(220)을 보여주는 평면도이고, 도 5는 도 4의 기준 반도체 칩(220)의 I-I'에 따른 단면도이다.

도 4를 참조하면, 기준 반도체 칩(220)의 표면에는 외관상 구분되는 식별 표시(225)가 되어 있다. 기준 반도체 칩(220)의 표면에는 폴리이미드층(polyimide layer, 206)이 형성되어 있을 수 있다. 보다 구체적으로 보면, 식별 표시(225)는 표면층, 즉 예를 들어 폴리이미드층(206)의 경화층일 수 있다.

도 5를 참조하면, 식별 표시(225)는 폴리이미드층(206) 아래의 패시베이션층(passivation layer, 204)의 일부의 경화층까지 포함할 수도 있다. 패시베이션층(204) 아래에는 반도체 칩 형성을 위한 패턴이 형성된 웨이퍼(202)가 위치되어 있다.

도 6은 본 발명의 다른 실시예에 따른 기준 반도체 칩(220)을 보여주는 평면도이고, 도 7은 도 6의 기준 반도체 칩(220)의 II-II'에 따른 단면도이다.

도 6 및 도 7을 참조하면, 기준 반도체 칩(220)의 표면에는 외관상 구분되는 다른 식별 표시(225')가 되어 있다. 보다 구체적으로 보면, 식별 표시(225')는 표면층, 즉 예를 들어 폴리이미드층(206)에 형성된 레이저 마킹일 수 있다. 이 때, 식별 표시(225')는 폴리이미드층(206) 내에 형성되는 것으로 도시되었지만, 패시베이션층(204)에 거쳐서 형성될 수도 있다.

또한, 식별 표시(225')는 "V" 표시의 레이저 마킹으로 도시되었지만, 그 외의 다른 글자 또는 도형에도 적용될 수 있음은 해당 기술 분야에서 통상의 지식을 가진 자에게 자명하다.

도 8은 본 발명의 실시예에 따른 반도체 칩 어셈블리 방법(300)을 보여주는 순서도이다. 그리고, 도 9는 본 발명의 실시예에 따른 기준 반도체 칩 식별 표시 방법을 보여주는 단면도이고, 도 10은 본 발명의 실시예에 따른 잉크 표시 방법을 보여주는 평면도이다. 이하에서는 도 8의 순서도에 따라서, 도 9 및 도 10을 참조하여 어셈블리 방법(300)을 설명한다. 나아가, 어셈블리 방법(300)은 도 3 내지 도 7을 참조할 수 있다.

도 3을 참조하면, 먼저 복수의 반도체 칩들(210, 220, 230 등)이 형성된 반도체 기관(200)을 제공한다(도 8의 단계 310). 이어서, 상기 반도체 칩들(210, 220, 230 등) 가운데, 하나의 기준 반도체 칩(220)에 식별 표시(225)를 한다(도 8의 단계 320). 기준 반도체 칩(220)은 EDS 시험이 진행될 첫 번째 반도체 칩인 것이 바람직하다.

도 9를 참조하면, 식별 표시 단계(도 8의 단계 320)는 기준 반도체 칩(220) 상에 레이저(245)를 조사하여 수행하는 것이 바람직하다. 레이저(245)가 조사됨에 따라 기준 반도체 칩(220)의 표면, 예를 들어 폴리이미드층(206) 또는 폴리이미드층(206)/패시베이션층(204)이 변형되어 경화된다. 이에 따라, 도 4 및 도 5에 도시된 바와 같이, 기준 반도체 칩(220)이 다른 반도체 칩들과 외관상 구분될 수 있다.

다시 도 9를 참조하면, 레이저(245)의 초점 크기(f)는 기준 반도체 칩(220)의 평면상 크기에 따라 조정될 수 있다. 즉, 레이저(245)의 조사에 의한 폴리이미드층(206)의 경화는 기준 반도체 칩(220) 내로 제한되도록 조정될 수 있다.

또한, 식별 표시 단계(도 8의 단계 320)는 레이저(245) 조사를 통해 기준 반도체 칩(220)에 레이저 마킹을 하는 방법으로 수행할 수도 있다. 이에 따르면, 예를 들어, 도 6 및 도 7에 도시된 바와 같은 레이저 마킹(225')이 가능하다. 따라서, 기준 반도체 칩(220)이 다른 반도체 칩들과 외관상 역시 구분될 수 있다.

도 10을 참조하면, 이어서 기준 반도체 칩(220)을 참고로 하여 반도체 기관(200)을 정렬하여, 반도체 칩들(210, 220, 230 등)에 대해 EDS 시험을 진행한다(도 8의 단계 330).

보다 구체적으로 보면, 작업자가 기준 반도체 칩(220)을 외관으로 인식하여 반도체 기관(200)을 정렬할 수 있게 된다. 나아가, 기준 반도체 칩(220)이 정렬됨에 따라, 기준 반도체 칩(220)을 첫 번째 진행 다이로 하고, EDS 시험이 진행될 다른 반도체 칩에 대한 좌표를 지정할 수 있게 된다. 따라서, 종래 첫 번째 반도체 칩 지정 오류로 인한 EDS 시험 및 어셈블리 상의 문제가 해결될 수 있다.

이어서, 시험 결과에 따라서 반도체 칩들 상에 잉크 표시(255)를 한다(도 8의 단계 340). 잉크 표시(255)는 EDS 시험 결과에 따른 불량 다이 여부에 대한 표시이다. 예를 들어, 불량 다이에 대해서 잉크 표시(255)를 할 수 있다. 반대로, 정상 다이에 대해서 잉크 표시(255)를 하는 것도 가능하다.

따라서, 작업자들이 시각적으로 정상 또는 불량 다이를 구분할 수 있다. 잉크 표시 단계(도 8의 단계 340)도 기준 반도체 칩(220)을 참고하여 반도체 기관(200)을 정렬하여 진행할 수 있다. 또는, 잉크 표시 단계(단계 340)는 EDS 시험 단계에서 저장된 좌표를 이용하여 반도체 칩들을 구분하여 수행할 수도 있다. 하지만, 제품에 따라서는 잉크 표시 단계(단계 340)가 생략될 수도 있다.

이어서, 시험 결과에 따라서 반도체 칩들을 물리적으로 분리한다(도 8의 단계 350). 반도체 칩들의 분리를 포함한 어셈블리 단계도 또한, 기준 반도체 칩(220)을 참고로 하여 진행할 수 있다. 특히, 제품에 잉크 표시(250)가 없는 경우에는 기준 반도체 칩(220)을 참고로 한 각 반도체 칩들의 좌표와 EDS 시험 결과를 피드백 받음으로써 정상 및 불량 반도체 칩들을 구분하여 작업을 진행할 수 있다.

이어서, 해당 기술 분야에서 통상의 지식을 가진 자에게 알려진 방법에 따라서 어셈블리 작업을 계속 진행할 수 있다.

발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

### 발명의 효과

본 발명에 따른 반도체 기관(200)은 다른 반도체 칩들과 외관상 구분되는 기준 반도체 칩(220)을 구비하고 있다. 이에 따라, EDS 시험장치는 기준 반도체 칩(220)을 참고하여 반도체 기관(200)을 정렬할 수 있다. 또한, 기준 반도체 칩(220)을 기준으로 EDS 대상 칩들에 대한 좌표를 입력받아 EDS 시험을 진행할 수 있게 된다.

즉, EDS 시험을 진행하는 작업자는 외관상 구분이 가는 기준 반도체 칩(220)을 기준으로 EDS 시험을 진행할 수 있어, 종래 좌표만으로 첫 번째 반도체 칩을 인식할 때에 비해서 오류를 줄일 수 있다. 나아가, 어셈블리 단계에서 잉크 작업도 기준 반도체 칩(220)을 기준으로 수행할 수 있다.

또한, 잉크 표시가 생략된 어셈블리 단계에서는 EDS 시험 결과를 기준 반도체 칩(220)을 참고로 한 좌표로 직접 입력받음으로써 오류 없이 작업을 진행할 수 있게 된다.

### 도면의 간단한 설명

도 1은 복수의 반도체 칩들을 포함하는 종래 반도체 기관을 보여주는 평면도이다.

도 2는 반도체 칩에 대한 종래 잉크 표시 방법을 보여주는 단면도이다.

도 3은 기준 반도체 칩을 구비하는 본 발명의 실시예에 따른 반도체 기관을 보여주는 평면도이다.

도 4는 본 발명의 일 실시예에 따른 기준 반도체 칩을 보여주는 평면도이다.

도 5는 도 4의 기준 반도체 칩의 I-I'에 따른 단면도이다.

도 6은 본 발명의 다른 실시예에 따른 기준 반도체 칩을 보여주는 평면도이다.

도 7은 도 6의 기준 반도체 칩의 II-II'에 따른 단면도이다.

도 8은 본 발명의 실시예에 따른 반도체 칩 어셈블리 방법을 보여주는 순서도이다.

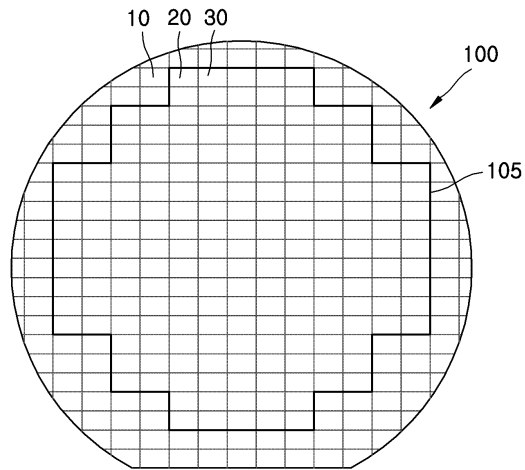
도 9는 본 발명의 실시예에 따른 기준 반도체 칩 식별 표시 방법을 보여주는 단면도이다.

도 10은 본 발명의 실시예에 따른 잉크 표시 방법을 보여주는 평면도이다.

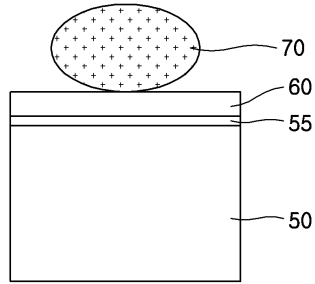
### 도면



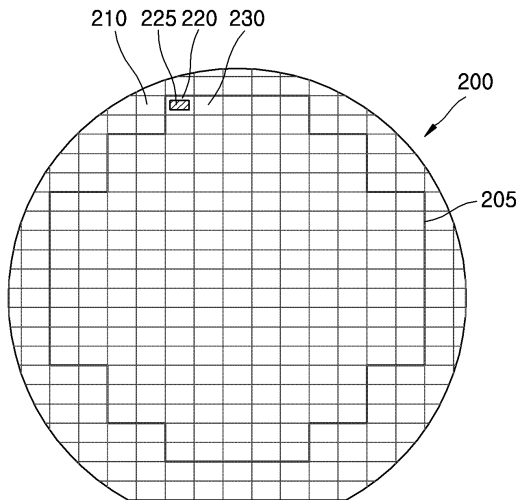
도면1



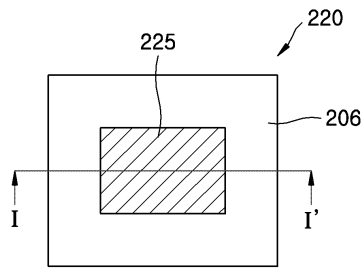
도면2



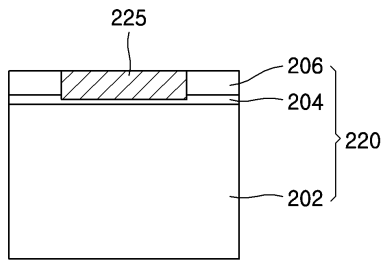
도면3



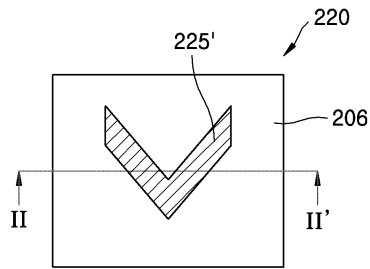
도면4



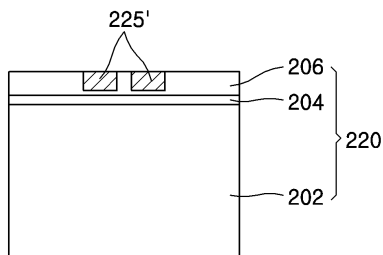
도면5



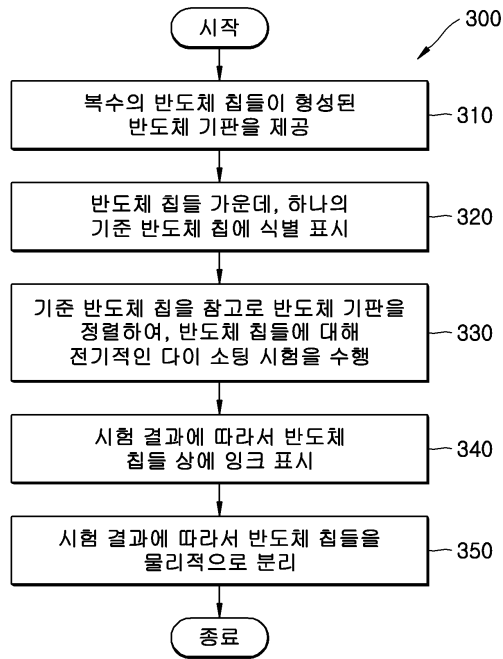
도면6



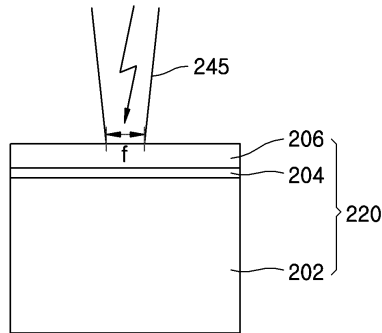
도면7



도면8



도면9



도면10

