

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-244407

(P2006-244407A)

(43) 公開日 平成18年9月14日(2006.9.14)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 3/041 (2006.01)	G06F 3/033 360A	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5B087
G09G 3/20 (2006.01)	G02F 1/133 575	5C006
G09G 3/36 (2006.01)	G09G 3/20 623N	5C080
	G09G 3/20 624B	

審査請求 未請求 請求項の数 6 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2005-62891 (P2005-62891)
 (22) 出願日 平成17年3月7日(2005.3.7)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

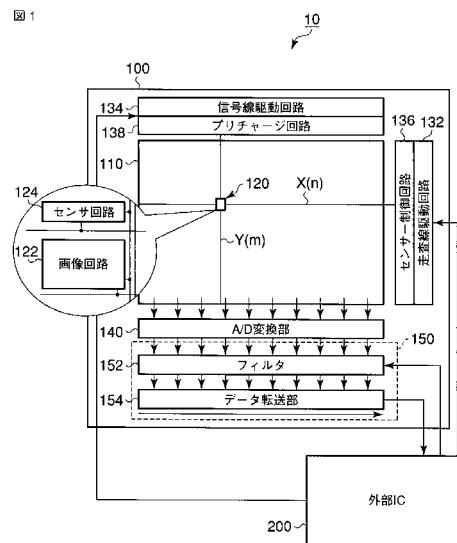
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】点状欠損や線状欠損のある画像データを補完するとともに、外部ICの回路規模増大及びコスト上昇を抑え、かつ、製造歩留まりの高い画像取り込み機能付き表示装置を提供する。

【解決手段】並行に配列された複数の走査線Xと、複数の走査線Xに交差するように配列された複数の信号線Yと、複数の走査線Xと複数の信号線Yとの交差点120に配列された複数の画素回路122と、複数の画素回路122の1つまたは複数毎に少なくとも1つ設けられたセンサ回路124と、複数の走査線Xと複数の信号線Yとを介して複数の画素回路122を駆動する信号線駆動回路134、及び走査線駆動回路132と、センサ回路124を制御する制御手段と、を備え、制御手段は、少なくとも画素回路122に表示される画像の階調値を補完するフィルタ152を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

並行に配列された複数の走査線と、
前記複数の走査線に交差するように配列された複数の信号線と、
前記複数の走査線と前記複数の信号線との交差部に配列された複数の表示画素と、
前記複数の表示画素の1つまたは複数毎に少なくとも1つ設けられた光検知部と、
前記複数の走査線と前記複数の信号線とを介して前記複数の表示画素を駆動する駆動手段と、

前記光検知部を制御する出力制御部と、を備え、

前記出力制御部は、少なくとも前記表示画素に表示される画像の階調値を補完するフィルタを有する画像取り込み機能を備えた表示装置。 10

【請求項 2】

前記出力制御部は、前記光検知手段の光検出信号からデジタル画像データを生成する A/D 変換部をさらに備えた請求項 1 記載の画像取り込み機能を備えた表示装置。

【請求項 3】

前記フィルタは、所定の前記表示画素と、その近傍にある少なくとも1つの表示画素とに対応した前記デジタル画像データの階調値を昇順または降順に並び替えて、指定された順位の階調値を前記所定の前記表示画素の階調値とする請求項 2 記載の画像取り込み機能を備えた表示装置。

【請求項 4】

前記指定された順位は、動的に変化可能である請求項 3 記載の画像取り込み機能を備えた表示装置。 20

【請求項 5】

前記フィルタは、所定の前記表示画素と、その近傍にある少なくとも1つの表示画素とに対応した前記デジタル画像データの階調値を昇順または降順に並び替えて、中央の順位の階調値を所定の前記表示画素の階調値とする画像取り込み機能を備えた請求項 2 記載の表示装置。

【請求項 6】

前記 A/D 変換部は、1ビットのデータに対応し、前記デジタル画像データは、1ビットデジタル画像データである請求項 2 記載の画像取り込み機能を備えた表示装置。 30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画像取り込み機能を備えた表示装置に関する。

【背景技術】**【0002】**

近年、携帯電話、ノート型コンピュータ等の各種機器の表示装置として、液晶表示装置や有機 EL ディスプレイなどの開発が進められている。

【0003】

一般に、液晶表示装置は、複数の走査線と複数の信号線との各交差部に薄膜トランジスタ (TFT)、液晶容量、及び、補助容量を有する表示画素が配列したアレイ基板と、走査線及び信号線を駆動する駆動回路とを備えている。近年では、集積回路技術の発展およびプロセス技術の実用化により駆動回路の一部もアレイ基板上に形成され得るようになり、液晶表示装置全体の軽薄短小化が図られている。 40

【0004】

一方、アレイ基板上に画像取り込み機能を有する密着型エリアセンサを配置した画像取り込み機能付き表示装置が光入力機能付き表示装置として提案されている。

【0005】

この種の画像取り込み機能を有する従来の液晶表示装置は、複数の走査線と複数の信号線との各交差部に配列された例えば液晶画素部などからなる表示手段と、例えばフォトダ 50

イオードなどからなる光検知手段を有し、この光検知手段を構成するフォトダイオードに接続されたキャパシタの電荷量をフォトダイオードでの受光量に応じて変化させ、キャパシタの両端の電圧を検出することにより画像データを生成し、画像取り込みを行っている。

【0006】

このような画像取り込み機能を有する表示装置において、複数の撮像条件で得られた画像データから画像処理によって入射光の照射強度に対応した多階調画像データを得る手法が提案されている。

【0007】

また、画像を表示する表示フレームの間に撮像フレームを挿入することにより画像の表示を行いながら画像を取り込む手法も提案されている。この手法を用いると、表示装置の表示画面に指を触れたり、または例えばペン型の光源を用いて表示画面に光を照射したりすることにより、表示装置の座標入力デバイスとして使用することが可能であり、座標算出アルゴリズムやクリック検出アルゴリズムなどが提案されている。

10

【0008】

上述した従来 of 画像取り込み機能付き表示装置では、製造プロセスに起因して発生した点状欠損や線状欠損のある画像データをそのまま外部に出力しているため、外部のICを用いて欠損を補完する画像処理が必要となる。この画像処理を行うためには通常IC内部に画像データ数ライン分のメモリを必要とするため、ICの回路規模が大きくなりコストも高くなるという問題があった。

20

【0009】

逆に外部のICで補完処理を行わない場合、欠損のない画像取り込み機能付き表示装置のみを選別する必要があるため製造歩留りが低下してしまうという問題があった。

【特許文献1】特開2002-182839号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、上記の問題点に鑑みてなされたものであって、点状欠損や線状欠損で一部欠落した部分を補完するとともに、外部ICの回路規模増大及びコスト上昇を抑え、かつ、製造歩留まりの高い画像取り込み機能付き表示装置を提供することを目的とする。

30

【課題を解決するための手段】

【0011】

本発明の一様態による表示装置は、並行に配列された複数の走査線と、前記複数の走査線に交差するように配列された複数の信号線と、前記複数の走査線と前記複数の信号線との交差部に配列された複数の表示画素と、前記複数の表示画素の1つまたは複数毎に少なくとも1つ設けられた光検知部と、前記複数の走査線と前記複数の信号線とを介して前記複数の表示画素を駆動する駆動手段と、前記光検知部を制御する出力制御部と、を備え、前記出力制御部は、少なくとも前記表示画素に表示される画像の階調値を補完するフィルタを有するものである。

【発明の効果】

40

【0012】

本発明によれば、点状欠損や線状欠損のある画像データを補完するとともに、外部ICの回路規模増大及びコスト上昇を抑え、かつ、製造歩留まりの高い画像取り込み機能付き表示装置を提供することが可能である。

【発明を実施するための最良の形態】

【0013】

以下、図面を用いて、本発明を実施するための最良の形態（以下、実施形態と称する）を説明する。

【0014】

図1は画像取り込み機能付き表示装置のレイ基板100と、レイ基板100の撮像

50

動作を制御し、撮像データを受け取って処理を行う外部IC200との動作を説明するブロック図である。図1に示すように、画像取り込み機能付き表示装置10は、例えば、ガラス基板上のポリシリコン薄膜トランジスタ回路で駆動される液晶ディスプレイである。

【0015】

外部IC200は専用に作られたASIC、デジタルシグナルプロセッサDSP、中央演算装置CPU等であり、撮像画像をディスプレイに再表示したり、ストレージデバイスに保存したり、あるいは撮像画像を処理することによって座標入力を行うなどの様々な処理を行うものである。ただし、ここでは外部IC200によって表示動作を制御する部分の説明は省略する。

【0016】

アレイ基板100上の表示領域110には、並行に配列された複数の走査線Xと、複数の走査線Xに交差するように配列された複数の信号線Yが形成されている。図1には、走査線X(n)と信号線Y(m)をそれぞれ1本ずつ示している。複数の走査線Xと複数の信号線Yとの交差点120には、表示手段としての画素回路122及び、光検知手段としてのセンサ回路124が配列されている。図1には、1つの画素回路122及び1つのセンサ回路124を代表して示している。

【0017】

アレイ基板100上の表示領域110の周囲には、複数の走査線Xと複数の信号線Yとを介して画像回路122を駆動する駆動回路が形成されている。この駆動回路は、複数の画素回路122を行単位で駆動する走査線駆動回路132と、駆動される画素回路122にそれぞれの画像信号を供給する信号線駆動回路134とを有する。

【0018】

また、アレイ基板100上の表示領域110の周囲には、複数のセンサ回路124を制御するための制御手段が設けられている。この制御手段は、センサ回路124をプリチャージするプリチャージ回路138と、センサ回路124を行単位で指定するためのセンサ制御回路136と、センサ回路124からの出力をアナログ/デジタル変換するA/D変換部140と、A/D変換部140が出力するデジタルデータを受信し、外部IC200に出力する出力制御部150と、を有している。出力制御部150は、フィルタ152とデータ転送部154とを含む。

【0019】

アレイ基板100では、まず交差点120に設けられたセンサ回路124を用いて入射光強度の情報をアナログ信号に変換し、そのアナログ信号をアレイ基板100周辺に設けられたA/D変換部140によってデジタル画像データに変換する。そのデジタル画像データは、アレイ基板100周辺に設けられた撮像データの出力制御部150によって外部IC200に出力される。出力制御部150は、フィルタ152とデータ転送部154とを有している。A/D変換部140から出力されたデータは、出力制御部150のフィルタ152でフィルタ処理され、データ転送部154によってシリアルに外部IC200に出力される。

【0020】

図2(A)、図2(B)に、図1に示した画素回路122、及び、センサ回路124の基本的な回路構成例を示す。図2(A)に示すように、アレイ基板100には、ライトペン700によって光入力成されている。アレイ基板(ガラス基板)100の外側には、ガラス保護のために透明膜102がコーティングまたは貼り付けられている。アレイ基板100の内面側には、ここでは図示されていない複数の走査線X、複数の信号線Y、画素回路122及びセンサ回路124が印刷技術及び蒸着技術を用いて形成されている。

【0021】

アレイ基板100の内面側に形成されたPINダイオードD1、D2、D3は、それぞれセンサ回路124内で光感応素子として機能する。PINダイオードD1、D2、D3の周囲は、絶縁層103によって囲まれている。また、絶縁層103には、PINダイオードD1、D2、D3に対向して遮光膜SH1、SH2、SH3が形成されている。

10

20

30

40

50

【0022】

アレイ基板100と間隔をにおいて、対向基板105が配置されている。対向基板105は、共通電極（透明電極）を有するとともに、アレイ基板100と対向している。アレイ基板100と対向基板105との間には液晶層104が挟持されている。対向基板105の外側には、バックライト106が配置されている。バックライト106から照射された光は、対向基板105、液晶層104、及び、アレイ基板100を透過する際に、その透過状態が制御され、表示画面に画像が得られる。

【0023】

図2(B)には、1つのセンサ回路124の基本的な回路構成例を示している。信号線Y(m)には、スイッチ（薄膜トランジスタ）TR2のソースが接続されている。スイッチTR2のドレインはフォトダイオードPDのカソードに接続されるとともに、センサ容量CPの一方の電極に接続されている。フォトダイオードPDのアノード、及び、センサ容量CPの他方の電極は、所定の電位のアースラインに接続されている。スイッチTR2のゲートは、リセット制御ラインCRT(n)に接続されている。

10

【0024】

上記のセンサ回路124は、特定の水平ブランキング期間の後半で、センサ容量CPにプリチャージが行われ、次の周期（1垂直期間後）の特定水平ブランキング期間の前半で読み出しが行われる。プリチャージ後、フォトダイオードPDに照射される光量が多い場合は、センサ容量CPの放電量が多い。逆にフォトダイオードPDに照射される光量が少ない場合は、センサ容量CPの放電量が少ない。なお、フォトダイオードPDとバックライトとの間には遮光処理が成されている。したがって、読み出し期間にセンサ容量CPの電圧を、増幅器を介して出力することで、センサ出力を得ることができる。

20

【0025】

図3(A)には、上記の画素回路122、及び、センサ回路124の一構成例を示している。図3(A)に示すように、電圧ラインCsは、補助容量Csk及び液晶LCの一方の電極に所定の周期で所定の電位を与える電圧ラインである。ゲートラインGate(n)は、画素回路122の駆動トランジスタTR1をオンオフ制御するためのゲートラインである。

【0026】

また、リセット制御ラインCRT(n)は、センサ回路124を構成するスイッチTR2をオンオフ制御するための制御信号ラインである。スイッチTR2がオンしたときに、センサ容量CPにプリチャージが行われる。GNDは、接地ラインである。また、SFB(n)は、センサ容量CPの電位を読み出すときに薄膜トランジスタTR4をオンするセンサ出力制御ラインである。薄膜トランジスタTR3は増幅素子として機能する。フォトダイオードPDは、光に感応し、光量に応じた電流を流す。これにより、センサ容量CPにプリチャージされている電荷を放出することができる。

30

【0027】

信号線Y(m-1)、Y(m)、Y(m+1)は図1に示した信号線駆動回路134、及びA/D変換部140に接続されている。また、電源ラインCs、ゲートラインGate(n)は、図1に示した走査線駆動回路132に接続され、リセット制御ラインCRT(n)、接地ラインGND、及び、センサ制御ラインSFB(n)はセンサ制御回路136に接続されている。

40

【0028】

図3(B)に、上記の回路の動作を説明するためのタイミングチャートを示す。上記の回路は、1垂直期間（1フレーム期間）内の特定の1水平期間を次のように設定している。画素回路122では、1水平期間（1H）内を、第1ブランク期間、コモン反転ブランク期間、書き込み期間、及び、第2ブランク期間に分けている。この4つの期間に対応させてセンサ回路124では、出力期間、コモン反転タイミング期間、プリチャージ期間に分けている。1垂直期間（1フレーム期間）内の上記4つの期間以外は、画素回路122は表示期間で、センサ回路124は撮像期間である。

50

【0029】

画素回路122では、補助容量 C_{sk} に対して信号線 $Y(m+1)$ を介して、書き込み期間に矢印 a_1 に示すような経路で画像信号が書き込まれる。この容量 C_{sk} の両端間に生じた電圧値に応じて液晶 LC が駆動され階調表示される。

【0030】

センサ回路124では、上記書き込み期間に続いて、トランジスタ TR_2 がオンされ、容量 CP に対してプリチャージが行われる。このとき信号線 $Y(m+1)$ を介して矢印 b_1 、及び矢印 c_1 に示すような経路で容量 CP がプリチャージされる。つまり、書き込み期間とプリチャージ期間とがずれており、信号線 Y を有効に利用している。撮像期間においてフォトダイオード PD に電流が流れると、プリチャージ電圧が変化する。

10

【0031】

次の1フレームサイクルで、出力期間にトランジスタ TR_4 がオンされると、センサ容量 CP の電圧がトランジスタ TR_3 で増幅され、信号線 $Y(m)$ を介して取り出される(矢印 d_1 、 e_1 の経路)。隣の水平ラインの画素及びセンサ部においても次の1水平期間に同様の動作が実行される。センサ容量 CP から取り出された電圧は、プリチャージ以後、読み出しスタートまでの間、フォトダイオード PD が遮光されていた時間に応じて変化する。全く遮光されていない場合は、読み出された電圧は十分に低い状態で、遮光されていた時間が長い場合は、高い電圧が得られる。これによりライトペン700によってインプットが成されたのかどうかを判断する。

【0032】

図4は、上記の動作をフレーム単位で示した説明図である。図4には例えば N フレーム目と $N+1$ フレーム目を示している。 N フレーム目の特定の水平期間に上記の処理が行われ、 $N+1$ フレーム目の特定水平期間までの期間に、画素回路122では画像を表示し、センサ回路124では光を撮像する。

20

【0033】

次に、センサ回路124からの出力に対するフィルタ処理について説明する。図1に示すように、ある走査線 $X(n)$ をアクティブにすると、センサ回路124から出力された画素1行分のアナログ信号が A/D 変換部140に入力される。 A/D 変換部140の出力はデジタル画像データとして出力制御部150に入力される。

【0034】

図5は、この発明の装置の一動作例を説明するために示している。図5は、位置 (x, y) にある注目画素の階調値 $F(x, y)$ と、その注目画素に対して上下左右斜め方向に隣接する画素の階調値 $F(x-1, y-1)$ 、 $F(x, y-1)$ 、 \dots など、計9個の階調値(図の左側)を例えば昇順降順に並び替え、そのうち、例えば、中間順位のもの或いは r 番目に大きいものを注目画素 (x, y) の新しい階調値 $G(x, y)$ (図の右側)として採用する、という 3×3 近傍のランクオーダーフィルタ処理を示している。このような処理を実現する回路は以下に説明するような回路である。

30

【0035】

図6に、センサ回路124からの出力信号を処理する一回路構成例を示す。ある走査線 $X(n)$ をアクティブにすると、走査線 $X(n)$ に接続されたセンサ回路124は検知した光強度をアナログ信号として A/D 変換部140に出力する。 A/D 変換部140は、各信号線に対応した A/D 変換回路 ADC と、ディレイ・フリップフロップ $D-FF1$ とを有している。 A/D 変換回路 ADC は、センサ回路124から入力されたアナログ信号をデジタルデータに変換する。ディレイ・フリップフロップ $D-FF1$ は、1水平期間に一度、所定のタイミングで A/D 変換回路 ADC の出力を取り込む。

40

【0036】

なお、本実施形態においては、 A/D 変換回路 ADC は例えば1ビットのデータに対応するもので、各ディレイ・フリップフロップ $D-FF1$ には1行分の画素の1ビット画像データが取り込まれる。

【0037】

50

加算回路SUM3は、行方向に隣接する3画素分の1ビット画像データを入力されると、それらの和を出力する組み合わせ回路である。加算回路SUM3は、図7(A)に示す真理値表のように入力された値に対する出力をする。

【0038】

加算回路SUM3からの出力は、直列に接続された3つのディレイ・フリップフロップD-FF2に入力される。ディレイ・フリップフロップD-FF2は、加算回路SUM3の出力を1水平期間ごとに所定のタイミングで転送していくもので、これによって加算回路SUM3の出力を3行分保持しておくことができる。2つの加算器PL1、PL2は上記3行分のデータの和をとり、1水平期間ごとに所定のタイミングでディレイ・フリップフロップD-FF3にその和が取り込まれる。

10

【0039】

以上のことから、ディレイ・フリップフロップD-FF3には行方向に隣接する3画素の3段分の階調値、つまり、3×3近傍の階調値の和が1水平期間ごとに取り込まれることになる。

【0040】

ディレイ・フリップフロップD-FF3からの出力は、コンパレータCOMP4に入力される。コンパレータCOMP4回路はディレイ・フリップフロップD-FF3の値と指定されたランク値rとを比較する4ビットのコンパレータで、図7(B)にその入出力関係を示している。これは、3×3近傍の階調値の和がランク値より大きい以上の場合には1、ランク値未満の場合は0で注目画素の階調値を置き換えることに相当する。

20

【0041】

この結果、フィルタ152では、例えば先の図5に示す注目画素の階調値F(x, y)を、その3×3近傍の階調値を昇順降順に並び替えて、r番目に小さい大きい階調値に変換する。つまり、ランク値rのランクオーダーフィルタ処理を行ったことになる。画像データが1ビットの場合は、

【数1】

$$G_{x,y} = \begin{cases} 1 & \left(\sum_{i,j=-1,0,1} F_{x+i,y+j} \geq r \text{ の場合} \right) \\ 0 & \left(\sum_{i,j=-1,0,1} F_{x+i,y+j} < r \text{ の場合} \right) \end{cases}$$

30

【0042】

のように、フィルタ152では、注目画素の階調値F(x, y)を、近傍画素の値を全て加算してランク値r以上の場合は1、ランク値r未満の場合は0と変換する。

【0043】

コンパレータCOMP4の出力ラインは、データ転送部154に接続されている。データ転送部154は、スイッチHSWを介して各フィルタ回路に接続されたディレイ・フリップフロップD-FF4を有している。ディレイ・フリップフロップD-FF4は外部にデータをシリアルに出力するためのシフトレジスタである。

40

【0044】

まず、1水平期間ごとにある所定のタイミングでスイッチHSWがオン状態かつスイッチTSKがオフ状態となり、その間に転送クロックが1回立ち上がる(または立ち下がる)ことによってディレイ・フリップフロップD-FF4に画素1行分のデータが保持される。その後スイッチTSKがオン状態かつスイッチHSWがオフ状態になり、転送クロックに従ってデータが順次転送される。

【0045】

50

図8に、 3×3 近傍の画素に対して、上記のフィルタ152によってフィルタ処理を行った結果の一例を示す。図8(A)に示す画像は、フィルタ処理を行わない場合の画像であって、ライトペン700等による光をアレ基板100に照射して座標入力を行う際に、外部IC200に対して出力される2値画像データである。画像左側の白丸部がライトペン700の指示部に対応し、画像右側に縦に走っている白線がA/D変換回路ADCの不良によって発生した線状欠損に対応している。

【0046】

図8(B)、図8(C)、および図8(D)には、ランクオーダーフィルタのランク値 r の値が異なる場合の結果の一例を示している。図8(B)はランク値 r を5に設定した場合の結果を示している。これは、ランクオーダーフィルタが、その特別の場合であるメジアンフィルタである場合で、点状欠損および線状欠損を補完している。図8(C)には、ランク値 r を9に設定した場合の結果を示している。この場合には、ライトペン700の指示部および、線状欠損の白領域が収縮されている(収縮処理)。図8(D)には、ランク値 r を1に設定した場合の結果を示している。この場合には、ライトペン700の指示部および、線状欠損の白領域が膨張されている(膨張処理)。

10

【0047】

上記のように、ランクオーダーフィルタ回路で設定するランク値 r の値によって、点状欠損や線状欠損を補完したり、白領域の膨張・収縮したりする効果が得られる。

【0048】

なお、ランクオーダーフィルタ回路のランク値は、外部IC200で決めても良くアレ基板100上の回路で決めても良い。また、ランク値を固定値にしても良いし、外部IC200またはアレ基板上100の回路によって制御し、動的に変更しても良い。

20

【0049】

上記ランクオーダーフィルタ回路は、アレ基板100上に形成されているため、外部IC200の回路規模を増大させることがなく、その為のコスト上昇を抑えることができる。また、欠損のない画像取込み機能付き表示装置を選別する必要がなくなり、製造歩留まりが高くなる。さらに、ランクオーダーフィルタ回路をアレ基板100上に形成することで、撮像データの効率的な取り込みが可能になっている。

【0050】

また、上記のランクオーダーフィルタ回路は、各信号線に対応して形成されるので、画素1行分のランクオーダーフィルタ処理を並列に行うことが可能である。また、1水平周期のクロックでのフィルタ処理が可能であり、高速なクロックを必要としない。

30

【0051】

次に本発明の第2実施形態について説明する。図9に示す回路は、ランクオーダーフィルタ回路の特別な場合(3×3 近傍のランクオーダーフィルタ回路でランク値 r が5の場合)であるメジアンフィルタ回路をフィルタ152として用いる。この場合、前述のランクオーダーフィルタ回路においてランク値 r の値を変更することによっても実施可能であるが、より簡略化された回路構成も可能である。図9には、その詳細な回路構成例を示した。

【0052】

図9に示すフィルタ152の回路部分だけが図6と異なっている。ソート回路SORT3は、3つの入力値を昇順にソートして出力する組み合わせ回路であり、ソート回路SORT2は、2つの入力値を昇順にソートして出力する組み合わせ回路である。ソート回路SORT3とソート回路SORT2とは、入力に対して、それぞれ図10(A)、図10(B)の真理値表に示すように信号を出力する。

40

【0053】

ノードS、M、Lには、ソート回路SORT3またはソート回路SORT2によってソートされた値のうちで最小値、中間値、最大値が出力される。4段のディレイ・フリップフロップD-FF5は、隣接する3列の画素のうち階調値が最小のものを3行分取り込み、さらにその3行のうち最大のものを最終段に出力する。同様にディレイ・フリップフロ

50

ップD-F F 6は、3列の画素のうち階調値が中間のものを3行分取り込み、さらにその3行の中で中間のものを最終段に出力する。ディレイ・フリップフロップD-F F 7は、3列の画素のうち階調値が最大のものを3行分取り込み、さらにその3行のうち最小のものを最終段に出力する。

【0054】

最後にディレイ・フリップフロップD-F F 5、ディレイ・フリップフロップD-F F 6、およびディレイ・フリップフロップD-F F 7の最終段の出力がソート回路S O R T 3に入力され、それらの中央の順位にある階調値がデータ転送部154に出力される。このことによって、注目画素の3×3近傍にある画素の階調値の中で、ランク値rが5である画素の階調値がデータ転送部154に出力されることになる。つまり、フィルタ152では、メジアンフィルタ処理が成される。

【0055】

上記のメジアンフィルタ回路についても、フィルタ処理を行うことによって図8(B)に示す画像が得られる。また、前述したランクオーダーフィルタ回路を用いる場合と同様に、外部IC200の回路規模を増大させることがなく、その為のコスト上昇を抑えることができる。さらに、欠損のない画像取り込み機能付き表示装置を選別する必要がなくなり、製造歩留まりが高くなる。また、メジアンフィルタ回路をアレイ基板上に形成することで、撮像データの効率的な取り込みが可能になっている。

【0056】

また、メジアンフィルタ回路は、各信号線に対応して形成されているため、1水平周期のクロックで並列処理が可能で、高速なクロックを必要としない。

【0057】

次に、本発明の第3実施形態について説明する。図11は、シリアルにフィルタ処理を実行する実施形態の一例についてのブロック図である。

【0058】

本実施形態では、出力制御部150が画素3行分のデータをシリアルに出力するデータ転送部154を有している。センサ回路124から出力されたアナログ信号は、A/D変換部140でデジタル画像データに変換され、出力制御部150に入力される。出力制御部150では、3行分のデータ転送部154によって転送されるデジタル画像データを、出力制御部150の最終段に接続されたフィルタ152でシリアルにフィルタ処理して外部に出力する。

【0059】

図12は、フィルタ152として例えばランクオーダーフィルタを用いた場合の詳細な回路構成の一例である。ディレイ・フリップフロップD-F F 4は前述のようにスイッチT S Kがオン状態の場合に転送クロックにしたがって図中右方向にデータを転送するシフトレジスタである。一方ディレイ・フリップフロップD-F F 8は、スイッチH S Wがオン状態の間の転送クロックに従って図中下方向にデータを転送するシフトレジスタである。

【0060】

まず、1水平期間ごとにある所定のタイミングでスイッチH S Wがオン状態かつスイッチT S Kがオフ状態となり、その間に垂直転送クロックが1回立ち上がる(または立ち下がる)ことによってディレイ・フリップフロップD-F F 8で画素1行分のデータが図中下方向に転送され保持される。同時に水平転送クロックが1回立ち上がる(または立ち下がる)ことによってディレイ・フリップフロップD-F F 4に画素1行分のデータが保持される。その後スイッチT S Kがオン状態かつスイッチH S Wがオフ状態になり、水平転送クロックに従って図中右方向にデータを転送する。

【0061】

つまり、1水平期間中に3行分のデータがディレイ・フリップフロップD-F F 4によって転送されていくことになる。従って、ディレイ・フリップフロップD-F F 4の最終段にランクオーダーフィルタ回路を接続することによってシリアルに処理が実行される。

【 0 0 6 2 】

上記のようにシリアルにフィルタ処理を行う回路構成の場合にも、ランクオーダーフィルタのランク値 r の設定値によって図 8 (B) 乃至図 8 (D) に示すようなフィルタ処理後の画像を得ることができる。また、図 6 に示す並列にフィルタ処理を行う場合と同様の効果に加えて、上記のようにシリアルにフィルタ処理を行うように回路を構成すると、ランクオーダーフィルタ回路の占有面積は前述の並列処理を行う場合に比べて小さくすることができる。

【 0 0 6 3 】

なお、3行分の画像データを3本の信号としてそのまま外部 IC 200 へ出力しても良い。この場合は、外部 IC 200 にランクオーダーフィルタ回路を形成する必要があるが、ラインメモリは不要であるため、外部 IC 200 の回路規模やコストにはほとんど影響しない。また、並列処理の場合と同様に、ランクオーダーフィルタ回路のランク値 r は、外部 IC 200 またはアレイ基板 100 上の回路で決めても良い。ランク値 r を固定値にしても良いし、動的に変更しても良い。

【 0 0 6 4 】

上記のフィルタ回路としてメジアンフィルタ回路を用いた場合を図 13 に示す。この場合も上記の図 12 に示した場合と同様の効果が得られる。

【 0 0 6 5 】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】 本発明の一実施形態に係る表示装置のアレイ基板と外部 IC とのブロック図。

【 図 2 】 図 1 に示す画素回路およびセンサ回路の基本的な回路構成例を示す図。

【 図 3 】 図 1 に示す画素回路およびセンサ回路の一構成例を示す図とそのタイミングチャート。

【 図 4 】 図 3 に示す回路の動作例をフレーム単位で説明する図。

【 図 5 】 図 1 に示すセンサ回路の出力に対する処理のための回路構成例を示す図。

【 図 6 】 図 1 に示すセンサ回路の出力に対する処理を行う回路構成例を示す図。

【 図 7 】 図 6 に示す加算回路とコンパレータの入出力例を説明する図。

【 図 8 】 図 6 に示す回路によるフィルタ処理を行った結果の一例を示す図。

【 図 9 】 本発明の第 2 実施形態に係る表示装置のセンサ回路の出力に対する処理を行う回路構成例を示す図。

【 図 10 】 図 9 に示すソート回路の入出力例を示す図。

【 図 11 】 本発明の第 3 実施形態に係る表示装置のアレイ基板と外部 IC とのブロック図。

【 図 12 】 図 11 に示すセンサ回路の出力に対する処理を行う回路構成の一例を示す図。

【 図 13 】 図 11 に示すセンサ回路の出力に対する処理を行う回路構成の他の例を示す図。

【 符号の説明 】

【 0 0 6 7 】

10 ... 表示装置、 100 ... アレイ基板、 110 ... 表示部、 122 ... 画素回路、 124 ... センサ回路、 132 ... 走査線駆動回路、 134 ... 信号線駆動回路、 136 ... センサ制御回路、 138 ... プリチャージ回路、 140 ... A / D 変換部、 150 ... 出力部、 152 ... フィルタ、 154 ... データ転送部、 200 ... 外部 IC、 X ... 走査線、 Y ... 信号線、

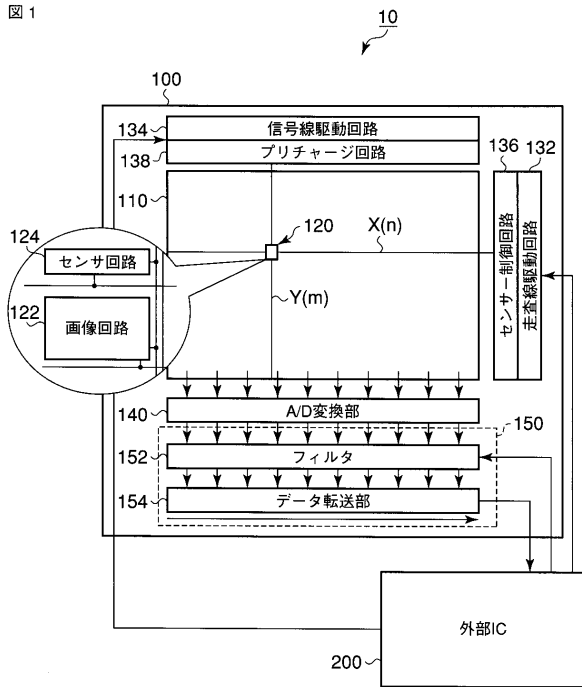
10

20

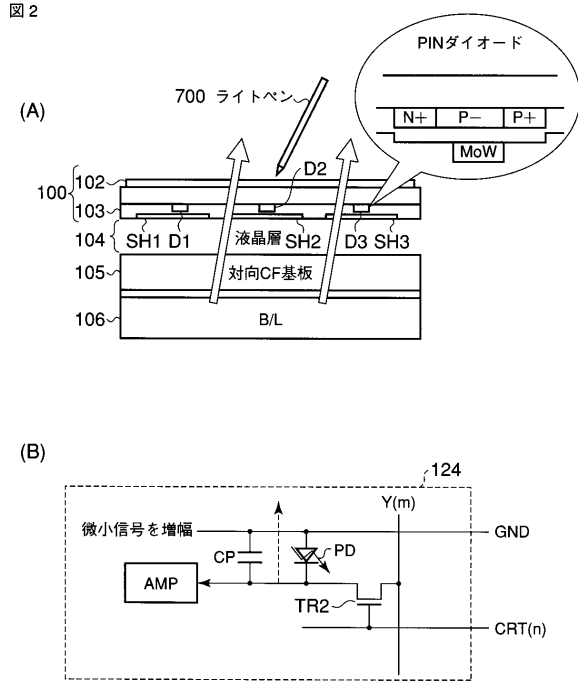
30

40

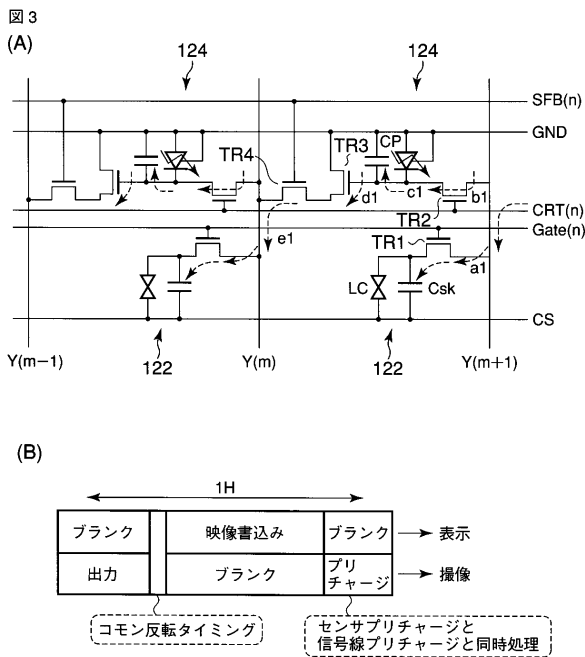
【 図 1 】



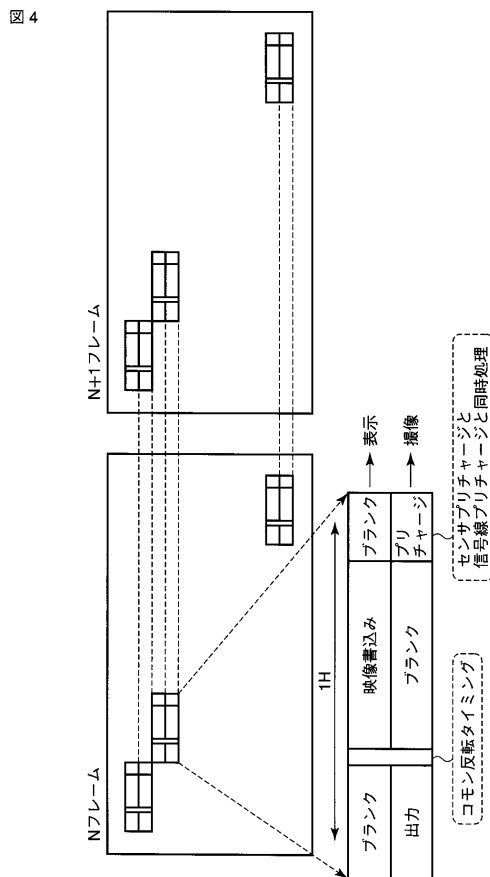
【 図 2 】



【 図 3 】

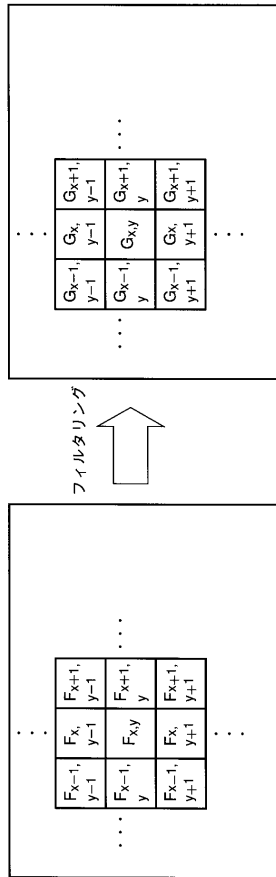


【 図 4 】



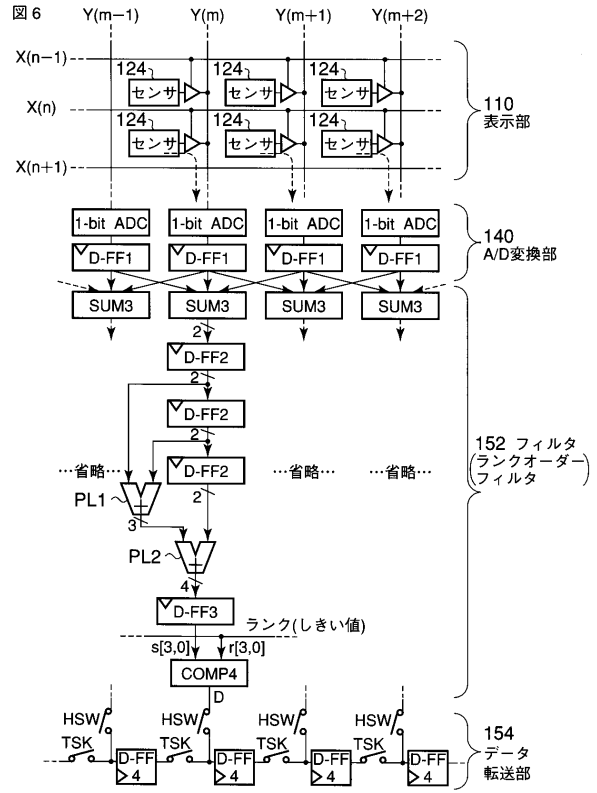
【 図 5 】

図 5



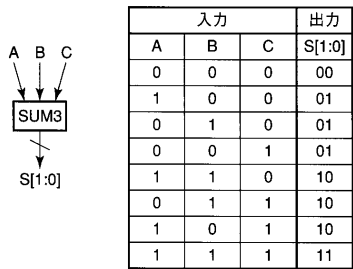
【 図 6 】

図 6



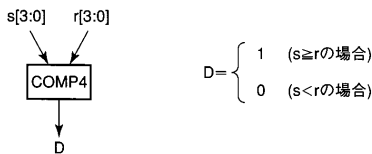
【 図 7 】

図 7 (A)



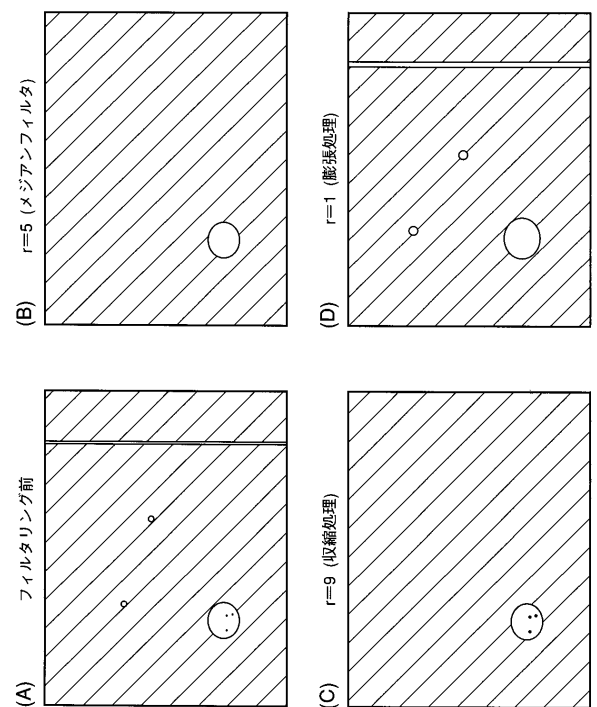
$S(0) = A \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C$
 $S(1) = A \cdot B + B \cdot C + C \cdot A$

(B)



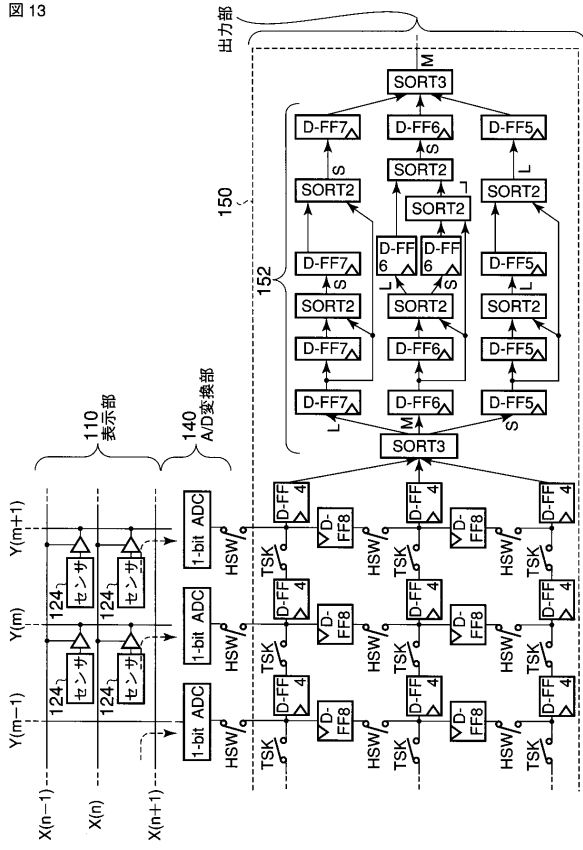
【 図 8 】

図 8



【 図 1 3 】

図 13



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)

G 0 9 G 3/20 6 3 2 G

G 0 9 G 3/20 6 4 1 P

G 0 9 G 3/20 6 9 1 E

G 0 9 G 3/36

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 吉田 征弘

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA18 NA43 NA53 NC34 NC54 NC67 ND06

5B087 CC02 CC24 CC33

5C006 AA11 AF22 AF46 AF51 AF52 AF53 AF63 AF81 BB16 BC03

BC11 BC20 BF14 BF21 BF24 BF39 EB04 EB05 EC05 FA41

5C080 AA10 BB05 DD21 DD22 DD28 EE29 FF11 JJ02 JJ03 JJ05

KK07 KK47