

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月25日(25.08.2016)



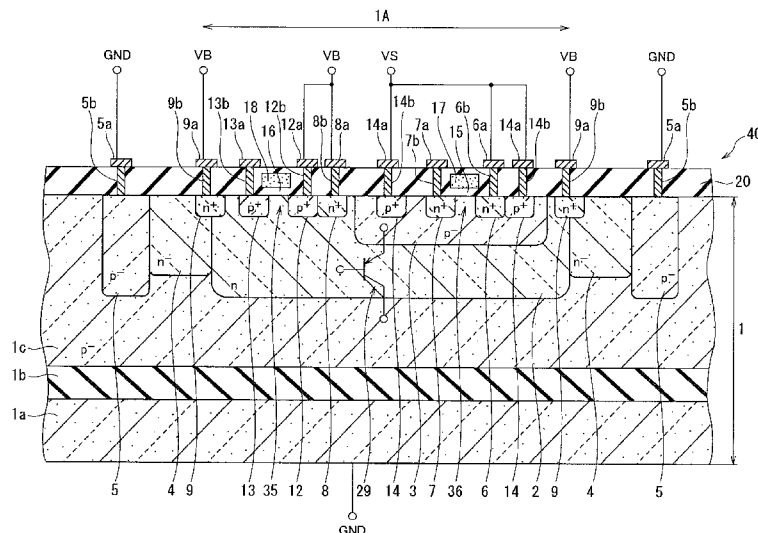
(10) 国際公開番号
WO 2016/132418 A1

- (51) 国際特許分類:
H01L 21/8238 (2006.01) H01L 27/04 (2006.01)
H01L 21/76 (2006.01) H01L 27/08 (2006.01)
H01L 21/822 (2006.01) H01L 27/092 (2006.01)
- (21) 国際出願番号: PCT/JP2015/006498
- (22) 国際出願日: 2015年12月28日(28.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-029491 2015年2月18日(18.02.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 菅野 博(KANNO, Hiroshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 澄田 仁志(SUMIDA, Hitoshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 山路 将晴(YAMAJI, Masaharu); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 鈴木 壯兵衛(SUZUKI, Sohei); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: The purpose of the present invention is to improve semiconductor integrated circuit reliability. A semiconductor integrated circuit (40) comprises: a first conduction-type semiconductor layer (1c) provided upon a support substrate (1a) via an insulation layer (1b); a second conduction-type first well region (2) provided at a distance from the insulation layer (1b), in an upper section of the semiconductor layer (1c); a first conduction-type second well region (3) provided in an upper section of the first well region (2); and a first conduction-type separated region (5) provided so as to surround the first well region (2) in an upper section by the semiconductor layer (1c), said separated region (5) being separated from the first well region (2) and the insulation layer (1b).

(57) 要約:

[続葉有]

WO 2016/132418 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲及び説明書 (条約第 19 条(1))

半導体集積回路の信頼性向上を図る。半導体集積回路 (40) は、支持基板 (1a) 上に絶縁層 (1b) を介して設けられた第 1 導電型の半導体層 (1c) と、半導体層 (1c) の上部に絶縁層 (1b) から離間して設けられた第 2 導電型の第 1 ウエル領域 (2) と、第 1 ウエル領域 (2) の上部に設けられた第 1 導電型の第 2 ウエル領域 (3) と、半導体層 (1c) の上部に第 1 ウエル領域 (2) を囲むようにして第 1 ウエル領域 (2) 及び絶縁層 (1b) から離間して設けられた第 1 導電型の分離領域 (5) とを備える。

明 細 書

発明の名称：半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路に関し、特に、スイッチング素子を駆動する高耐圧ＩＣなどの半導体集積回路に適用して有効な技術に関するものである。

背景技術

[0002] 主に低容量のインバータでは、電力変換用ブリッジ回路のスイッチング素子を高耐圧ＩＣ（HVＩＣ）により駆動している。この高耐圧ＩＣは、一般に、ハイサイド駆動回路、ローサイド駆動回路、レベルシフタ、制御回路などを備えている。そして、この高耐圧ＩＣは、入力端子から入力された信号に応じて、スイッチング素子のゲートをオン・オフして駆動する駆動信号を出力端子から出力する。電力変換用ブリッジ回路では、高耐圧ＩＣからの信号を受けたハイサイド回路のスイッチング素子が動作することで電力変換を行う。

[0003] ハイサイド回路を駆動するハイサイド駆動回路は、絶縁ゲート型電界効果トランジスタとしてのpチャネルMOSFETとnチャネルMOSFETとが相補うように接続されたCMOS（相補型MOS）回路で構成されている。pチャネルMOSFETは、p型半導体基板の上部に設けられたn型ウエル領域に構成されている。nチャネルMOSFETは、n型ウエル領域の上部に設けられたp型ウエル領域に構成されている。ハイサイド駆動回路は、VS電位を基準電位とし、VB電位を電源電位として動作し、レベルシフト回路から受け取った信号を元に出力端子から駆動信号を出力する。VB電位は高耐圧ＩＣに印加される最高電位であり、ノイズの影響を受けていない通常状態では、ブートストラップコンデンサなどでVS電位よりも15V程度高く保たれている。VS電位は、電力変換用ブリッジ回路の高圧側スイッチング素子と低圧側スイッチング素子との接続点である出力ノード部の電位であり、電力変換の過程で0Vから数百Vの間で変化し、マイナスの電位にな

る場合もある。

[0004] このような高耐圧 IC においては、スイッチング素子の動作によって生じる様々なノイズが入力されることがあるため、このノイズに耐えて誤動作や動作不能を起こさないノイズ耐量を実現し、高い信頼性を確保することが高耐圧 IC の設計では重要である。ノイズ耐量を上げるには寄生素子の動作抑制が必要であり、特にハイサイド回路形成領域直下（高圧側スイッチング素子駆動回路周辺）の基板縦方向に形成される寄生素子の動作抑制が重要である。これは、基板縦方向の寄生素子は面積が大きく、大電流が流れ易いためである。

[0005] なお、特許文献 1 には、p 型半導体基板と n 型半導体層との間に n 型高濃度埋込領域を設けることにより、寄生 p n p トランジスタの動作を抑制する技術が開示されている。また、特許文献 2 には、SOI 基板を用いて、 dv/dt サージにより、寄生容量を充放電する変位電流の発生を抑制することのできる半導体装置が開示されている。

先行技術文献

特許文献

[0006] 特許文献 1：特開 2004-47937 号公報

特許文献 2：特開 2011-103429 号公報

発明の概要

発明が解決しようとする課題

[0007] 本発明の目的は、半導体集積回路の信頼性向上を図ることが可能な技術を提供することにある。

課題を解決するための手段

[0008] 上記目的を達成するため、本発明の一態様に係る半導体集積回路は、支持基板上に絶縁層を介して設けられた第 1 導電型の半導体層と、半導体層の上部に絶縁層から離間して設けられた第 2 導電型の第 1 ウエル領域と、第 1 ウエル領域の上部に設けられた第 1 導電型の第 2 ウエル領域と、半導体層の上

部に第1ウエル領域を囲むようにして第1ウエル領域及び絶縁層から離間して設けられた第1導電型の分離領域とを備える。

[0009] 本発明の上記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

発明の効果

[0010] 本発明によれば、半導体集積回路の信頼性向上を図ることができる。

図面の簡単な説明

[0011] [図1]本発明の第1の実施形態に係る半導体集積回路の概略構成を示す回路図である。

[図2]本発明の第1の実施形態に係る半導体集積回路において、ハイスайд駆動回路形成領域における各半導体領域の平面レイアウトを示す要部平面図である。

[図3]図2のII-II線に沿った断面構造を示す要部断面図である。

[図4]本発明の第1実施形態に係る半導体集積回路において、空乏層の広がり示す要部断面図である。

[図5]本発明の第1の実施形態に係る半導体集積回路の空乏層シミュレーション結果の一例を示す図である。

[図6]本発明の第1の実施形態に係る半導体集積回路を配線基板上に実装した状態を示す要部断面図である。

[図7]図6の一部を拡大した要部断面図である。

[図8]本発明の第2の実施形態に係る半導体集積回路の概略構成を示す回路図である。

[図9]本発明の第2の実施形態に係る半導体集積回路を用いた降圧コンバータの概略構成を示す回路図である。

[図10]従来の半導体集積回路の要部断面図である。

発明を実施するための形態

[0012] 以下、本発明の第1及び第2の実施形態に係る半導体集積回路について、図面を参照して詳細に説明する。

本明細書において、「第1主電極領域」とは、電界効果トランジスタ（FET）や静電誘導トランジスタ（SIT）においてソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。絶縁ゲート型バイポーラトランジスタ（IGBT）においてはエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を、静電誘導サイリスタ（SISサイリスタ）やゲートターンオフサイリスタ（GTO）においてはアノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。「第2主電極領域」とは、FETやSITにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる半導体領域を、IGBTにおいては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる領域を、SISサイリスタやGTOにおいては上記第1主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる領域を意味する。即ち、第1主電極領域がソース領域であれば、第2主電極領域はドレイン領域を意味し、第1主電極領域がエミッタ領域であれば、第2主電極領域はコレクタ領域を意味し、第1主電極領域がアノード領域であれば、第2主電極領域はカソード領域を意味する。以下の第1及び第2の実施形態では、絶縁ゲート型電界効果トランジスタを用いたパワーICに着目して説明するので、ソース領域を「第1主電極領域」、ドレイン領域を「第2主電極領域」と呼ぶ。

- [0013] 以下の第1及び第2の実施形態の説明では、第1導電型がp型、第2導電型がn型の場合について例示的に説明するが、導電型を逆の関係に選択して、第1導電型をn型、第2導電型をp型としても構わない。また、本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、pやnに上付き文字で付す+および-は、+および-の付記されていない半導体領域に比してそれぞれ相対的に不純物濃度が高いまたは低い半導体領域であることを意味する。更に、以下の説明において「上面」「下面」などの「上」「下」の定義は、図示した断面図上の単なる表現上の問題であって、例えば、半導

体集積回路の方位を 90° 変えて観察すれば「上」「下」の呼称は、「左」「右」になり、 180° 変えて観察すれば「上」「下」の呼称の関係は逆になることは勿論である。

[0014] なお、以下の第1及び第2の実施形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、第1及び第2の実施形態で説明される添付図面は、見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。本発明はその要旨を超えない限り、以下に説明する第1及び第2の実施形態の記載に限定されるものではない。

(第1の実施形態)

図1に示すように、本発明の第1の実施形態に係る半導体集積回路40は、制御回路31、レベルシフト回路32、ハイサイド駆動回路33及びローサイド駆動回路（図示せず）などを備えたパワーICである。また、第1の実施形態に係る半導体集積回路40は、駆動対象として、例えば電力変換用ブリッジ回路の一相分である電力変換部50を駆動する高耐圧のパワーICである。この第1の実施形態に係る半導体集積回路40は、入力端子41から入力された信号に応じて、電力変換部50を構成するスイッチング素子のゲートをオン・オフして駆動する駆動信号を出力端子42から出力する。

[0015] 図1に示すように、電力変換部50は、高圧側スイッチング素子S1と、低圧側スイッチング素子S2とを直列に接続してハイサイド回路を構成している。高圧側スイッチング素子S1及び低圧側スイッチング素子S2は例えばIGBTなどの能動素子で構成されている。高圧側及び低圧側スイッチング素子S1、S2の各々には、還流ダイオードFWD1、FWD2が並列に逆接続されている。

[0016] 高圧側スイッチング素子S1及び低圧側スイッチング素子S2は、正極側である高圧の主電源HVと、この主電源HVの負極側であるグラウンド（GND）電位との間に直列で接続されている。第2電位としてのVS電位が印加されるVS端子43は、高圧側スイッチング素子S1と低圧側スイッチング

素子S 2との接続点5 1に接続される。この接続点5 1は、電力変換用ブリッジ回路の一相分である電力変換部5 0の出力点である。接続点5 1とGND電位との間には、低圧側スイッチング素子S 2が接続される。接続点5 1には負荷5 7として例えばモータなどが接続される。

[0017] 半導体集積回路4 0の動作中、VS端子4 3に印加されるVS電位は、ハイサイド回路を構成する高圧側スイッチング素子S 1と低圧側スイッチング素子S 2とが相補にオン・オフされることによって、主電源HVの高電位側電位（例えば4 0 0 V程度）と低電位側電位（GND電位）との間で上昇及び下降を繰り返し、0 Vから数百Vまでの間で変動する。

[0018] ハイサイド駆動回路3 3は、ゲート駆動回路3 4を備えている。ゲート駆動回路3 4は、能動素子である第2導電型チャネルの第1電界効果トランジスタとして例えばnチャネルMOSFET（以下、nMOSと呼ぶ）3 6と、能動素子である第1導電型チャネルの第2電界効果トランジスタとして例えばpチャネルMOSFET（以下、pMOSと呼ぶ）3 5とが相補うように直列に接続されたCMOS回路で構成されている。具体的には、pMOS 3 5のソースはVB端子4 4に接続され、pMOS 3 5のドレインはnMOS 3 6のドレインに接続されている。nMOS 3 6のソースはVS端子4 3に接続されている。

[0019] ゲート駆動回路3 4は、VS端子4 3に印加されるVS電位を基準電位とし、VB端子4 4に印加される第1電位としてのVB電位を電源電位として動作し、レベルシフト回路3 2から受け取った信号を元に出力端子4 2から駆動信号を出力して高圧側スイッチング素子S 1を駆動する。

制御回路3 1は、GND（グランド）端子4 6に印加されるGND電位を基準電位とし、VCC端子4 5に印加されるVCC電位を電源電位として動作し、高圧側スイッチング素子S 1をオン・オフするためのローサイドレベルのオン・オフ信号、及び低圧側スイッチング素子をオン・オフするためのローサイドレベルのオン・オフ信号を生成する。GND電位は共通電位である。

[0020] レベルシフト回路 3 2 は、制御回路 3 1 によって生成されたローサイドレベルのオン・オフ信号を、ハイサイドレベルのオン・オフ信号に変換する。

第 1 の実施形態に係る半導体集積回路 4 0 では、高圧側スイッチング素子 S 1 を駆動する場合、制御回路 3 1 によって高圧側スイッチング素子 S 1 をオン・オフするためのローサイドレベルのオン・オフ信号が生成される。このローサイドレベルのオン・オフ信号は、レベルシフト回路 3 2 によりハイサイドレベルのオン・オフ信号に変換された後、ハイサイド駆動回路 3 3 に入力される。

[0021] 制御回路 3 1 からハイサイド駆動回路 3 3 に入力されたオン・オフ信号は、ゲート駆動回路 3 4 を介して高圧側スイッチング素子 S 1 のゲートに入力される。高圧側スイッチング素子 S 1 は、制御回路 3 1 からのオン・オフ信号に基づいてオン・オフされる。

VCC 端子 4 5 と VB 端子 4 4 との間には外付け素子としてのブートストラップダイオード 5 5 が接続される。また、VB 端子 4 4 と VS 端子 4 3 との間には外付け素子としてのブートストラップコンデンサ 5 6 が接続される。これらのブートストラップダイオード 5 5 及びブートストラップコンデンサ 5 6 は、高圧側スイッチング素子 S 1 の駆動電源を生成する。

[0022] VB 電位は半導体集積回路 4 0 に印加される最高電位であり、ノイズの影響を受けていない通常状態では、ブートストラップコンデンサ 5 6 で VS 電位よりも 15 V 程度高く保たれている。VS 電位は、電力変換用ブリッジ回路の高圧側スイッチング素子 S 1 と低圧側スイッチング素子 S 2 との接続点（出力ノード部）5 1 の電位であり、電力変換の過程で 0 V から数百 V の間で変化し、マイナスの電位になる場合もある。

[0023] 次に、第 1 の実施形態に係る半導体集積回路 4 0 の具体的な構造について説明する。

図 2 及び図 3 に示すように、第 1 の実施形態に係る半導体集積回路 4 0 は、半導体基体 1 に自己分離型 IC プロセスによって作製された素子分離構造によってパワー IC を構成している。半導体基体 1 は、支持基板 1 a 上に絶

縁層 1 b を介して第 1 導電型 (p-型) の半導体層 1 c が設けられた構成になっている。支持基板 1 a としては、例えば第 1 導電型 (p-型) の単結晶シリコン基板が用いられている。絶縁層 1 b は、例えば酸化シリコン膜で形成されている。半導体層 1 c は、例えば比抵抗が $100\ \Omega\text{cm}$ 程度以上の単結晶シリコン基板で構成されている。すなわち、半導体基体 1 は SOI (Silicon on Insulator) 構造になっている。

[0024] 図 3 に示すように、半導体層 1 c の主面側である上面側の上部 (表層部) には第 2 導電型 (n 型) の第 1 ウエル領域 2 が選択的に設けられ、この第 1 ウエル領域 2 の上部には第 1 導電型 (p-型) の第 2 ウエル領域 3 が選択的に設けられている。また、半導体層 1 c の上部には第 2 導電型 (n-型) の耐圧領域 (ウエル領域) 4 及び第 1 導電型 (p-型) の分離領域 (ウエル領域) 5 が選択的に設けられている。第 1 及び第 2 ウエル領域 2, 3 の各々は、半導体基体 1 のハイスайд駆動回路形成領域 1 A に設けられている。第 1 ウエル領域 2 は、例えば $1 \times 10^{14} \sim 1 \times 10^{17} / \text{cm}^3$ 程度の不純物濃度で形成されている。第 2 ウエル領域 3 は、例えば $1 \times 10^{14} \sim 1 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度で形成されている。

[0025] 図 2 及び図 3 に示すように、第 1 ウエル領域 2 は、耐圧領域 4 で周囲を囲まれ、かつ耐圧領域 4 と接している。耐圧領域 4 は、分離領域 5 で周囲を囲まれ、かつ分離領域 5 と接している。すなわち、耐圧領域 4 は、第 1 ウエル領域 2 と分離領域 5 との間に設けられ、第 1 ウエル領域 2 及び分離領域 5 の各々と接している。耐圧領域 4 は、第 1 ウエル領域 2 よりも低い不純物濃度で形成されている。分離領域 5 は、半導体層 1 c よりも高い不純物濃度で形成されている。

[0026] 図 3 に示すように、pMOS 35 は、第 1 ウエル領域 2 の上部に構成された能動素子である。nMOS 36 は、第 2 ウエル領域 3 の上部に構成された能動素子である。第 1 ウエル領域 2 は半導体層 1 c から pMOS 35 を電氣的に分離する分離領域であり、第 2 ウエル領域 3 は第 1 ウエル領域 2 から nMOS 36 を電氣的に分離する分離領域である。

pMOS 35は、第1ウエル領域2からなるチャネル形成領域と、半導体層1cの上面であって第1ウエル領域2の表面に選択的に設けられたゲート絶縁膜16と、チャネル形成領域上にゲート絶縁膜16を介して設けられたゲート電極18とを有している。また、pMOS 35は、第1ウエル領域2の上部に選択的に設けられた第1導電型(p⁺型)の第1主電極領域(ソース領域)12と、第1ウエル領域2の上部にチャネル形成領域を挟んで第1主電極領域12から離間するように選択的に設けられた第1導電型(p⁺型)の第2主電極領域(ドレイン領域)13とを有している。

[0027] nMOS 36は、第2ウエル領域3からなるチャネル形成領域と、半導体層1cの上面であって第2ウエル領域3の表面に選択的に設けられたゲート絶縁膜15と、チャネル形成領域上にゲート絶縁膜15を介して設けられたゲート電極17とを有している。また、nMOS 36は、第2ウエル領域3の上部に選択的に設けられた第2導電型(n⁺型)の第1主電極領域(ソース領域)6と、第2ウエル領域3の上部にチャネル形成領域を挟んで第1主電極領域6から離間するように選択的に設けられた第2導電型(n⁺型)の第2主電極領域(ドレイン領域)7とを有している。

[0028] ゲート絶縁膜15及び16の各々は、例えば二酸化シリコン膜で形成されている。ゲート電極17及び18の各々は、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜で形成されている。pMOS 35の第1及び第2主電極領域12、13の各々は、第1ウエル領域2よりも高い不純物濃度で形成されている。nMOS 36の第1及び第2主電極領域6、7の各々は、第2ウエル領域3よりも高い不純物濃度で形成されている。

[0029] なお、二酸化シリコン膜としては、熱酸化法で形成する熱酸化膜や化学的気相堆積(CVD)法で形成する堆積酸化膜があるが、MOSFETにおいては緻密にすぐれた熱酸化膜をゲート絶縁膜15、16として用いることが好ましい。第1の実施形態では、ゲート絶縁膜15、16が二酸化シリコン膜からなるMOSFETを用いた場合で説明しているが、トランジスタとしては、ゲート絶縁膜が窒化シリコン膜、或いは窒化シリコン膜及び酸化シリ

コン膜などの積層膜で形成されたM I S F E Tでも構わない。

[0030] 図3に示すように、第1ウエル領域2の上部には、この第1ウエル領域2よりも不純物濃度が高い第2導電型(n^+ 型)の第1コンタクト領域8が選択的に設けられている。第1ウエル領域2及び耐圧領域4の上部には、この第1ウエル領域2及び耐圧領域4に亘って第2導電型(n^+ 型)の第3コンタクト領域9が選択的に設けられている。この第3コンタクト領域9は第1ウエル領域2及び耐圧領域4よりも高い不純物濃度で形成されている。第2ウエル領域3の上部には、この第2ウエル領域3よりも不純物濃度が高い第1導電型(p^+ 型)の第2コンタクト領域14が選択的に設けられている。

[0031] 図3に示すように、半導体層1cの上面には、ゲート電極17及び18を覆うようにして層間絶縁膜20が設けられている。この層間絶縁膜20上には、接地電極5a、ソース電極6a、ドレイン電極7a、第1コンタクト電極8a、第3コンタクト電極9a、ソース電極12a、ドレイン電極13a、第2コンタクト電極14aの各々が設けられている。これらの電極5a、6a、7a、8a、9a、12a、13a及び14aは、例えばアルミニウム膜で形成されている。

[0032] 図3に示すように、接地電極5aは、層間絶縁膜20に埋め込まれた導電性プラグ5bを介して分離領域5と電氣的に接続されている。ソース電極6aは、層間絶縁膜20に埋め込まれた導電性プラグ6bを介して第1主電極領域(ソース領域)6と電氣的に接続されている。ドレイン電極7aは、層間絶縁膜20に埋め込まれた導電性プラグ7bを介して第2主電極領域(ドレイン領域)7と電氣的に接続されている。

[0033] 図3に示すように、第1コンタクト電極8aは、層間絶縁膜20に埋め込まれた導電性プラグ8bを介して第1コンタクト領域8と電氣的に接続されている。第3コンタクト電極9aは、層間絶縁膜20に埋め込まれた導電性プラグ9bを介して第3コンタクト領域9と電氣的に接続されている。

図3に示すように、ソース電極12aは、層間絶縁膜20に埋め込まれた導電性プラグ12bを介して第1主電極領域(ソース領域)12と電氣的に

接続されている。ドレイン電極 13 a は、層間絶縁膜 20 に埋め込まれた導電性プラグ 13 b を介して第 2 主電極領域（ドレイン領域）13 と電氣的に接続されている。第 2 コンタクト電極 14 a は、層間絶縁膜 20 に埋め込まれた導電性プラグ 14 b を介して第 2 コンタクト領域 14 と電氣的に接続されている。

[0034] 図 1 及び図 3 から分かるように、接地電極 5 a は、図 1 に示す GND 端子 46 と電氣的に接続され、この GND 端子 46 を介して GND 電位が印加される。ソース電極 6 a 及び第 2 コンタクト電極 14 a は、図 1 に示す VS 端子 43 と電氣的に接続され、この VS 端子 43 を介して VS 電位が印加される。第 1 コンタクト電極 8 a、第 3 コンタクト電極 9 a、ソース電極 12 a は、図 1 に示す VB 端子 44 と電氣的に接続され、この VB 端子 44 を介して VB 電位が印加される。

[0035] すなわち、分離領域 5 には基準電位としての GND 電位が印加される。また、第 1 ウエル領域 2 及び耐圧領域 4 には、第 1 ウエル領域 2 及び耐圧領域 4 に亘って設けられた第 3 コンタクト領域 9、及び第 1 ウエル領域 2 の内部に設けられた第 1 コンタクト領域 8 を介して、GND 電位とは異なる第 1 電位としての VB 電位が印加される。また、第 2 ウエル領域 3 には、第 2 コンタクト領域 14 を介して、GND 電位及び VB 電位とは異なる第 2 電位としての VS 電位が印加される。また、pMOS 35 の第 1 主電極領域 12 には VB 電位が印加され、nMOS 36 の第 1 主電極領域 6 には VS 電位が印加される。

[0036] 図 2 に示すように、第 1 コンタクト領域 8 は、平面形状が L 字形で形成され、pMOS 35 のゲート幅方向（ゲート電極 18 の長手方向）に沿って伸びる第 1 部分が pMOS 35 の第 1 主電極領域（ソース領域）12 と接触し、この第 1 部分から pMOS 35 のゲート長方向（ゲート電極 18 の幅方向）に沿って伸びる第 2 部分が pMOS 35 の第 1 主電極領域 12 及び第 2 主電極領域 13 から離間するようにして配置されている。

[0037] 図 2 に示すように、第 2 コンタクト領域 14 は、平面形状がコの字形で形

成され、nMOS 36を囲むようにして配置されている。第2コンタクト領域14は、nMOS 36のゲート幅方向（ゲート電極17の長手方向）に沿って伸びる第1部分がnMOS 36の第1主電極領域（ソース領域）6と接触し、この第1部分からnMOS 36のゲート長方向（ゲート電極17の幅方向）に沿って伸びる第2部分及びこの第2部分からnMOS 36のゲート幅方向に沿って伸びる第3部分がnMOS 36の第1主電極領域6及び第2主電極領域7から離間するようにして配置されている。

[0038] 第3コンタクト領域9は、pMOS 35及びnMOS 36の周囲を囲むようにして環状に延伸するリング状平面パターンで構成されている。

図3に示すように、第1ウエル領域2、耐圧領域4及び分離領域5の各々は、半導体層1cの上部に半導体層1cの下面側の絶縁層1bから離間して設けられている。換言すれば、半導体層1cは、第1ウエル領域2、耐圧領域4、分離領域5の各々が絶縁層1bから離間する厚さで構成されている。

[0039] 絶縁層1bは、半導体層1cの下面の全面を覆うようにして設けられており、第1ウエル領域2の底面全体と対向している。すなわち、第1ウエル領域2の直下には、第1ウエル領域2及び支持基板1aの下面から離間して絶縁層1bが設けられている。

第1の実施形態に係る半導体集積回路40は、図6に示す半導体チップ30を構成する。半導体集積回路40としての半導体チップ30は、図6に示すように、配線基板70に実装される。配線基板70は、例えばセラミックスなどの絶縁性材料からなるコア材71の上面に導電性の金属材料からなるダイパッド72及びワイヤ接続部73が配置されている。ダイパッド72及びワイヤ接続部73は互いに一体に形成され、電氣的に接続されている。また、コア材71の上面には絶縁性の材料からなる保護膜74が設けられており、この保護膜74に設けられた開口部からダイパッド72及びワイヤ接続部73がそれぞれ露出している。

[0040] 半導体チップ30は、図7に示すように、半導体基体1を構成する支持基板1aの下面とダイパッド72の上面との間に例えば導電性の銀ペーストか

らなる接着材 80 を介してダイパッド 72 に接着固定される。図 6 に示すように、半導体チップ 30 の上面には GND 端子 46 が設けられており、この GND 端子 46 はボンディングワイヤ 81 を介してワイヤ接続部 73 と電氣的に接続される。

[0041] 図 6 及び図 7 には図示していないが、ダイパッド 72 及びワイヤ接続部 73 には GND 電位が印加される。この場合、支持基板 1a の下面には GND 電位が印加されるので、支持基板 1a も GND 電位が印加されて電位固定される。この基板下面の GND 電位印加は、配線基板 70 に半導体チップ 30 を実装した後、半導体チップ 30 が浮遊容量として他の半導体チップや回路に影響しないようにすることや、半導体チップ 30 での電源電位を安定化させるなどの目的で実施される。

[0042] 第 1 電位である V_B 電位及び第 2 電位である V_S 電位は、第 1 ウエル領域 2 と第 2 ウエル領域 3 との間の p-n 接合界面部が半導体集積回路 40 の通常動作で逆方向にバイアスされる電位である。

第 1 の実施形態に係る半導体集積回路 40 は、自己分離型 IC プロセスが用いられている。自己分離型 IC プロセスによって作製された半導体集積回路 40 では、図 3 に示すように、ハイスайд駆動回路形成領域 1A に、p-型の第 2 ウエル領域 3、n-型の第 1 ウエル領域 2 及び p-型の半導体層 1c からなる寄生 p-n-p バイポーラトランジスタ 29 が形成される。この寄生 p-n-p バイポーラトランジスタ 29 のベース、エミッタ、コレクタは、 V_B 端子 44、 V_S 端子 43、GND 端子 46 に夫々接続された状態となる。

[0043] 半導体集積回路 40 の通常動作では、電源電位である V_B 電位は中間電位である V_S 電位よりも高いため、寄生 p-n-p バイポーラトランジスタ 29 は動作しない。しかしながら、負電圧サージにより V_B 電位が V_S 電位よりもシリコンの p-n 接合界面部の拡散電位である 0.6 V 以上低下した場合、すなわち V_B 電位 $< (V_S$ 電位 $- 0.6 [V])$ の電位関係になった場合、寄生 p-n-p バイポーラトランジスタ 29 がオン状態となる。

[0044] V_B 電位 $< (V_S$ 電位 $- 0.6 [V])$ の電位関係になる理由を説明する

と、図 1 に示すように、半導体集積回路 40 で電力変換部 50 を駆動する場合、例えば V B 端子 44 と V S 端子 43 との間に外付素子としてのブートストラップコンデンサ 56 が接続される。このブートストラップコンデンサ 56 に充電された電荷で V B 端子 44 に印加される V B 電位と、V S 端子 43 に印加される V S 電位との電位差 ($V B - V S$ 間電圧) を保っている。V B 端子 44 には、ブートストラップダイオード 55、その他の配線などが接続される。また、V S 端子 43 には、負荷 57、その他の配線などが接続される。V B 端子 44 と V S 端子 43 とでは接続される物が異なり、V B 端子 44 と V S 端子 43 とでは付加される寄生容量が異なるため、V B 電位が変動した場合に V S 電位が十分に追従できない場合がある。そのため、負電圧サージにより V B 電位が変動した際、V B 電位と V S 電位との電位差を保持できない場合がある。したがって、V B 電位と V S 電位の変動の違いが大きい場合に $V B \text{ 電位} < (V S \text{ 電位} - 0.6 \text{ [V]})$ となることがある。

[0045] ここで、従来の半導体集積回路について説明すると、図 10 に示すように、従来の半導体集積回路 (高耐圧 IC) 400 では、第 1 の実施形態に係る半導体集積回路 40 とは異なり、単層の p-型の半導体基板 (バルク基板) 100 を用いているので、p-型の第 2 ウエル領域 300、n 型の第 1 ウエル領域 200 及び p-型のバルク基板 100 からなる寄生 p n p バイポーラトランジスタ 290 が形成される。この寄生 p n p バイポーラトランジスタ 290 のベース、エミッタ、コレクタは、図 1 を参照すると、V B 端子 44、V S 端子 43、GND 端子 46 に夫々接続された状態となる。また、このような従来の半導体集積回路 400 を第 1 の実施形態に係る半導体集積回路 40 と同様に配線基板 70 に実装した場合は、バルク基板 100 の下面が GND 電位に電位固定される。

[0046] $V B \text{ 電位} < (V S \text{ 電位} - 0.6 \text{ [V]})$ の電位関係になって寄生 p n p バイポーラトランジスタ 290 がオン状態となったとき、従来の半導体集積回路 (高耐圧 IC) 400 においては、バルク基板 100 の下面が GND 電位に電位固定された場合、ハイサイド回路側の高電圧 (HV の高電位側電位)

が印加されたV S端子4 3とGND端子4 6との間、すなわちバルク基板1 0 0の上部に設けられた第2ウエル領域3 0 0からバルク基板1 0 0の下面に至る電流経路に大電流が流れる。このため、大電流による発熱によって半導体集積回路4 0 0に誤動作や動作不良が生じ、信頼性低下の要因となる。第2ウエル領域3 0 0からバルク基板1 0 0の下面に至る電流経路に大電流が流れる理由を説明すると、基板縦方向の寄生p n pバイポーラトランジスタ2 9 0は面積が大きく、第2ウエル領域3 0 0からバルク基板1 0 0の下面に至る電流経路の面積も大きいいため大電流が流れる。

[0047] これに対し、第1の実施形態に係る半導体集積回路4 0では、図3に示すように、第1ウエル領域2の直下に絶縁層1 bが第1ウエル領域2及び支持基板1 aの下面の各々から離間して設けられている。したがって、寄生p n pバイポーラトランジスタ2 9の基板縦方向の電流経路（第2ウエル領域3から支持基板1 aの下面に至る電流経路）が絶縁層1 bによって遮断されると共に、寄生p n pバイポーラトランジスタ2 9のコレクタが支持基板1 aの下面と分離されるので、寄生p n pバイポーラトランジスタ2 9の電流増幅率 H_{FE} を下げる事が可能となり、寄生p n pバイポーラトランジスタ2 9の動作を抑制することができる。この結果、寄生p n pバイポーラトランジスタ2 9の動作で大電流が流れることによる発熱によって半導体集積回路4 0に生じる誤動作や動作不良を防止することができるので、第1の実施形態に係る半導体集積回路4 0の信頼性向上を図ることができる。

[0048] 半導体集積回路4 0の通常動作では、図4に示すように、p-型の半導体層1 c及びp-型の分離領域5と、n型の第1ウエル領域2及びn-型の耐圧領域4とのp n接合界面部で空乏層1 0が生じる。この空乏層1 0が絶縁層1 bに接触すると電圧分布が変化するため、耐圧劣化の要因となる。したがって、第1の実施形態に係る半導体集積回路4 0において、半導体層1 cの厚さ $d_{s.o.i}$ は、空乏層1 0が絶縁層1 bに接触しない厚さ、換言すれば空乏層1 0が絶縁層1 bから離間する厚さになっている。

[0049] 図5は、第1の実施形態に係る半導体集積回路4 0の空乏層シミュレーション

オン結果の一例を示す図である。図5のデータは、図4を参照すると、第1ウエル領域2と半導体層1cとのpn接合界面部が逆方向にバイアスされるように電位を印加した際、その第1ウエル領域2と半導体層1cとのpn接合界面部から半導体層1c側に広がる（伸びる）空乏層10の長さ d_{dep} を計算したデータである。また、データの計算では、半導体層1cの比抵抗として例えば $350\Omega\text{cm}$ と $100\Omega\text{cm}$ の値を使用し、第1ウエル領域2の不純物濃度として例えば $2 \times 10^{16}/\text{cm}^3$ の値を使用した。

[0050] 半導体集積回路40では、耐圧仕様として主に600V仕様と1200V仕様とがある。比抵抗が $350\Omega\text{cm}$ の場合、図5に実線で示すように、VS電位が600Vでの空乏層10の長さ d_{dep} は約 $150\mu\text{m}$ 程度であり、VS電位が1200Vでの空乏層10の長さ d_{dep} は約 $200\mu\text{m}$ 程度である。第1ウエル領域2の深さは約 $10\mu\text{m}$ 程度であるので、この第1ウエル領域2の深さを考慮し、空乏層10が絶縁層1bから離間するように半導体層1cの厚さ d_{soi} を設定する。600V仕様の場合は半導体層1cの厚さ d_{soi} を $160\mu\text{m}$ ($150\mu\text{m} + 10\mu\text{m}$) 以上とすることが好ましい。また、1200V仕様の場合は半導体層1cの厚さ d_{soi} を $210\mu\text{m}$ ($200\mu\text{m} + 10\mu\text{m}$) 以上とすることが好ましい。また、耐圧マージンを考慮してVS電位を1700Vとすると、空乏層10の長さ d_{dep} は約 $250\mu\text{m}$ 程度となるので、この場合は半導体層1cの厚さ d_{soi} を $260\mu\text{m}$ ($250\mu\text{m} + 10\mu\text{m}$) 以上とすることが好ましい。また、VS電位を600V仕様よりも低い400Vとすると、空乏層10の長さ d_{dep} は約 $110\mu\text{m}$ 程度となるので、この場合は半導体層1cの厚さ d_{soi} を $120\mu\text{m}$ ($110\mu\text{m} + 10\mu\text{m}$) 以上とすることが好ましい。以上のように、仕様耐圧が低くなればそれに伴い半導体層1cの厚さ d_{soi} を薄くすることができる。

[0051] また、別な表現をすると、第1ウエル領域2の底面と絶縁層1bとの間の距離 L_1 を、600V仕様の場合は $150\mu\text{m}$ 以上とし、1200V仕様の場合は $200\mu\text{m}$ 以上とし、VS電位を1700Vとする場合は $250\mu\text{m}$ 以上とし、VS電位を400Vとする場合は $110\mu\text{m}$ 以上とすることが好ま

しい。要は、半導体層 1 c の厚さ $d_{s.o.i}$ を厚くすることで空乏層 1 0 が絶縁層 1 b に接触しないようにする。図 5 には半導体層 1 c の比抵抗として例えば $100\ \Omega\text{cm}$ の値を使用した場合を点線で示してある。この場合も上記した $350\ \Omega\text{cm}$ の場合と同様に考え、 V_S 電位を 600V とする場合は第 1 ウエル領域 2 の底面と絶縁層 1 b との間の距離 L_1 を $80\ \mu\text{m}$ 以上とすることが好ましい。

[0052] 空乏層 1 0 が絶縁層 1 b に接触する場合、耐圧を絶縁層 1 b で確保するために絶縁層 1 b を $2\ \mu\text{m}$ 以上の厚さにする必要があるが、第 1 の実施形態に係る半導体集積回路 4 0 では、半導体層 1 c の厚さ $d_{s.o.i}$ を厚くすることで空乏層 1 0 が絶縁層 1 b に接触しないようにしているので、絶縁層 1 b を厚くする必要がなく、 $1\ \mu\text{m}$ 未満の厚さでも耐圧への影響はない。

[0053] 負電圧サージにより V_B 電位が V_S 電位よりも 0.6V 以上低下した場合、寄生 p n p バイポーラトランジスタ 2 9 のコレクタ電流は、第 1 ウエル領域 2 の底面から半導体層 1 c を介して分離領域 5 に至る電流経路を流れ、 GND 電位が印加される接地電極 5 a に引き抜かれる。この電流経路は、第 1 ウエル領域 2 と分離領域 5 との間の耐圧領域 4 の幅 W_n を広くすることで抵抗成分を高くすることができるので、寄生 p n p バイポーラトランジスタ 2 9 の電流増幅率 H_{FE} を下げることが可能となり、寄生 p n p バイポーラトランジスタ 2 9 の動作を抑制することができる。耐圧領域 4 の幅 W_n は、耐圧を確保するため、通常、 600V 仕様で約 $100\ \mu\text{m}$ 程度、 1200V 仕様で約 $200\ \mu\text{m}$ 程度になっている。この耐圧領域 4 の幅 W_n であれば、第 1 ウエル領域 2 の底面から半導体層 1 c を介して分離領域 5 に至る電流経路の抵抗成分が高いため、接地電極 5 a に寄生 p n p バイポーラトランジスタ 2 9 のコレクタ電流が大電流となって流れることはない。

[0054] 第 1 の実施形態に係る半導体集積回路 4 0 としての半導体チップ 3 0 は、図 6 に示したように、実装工程において、配線基板 7 0 のダイパッド 7 2 に接着材 8 0 を介在して接着固定される。このとき、接着材 8 0 が図 7 に示したように半導体チップ 3 0 の側面に廻り込む。接着材 8 0 が半導体チップ 3

0の側面に廻り込んで半導体層1cの側面に接触した場合、半導体層1cの側面から接着材80を介してダイパッド72に至る電流経路が形成され、この電流経路を介して寄生pnpバイポーラトランジスタ29のコレクタ電流がダイパッド72に流れるといった不具合の要因となる。しかしながら、第1の実施形態に係る半導体集積回路40では、絶縁層1bの下面に支持基板1aを備えているので、支持基板1aを備えない場合と比較して、半導体チップ30の側面に廻り込んだ接着材80が半導体層1cの側面に接触する不具合を抑制することができるので、寄生pnpバイポーラトランジスタ29のコレクタ電流が流れる電流経路を抑制することができる。

[0055] なお、第1の実施形態では、半導体層1cの下面の全面に絶縁層1bを設けた場合について説明したが、絶縁層1bは、半導体層1cの下面に、少なくとも第1ウエル領域2と対向するようにして選択的に設けてもよい。

また、第1の実施形態では、半導体チップ30を実装する際、支持基板1aの下面をGND電位に電位固定する場合について説明した。しかしながら、半導体チップ30の実装では、支持基板1aの下面をGND電位に固定せず、フローティング状態にする場合もある。第1の実施形態に係る半導体集積回路40は、フローティング状態で実装しても問題とならないため、支持基板1aの下面を電位固定する場合と電位固定しない場合の両方を兼用することができる。

(第2の実施形態)

図8に示すように、本発明の第2の実施形態に係る半導体集積回路40Cは、制御回路31、レベルシフト回路32、駆動回路33a等を備えたパワーICである。この半導体集積回路40Cは、図8に示すように、駆動対象として、例えば降圧コンバータ60のスイッチング素子S3を駆動する。降圧コンバータ60は、図9に示すように、ダイオード61、キャパシタ62、コイル63及びスイッチング素子S3等で構成されている。スイッチング素子S3は例えばIGBT等の能動素子で構成されている。

[0056] 駆動回路33aは、ゲート駆動回路34aを備えている。このゲート駆動

回路 34 a は、第 1 の実施形態のゲート駆動回路 34 と同様の構成になっている。具体的には、pMOS 35 のソースは VB 端子 44 に接続され、pMOS 35 のドレインは nMOS 36 のドレインに接続されている。nMOS 36 のソースは VS 端子 43 に接続されている。pMOS 35 と nMOS 36 との接続点には、降圧コンバータ 60 を構成するスイッチング素子 S3 のゲートが接続される。

[0057] ゲート駆動回路 34 a は、VS 端子 43 に印加される第 2 電位としての VS 電位を基準電位とし、VB 端子 44 に印加される第 1 電位としての VB 電位を電源電位として動作し、レベルシフト回路 32 から受け取った信号を元に出端子 42 から駆動信号を出力して降圧コンバータ 60 のスイッチング素子 S3 を駆動する。

このように降圧コンバータ 60 のスイッチング素子 S3 を駆動する第 2 の実施形態に係る半導体集積回路 40 C においても、第 1 の実施形態と同様に、図 3 を参照して説明すれば、p-型の第 2 ウエル領域 3、n-型の第 1 ウエル領域 2、p-型の半導体層 1 c からなる寄生 pnp バイポーラトランジスタ 29 の動作を抑制することができる。

[0058] なお、第 2 の実施形態では、降圧コンバータ 60 のスイッチング素子 S3 を駆動する半導体集積回路について説明したが、本発明はこれに限定されるものではなく、例えば、昇降コンバータ、フライバックコンバータ、フォワードコンバータなどのスイッチング素子を駆動する半導体集積回路に適用できる。

以上、本発明を上記実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

以上のように、本発明に係る半導体集積回路は、信頼性向上を図ることができ、スイッチング素子を駆動する高耐圧 IC などの半導体集積回路に有用である。

符号の説明

- [0059] 1…半導体基体、1 a…支持基板、1 b…絶縁層、1 c…半導体層、1 A…
ハイサイド駆動回路形成領域
- 2…第1 ウエル領域
- 3…第2 ウエル領域
- 4…耐圧領域
- 5…分離領域、5 a…接地電極、5 b, 6 b, 7 b, 8 b, 9 b, 1 2 b,
1 3 b, 1 4 b…導電性プラグ
- 6…第1 主電極領域、6 a…ソース電極
- 7…第2 主電極領域、7 a…ドレイン電極
- 8…第1 コンタクト領域、8 a…第1 コンタクト電極
- 9…第3 コンタクト領域、9 a…第3 コンタクト電極
- 1 2…第1 主電極領域、1 2 a…ソース電極
- 1 3…第2 主電極領域、1 3 a…ドレイン電極
- 1 4…第2 コンタクト領域、1 4 a…第2 コンタクト電極
- 1 5, 1 6…ゲート絶縁膜
- 1 7, 1 8…ゲート電極
- 2 0…層間絶縁膜
- 3 0…半導体チップ
- 3 1…制御回路、3 2…レベルシフト回路、3 3…ハイサイド駆動回路、3
3 a…駆動回路、3 4, 3 4 a…ゲート駆動回路
- 3 5…pチャネルMOSFET (pMOS)
- 3 6…nチャネルMOSFET (nMOS)
- 4 0, 4 0 C…半導体集積回路
- 4 1…入力端子、4 2…出力端子、4 3…V S端子、4 4…V B端子、4 5
…V C C端子、4 6…G N D端子
- 5 0…電力変換部、5 1…接続点、5 5…ブートストラップダイオード、5
6…ブートストラップコンデンサ、5 7…負荷
- 6 0…降圧コンバータ

70…配線基板、71…コア材、72…ダイパッド、73…ワイヤ接続部、
74…保護膜

FWD1, FWD2…還流ダイオード

S1…高圧側スイッチング素子、S2…低圧側スイッチング素子、S3…ス
イッチング素子

請求の範囲

- [請求項1] 支持基板上に絶縁層を介して設けられた第1導電型の半導体層と、
前記半導体層の上部に前記絶縁層から離間して設けられた第2導電型の第1ウエル領域と、
前記第1ウエル領域の上部に設けられた第1導電型の第2ウエル領域と、
前記半導体層の上部に前記第1ウエル領域を囲むようにして前記第1ウエル領域及び前記絶縁層から離間して設けられた第1導電型の分離領域と、
を備えることを特徴とする半導体集積回路。
- [請求項2] 前記半導体層は、前記第1ウエル領域及び前記分離領域が前記絶縁層から離間する厚さになっていることを特徴とする請求項1に記載の半導体集積回路。
- [請求項3] 前記第1ウエル領域と前記絶縁層との間の距離は、 $80\mu\text{m}$ 以上であることを特徴とする請求項2に記載の半導体集積回路。
- [請求項4] 前記半導体層は、前記第1ウエル領域に第1電位を印加し、前記第2ウエル領域に前記第1電位とは異なる第2電位を印加したときに、前記半導体層と前記第1ウエル領域とのpn接合界面から広がる空乏層が前記絶縁層から離間する厚さになっていることを特徴とする請求項2に記載の半導体集積回路。
- [請求項5] 前記第1ウエル領域には第1電位が印加され、前記第2ウエル領域には前記第1電位とは異なる第2電位が印加され、前記分離領域には基準電位が印加されることを特徴とする請求項2に記載の半導体集積回路。
- [請求項6] 前記第1電位及び前記第2電位は、前記第1ウエル領域と前記第2ウエル領域とのpn接合が通常動作で逆バイアスされる電位であることを特徴とする請求項5に記載の半導体集積回路。
- [請求項7] 前記第1ウエル領域の上部に第1導電型の第1及び第2主電極領域

が設けられた第 1 能動素子と、

前記第 2 ウエル領域の上部に第 2 導電型の第 1 及び第 2 主電極領域が設けられた第 2 能動素子と、

を更に備えることを特徴とする請求項 4 又は請求項 6 に記載の半導体集積回路。

[請求項 8] 前記第 1 能動素子と前記第 2 能動素子とが直列に接続されたゲート駆動回路を更に備え、

前記第 1 能動素子と前記第 2 能動素子との接続点には、前記ゲート駆動回路の駆動対象となるスイッチング素子のゲートが接続されることを特徴とする請求項 7 に記載の半導体集積回路。

[請求項 9] 前記第 1 能動素子と前記第 2 能動素子とが直列に接続されたゲート駆動回路を更に備え、

高圧側のスイッチング素子と低圧側のスイッチング素子とが直列に接続されたハイサイド回路を前記ゲート駆動回路の駆動対象とするとき、前記第 1 能動素子と前記第 2 能動素子との接続点には、前記高圧側のスイッチング素子のゲートが接続されることを特徴とする請求項 7 に記載の半導体集積回路。

[請求項 10] 前記第 1 及び第 2 能動素子の各々の第 2 主電極領域が接続されており、前記第 1 能動素子の第 1 主電極領域に前記第 1 電位が印加され、前記第 2 能動素子の第 1 主電極領域に前記第 2 電位が印加されることを特徴とする請求項 8 又は請求項 9 に記載の半導体集積回路。

[請求項 11] 絶縁層上に設けられた第 1 導電型の半導体層と、

前記半導体層の上部に前記絶縁層から離間して設けられた第 2 導電型の第 1 ウエル領域と、

前記第 1 ウエル領域の上部に設けられた第 1 導電型の第 2 ウエル領域と、

前記半導体層の上部に前記第 1 ウエル領域を囲むようにして前記第 1 ウエル領域及び前記絶縁層から離間して設けられた第 1 導電型の分

離領域と、

を備えることを特徴とする半導体集積回路。

補正された請求の範囲
[2016年6月15日(15.06.2016)国際事務局受理]

- [請求項 1] 支持基板上に絶縁層を介して設けられた第 1 導電型の半導体層と、
前記半導体層の上部に前記絶縁層から離間して設けられた第 2 導電型の第 1 ウエル領域と、
前記第 1 ウエル領域の上部に設けられた第 1 導電型の第 2 ウエル領域と、
前記半導体層の上部に前記第 1 ウエル領域を囲むようにして前記第 1 ウエル領域及び前記絶縁層から離間して設けられた第 1 導電型の分離領域と、
を備えることを特徴とする半導体集積回路。
- [請求項 2] 前記半導体層は、前記第 1 ウエル領域及び前記分離領域が前記絶縁層から離間する厚さになっていることを特徴とする請求項 1 に記載の半導体集積回路。
- [請求項 3] 前記第 1 ウエル領域と前記絶縁層との間の距離は、 $80\text{ }\mu\text{m}$ 以上であることを特徴とする請求項 2 に記載の半導体集積回路。
- [請求項 4] 前記半導体層は、前記第 1 ウエル領域に第 1 電位を印加し、前記第 2 ウエル領域に前記第 1 電位とは異なる第 2 電位を印加したときに、前記半導体層と前記第 1 ウエル領域との p n 接合界面から広がる空乏層が前記絶縁層から離間する厚さになっていることを特徴とする請求項 2 に記載の半導体集積回路。
- [請求項 5] 前記第 1 ウエル領域には第 1 電位が印加され、前記第 2 ウエル領域には前記第 1 電位とは異なる第 2 電位が印加され、前記分離領域には基準電位が印加されることを特徴とする請求項 2 に記載の半導体集積回路。
- [請求項 6] 前記第 1 電位及び前記第 2 電位は、前記第 1 ウエル領域と前記第 2 ウエル領域との p n 接合が通常動作で逆バイアスされる電位であることを特徴とする請求項 5 に記載の半導体集積回路。

- [請求項 7] 前記第 1 ウエル領域の上部に第 1 導電型の第 1 及び第 2 主電極領域が設けられた第 1 能動素子と、
- 前記第 2 ウエル領域の上部に第 2 導電型の第 1 及び第 2 主電極領域が設けられた第 2 能動素子と、
- を更に備えることを特徴とする請求項 4 又は請求項 6 に記載の半導体集積回路。
- [請求項 8] 前記第 1 能動素子と前記第 2 能動素子とが直列に接続されたゲート駆動回路を更に備え、
- 前記第 1 能動素子と前記第 2 能動素子との接続点には、前記ゲート駆動回路の駆動対象となるスイッチング素子のゲートが接続されることを特徴とする請求項 7 に記載の半導体集積回路。
- [請求項 9] 前記第 1 能動素子と前記第 2 能動素子とが直列に接続されたゲート駆動回路を更に備え、
- 高圧側のスイッチング素子と低圧側のスイッチング素子とが直列に接続されたハイサイド回路を前記ゲート駆動回路の駆動対象とするとき、前記第 1 能動素子と前記第 2 能動素子との接続点には、前記高圧側のスイッチング素子のゲートが接続されることを特徴とする請求項 7 に記載の半導体集積回路。
- [請求項 10] 前記第 1 及び第 2 能動素子の各々の第 2 主電極領域が接続されており、前記第 1 能動素子の第 1 主電極領域に前記第 1 電位が印加され、前記第 2 能動素子の第 1 主電極領域に前記第 2 電位が印加されることを特徴とする請求項 8 又は請求項 9 に記載の半導体集積回路。
- [請求項 11] 絶縁層上に設けられた第 1 導電型の半導体層と、
- 前記半導体層の上部に前記絶縁層から離間して設けられた第 2 導電型の第 1 ウエル領域と、
- 前記第 1 ウエル領域の上部に設けられた第 1 導電型の第 2 ウエル領域と、

前記半導体層の上部に前記第 1 ウエル領域を囲むようにして前記第 1 ウエル領域及び前記絶縁層から離間して設けられた第 1 導電型の分離領域と、

を備えることを特徴とする半導体集積回路。

[請求項 12] (追加) 前記絶縁層が前記第 1 のウエル領域と対向することを特徴とする請求項 1 に記載の半導体集積回路。

[請求項 13] (追加) 前記第 1 ウエル領域の直下に前記絶縁層を設けることにより、前記第 2 ウエル領域、前記第 1 ウエル領域及び前記半導体層からなる寄生バイポーラトランジスタの電流増幅率を下げることを特徴とする請求項 1 に記載の半導体集積回路。

[請求項 14] (追加) 前記第 1 ウエル領域の底面と前記絶縁層との間の距離が $150\text{ }\mu\text{m}$ 以上であることを特徴とする請求項 1 に記載の半導体集積回路。

[請求項 15] (追加) 絶縁基板と、

前記絶縁基板上に配置されたダイパッドと、

前記ダイパッドの上面に導電性接着剤により前記支持基板の下面が接着固定された請求項 1 に記載の半導体集積回路と、

を備えることを特徴とする半導体装置。

条約第 19 条（1）に基づく説明書

請求の範囲第 12 項は、出願時の明細書の段落 [0055] に記載された事項に基づく発明を新たに記載したものである。

請求の範囲第 13 項は、出願時の明細書の段落 [0047] に記載された事項に基づく発明を新たに記載したものである。

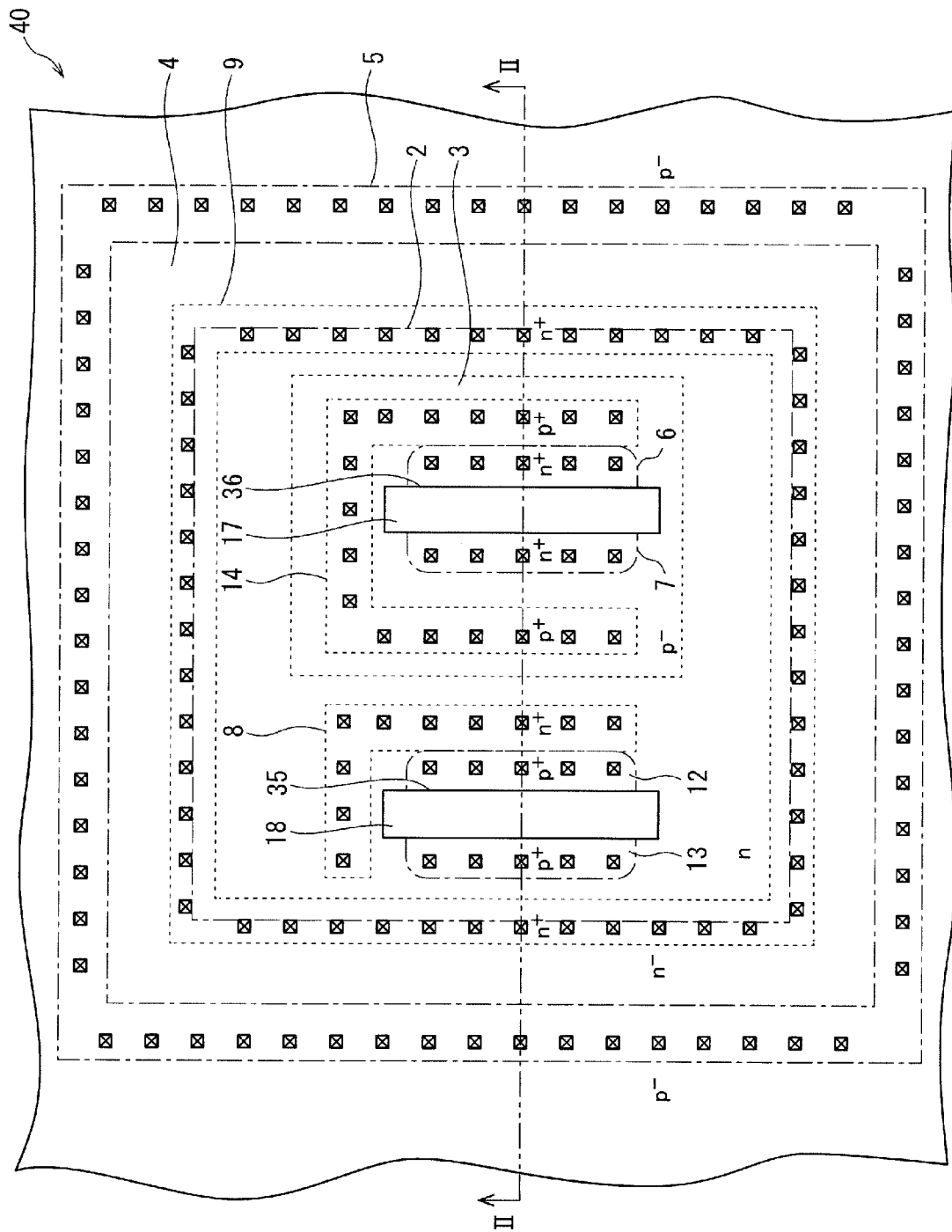
請求の範囲第 14 項は、出願時の明細書の段落 [0051] に記載された事項に基づく発明を新たに記載したものである。

請求の範囲第 15 項は、出願時の明細書の段落 [0039]、[0040]、[0054]、図 6 に記載された事項に基づく発明を新たに記載したものである。

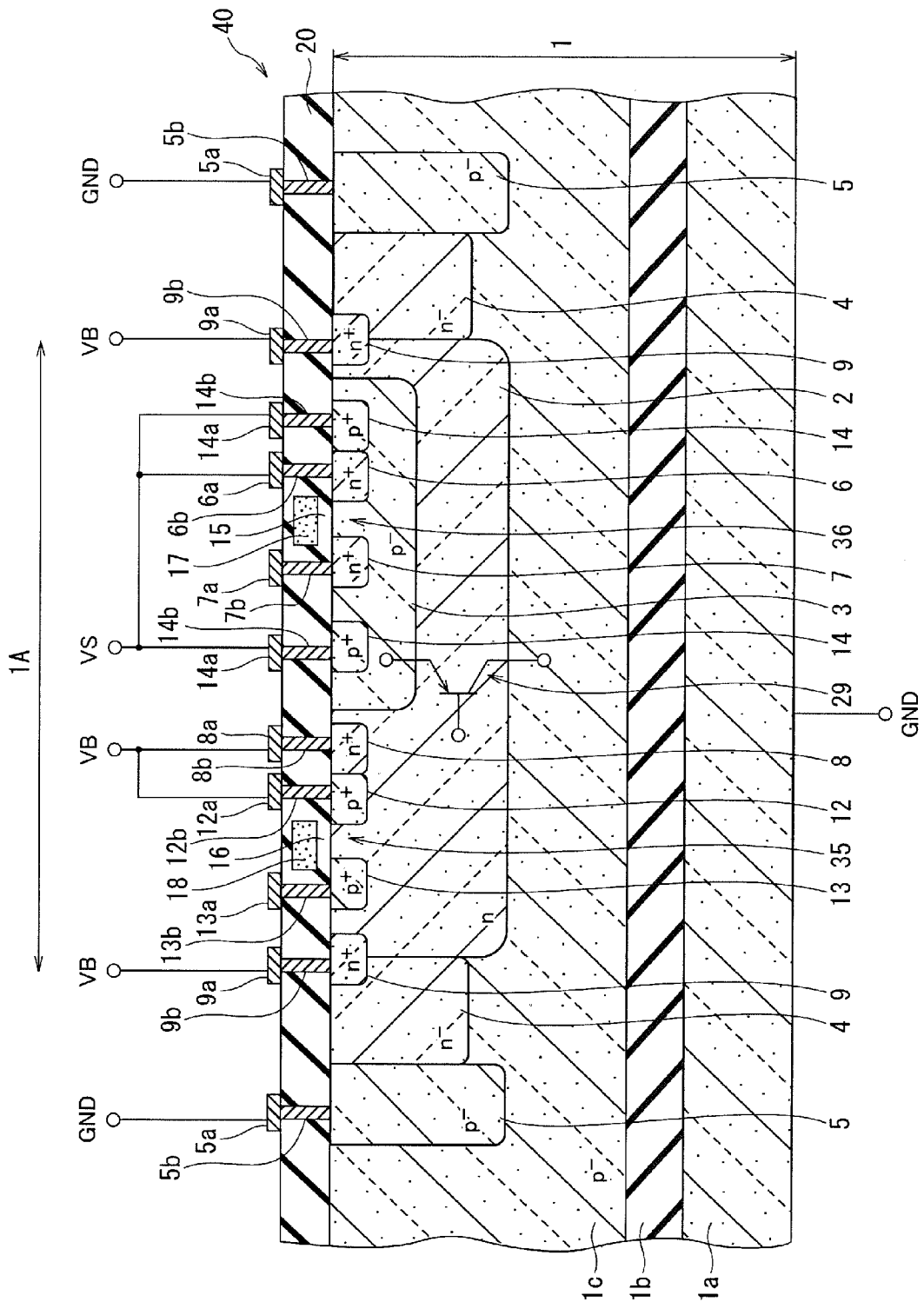
以上

[illegible]

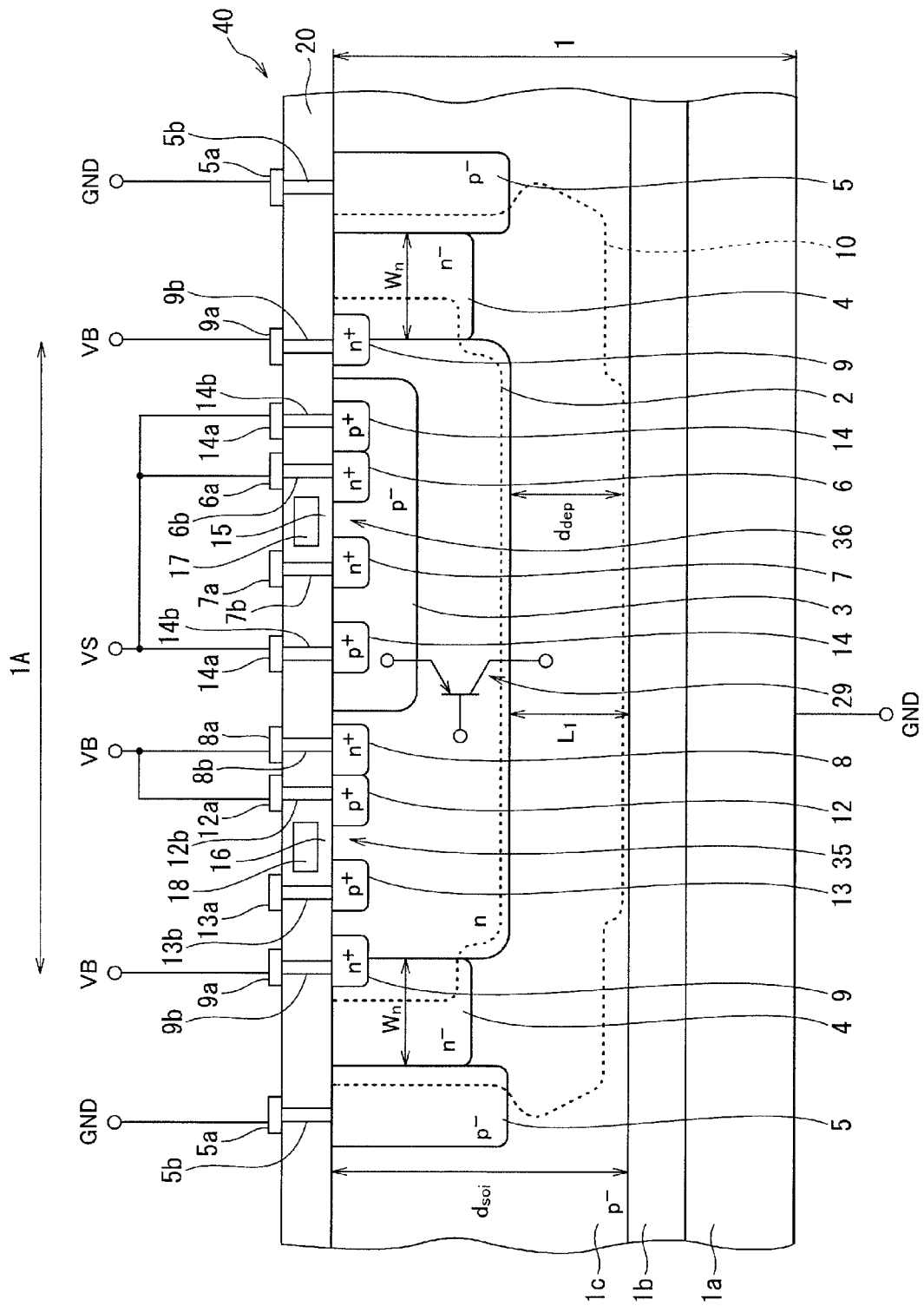
[図2]



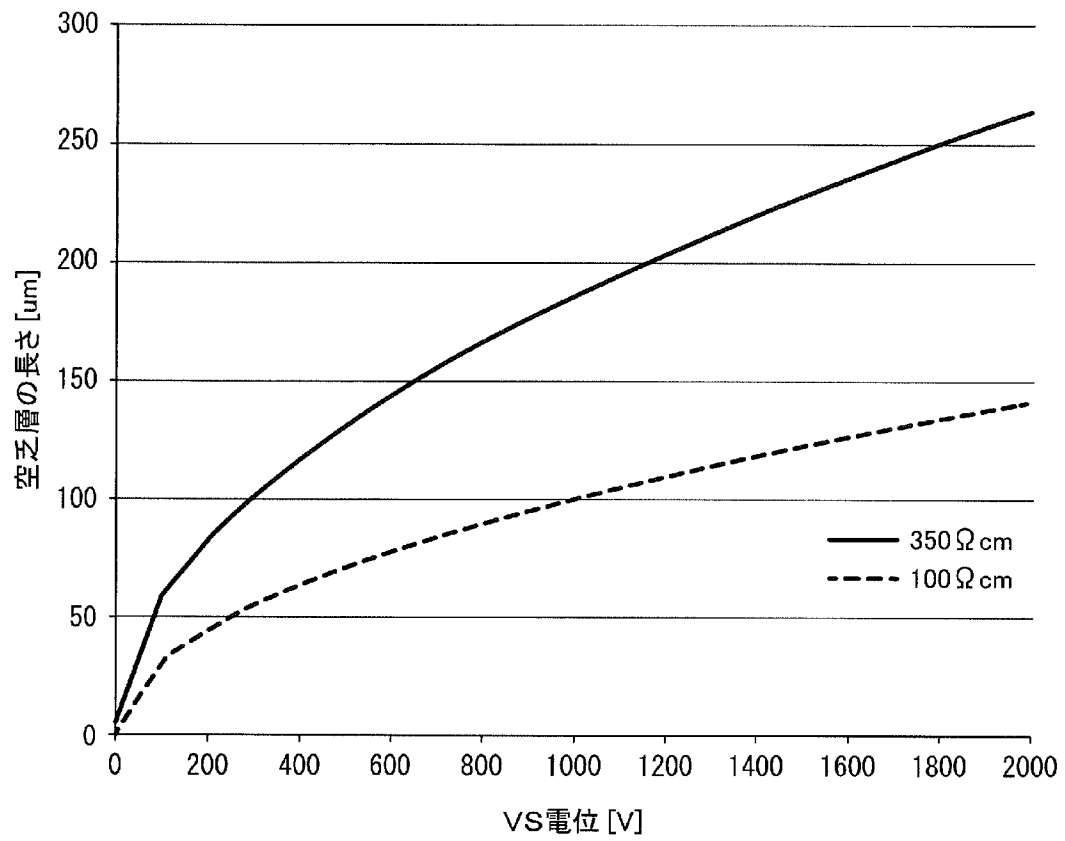
[図3]



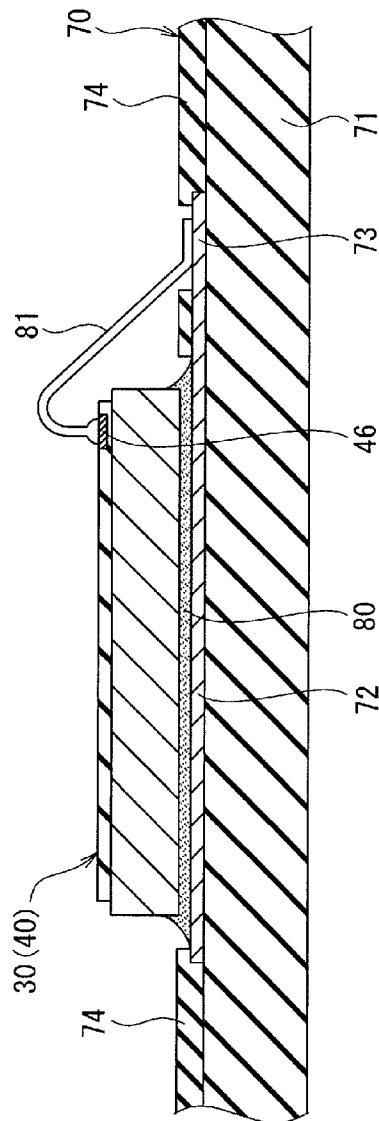
[図4]



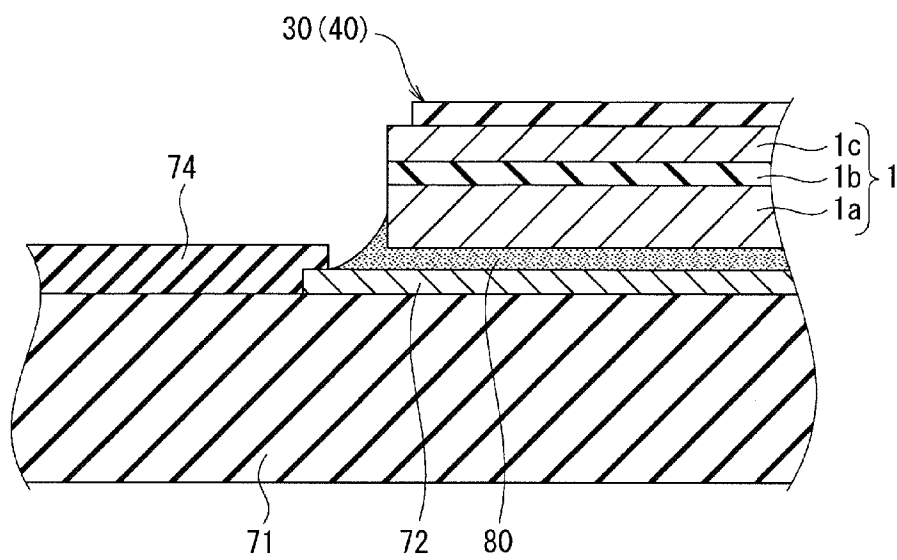
[図5]

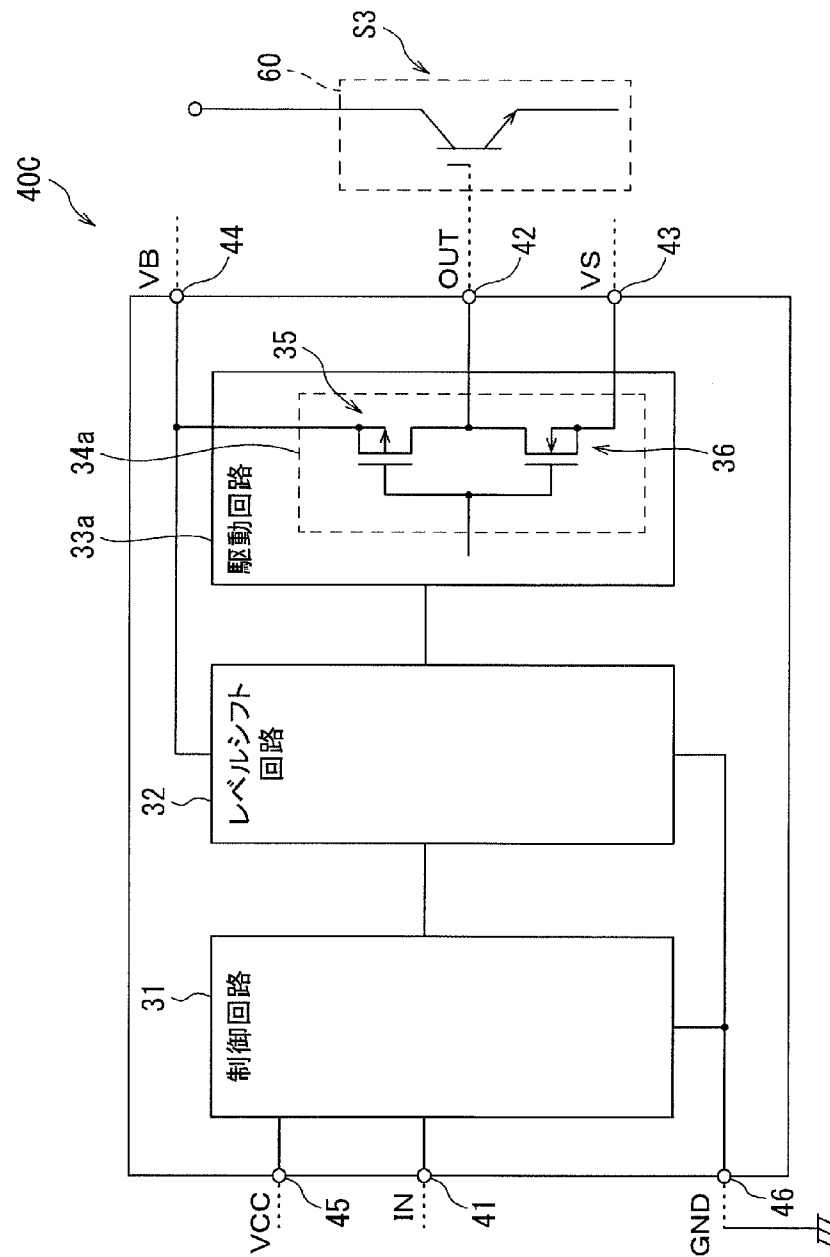


[図6]

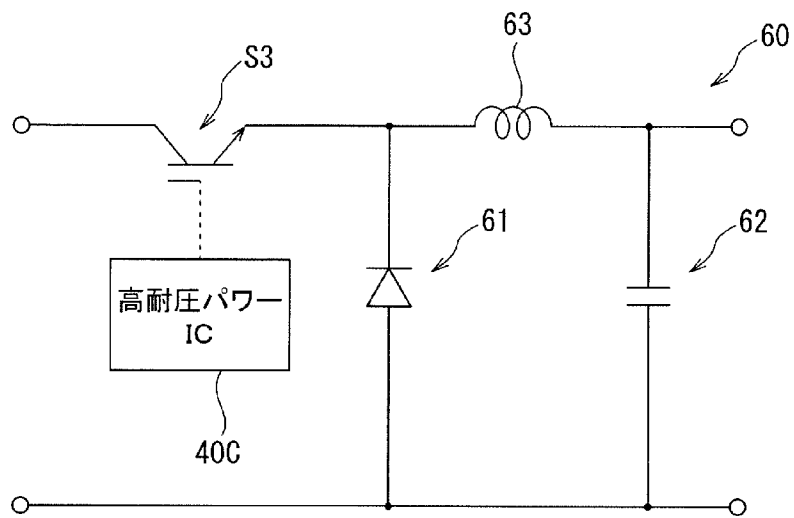


[図7]

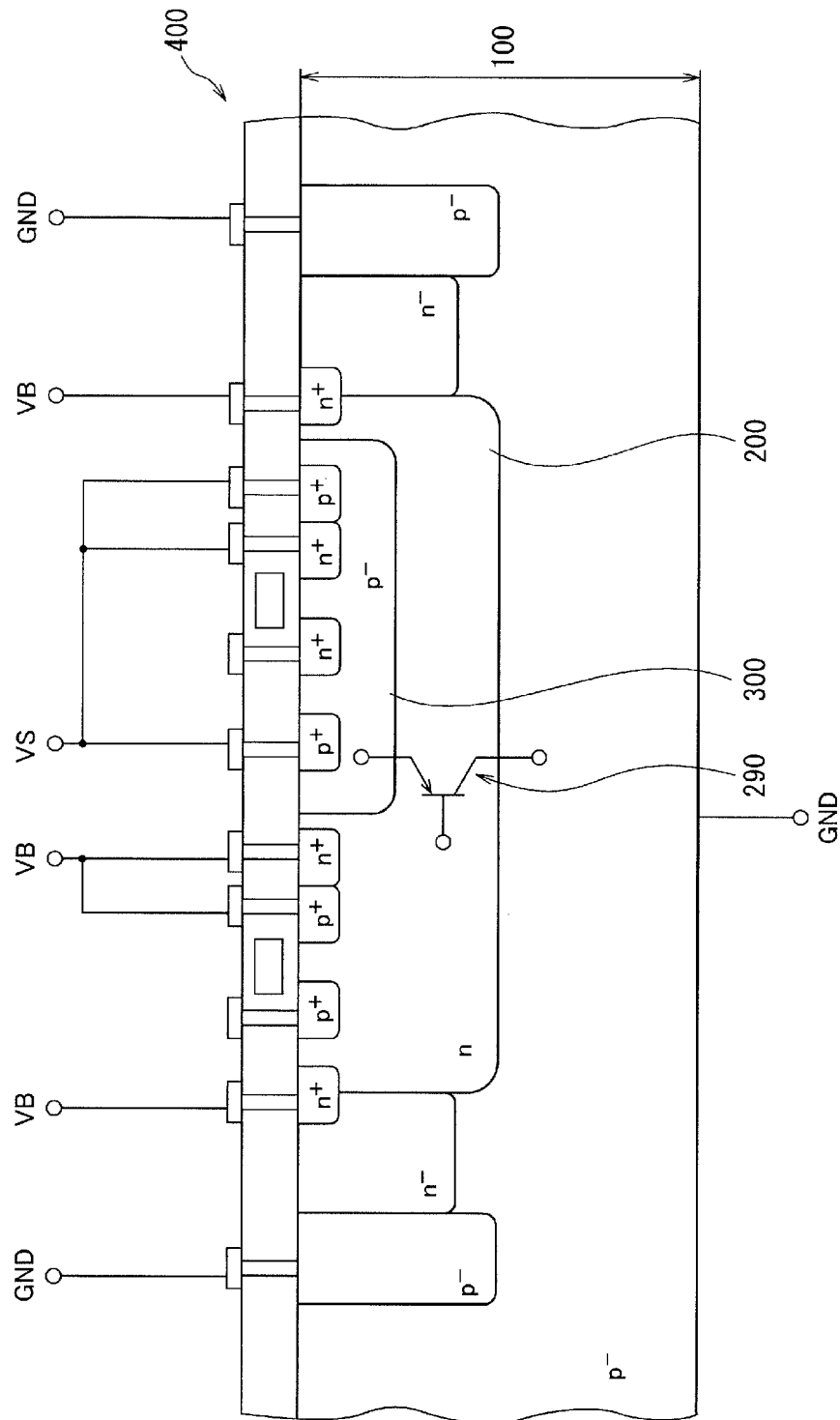




[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/006498

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/76(2006.01)i, H01L21/822(2006.01)i,
H01L27/04(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/76, H01L21/822, H01L27/04, H01L27/08, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/176347 A1 (Fuji Electric Co., Ltd.), 27 December 2012 (27.12.2012), paragraphs [0002] to [0113]; fig. 2, 9, 10 & JP 5435138 B & US 2013/0001736 A1 paragraphs [0002] to [0131]; fig. 2, 9, 10 & EP 2725606 A1 & CN 103038876 A	1-11
Y	JP 2009-516361 A (Silicon Space Technology Corp.), 16 April 2009 (16.04.2009), paragraphs [0046], [0047] & US 2007/0141794 A1 & WO 2007/061531 A2 page 15	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
16 March 2016 (16.03.16)

Date of mailing of the international search report
29 March 2016 (29.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/006498

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-170821 A (Lapis Semiconductor Co., Ltd.), 18 September 2014 (18.09.2014), paragraph [0014] (Family: none)	1-11
Y	WO 2013/039135 A1 (Fuji Electric Co., Ltd.), 21 March 2013 (21.03.2013), paragraph [0133] & US 2014/0191281 A1 paragraph [0152] & CN 103797572 A	1-11
A	WO 2014/199608 A1 (Fuji Electric Co., Ltd.), 18 December 2014 (18.12.2014), entire text; all drawings & US 2016/0056282 A1 & CN 105074922 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/8238(2006.01)i, H01L21/76(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/8238, H01L21/76, H01L21/822, H01L27/04, H01L27/08, H01L27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2012/176347 A1 (富士電機株式会社) 2012.12.27, 段落 [0002]-[0113], 図 2, 図 9, 図 10 & JP 5435138 B & US 2013/0001736 A1, 段落 [0002]-[0131], 図 2, 図 9, 図 10 & EP 2725606 A1 & CN 103038876 A	1-11
Y	JP 2009-516361 A (シリコン・スペース・テクノロジー・コーポレ イション) 2009.04.16, 段落 [0046], 段落 [0047] & US 2007/0141794 A1 & WO 2007/061531 A2, 第 15 頁	1-11

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

16.03.2016

国際調査報告の発送日

29.03.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

篠原 功一

5 F

5293

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-170821 A (ラピスセミコンダクタ株式会社) 2014. 09. 18, 段落 [0014] (ファミリーなし)	1-11
Y	WO 2013/039135 A1 (富士電機株式会社) 2013. 03. 21, 段落 [0133] & US 2014/0191281 A1, 段落 [0152] & CN 103797572 A	1-11
A	WO 2014/199608 A1 (富士電機株式会社) 2014. 12. 18, 全文全図 & US 2016/0056282 A1 & CN 105074922 A	1-11