(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0034451
(43) 공개일자 2022년03월18일

(51) 국제특허분류(Int. Cl.)
G11C 17/18 (2021.01) *G11C 17/08* (2006.01)
(52) CPC특허분류
G11C 17/18 (2013.01)
G11C 17/08 (2013.01)
(21) 출원번호 10-2020-0116834
(22) 출원일자 2020년09월11일
심사청구일자 2020년09월11일

(71) 출원인
창원대학교 산학협력단
경상남도 창원시 의창구 창원대학로 20(퇴촌동)
(72) 발명자
김영희
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
김홍주
경상남도 창원시 의창구 창원대학로 20, 학생생활관 2동 216호
(74) 대리인
이철희, 고윤호

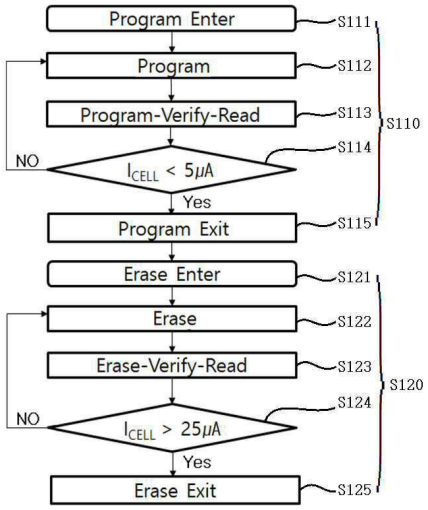
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **대용량 엠티피 메모리의 프로그램/소거방법 및 그 장치**

(57) 요 약

본 발명은 짧은 펄스의 소거와 프로그램 동작을 여러 번 수행하면서 셀 전류를 각 동작 모드별 기설정된 목표 전류와 비교하여 셀 전류가 전류 스펙을 만족하면 더 이상 프로그램이나 소거 동작을 수행하지 않도록 하여 프로그램 임계전압(V_{TP}) 산포나 소거 임계전압(V_{TE}) 산포를 줄임으로써 대용량 엠티피 셀의 내구 특성 및 데이터 유지특성 등의 저하를 방지할 수 있는 대용량 엠티피 메모리의 프로그램/소거방법 및 그 장치에 관한 것이다.

대 표 도 - 도3



명 세 서

청구범위

청구항 1

대용량 엠티피 메모리의 프로그램 방법에 있어서,

(a) 프로그램 모드의 프로그램 펄스 시간 보다 짧은 시간 구간의 프로그램 펄스를 프로그램 모드에서 선택된 셀에 인가하여 프로그램 모드의 긴 프로그램 펄스 시간 동안에 짧은 시간 구간의 프로그램 펄스로 프로그램 동작을 수행하면서 프로그램-확인-리드 모드의 수행을 통해 셀전류를 측정하여, 셀전류가 기설정된 제1전류스펙조건을 만족하는 해당 셀에 대해서는 더 이상 프로그램 동작을 수행하지 않게 하여 프로그램 임계전압(V_{TP}) 산포를 줄이는 프로그램 단계;를 포함하는 대용량 엠티피 메모리의 프로그램 방법.

청구항 2

제1항에 있어서, 상기 프로그램 단계(a)는,

(a1) 프로그램 모드에서 선택된 셀에 프로그램 모드의 프로그램 펄스 시간을 다수 개의 짧은 시간 구간으로 나눈 짧은 시간 구간의 프로그램 펄스를 인가하여 프로그램 동작을 수행하면서 프로그램-확인-리드 모드를 수행하여 선택된 셀의 전류를 측정하는 단계;

(a2) 상기 측정한 셀전류가 제1전류스펙 조건을 만족하는지를 판단하는 단계;

(a3) 상기 판단 결과 셀전류가 제1전류스펙 조건을 만족하지 않으면 상기 (a1) 내지 (a2) 단계를 반복해서 수행하는 단계; 및

(a4) 상기 판단 결과 셀전류가 제1전류스펙 조건을 만족하면 선택된 셀은 더 이상 프로그램 동작을 수행하지 않고 프로그램 동작을 끝내는 단계;를 포함하는 것을 특징으로 하는 대용량 엠티피 메모리의 프로그램 방법.

청구항 3

제1항에 있어서, 상기 제1전류스펙조건은,

프로그램 임계전압(V_{TP}) 산포를 줄이기 위해 기설정된 제1기준전류값(I_{REF1})보다 셀전류가 작은 경우인 것을 특징으로 하는 대용량 엠티피 메모리의 프로그램 방법.

청구항 4

제3항에 있어서,

상기 제1기준전류값(I_{REF1})은 5[㎂]인 것을 특징으로 하는 대용량 엠티피 메모리의 프로그램 방법.

청구항 5

대용량 엠티피 메모리의 소거 방법에 있어서,

(b) 소거 모드의 소거 펄스 시간보다 짧은 시간 구간의 소거 펄스를 소거 모드에서 선택된 셀에 인가하여 소거 모드의 긴 소거 펄스 시간 동안에 짧은 시간 구간의 소거 펄스로 소거 동작을 수행하면서 소거-확인-리드 모드의 수행을 통해 셀전류를 측정하여, 셀전류가 기설정된 제2전류스펙 조건을 만족하는 해당 셀에 대해서는 더 이상 소거 동작을 수행하지 않게 하여 소거 임계전압(V_{TE}) 산포를 줄이는 소거 단계;를 포함하는 대용량 엠티피 메모리의 소거 방법.

청구항 6

제5항에 있어서, 상기 소거 단계(b)는,

(b1) 소거 모드에서 선택된 셀에 소거 모드의 소거 펄스 시간을 다수 개의 짧은 시간 구간으로 나눈 짧은 시간

구간의 소거 펄스를 인가하여 소거 동작을 수행하면서 소거-확인-리드 모드를 수행하여 선택된 셀의 전류를 측정하는 단계;

(b2) 상기 측정한 셀전류가 제2전류스펙 조건을 만족하는지를 판단하는 단계;

(b3) 상기 판단 결과 셀전류가 제2전류스펙 조건을 만족하지 않으면 상기 (b1) 내지 (b2) 단계를 반복해서 수행하는 단계; 및

(b4) 상기 판단 결과 셀전류가 제2전류스펙 조건을 만족하면 선택된 셀은 더 이상 소거 동작을 수행하지 않고 소거 동작을 끝내는 단계;를 포함하는 것을 특징으로 하는 대용량 엠티피 메모리의 소거 방법.

청구항 7

제5항에 있어서, 상기 제2전류스펙 조건은,

소거 임계전압(V_{TE}) 산포를 줄이기 위해 기설정된 제2기준전류값(I_{REF2})보다 셀전류가 큰 경우인 것을 특징으로 하는 대용량 엠티피 메모리의 소거 방법.

청구항 8

제7항에 있어서,

상기 제2기준전류값(I_{REF2})은 25[㎂]인 것을 특징으로 하는 대용량 엠티피 메모리의 소거 방법.

청구항 9

대용량 엠티피 메모리의 프로그램 및 소거 장치에 있어서,

프로그램 모드 또는 소거 모드에서 선택된 셀에 프로그램 펄스 또는 소거 펄스가 인가되는 것을 검출하여 프로그램-확인-리드 모드 또는 소거-확인-리드 모드의 동작을 수행하고 프로그램-확인-리드 모드 또는 소거-확인-리드 모드의 동작 구간동안 선택된 셀의 전류를 측정하여 측정된 셀전류가 동작모드별 전류스펙 조건에 만족하는지를 판단하고 그 판단 결과 셀전류가 동작모드별 전류스펙 조건에 만족하는 경우 프로그램 펄스 또는 소거 펄스가 인가되더라도 더 이상 프로그램 동작 또는 소거 동작이 수행되지 않도록 해당 셀에 마스킹을 씌우는 마스킹부;를 포함하여 구성되는 것을 특징으로 하는 대용량 엠티피 메모리의 프로그램 및 소거 장치.

청구항 10

제9항에 있어서, 상기 마스킹부는,

프로그램 모드에서 선택된 셀에 프로그램 펄스가 논리 하이로 인가되자마자 리드신호에 논리 하이 펄스를 인가하여 프로그램-확인-리드 모드 동작을 수행하고 프로그램-확인-리드 모드 동작 구간동안 선택된 셀을 '1'로 프로그램할 때 셀 전류를 측정하여 측정된 셀전류가 기설정된 제1전류스펙 조건을 만족하는 경우 프로그램 펄스가 인가되더라도 더 이상 프로그램 동작이 수행되지 않도록 해당 셀에 마스킹을 씌워 선택된 셀의 플로팅 게이트로 전자 주입이 일어나지 않도록 하는 것을 특징으로 하는 대용량 엠티피 메모리의 프로그램 및 소거 장치.

청구항 11

제9항에 있어서, 상기 마스킹부는,

소거 모드에서 선택된 셀에 소거 펄스가 논리 하이로 인가되자마자 리드 신호에 논리 하이펄스를 인가하여 소거-확인-리드 모드 동작을 수행하고 소거-확인-리드 모드 동작 구간 동안 선택된 셀을 '0'으로 소거할 때 셀 전류를 측정하여 측정된 셀전류가 기설정된 제2전류스펙 조건을 만족하는 경우 소거 펄스가 인가되더라도 더 이상 소거 동작이 수행되지 않도록 해당 셀에 마스킹을 씌워 선택된 셀의 플로팅 게이트에 있는 전자가 소거되지 않도록 하는 것을 특징으로 하는 것을 특징으로 하는 대용량 엠티피 메모리의 프로그램 및 소거 장치.

청구항 12

제9항에 있어서, 상기 마스킹부는,

비트라인 센스앰프용 피모스 바이어스 전류(PBIAS_SA)신호, 리드 셀렉트바(RD_SELb) 신호와 소거-확인-리드 셀렉트바(EVR_SELb) 신호를 이용하여 프로그램 모드 또는 소거 모드 또는 리드 모드 또는 임계전압 측정모드에서

의 각 동작 모드별 셀전류 비교를 위한 제1전류스펙 조건 및 제2전류스펙 조건의 기준전류를 결정하여 출력하는 전류형 비트라인 센스 앰프부;

프로그램 모드 또는 소거 모드에서 프로그램 데이터(PGM_DATA)와 상기 전류형 비트라인 센스앰프부의 출력 데이터(DOUT)를 이용하여 라이트 마스크(WM) 신호를 생성하는 라이트 마스크 생성부; 및

프로그램 모드 또는 소거 모드에서 상기 라이트 마스크(WM) 신호를 이용하여 비트라인 구동(BLD) 신호를 Hi_Z 상태로 유지하여 더 이상 선택된 셀에 HCI에 의해 플로팅 게이트로 전자 주입이 일어나지 않게 하거나 플로팅 게이트에 있는 전자가 소거되지 않도록 하는 비트라인 구동부;를 포함하여 구성되는 것을 특징으로 하는 대용량 엠티피 메모리의 프로그램 및 소거 장치.

청구항 13

제12항에 있어서, 상기 라이트 마스크 생성부는,

상기 전류형 비트라인 센스 앰프부의 출력 데이터(DOUT) 신호를 반전시키는 제1인버터(I1);

프로그램모드(IPGM) 신호와 상기 제1인버터(I1)의 출력신호 및 프로그램 데이터(PGM_DATA) 신호를 낸드연산하는 제1낸드게이트(ND1);

프로그램 데이터(PGM_DATA) 신호를 반전시키는 제2인버터(I2);

소거모드(IERS) 신호와 상기 전류형 비트라인 센스 앰프부의 출력 데이터(DOUT) 신호 및 상기 제2인버터(I2)의 출력신호를 낸드연산하는 제2낸드게이트(ND2);

상기 제1낸드게이트(ND1)의 출력신호와 상기 제2낸드게이트(ND2)의 출력신호를 낸드연산하는 제3낸드게이트(ND3);

상기 제3낸드게이트(ND3)의 출력신호를 반전시켜 라이트 마스크(WM) 신호를 출력하는 제3인버터(I3);를 포함하는 대용량 엠티피 메모리의 프로그램 및 소거 장치.

청구항 14

제12항에 있어서, 상기 비트라인 구동부는,

라이트 마스크(WM) 신호를 각각 반전시키는 제4인버터(I4) 및 제5인버터(I5);

소거모드(IERS) 신호와 상기 제4인버터(I4)의 출력신호를 낸드연산하는 제4낸드게이트(ND4);

프로그램모드(IPGM) 신호와 상기 제5인버터(I5)의 출력신호를 낸드연산하는 제5낸드게이트(ND5);

상기 제4낸드게이트(ND4)의 출력신호와 상기 제5낸드게이트(ND5)의 출력신호를 낸드연산하는 제6낸드게이트(ND6);

상기 제6낸드게이트(ND6)의 출력신호를 반전시키는 제6인버터(I6); 및

상기 제6인버터(I6)의 출력 신호를 이용하여 비트라인 구동(BLD) 신호를 Hi_Z 상태로 유지하는 비트라인 구동 유지부;를 포함하여 구성되는 것을 특징으로 하는 대용량 엠티피 메모리의 프로그램 및 소거 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 대용량 엠티피 메모리의 프로그램/소거방법 및 그 장치에 관한 것으로, 보다 상세하게는 짧은 펄스의 소거와 프로그램 동작을 여러 번 수행하면서 셀 전류를 각 동작 모드별 기설정된 목표 전류와 비교하여 셀 전류가 전류 스펙을 만족하면 더 이상 프로그램이나 소거 동작을 수행하지 않도록 하여 프로그램 임계전압(V_{TP}) 산포나 소거 임계전압(V_{TE}) 산포를 줄임으로써 대용량 엠티피 셀의 내구 특성 및 데이터 유지특성 등의 저하를 방지할 수 있는 대용량 엠티피 메모리의 프로그램/소거방법 및 그 장치에 관한 것이다.

배 경 기 술

[0002] 내장형 비휘발성 메모리(embedded nonvolatile memory)는 마이크로 콘트롤러(micro-controller), 스마트 카드

(smart card) 등에서 폭넓게 사용되고 있으며, 주로 EEPROM(Electrically Erasable Programmable Read-Only Memory)이나 Flash 메모리 기술을 사용하고 있다. 1Mb 이하의 비휘발성 메모리로는 EEPROM 메모리 IP가 사용되고, 512Kb 이상의 대용량 비휘발성 메모리는 Flash 메모리 IP가 주로 사용된다. 한편 무선충전기(wireless charger), USB 타입-C 등의 응용에 사용되는 MCU(Micro-Controller Unit) 칩은 3~5개의 추가 공정 마스크가 필요한 EEPROM보다는 추가 마스크가 한 장 이내이면서 메모리 셀 사이즈가 작은 MTP(Multi-Time Programmable) 메모리가 요구된다.

[0003] 도 1은 ±7.25V의 프로그램 전압을 이용하여 종래 방식인 5[ms] 프로그램 시간동안 한번 만 프로그램한 512bit 0.13[㎛] MTP IP에서의 프로그램 V_T인 V_{TP} 산포도를 예시한 그래프로서, 도면에 예시된 바와 같이 기존의 MTP IP의 V_T 분포는 ㅁ0.5[V]로 넓게 산포하고 있고 소거 V_T인 V_{TE} 산포도도 프로그램 V_T와 유사한 특성을 보이고 있다.

[0004] 도 2는 종래의 MTP 메모리(하이닉스 90nm 공정을 사용한 256bit MTP IP)에 대한 소거 모드(a)와 프로그램 모드(b)에서의 타이밍 다이어그램을 예시한 그래프로서, 소거 모드에서는 도 2 (a)의 소거 모드에 대한 타이밍 다이어그램에 예시된 바와 같이 소거할 어드레스를 먼저 인가한 뒤 소거(ERS) 신호에 하이 펄스를 t_{ERS}(=5[ms]) 만큼 인가하면 선택된 워드 셀의 데이터를 소거한다. 그리고 프로그램 모드에서는 도 2 (b)의 프로그램 모드에 대한 타이밍 다이어그램에 예시된 바와 같이 어드레스와 입력데이터(DIN)를 먼저 인가한 상태에서 프로그램(PGM) 신호에 하이 펄스를 t_{PGM}(=5ms)만큼 인가한다. 이와 같이 t_{ERS}와 t_{PGM} 펄스만큼 인가하는 경우 V_T 산포가 1[V] 정도로 넓게 분포하게 된다.

[0005] 이와 같이 V_T 분포가 넓을수록 V_T window(=$V_{TP.min}$-$V_{TE.max}$; 여기서 $V_{TP.min}$은 최소 V_{TP}이고 $V_{TE.max}$는 최대 V_{TE}임)를 만족하기 위해서는 최소 소거 V_T와 최대 프로그램 V_T에 있는 셀은 소거와 프로그램 과정에서 더 많은 전기적인 스트레스를 많이 받으면서 E/P(Erase/Program) cycling에 따른 MTP 메모리 셀의 내구 특성과 데이터 유지 특성이 나빠질 수 있는 문제점이 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) KR 10-2019-0092662 A 2019.08.08. 공개

발명의 내용

해결하려는 과제

[0007] 따라서 본 발명은 상기의 문제점을 해결하기 위한 것으로, 본 발명이 해결하고자 하는 기술적 과제는, 소거 모드와 프로그램 모드의 동작을 긴 시간 펄스로 한번만 수행하는 것이 아니라 짧은 펄스로 여러 번 수행하면서 셀 전류를 측정하여 각 동작 모드별 기설정된 목표 전류와 비교하고 셀 전류가 기설정된 전류 스펙을 만족하면 더 이상 소거나 프로그램 동작을 수행하지 않도록 함으로써 프로그램 임계전압(V_{TP}) 산포나 소거 임계전압(V_{TE}) 산포를 줄일 수 있도록 하여 엠티피 셀의 내구성 및 데이터 유지특성 등의 저하를 방지할 수 있는 대용량 엠티피 메모리의 프로그램/소거방법 및 그 장치를 제공하고자 하는 것이다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위한 본 발명의 일 실시 형태는, 프로그램 모드의 프로그램 펄스 시간 보다 짧은 시간 구간의 프로그램 펄스를 프로그램 모드에서 선택된 셀에 인가하여 프로그램 모드의 긴 프로그램 펄스 시간 동안에 짧은 시간 구간의 프로그램 펄스로 프로그램 동작을 수행하면서 프로그램-확인-리드 모드의 수행을 통해 셀전류를 측정하여, 셀전류가 기설정된 제1전류스펙조건을 만족하는 해당 셀에 대해서는 더 이상 프로그램 동작을 수행하지 않게 하여 프로그램 임계전압(V_{TP}) 산포를 줄이는 프로그램 단계;를 포함하는 대용량 엠티피 메모리의 프로그램 방법이다.

[0009] 상기 목적을 달성하기 위한 본 발명의 다른 실시 형태는, 소거 모드의 소거 펄스 시간보다 짧은 시간 구간의 소거 펄스를 소거 모드에서 선택된 셀에 인가하여 소거 모드의 긴 소거 펄스 시간 동안에 짧은 시간 구간의 소거

펄스로 소거 동작을 수행하면서 소거-확인-리드 모드의 수행을 통해 셀전류를 측정하여, 셀전류가 기설정된 제2 전류스펙 조건을 만족하는 해당 셀에 대해서는 더 이상 소거 동작을 수행하지 않게 하여 소거 임계전압(V_{TE}) 산포를 줄이는 소거 단계;를 포함하는 대용량 엠티피 메모리의 소거 방법이다.

[0010] 상기 목적을 달성하기 위한 본 발명의 또 다른 실시 형태는, 프로그램 모드 또는 소거 모드에서 선택된 셀에 프로그램 펄스 또는 소거 펄스가 인가되는 것을 검출하여 프로그램-확인-리드 모드 또는 소거-확인-리드 모드의 동작을 수행하고 프로그램-확인-리드 모드 또는 소거-확인-리드 모드의 동작 구간동안 선택된 셀의 전류를 측정하여 측정된 셀전류가 동작모드별 전류스펙 조건에 만족하는지를 판단하고 그 판단 결과 셀전류가 동작모드별 전류스펙 조건에 만족하는 경우 프로그램 펄스 또는 소거 펄스가 인가되더라도 더 이상 프로그램 동작 또는 소거 동작이 수행되지 않도록 해당 셀에 라이트 마스킹을 씌우는 마스킹부를 포함하는, 대용량 엠티피 메모리의 프로그램/소거장치이다.

발명의 효과

[0011] 본 발명에 의하면, 소거 모드와 프로그램 모드의 동작을 긴 시간 펄스로 한번만 수행하는 것이 아니라 짧은 펄스로 여러 번 수행하면서 셀 전류를 측정하여 각 동작 모드별 기설정된 목표 전류와 비교하고 셀 전류가 기설정된 전류 스펙을 만족하면 더 이상 소거나 프로그램 동작을 수행하지 않도록 함으로써 프로그램 임계전압(V_{TP}) 산포나 소거 임계전압(V_{TE}) 산포를 줄일 수 있도록 하여 엠티피 셀의 내구성 및 데이터 유지특성 등의 저하를 방지할 수 있는 이점을 제공한다.

도면의 간단한 설명

[0012] 도 1은 ±7.25V의 프로그램 전압을 이용하여 종래 방식인 5[ms] 프로그램 시간동안 한번 만 프로그램한 512bit 0.13[㎛] MTP IP에서의 프로그램 임계전압(V_T)인 V_{TP} 산포도를 예시한 그래프이다.

도 2는 종래의 MTP 메모리(하이닉스 90nm 공정을 사용한 256bit MTP IP)에 대한 소거 모드(a)와 프로그램 모드(b)에서의 타이밍 다이어그램을 예시한 그래프이다.

도 3은 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거방법에서 이루어지는 동작 순서도이다.

도 4는 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거장치의 마스킹부 블록도이다.

도 5a와 도 5b는 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거장치에서 이루어지는 프로그램 동작 타이밍도 및 소거 동작 타이밍도이다.

도 6은 도 4의 전류형 비트라인 센스앰프부의 상세회로도이다.

도 7은 도 4의 라이트 마스크(WM) 생성부의 상세회로도이다.

도 8은 도 4의 비트라인 구동부의 상세회로도이다.

도 9는 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거방법 및 그 장치의 모의 실험을 위해 매그나칩반도체 0.13㎛ 공정 기반으로 설계된 256Kb 엠티피 메모리의 레이아웃 이미지 사진이다.

도 10은 Temp.=25℃, TT(Typical NMOS Typical PMOS) 모델 파라미터의 모의실험 조건에서 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거장치의 프로그램 모드의 모의실험 결과를 예시한 파형도이다.

도 11은 Temp.=25℃, TT(Typical NMOS Typical PMOS) 모델 파라미터의 모의실험 조건에서 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거장치의 소거 모드의 모의실험 결과를 예시한 파형도이다.

도 12는 매그나칩반도체 0.13㎛ 공정으로 제작된 256Kb MTP 메모리 웨이퍼에서 함수발생기를 이용해서 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거방법으로 프로그램 모드, 소거 모드와 리드 모드 파형을 발생하여 오실로스코프로 프로그램 이후(a)와 소거 이후(b)의 리드 모드를 수행하여 측정한 결과를 예시한 참고 사진이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 발명의 바람직한 실시 형태에 따른 대용량 엠티피 메모리의 프로그램/소거방법 및 그 장치의 구성과

동작 및 그에 의한 작용 효과를 첨부 도면을 참조하여 상세히 설명한다.

[0014] 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정 해석되지 아니하며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시 예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시 예에 불과할 뿐이므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

[0015] 도 3은 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거방법에서 이루어지는 동작 순서도로서, 도 3에 예시된 바와 같이 본 발명에 의한 대용량 엠티피 메모리의 프로그램 방법은 프로그램 모드에서 프로그램 임계전압(V_{TP}) 산포를 줄이도록 설정되는 제1전류스펙조건을 만족하는 셀에 대해 더 이상 프로그램 동작을 수행하지 않게 하는 프로그램 단계(S110)를 포함하여 구성될 수 있고, 본 발명에 의한 대용량 엠티피 메모리의 소거 방법은 소거 모드에서 소거 임계전압(V_{TE}) 산포를 줄이도록 설정되는 제2전류스펙조건을 만족하는 셀에 대해 더 이상 소거 동작을 수행하지 않게 하는 소거 단계(S120)를 포함하여 구성될 수 있다.

[0016] 프로그램 단계(S110)는 프로그램 모드의 프로그램 펄스 시간 보다 짧은 시간 구간의 프로그램 펄스를 프로그램 모드에서 선택된 셀에 인가하여 프로그램 모드의 긴 프로그램 펄스 시간 동안에 짧은 시간 구간의 프로그램 펄스로 프로그램 동작을 수행하면서 프로그램-확인-리드 모드의 수행을 통해 셀전류를 측정하여, 셀전류가 기설정된 제1전류스펙조건을 만족하는 해당 셀에 대해서는 더 이상 프로그램 동작을 수행하지 않게 하여 프로그램 임계전압(V_{TP}) 산포를 줄이는 단계이다. 이러한 프로그램 단계(S110)는 프로그램 모드에 진입(S111)하면 선택된 셀에 프로그램 모드의 프로그램 펄스 시간을 다수 개의 짧은 시간 구간으로 나눈 짧은 시간 구간의 프로그램 펄스를 인가하여 프로그램 동작을 수행(S112)하면서 프로그램-확인-리드 모드를 수행하여 선택된 셀의 전류를 측정하는 단계(S113), 상기 측정한 셀전류가 제1전류스펙 조건을 만족하는지를 판단하는 단계(S114), 상기 판단 결과 셀전류가 제1전류스펙 조건을 만족하지 않으면(S114의 NO 분기) 상기 (S112) 내지 (S114) 단계를 반복해서 수행하는 단계, 및 상기 판단 결과 셀전류가 제1전류스펙 조건을 만족하면(S114의 YES 분기) 선택된 셀은 더 이상 프로그램 동작을 수행하지 않고 프로그램 동작을 끝내는 단계(S115)를 포함하여 이루어질 수 있다. 여기서 제1전류스펙조건은 프로그램 임계전압(V_{TP}) 산포를 줄이기 위해 기설정된 제1기준전류값(I_{REF1})보다 셀전류가 작은 경우이며, 프로그램 모드에서의 제1기준전류값(I_{REF1})은 5[㎂]로 설정될 수 있다.

[0017] 소거 단계(S120)는 소거 모드의 소거 펄스 시간보다 짧은 시간 구간의 소거 펄스를 소거 모드에서 선택된 셀에 인가하여 소거 모드의 긴 소거 펄스 시간 동안에 짧은 시간 구간의 소거 펄스로 소거 동작을 수행하면서 소거-확인-리드 모드의 수행을 통해 셀전류를 측정하여, 셀전류가 기설정된 제2전류스펙 조건을 만족하는 해당 셀에 대해서는 더 이상 소거 동작을 수행하지 않게 하여 소거 임계전압(V_{TE}) 산포를 줄이는 단계이다. 이러한 소거 단계(S120)는 소거 모드에 진입(S121)하면 선택된 셀에 소거 모드의 소거 펄스 시간을 다수 개의 짧은 시간 구간으로 나눈 짧은 시간 구간의 소거 펄스를 인가하여 소거 동작을 수행(S122)하면서 소거-확인-리드 모드를 수행하여 선택된 셀의 전류를 측정하는 단계(S123), 상기 측정한 셀전류가 제2전류스펙 조건을 만족하는지를 판단하는 단계(S124), 상기 판단 결과 셀전류가 제2전류스펙 조건을 만족하지 않으면(S124의 NO 분기) 상기 (S122) 내지 (S124) 단계를 반복해서 수행하는 단계, 및 상기 판단 결과 셀전류가 제2전류스펙 조건을 만족하면(S124의 YES 분기) 선택된 셀은 더 이상 소거 동작을 수행하지 않고 소거 동작을 끝내는 단계(S125)를 포함하여 이루어질 수 있다. 여기서 제2전류스펙 조건은 소거 임계전압(V_{TE}) 산포를 줄이기 위해 기설정된 제2기준전류값(I_{REF2})보다 셀전류가 큰 경우이며, 소거 모드에서 제2기준전류값(I_{REF2})은 25[㎂]로 설정될 수 있다.

[0018] 도 4는 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거장치의 마스킹부 블록도이고, 도 5a와 도 5b는 본 발명에 의한 대용량 엠티피 메모리의 프로그램 및 소거장치에서 이루어지는 프로그램 모드의 동작 타이밍도 및 소거모드의 동작 타이밍도이며, 도 6 내지 도 8은 각각 도 4의 전류형 비트라인 센스앰프부, 라이트 마스크(WM) 생성부, 및 비트라인 구동부의 각 상세 회로도로서, 도 4에 예시된 바와 같이 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거장치는 프로그램 모드 또는 소거 모드에서 선택된 셀에 프로그램 펄스 또는 소거 펄스가 인가되는 것을 검출하여 프로그램-확인-리드 모드 또는 소거-확인-리드 모드의 동작을 수행하고 프로그램-확인-리드 모드 또는 소거-확인-리드 모드의 동작 구간동안 선택된 셀의 전류를 측정하여 측정된 셀전류가 동작모드별 전류스펙 조건에 만족하는지를 판단하고 그 판단 결과 셀전류가 동작모드별 전류스펙 조건에 만족하는 경우 프로그램 펄스 또는 소거 펄스가 인가되더라도 더 이상 프로그램 동작 또는 소거 동작이 수행되지 않도록 해당

셀에 마스킹을 씌우는 마스킹부(100)를 포함하여 구성된다.

[0019] 이러한 마스킹부(100)는 프로그램 모드에서 선택된 셀에 프로그램 펄스가 논리 하이로 인가되자마자 리드신호에 논리 하이 펄스를 인가하여 프로그램-확인-리드 모드 동작을 수행하고 프로그램-확인-리드 모드 동작 구간동안 선택된 셀을 '1'로 프로그램할 때 셀 전류를 측정하여 측정된 셀전류가 기설정된 제1전류스펙 조건을 만족하는 경우 프로그램 펄스가 인가되더라도 더 이상 프로그램 동작이 수행되지 않도록 해당 셀에 마스킹을 씌워 선택된 셀의 플로팅 게이트로 전자 주입이 일어나지 않도록 한다. 또한 이러한 마스킹부(100)는 소거 모드에서 선택된 셀에 소거 펄스가 논리 하이로 인가되자마자 리드 신호에 논리 하이펄스를 인가하여 소거-확인-리드 모드 동작을 수행하고 소거-확인-리드 모드 동작 구간 동안 선택된 셀을 '0'으로 소거할 때 셀 전류를 측정하여 측정된 셀전류가 기설정된 제2전류스펙 조건을 만족하는 경우 소거 펄스가 인가되더라도 더 이상 소거 동작이 수행되지 않도록 해당 셀에 마스킹을 씌워 선택된 셀의 플로팅 게이트에 있는 전자가 소거되지 않도록 한다.

[0020] 이러한 기능을 수행하기 위하여 본 발명의 마스킹부(100)는 전류형 비트라인 센스 앰프부(110), 라이트 마스크 생성부(120), 및 비트라인 구동부(130)를 포함하여 구성될 수 있다.

[0021] 전류형 비트라인 센스 앰프부(110)는 비트라인 센스앰프용 피모스 바이어스 전류(PBIAS_SA)신호, 리드 셀렉트바(RD_SELb) 신호와 소거-확인-리드 셀렉트바(EVR_SELb) 신호를 이용하여 프로그램 모드 또는 소거 모드 또는 리드 모드 또는 임계전압 측정모드에서의 각 동작 모드별 셀전류 비교를 위한 제1전류스펙 조건 및 제2전류스펙 조건의 기준전류를 결정하여 출력한다.

[0022] 라이트 마스크 생성부(120)는 프로그램 모드 또는 소거 모드에서 프로그램 데이터(PGM_DATA)와 상기 전류형 비트라인 센스 앰프부(110)의 출력 데이터(DOUT)를 이용하여 라이트 마스크(WM) 신호를 생성한다. 이러한 라이트 마스크 생성부(120)는 전류형 비트라인 센스 앰프부(110)의 출력 데이터(DOUT) 신호를 반전시키는 제1인버터(I1), 프로그램모드(IPGM) 신호와 제1인버터(I1)의 출력신호 및 프로그램 데이터(PGM_DATA) 신호를 낸드연산하는 제1낸드게이트(ND1), 프로그램 데이터(PGM_DATA) 신호를 반전시키는 제2인버터(I2), 소거모드(IERS) 신호와 전류형 비트라인 센스 앰프부(110)의 출력 데이터(DOUT) 신호 및 제2인버터(I2)의 출력신호를 낸드연산하는 제2낸드게이트(ND2), 제1낸드게이트(ND1)의 출력신호와 제2낸드게이트(ND2)의 출력신호를 낸드연산하는 제3낸드게이트(ND3), 제3낸드게이트(ND3)의 출력신호를 반전시켜 라이트 마스크(WM) 신호를 출력하는 제3인버터(I3)를 포함하여 구성될 수 있다.

[0023] 비트라인 구동부(130)는 프로그램 모드 또는 소거 모드에서 상기 라이트 마스크(WM) 신호를 이용하여 비트라인 구동(BLD) 신호를 Hi_Z 상태로 유지하여 더 이상 선택된 셀에 HCI(Hot Carrier Injection)에 의해 플로팅 게이트로 전자 주입이 일어나지 않게 하거나 BTBT(Band-To-Band-Tunneling)에 의해 플로팅 게이트에 있는 전자가 소거되지 않도록 한다. 이러한 비트라인 구동부(130)는 라이트 마스크(WM) 신호를 각각 반전시키는 제4인버터(I4) 및 제5인버터(I5), 소거모드(IERS) 신호와 제4인버터(I4)의 출력신호를 낸드연산하는 제4낸드게이트(ND4), 프로그램모드(IPGM) 신호와 제5인버터(I5)의 출력신호를 낸드연산하는 제5낸드게이트(ND5), 제4낸드게이트(ND4)와 제5낸드게이트(ND5)의 각 출력신호를 낸드연산하는 제6낸드게이트(ND6), 제6낸드게이트(ND6)의 출력신호를 반전시키는 제6인버터(I6), 및 제6인버터(I6)의 출력 신호를 이용하여 비트라인 구동(BLD) 신호를 Hi_Z 상태로 유지하는 비트라인 구동 유지부(131)를 포함하여 구성될 수 있다.

[0024] 이상과 같이 구성되는 본 발명의 대용량 엠티피 메모리 셀의 프로그램/소거방법은, 먼저 도 3의 순서도에 예시된 바와 같이 프로그램 모드(S110)에 진입(S111)하게 되면 프로그램 모드의 프로그램 펄스 시간을 다수 개의 짧은 시간 구간으로 나눈 짧은 시간 구간(예를 들면 20[㎲])의 짧은 프로그램 펄스의 시간동안 프로그램 동작을 수행(S112)하면서 프로그램-확인-리드(program-verify-read) 모드의 수행(S113)을 통해 선택된 셀의 전류(I_{CELL})를 측정하고, 측정한 셀전류가 기설정된 제1기준전류(예: 5[㎂])보다 작은지 판단(S114)하여, 판단결과 셀 전류가 5[㎂]보다 작으면(S114의 YES 분기) 선택된 셀은 프로그램 동작을 끝내고(S115), 만약 셀 전류가 5[㎂]보다 크거나 같다면(S114의 NO 분기) 프로그램 동작 단계(S112)로 복귀하여 선택된 셀에 대한 20[㎲]의 짧은 프로그램 펄스의 시간동안 프로그램 동작 및 프로그램-확인-리드 모드(S113)를 반복하여 수행하게 된다. 이러한 반복 동작은 프로그램-확인-리드 모드를 통해 측정한 셀 전류가 5[㎂]보다 작을 때까지 반복하게 된다.

[0025] 매그나칩반도체에서 제안된 MTP 셀을 이용하여 20[㎲]의 짧은 펄스의 프로그램 동작을 반복하면서 셀 전류를 측정한 결과 20번 정도의 프로그램 펄스를 인가하여 프로그램 동작을 수행하게 되면 셀 전류가 5[㎂]보다 작아지는 것을 확인하였으며, 제안한 MTP 셀의 프로그램 동작은 HCI에 의해 수행되고 소거 동작은 BTBT에 의해 수행된다.

[0026] 한편, 소거 모드(S120)에 진입(S121)하게 되면 소거 모드의 소거 펄스 시간을 다수 개의 짧은 시간 구간으로 나눈 짧은 시간 구간(예를 들면 100[㎲])의 짧은 소거 펄스의 시간동안 소거 동작을 수행(S122)하면서 소거-확인-리드(erase-verify-read) 모드의 수행(S123)을 통해 선택된 셀의 전류를 측정하고, 측정한 셀 전류가 기설정된 제2기준전류(예: 25[㎂])보다 큰지 판단(S124)하여, 판단결과 셀 전류가 25[㎂]보다 크면(S124의 YES 분기) 선택된 셀은 소거 동작을 끝내고(S125), 만약 셀 전류가 25[㎂]보다 작거나 같으면(S124의 NO 분기) 소거 동작 단계(S122)로 복귀하여 선택된 셀에 대한 100[㎲]의 짧은 소거 펄스의 시간동안 소거 동작 및 소거-확인-리드 모드(S123)를 반복하여 수행하게 된다. 이러한 반복 동작은 소거-확인-리드 모드를 통해 측정한 셀 전류가 25[㎂]보다 클 때까지 반복하게 된다.

[0027] 매그나칩반도체에서 제안된 MTP 셀을 이용하여 100㎲의 짧은 펄스의 소거동작을 반복하면서 셀 전류를 측정한 결과 5번 정도의 반복되는 소거 동작을 통해 셀 전류가 25[㎂]를 넘긴 것을 확인하였으며, 이와 같이 도 3의 알고리즘을 적용하므로 프로그램 전류는 5[㎂]보다 살짝 작고, 소거 전류는 25[㎂]를 살짝 넘기는 것을 알 수 있다. 한편 V_T 관점에서 V_{TE}와 V_{TP}는 각각 1V와 2.3V이다.

[0028] 아래의 표 1은 매그나칩반노체 0.13㎛ 공정기반으로 설계된 256Kb MTP 메모리의 주요 특징을 예시하고 있다.

[0029] [표 1]

Items		Main Features
VCC	Read	2.5V ~ 5.5V
	Write	2.5V ~ 5.5V
	Write-Verify-Read	4.5V ~ 5.5V
VDD	Read	1.35V ~ 1.65V
	Write	1.35V ~ 1.65V
	Write-Verify-Read	1.35V ~ 1.65V
Function	Normal Mode	Read / Erase / Page Buffer Load / Program / Reset
	Cell V_T Measuring Mode	V_{TE} Measuring / V_{TP} Measuring
Memory Density		256Kb
Cell Array		256Rows x 1024Columns
I/O		32bit
Temperature Range		-40~125℃
Write Time		1ms
Endurance		1K Cycles
Data Retention		10Years
IP Size		1933.745㎛ X 1137.895㎛(=2.2㎟)

[0030]

[0031] 상기 표 1에서 알 수 있는 바와 같이 동작 모드는 리드 모드, 페이지 버퍼 로드(page buffer load) 모드, 프로그램 모드와 소거 모드가 있으며, 프로그램-확인-리드 모드와 소거-확인-리드 모드를 지원한다.

[0032] 프로그램 모드에서는 도 5a에 예시된 바와 같이 프로그램(PGM) 신호가 하이인 구간 동안은 프로그램 모드이며, 프로그램 신호가 하이로 진입하자마자 리드(RD) 신호에 하이 펄스를 인가하여 프로그램-확인-리드 모드의 동작을 수행한다. 프로그램-확인-리드 모드 구간 동안은 선택된 셀을 "1"로 프로그램할 때 셀 전류가 5[㎂]보다 작은지를 판단하여, 만약 5[㎂]보다 크면 라이트 펄스(WP;Write Pulse) 신호가 하이 펄스인 구간동안 해당되는 셀을 계속해서 프로그램 동작을 수행하게 하고 5[㎂]보다 작으면 더 이상 프로그램 동작이 일어나지 않도록 라이트 마스킹을 씌운다.

[0033] 한편 소거 모드에서는 도 5b에 예시된 바와 같이 소거(ERS) 신호가 ㅎ하이인 구간 동안은 소거 모드이며, 소거(ERS) 신호가 하이로 진입하자마자 리드(RD) 신호에 하이 펄스를 인가하여 소거-확인-리드 모드 동작을 수행한다. 소거-확인-리드 모드 구간 동안은 선택된 셀을 "0"으로 소거할 때 셀 전류가 25[㎂]보다 큰지를 판단하여, 만약 25[㎂]보다 작으면 라이트 펄스(WP;Write Pulse) 신호가 하이 펄스인 구간동안 해당되는 셀을 계속해서 소거 동작을 수행하게 하고 25[㎂]보다 크면 더 이상 소거 동작이 일어나지 않도록 라이트 마스킹을 씌운다.

[0034] 한편 설계된 MTP 셀 어레이는 표 1에 예시된 바와 같이 256행 x 1,024열로 구성되어 있으며, 리드(read), 프로그램(program), 소거(erase) 동작은 각각 32bit, 8bit, 8bit 단위로 수행된다. 한편 소거 시간과 프로그램 시간은 모두 1[ms]이며, 내구력(endurance)는 1K 싸이클이고 데이터 유지력(data retention)은 10년이다. 프로그램 모드에서는 8bit씩 프로그램을 수행하며, HCI에 의해 MTP 셀의 문턱전압인 V_{TP}는 2.3V 정도 된다. 한편 소거

모드에서 BTBT 터널링에 의해 MTP 셀의 문턱전압인 V_{TE}는 1.0V 정도 된다.

[0035] 도 6은 동작 모드별 셀 전류를 비교하는 도 4의 전류형 비트라인 센스앰프부의 상세회로도로서, 리드 모드, 프로그램-확인-리드 모드, 소거-확인-리드 모드와 V_T 측정 모드에서 도 6의 전류형 비트라인 센스 앰프부(110)에 의해 선택된 비트라인(BL) 셀 전류를 센싱하여 기준전류(IREF; reference current)와 비교한 뒤 그 결과를 출력 데이터(DOUT)로 출력한다.

[0036] 아래의 표 2는 동작 모드별 기준전류값을 예시하고 있다.

[0037] [표 2]

[0038]

Operation Mode	IREF
Program	5μA
Erase	25μA
Read	15μA
FVTM	1μA

[0039] 상기 표 2에 예시된 바와 같이 동작 모드별 기준전류는, 프로그램모드, 소거 모드, 리드 모드와 V_T 측정 모드에서 각각 5[㎂], 25[㎂], 15[㎂]와 1[㎂]이다. 기준전류는 동작 모드에 따라 도 6의 비트라인 센스앰프용 피모스(PMOS) 바이어스 전류(PBIAS_SA), 제어 신호인 RD_SELb(Read Select bar)와 EVR_SELb(Erase-Verify-Read Select bar) 신호를 제어하므로 결정되어진다.

[0040] 도 7은 본 발명에 의한 대용량 엠티피 메모리의 프로그램 및 소거 장치에서 프로그램 데이터(PGM_DATA)와 도 6의 전류형 비트라인 센스앰프부(110)의 출력 데이터(DOUT)를 이용하여 라이트 마스크(WM;Write Mask) 신호를 만드는 라이트마스크 생성부(120)의 상세 회로도이고, 도 8은 본 발명에 의한 대용량 엠티피 메모리의 프로그램 및 소거 장치에서 프로그램 모드(IPGM) 신호와 소거 모드(IERS) 신호 및 도 7의 라이트 마스크 생성부(120)의 라이트 마스크(WM) 신호를 이용하여 라이트 마스크(WM;Write Mask) 신호를 만드는 라이트마스크 생성부(120)의 상세 회로도로서, 프로그램 모드에서는 프로그램 데이터가 '1'인 경우 출력데이터(DOUT)가 '1'인 경우나 프로그램 데이터가 '0'인 경우는 BLD(BL driver) 신호는 Hi-Z 상태를 유지하여 더 이상 선택된 셀에 HCI에 의해 FG(Floating Gate) 노드로 전자(electron) 주입이 일어나지 않도록 한다. 반면 프로그램 데이터(PGM_DATA)가 '1'인 경우 출력데이터(DOUT)가 '0'인 경우는 라이트 마스크(WM) 신호가 '0'이 되어 비트라인(BL)에 VPP가 인가되도록 도 8의 비트라인 구동부(130)의 BLD 전압을 VPP로 구동한다.

[0041] 한편 소거 모드에서는 프로그램 데이터(PGM_DATA)는 로직 '0'이고 출력데이터(DOUT)가 '1'인 경우는 라이트 마스크(WM) 신호가 '1'이 되어 비트라인 구동회로(BLD)를 통해 비트라인(BL)에 VPP의 전압을 인가하여 BTBT 터널링에 의해 MTP 셀의 FG에 있는 전자를 소거시킨다. 반면 출력데이터(DOUT)가 '0'인 경우 MTP 셀이 정상적으로 소거 동작이 이루어졌으므로 라이트 마스크(WM) 신호가 '1'이 되어 바트라인 구동회로(BLD)를 Hi-Z 상태로 만들어 비트라인(BL)도 Hi-Z 상태가 되게 한다. 이렇게 하므로 선택된 셀은 더 이상 FG에 있는 전자(electron)가 소거되지 않는다.

[0042] 도 9는 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거방법 및 그 장치의 모의 실험을 위해 매그나칩반도체 0.13㎛ 공정 기반으로 설계된 256Kb MTP 메모리의 레이아웃 이미지이며, 레이아웃 면적은 933.22㎛ x 925㎛ (=0.8632㎟)이다.

[0043] 도 10은 Temp.=25℃, TT(Typical NMOS Typical PMOS) 모델 파라미터의 모의실험 조건에서 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거 장치의 프로그램 모드의 모의실험 결과를 예시한 파형도로서, 프로그램(PGM) 신호가 인가된 뒤 리드(RD) 신호에 하이 펄스를 인가하면 프로그램-확인-리드(PVR; Program-verify-read) 동작을 수행하게 된다. 모의실험에서는 라이트 마스크 WM[0]는 5[㎂]보다 큰 전류를 갖는 셀이 선택된 경우이므로 프로그램-확인-리드(PVR) 결과 로직 '1'을 출력하여 그 다음 라이트 펄스(WP) 신호에 하이 펄스가 인가되면 비트라인 구동회로(BLD) 구동신호에 VPP(Boosted Voltage)를 구동하도록 하여 해당되는 셀이 계속 HCI에 의해 FG에 전자(electron)가 주입되도록 한다. 반면 라이트 마스크 WM[1]은 5[㎂]보다 작은 전류를 갖는 셀이 선택된 경우이므로 프로그램-확인-리드(PVR) 결과 로직 '0'을 출력하여 그 다음 라이트 펄스(WP) 신호에 하이 펄스가

인가되면 비트라인 구동회로(BLD) 구동신호가 하이-Z 상태가 되도록 하여 해당되는 셀이 프로그램되는 것을 막아준다.

[0044] 도 11은 Temp.=25℃, TT(Typical NMOS Typical PMOS) 모델 파라미터의 모의실험 조건에서 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거 장치의 소거 모드의 모의실험 결과를 예시한 파형도로서, 소거(ERS) 신호가 인가된 뒤 리드(RD) 신호에 하이 펄스를 인가하면 소거-확인-리드(EVR;erase-verify-read) 동작을 수행하게 된다. 모의실험에서는 라이트 마스크 WM[0]은 25[㎂]보다 큰 전류를 갖는 셀이 선택된 경우이므로 소거-확인-리드(EVR) 결과 로직 '0'을 출력하여 그 다음 라이트 펄스(WP) 신호에 하이 펄스가 인가되면 비트라인 구동회로(BLD) 구동신호가 Hi-Z 상태가 되도록 하여 해당되는 셀이 소거되는 것을 막아준다. 반면 라이트 마스크 WM[1]은 25[㎂]보다 작은 전류를 갖는 셀이 선택된 경우이므로 소거-확인-리드(EVR) 결과 로직 '0'을 출력하여 그 다음 라이트 펄스(WP) 신호에 하이 펄스가 인가되면 비트라인 구동회로(BLD) 구동신호가 VPP 전압을 구동하여 해당되는 셀이 BTBT 터널링에 의해 소거되도록 하는 것을 볼 수 있다.

[0045] 도 12는 매그나칩반도체 0.13㎛ 공정으로 제작된 256Kb MTP 메모리 웨이퍼에서 함수발생기를 이용해서 본 발명에 의한 대용량 엠티피 메모리의 프로그램/소거방법으로 프로그램 모드, 소거 모드와 리드 모드 파형을 발생하여 오실로스코프로 프로그램 이후(a)과 소거 이후(b)의 리드 모드를 수행하여 측정한 파형을 보여 주고 있다. 도 12의 (a)는 DOUT[1]과 DOUT[0] 을 '0'과 '1'로 프로그램한 뒤 리드모드에서 프로그램 데이터로 읽혀지는 것을 볼 수 있다. 그리고 도 12의 (b)는 소거모드를 수행한 뒤 리드 모드를 수행한 파형으로 정상적으로 소거된 데이터 '0'이 읽혀지는 것을 볼 수 있다.

[0046] 이상의 본 발명에 의하면, 소거 모드와 프로그램 모드의 동작을 긴 시간 펄스로 한번만 수행하는 것이 아니라 소거 모드 또는 프로그램 모드의 펄스 시간을 다수 개의 짧은 시간 구간으로 나눈 짧은 시간 구간의 짧은 소거 펄스 또는 프로그램 펄스의 시간동안 소거 동작 또는 프로그램 동작을 여러 번 수행하면서 리드 모드를 통해 셀 전류를 측정하여 각 동작 모드별 기설정된 목표 전류와 비교하고 셀 전류가 기설정된 전류 스펙을 만족하면 더 이상 소거나 프로그램 동작을 수행하지 않게 하므로, 프로그램 임계전압(V_{TP}) 산포나 소거 임계전압(V_{TE}) 산포를 줄일 수 있으며, 따라서 엠티피 셀의 내구성 및 데이터 유지특성 등의 저하를 방지할 수 있게 된다.

부호의 설명

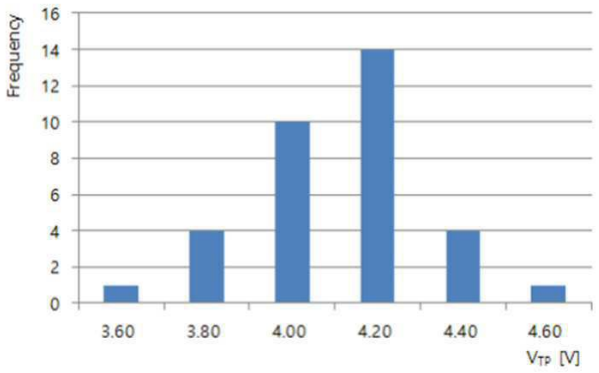
[0047] 100 : 마스킹부 110 : 전류형 비트라인 센스 앰프부

120 : 라이트 마스크 생성부 130 : 비트라인 구동부

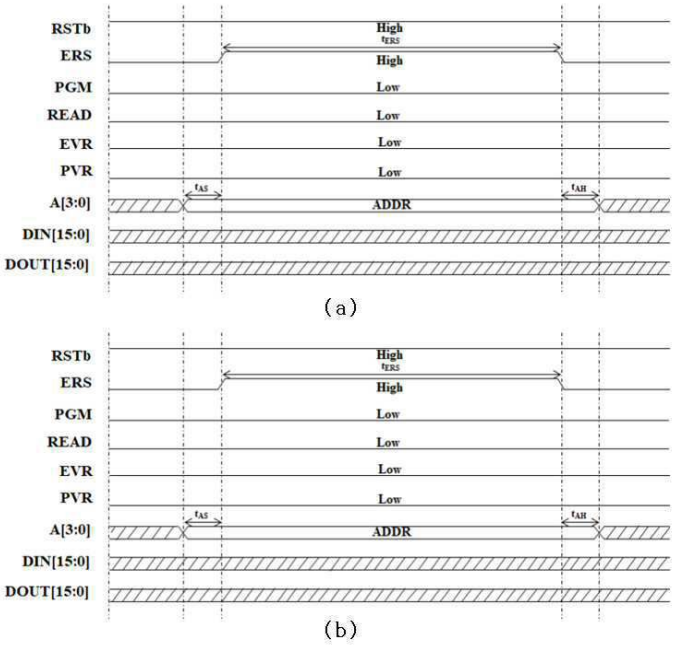
131 : 비트라인 구동 유지부

도면

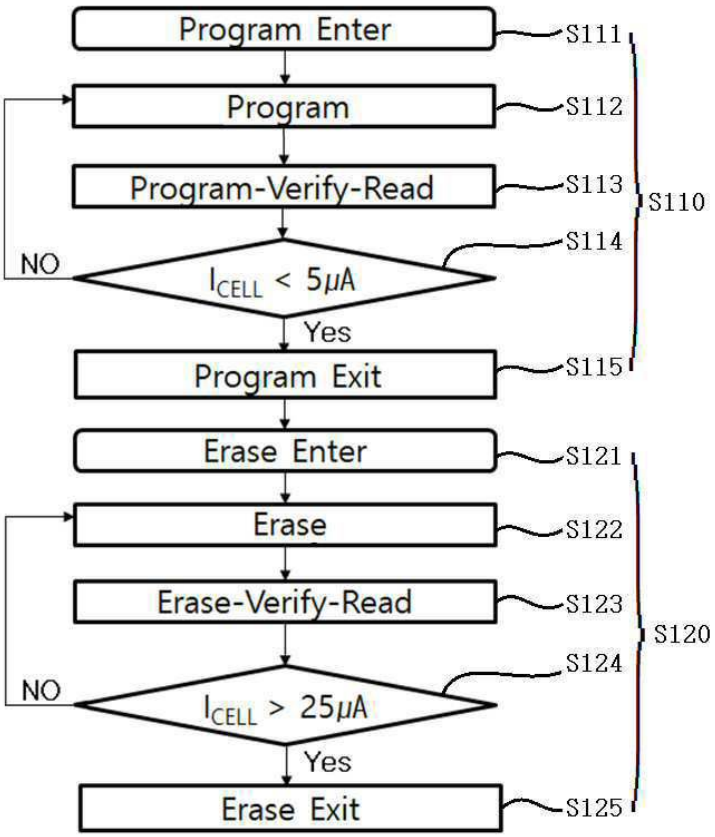
도면1



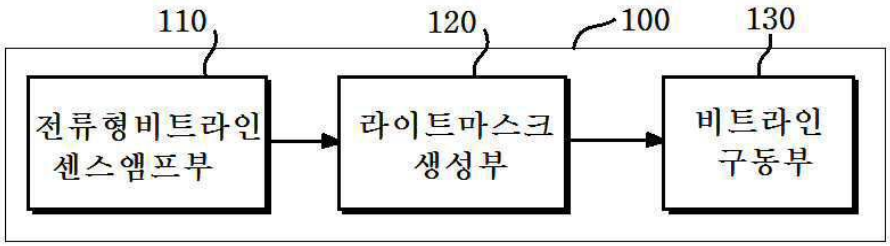
도면2


RSTb
ERS
PGM
READ
EVR
PVR
A[3:0]
DIN[15:0]
DOUT[15:0]
High
High
Low
Low
Low
Low
ADDR
(a)
(b)

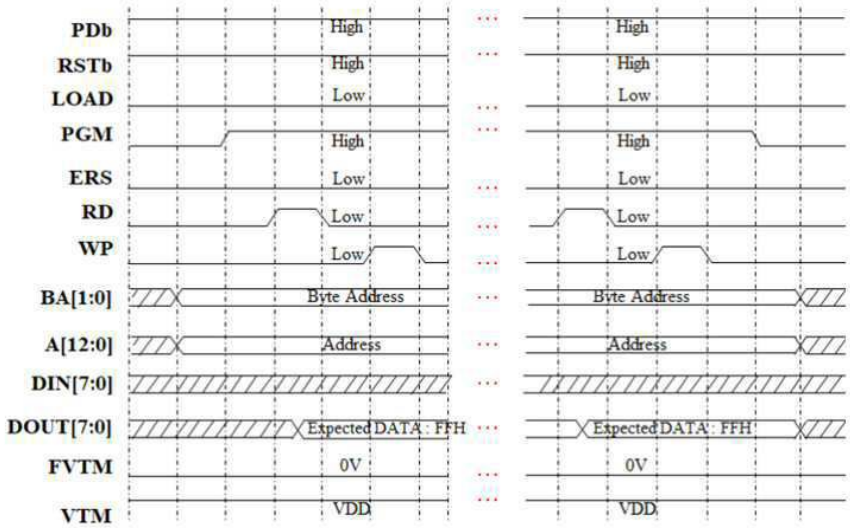
도면3


Program Enter
Program
Program-Verify-Read
NO
ICELL < 5μA
Yes
Program Exit
Erase Enter
Erase
Erase-Verify-Read
NO
ICELL > 25μA
Yes
Erase Exit
S111
S112
S113
S114
S115
S110
S121
S122
S123
S124
S125
S120

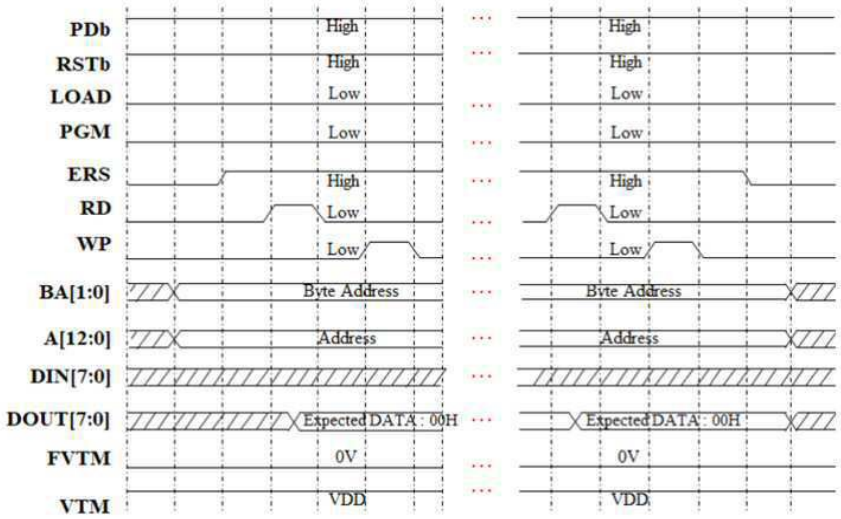
도면4



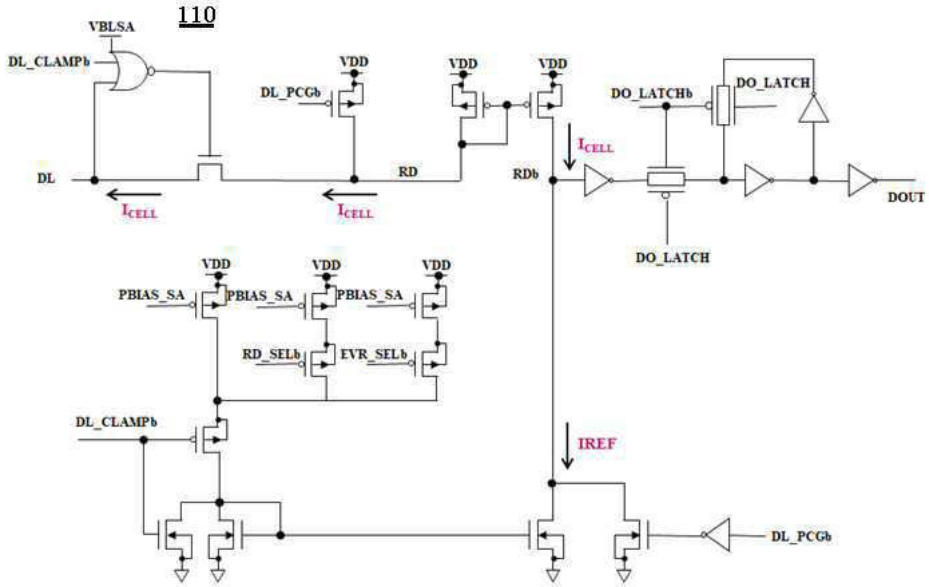
도면5a



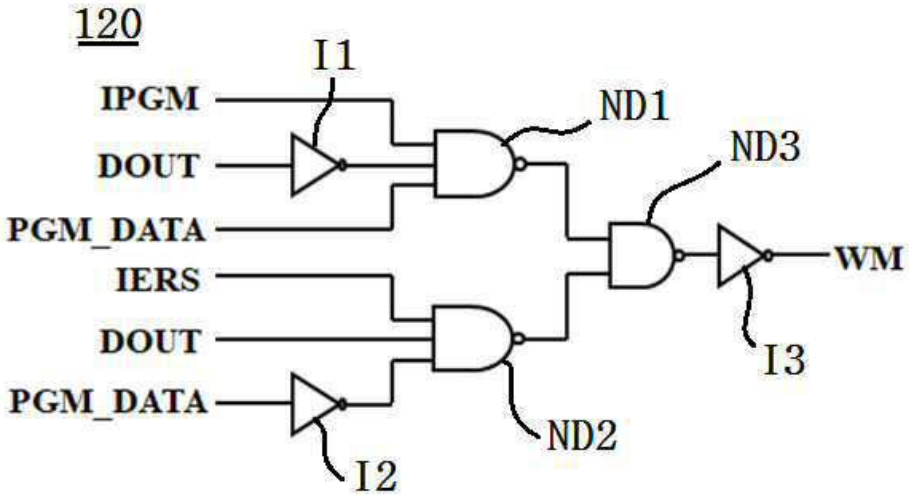
도면5b



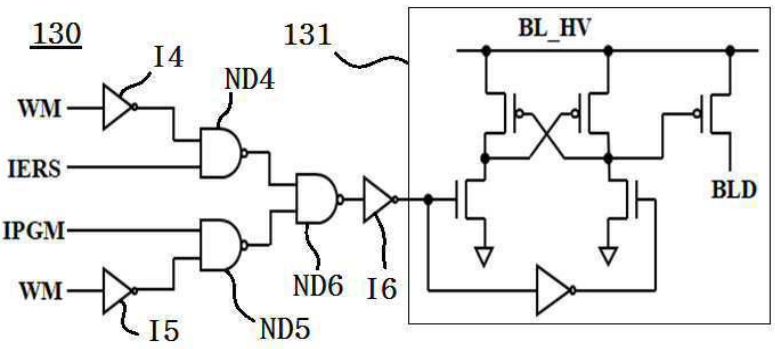
도면6


110
VBLSA
DL_CLAMPb
DL_PCGb
VDD
DL
RD
RDb
ICELL
DO_LATCHb
DO_LATCH
DOUT
PBIAS_SA
RD_SELb
EVR_SELb
IREF

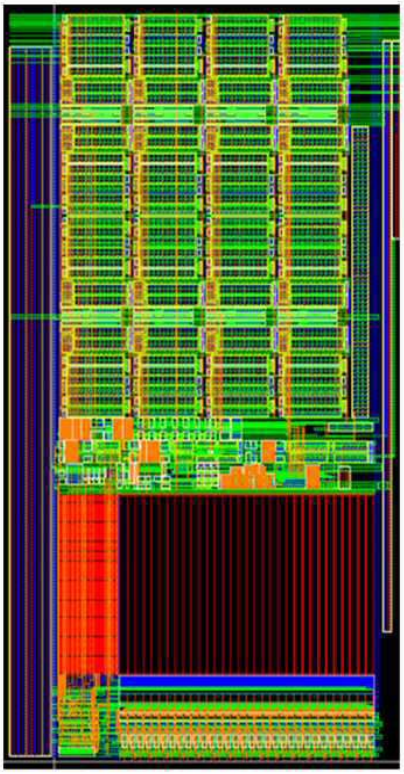
도면7


120
I1
IPGM
DOUT
PGM_DATA
IERS
ND1
ND3
WM
I3
ND2
I2

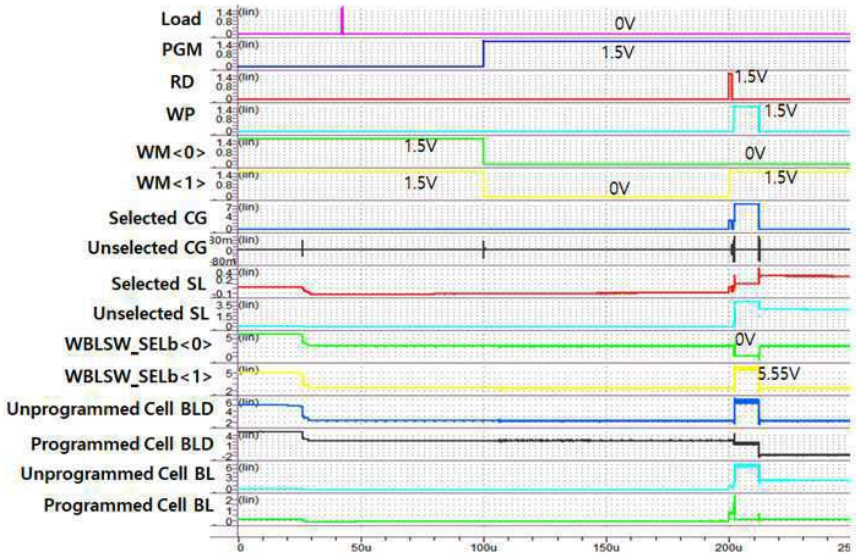
도면8


130
131
BL_HV
I4
ND4
WM
IERS
IPGM
BLD
ND6
I6
I5
ND5

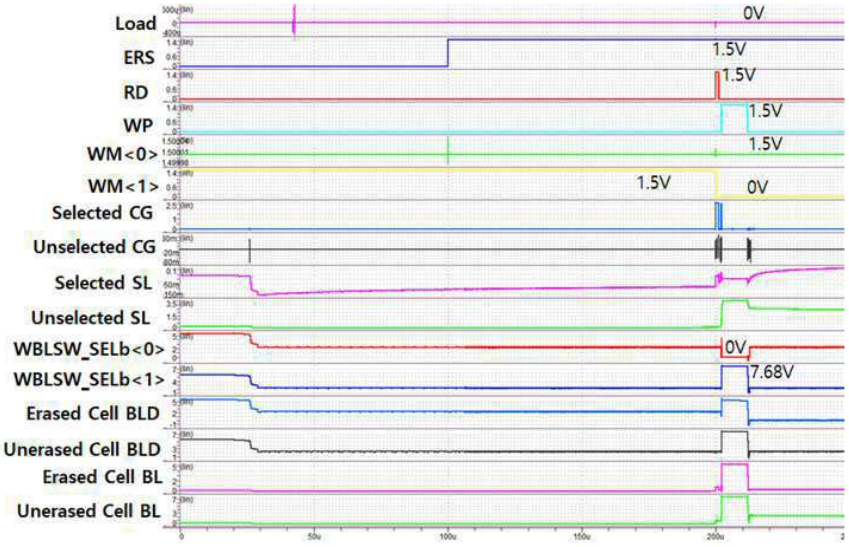
도면9



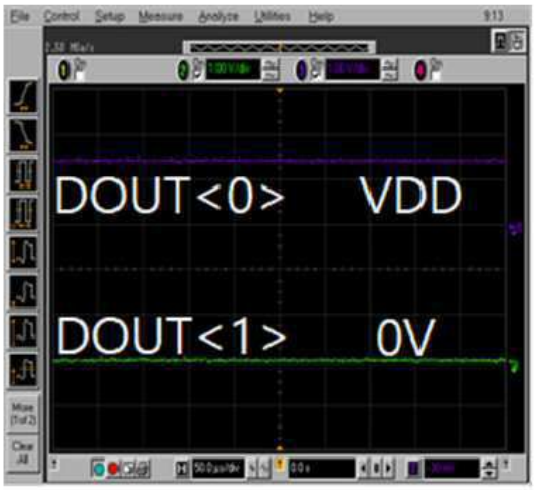
도면10


Load
PGM
RD
WP
WM<0>
WM<1>
Selected CG
Unselected CG
Selected SL
Unselected SL
WBLSW_SELb<0>
WBLSW_SELb<1>
Unprogrammed Cell BLD
Programmed Cell BLD
Unprogrammed Cell BL
Programmed Cell BL
0V
1.5V
1.5V
1.5V
1.5V
0V
1.5V
0V
0V
5.55V
0
50u
100u
150u
200u

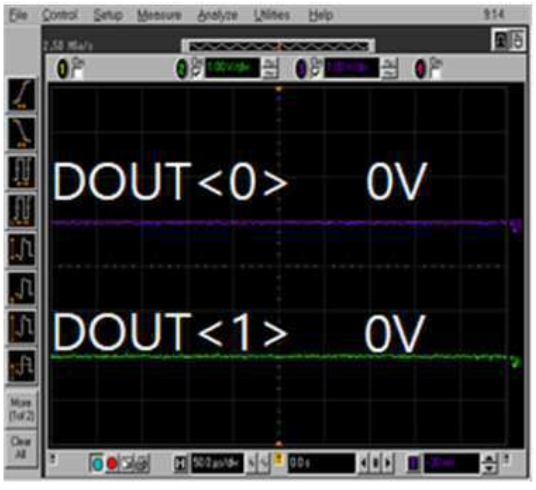
도면11


Load
ERS
RD
WP
WM<0>
WM<1>
Selected CG
Unselected CG
Selected SL
Unselected SL
WBLSW_SELb<0>
WBLSW_SELb<1>
Erased Cell BLD
Unerased Cell BLD
Erased Cell BL
Unerased Cell BL
0V
1.5V
1.5V
1.5V
1.5V
1.5V
0V
0V
7.68V

도면12


DOUT<0> VDD
DOUT<1> 0V

(a)


DOUT<0> 0V
DOUT<1> 0V

(b)