

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年7月5日(2007.7.5)

【公開番号】特開2007-103009(P2007-103009A)

【公開日】平成19年4月19日(2007.4.19)

【年通号数】公開・登録公報2007-015

【出願番号】特願2007-11197(P2007-11197)

【國際特許分類】

**G 1 1 C 11/406 (2006.01)**

**G 1 1 C 11/403 (2006.01)**

**G 1 1 C 11/407 (2006.01)**

【 F I 】

G 1 1 C      11/34      3 6 3 F

G 1 1 C      11/34      3 6 3 M

G 1 1 C 11/34 3 7 1 J

G 1 1 C    11/34    3 6 2 S

【手續補正書】

【提出日】平成19年5月21日(2007.5.21)

【手續補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のメモリセルで構成されるメモリセルアレイと、

前記メモリセルをリフレッシュするためのリフレッシュ要求を所定の周期で発生するリフレッシュ制御回路と、

前記メモリセルアレイに対するバーストアクセスを指示する信号に基づいてバーストアクセス動作中であることを示すバースト信号を活性化するバースト制御回路と、

前記ストローク信号に同期して、前記メモリセルアレイへのデータを連続して入力または前記メモリセルアレイからのデータを連続して出力するデータ入出力回路と、

前記リフレッシュ要求とアクセスコマンドとが競合したときに、リフレッシュ動作およびバーストアクセス動作のいずれを先に実行するかを判定する調停回路とを備え、

前記調停回路は、前記バースト信号の活性化に基づいて前記リフレッシュ要求を保持し、該バースト信号の非活性化に基づいてリフレッシュを起動するために前記リフレッシュ要求を出力することを特徴とする半導体メモリ。

【請求項 2】

複数のメモリセルで構成されるメモリセルアレイと、

前記メモリセルをリフレッシュするためのリフレッシュ要求を所定の周期で発生するリフレッシュ制御回路と、

前記メモリセルアレイに対するバーストアクセスを指示する信号に基づいてバーストアクセス動作中であることを示すバースト信号を活性化するバースト制御回路と、

前記ストローク信号に同期して、前記メモリセルアレイへのデータを連続して入力または前記メモリセルアレイからのデータを連続して出力するデータ入出力回路と、

前記リフレッシュ要求とアクセスコマンドとが競合したときに、リフレッシュ動作およびバーストアクセス動作のいずれを先に実行するかを判定して判定信号を生成し、前記バースト信号と前記判定信号とに基づいて前記リフレッシュ要求を保持するとともに、バーストアクセス動作を実行する。

ストアクセス動作の終了後に、保持したリフレッシュ要求を出力してリフレッシュを起動させる調停回路とを備えることを特徴とする半導体メモリ。

【請求項 3】

請求項 1 または請求項 2 記載の半導体メモリにおいて、  
前記バースト制御回路は、前記メモリセルアレイを連続してバーストアクセスするための所定数のストローク信号を出力することを特徴とする半導体メモリ。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項記載の半導体メモリにおいて、  
前記調停回路は、  
前記バーストアクセス動作を優先するときに、前記リフレッシュ要求を保持するリフレッシュ保持部を備えていることを特徴とする半導体メモリ。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項記載の半導体メモリにおいて、  
リフレッシュを起動するための前記リフレッシュ要求の出力は、前記メモリセルアレイの動作後、前記データ入出力回路からのデータの出力完了を待たずに行われることを特徴とする半導体メモリ。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項記載の半導体メモリにおいて、  
バーストアクセスを指示する信号に対応して供給される外部アドレスを受け、該外部アドレスに連続する内部アドレスを順次生成するアドレスカウンタを備えていることを特徴とする半導体メモリ。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項記載の半導体メモリにおいて、  
バーストアクセスを指示する信号の受信から読み出しデータが出力されるまでの期間、データ入出力端子が無効であることを示すウエイト信号を出力することを特徴とする半導体メモリ。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項記載の半導体メモリにおいて、  
モードレジスタからバースト長を読み出して前記バースト制御回路に出力するモード設定回路を備えていることを特徴とする半導体メモリ。

【請求項 9】

複数のメモリセルで構成されるメモリセルアレイと、前記メモリセルをリフレッシュするためのリフレッシュ要求を所定の周期で発生するリフレッシュ制御回路と、前記メモリセルアレイに対するバーストアクセスを指示する信号に基づいてバーストアクセス動作中であることを示すバースト信号を活性化するバースト制御回路と、前記ストローク信号に同期して、前記メモリセルアレイへのデータを連続して入力または前記メモリセルアレイからのデータを連続して出力するデータ入出力回路と、前記リフレッシュ要求とアクセスコマンドとが競合したときに、リフレッシュ動作およびバーストアクセス動作のいずれを先に実行するかを判定し、前記バースト信号の活性化に基づいて前記リフレッシュ要求を保持し、該バースト信号の非活性化に基づいてリフレッシュを起動するために前記リフレッシュ要求を出力する半導体メモリを備え、  
前記半導体メモリは、バーストアクセス中に該半導体メモリからデータが出力されないことを示すウエイト信号を他のデバイスに出力することを特徴とする半導体メモリシステム。

【請求項 10】

請求項 9 記載の半導体メモリシステムにおいて、  
前記半導体メモリは、モードレジスタを備え、  
該モードレジスタは、該半導体メモリの外部から書き込み可能であることを特徴とする半導体メモリシステム。