

公告本

413776

申請日期	88 年 1 月 26 日
案 號	88101137
類 別	G06F 3/00, 13/00

(以上各欄由本局填註)

A4
C4

413776

413776

發 明 專 利 說 明 書

一、發明 名稱	中 文	具周邊狀態之內部暫存器的處理器或核心邏輯單元
	英 文	Processor or core logic unit with internal register for peripheral status
二、發明 創作人	姓 名	(1) 登·凱琳 Klein, Dean A.
	國 籍	(1) 美國
	住、居所	(1) 美國愛達荷州·伊高·派克佛瑞斯特路147 3號 1473 Parkforest Way, Eagle, ID 83616, USA
三、申請人	姓 名 (名稱)	(1) 微電子股份有限公司 Micron Electronics, Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國愛達華州·蘭帕·卡契爾東路900號 900 E. Karcher Road, Nampa, Idaho 83687, USA
	代 表 人 姓 名	(1) 何伊特·佛萊明三世 Fleming III, Hoyt A.

裝

訂

線

413776

(由本局填寫)

承辦人代碼：

A6

B6

大類：

IPC分類：

本案已向：

國(地區)	申請專利, 申請日期:	案號:	, ☐ 有 ☐ 無主張優先權
美國	1998 年 8 月 10 日	09/131,446	☒ 有主張優先權
美國	1998 年 8 月 10 日	09/131,447	☒ 有主張優先權
美國	1998 年 8 月 10 日	09/131,497	☒ 有主張優先權
美國	1998 年 8 月 10 日	09/131,922	☒ 有主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

有關微生物已寄存於：

, 寄存日期：

, 寄存號碼：

裝

訂

線

五、發明說明(1)

發明領域

本發明係關一種電腦系統的周邊裝置，更特定的係有關一種位於核心邏輯單元或處理器的中心化暫存器，用以保持電腦系統之周邊裝置的狀態資訊。

相關發明

典型的電腦系統包括一中央處理單元，其耦合於多個周邊裝置或與這些裝置通訊。周邊裝置可包括：資料儲存裝置，如磁碟機或磁帶機；資料輸入裝置，如鍵盤或滑鼠；資料輸出裝置，如視頻顯示器或音頻揚聲器；及通訊裝置，如網路界面控制器。一周邊裝置經常需要中央處理單元的留意，以便在中央處理單元及周邊裝置間傳送資料，或是控制並操作該周邊裝置。此留意通常由一中斷來觸發，其由周邊裝置送至中央處理單元，以中斷中央處理單元的一般處理程序。在一中斷中，中央處理單元暫緩一般的處理程序，並執行一段“中斷服務常式”，以執行周邊裝置所需的服務。一旦完成中斷服務常式，中央處理單元回復一般的處理。

許多電腦系統使用分配式中斷架構，其中多數個周邊裝置可致能相同的中斷訊號。一種共用的分配式中斷訊號為雛菊鏈式架構，其中周邊裝置經由一條或多條中斷線，鏈結在一起。當此鏈中的任何周邊裝置產生一中斷訊號時，此中斷訊號通經此鏈，最後到達中央處理單元。在另一共用的分配式中斷架構中，周邊裝置分享一共用的中斷匯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

流線；周邊裝置可藉由確立此中斷線的所有權來將中斷訊號傳送至處理器。

一分配式中斷架構具有諸多優點。第一，其非常簡單；典型的分配式中斷架構僅需少數的訊號線來傳送中斷訊號。且其可以擴充，允許外加的周邊裝置整合至系統而無須增加中斷訊號線。

然而，分配式中斷架構亦存在一主要的缺點。其需要中央處理單元決定哪一周邊裝置需要處理。因此，中央處理單元必須詢訊每一周邊裝置，以便決定哪一周邊裝置需要服務。

此一詢訊程序有時非常的耗時。中央處理單元必須詢訊系統中的所有周邊裝置，即使在一定的時間下，僅有一周邊裝置要求服務。由於C P U必須執行多個匯流排的處置以詢訊周邊裝置，因而降低了C P U的效率，且在高性能電腦中，每一匯流排的處置會須要大量的C P U週期。詢訊的方式亦會以大量的詢訊存取而繫拌住周邊匯流排。進一步的，詢訊增加了中斷服務所需的時間。對於需要即時服務的周邊裝置，此可能會造成問題。例如，網路界面控制器可能需要立即的服務以避免緩衝的進入資料溢位。而詢訊會使此種即時的服務延遲。

因而需要一種系統以擷取來自分配式中斷架構之周邊裝置的狀態資訊，該裝置可減少決定周邊裝置狀態所需的時間及匯流排的做動。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

發明概要

本發明的一個實施例是提供一種電腦系統，其在一狀態暫存器中保持了多個周邊裝置的狀態資訊，該暫存器位於電腦系統的一處理器或核心邏輯單元中。在此實施例中，如果藉由實施一匯流排主體者操作而將狀態資訊傳送至狀態暫存器以改變其狀態時，則周邊裝置更新狀態暫存器。接著，其產生一需求服務的中斷以指示處理器。當處理器服務此中斷時，處理器僅需讀取狀態暫存器，以決定哪一周邊裝置需要處理。由於狀態暫存器在處理器或核心邏輯的內部，因而為一非常快速的動作。不須費時的周邊裝置詢問訊來決定周邊裝置的狀態。因而，本發明的一個實施例提供一裝置，其將周邊裝置的狀態資訊保持在一狀態暫存器中。此裝置包括一個耦合至多個周邊裝置的周邊通訊通道。一個更新的電路耦合於周邊通訊通道及狀態暫存器之間。此更新電路包括一機構，其反應一包含狀態資訊的訊號以更新狀態資訊，該訊號係經由周邊通訊通道從周邊裝置所接收。

在一實施例中，通訊通道包括一CPU匯流排。在此實施例的一變化中，通訊通道包括一處理器至記憶體之匯流排。在另一實施例中，周邊通訊通道包括一CPU匯流排。

本發明的一實施例包括一個特殊目的處理器指令，其讀取狀態暫存器，並依據狀態暫存器的內容，自動的分枝到適當的中斷服務常式。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

在本發明的一實施例中，通訊通道包括一電腦系統匯流排。此實施例的進一步變化中，通訊通道載送訊號以維持電腦系統中多個快取的一致性。

在本發明的一實施例中，電腦系統包括多個中央處理單元及多個耦合於中央處理單元及通訊通道間的狀態暫存器。

在本發明的一實施例中，電腦系統包括多個中央處理單元及耦合於中央處理單元及通訊通道間的單一狀態暫存器。

在本發明的一實施例中，電腦系統包一連線“或”結構，其經由核心邏輯單元將周邊裝置耦合至中央處理單元。

本發明之另一實施例的特徵在於係一電腦系統之核心邏輯單元內的裝置，用以更新狀態暫存器以指示電腦系統之周邊裝置的狀態改變。此裝置包括多數個耦合於匯流排位址線的位址輸入，其中匯流排耦合於周邊裝置。此裝置並包括一位址偵測電路，其耦合於多數個位址輸入中的一組高階位元。此位址偵測電路係配置，以偵測一位址保存範圍內的位址，該位址保存範圍由高階位元組所指定。此裝置另外並包括一解碼電路，其耦合至多數個位址輸入中的一組低階位元。狀態暫存器耦合於一組來自解碼電路的輸出，使得藉由周邊裝置參考到位址保存範圍的特定位址，供給通過解碼器並更新狀態暫存器內的周邊裝置狀態資訊。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

在此實施例的一變化中，位址偵測電路包括一解碼器。在此實施例的另一變化中，位址偵測電路包括一比較器。

在此實施例的一變化中，核心邏輯單元位於單一半導體晶片中。在此實施例的進一步變化中，核心邏輯單元位於一半導體晶片組中。

本發明之另一實施例的特徵在於，係電腦系統內管理多數個周邊裝置之狀態特徵的方法。此方法包括接收周邊裝置之有關該裝置的狀態資訊，並經由通訊通道將狀態資訊傳送至耦合於中央處理單元的狀態暫存器。此方法並包括從周邊裝置傳送一中斷至中央處理單元。

圖示的簡單說明

圖 1 描述一習知的電腦系統，其中處理器 1 0 0 讀取位於個別周邊裝置 1 1 0，1 2 0 及 1 3 0 的狀態暫存器 1 1 2，1 2 2，及 1 3 2。

圖 2 描述包括一處理器的電腦系統，該處理器具有狀態暫存器 1 0 2 或具有內部狀態暫存器 1 0 7 的核心邏輯單元 1 0 3，用以依據本發明的實施例，儲存周邊裝置的狀態。

圖 3 描述一包括多數個處理器的電腦系統，該多數個處理器包括狀態暫存器 1 0 2，3 0 2，及 3 1 2 或具有單一狀態暫存器 1 0 7 之核心邏輯單元 1 0 3，用以依據本發明的實施例，儲存周邊裝置的狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

圖 4 描述依據本發明實施例之處理系統的結構。

圖 5 描述依據本發明實施例之狀態暫存器 102 或狀態暫存器 107 的結構。

圖 6 描述依據本發明之實施例，如何經由記憶體圖來完成狀態暫存器的更新。

圖 7 描述依據本發明之實施例，處理器 100 內的一些功能單元。

圖 8 描述依據本發明之實施例，北橋 408 的一些內部結構。

圖 9 描述依據本發明之實施例，狀態暫存器單元的部分內部結構。

圖 10 描述依據本發明之實施例，周邊裝置更新狀態暫存器的流程圖。

圖 11 描述依據本發明之實施例，處理器 100 如何使用狀態存器 102 或 107 的資訊來觸發一適當的中斷服務常式。

主要元件對照表

100	處理器
101	記憶體
102	狀態暫存器
103	核心處理單元
103	快取
104	中央處理單元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

- 1 0 5 匯流排
- 1 0 7 狀態暫存器
- 1 1 0 周邊裝置
- 1 1 2 狀態暫存器
- 1 2 0 周邊裝置
- 1 2 2 狀態暫存器
- 3 0 0 處理器
- 3 0 2 狀態暫存器
- 3 0 3 快取
- 3 1 2 狀態暫存器
- 3 2 0 匯流排
- 4 0 5 記憶體
- 4 0 6 碟片
- 4 0 8 北橋
- 4 1 0 南橋
- 4 1 2 基本輸入輸出系統 R O M
- 4 1 4 繪圖模組
- 4 1 5 音效卡
- 4 1 7 揚聲器
- 4 2 2 數據機
- 4 3 0 匯流排
- 4 3 2 匯流排
- 5 0 2 - 5 0 8 狀態裝置
- 6 0 0 位址空間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

- 6 1 0 基本輸入輸出系統映設
- 6 2 0 位址
- 6 3 0 實體記憶體
- 6 4 0 - 6 5 2 位址
- 7 0 2 算術邏輯單元
- 7 0 4 浮點單元
- 7 0 6 控制器
- 7 0 8 L 1 快取
- 7 1 0 監聽邏輯單元
- 7 1 2 暫存器
- 8 0 5 開關
- 9 0 0 解碼器
- 9 0 2 高階位址位元
- 9 0 4 低階位址位元
- 9 0 6 到達訊號
- 9 1 0 解碼器

發明的詳細描述

以下的描述係揭示於熟悉相關技術之人士，以製造或使用本發明，並且以特殊的應用及其需求來加以描述。所揭示之實施例的各種變化將顯見於熟悉相關技術之人士，且在不偏離本發明的精神及範圍下，此處所定義的一般原則可適用於其他的實施例及應用中。因而本發明不限於所示的實施例，而係依據符合此處所揭露之原則及特徵的最

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

廣範圍。

本發明第一實施例的綜述

圖 1 描述了習知技術的電腦系統，其中處理器 1 0 0 讀取位於個別周邊裝置 1 1 0，1 2 0 及 1 3 0 的狀態暫存器 1 1 2，1 2 2 及 1 3 2。處理器 1 0 0 經由核心處理單元 1 0 3 耦合於記憶體 1 0 1 及匯流排 1 0 5。回應一中斷時，處理器 1 0 0 詢訊狀態暫存器 1 1 2，1 2 2 及 1 3 2，以便決定哪一周邊裝置需要處理。此詢訊需要在匯流排 1 0 5 上執行多個操作。

圖 2 描述一種電腦系統，其包括具有內部狀態暫存器 1 0 2 的處理器 1 0 0，或具有內部狀態暫存器 1 0 7 的核心邏輯單元 1 0 3，以依據本發明的實施例來儲存周邊裝置的狀態。如圖 1 所述的系統，處理器 1 0 0 經由核心邏輯單元耦合至記憶體 1 0 1 及匯流排 1 0 5。處理器 1 0 0 可經由匯流排 1 0 5 存取周邊裝置 1 1 0、1 2 0 及 1 3 0。

然而，圖 2 所述的實施例在幾個方面不同於圖 1 的系統。圖 2 中，於中斷時，處理器 2 參考至狀態暫存器 1 0 2 或 1 0 7 以決定周邊裝置 1 1 0，1 2 0 及 1 3 0 的狀態。由於狀態暫存器 1 0 2 及 1 0 7 各別地位於處理器 1 0 0 及核心邏輯 1 0 3 的內部，因而，此為非常快速的動作。以處理器 1 0 0 參考至狀態暫存器 1 0 2 或 1 0 7 不須經由匯流排 1 0 5 來詢訊周邊裝置 1 1 0、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

1 2 0 及 1 3 0 。

替代的，周邊裝置 1 1 0、1 2 0 及 1 3 0 須更新狀態暫存器 1 0 2 或 1 0 7 內的狀態資訊。此更新僅當周邊裝置之狀態改變時才須發生。爲了更新狀態暫存器，如周邊裝置 1 1 0 的周邊裝置寫至匯流排 1 0 5 之位址空間的保留記憶體位置。在此保留的空間中，實際上並不存在有記憶體。替代的，附於此狀態暫存器的邏輯部分攔截關聯至這些保留位置的參照，並利用這些參照，適當的更新狀態暫存器，以反應周邊裝置所指示的狀態變化。

核心邏輯單元 1 0 3 內的狀態暫存器 1 0 7 爲處理器 1 0 0 之狀態暫存器 1 0 2 的替代實施例。參考至核心邏輯單元 1 0 3 之狀態暫存器 1 0 7 的速度小於參考至處理器 1 0 0 之狀態暫存器 1 0 2 者。然而，爲了實施，狀態暫存器 1 0 7 不須對處理器 1 0 0 做任何特別的改良。

一般而言，處理器 1 0 0 可以是電腦系統之任何形式的計算機引擎。此包括但並不限於，主架構處理器，微處理器，及微控制器。匯流排 1 0 5 可以是任何形式的通訊通道，用以在電腦系統中將處理器耦合至另一裝置，包括周邊裝置、記憶體裝置及其他處理器。此包括但並不限於，如 P C I 的匯流排，以及匯流排，其含有訊號，以便在分配式記憶體的多處理器系統的多個快取間，維持一致性。周邊裝置 1 1 0、1 2 0 及 1 3 0 可以是耦合於電腦系統之任何形式的周邊裝置。其包括但不限於，如磁碟機及磁帶機的資料儲存裝置；如鍵盤或滑鼠的資料輸入裝置；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

如顯示器或揚聲器的資料輸出裝置；以及如網路界面控制器的通訊裝置。

圖3顯示一電腦系統，其包括多個分別具有內部狀態暫存器102、302及312的處理器，或具有內部狀態暫存器107的核心邏輯單元103，以依據本發明的實施例來儲存周邊裝置的狀態。在此實施例中，處理器100、300及310分別包含快取103、303及313。快取103、303及313儲存來自記憶體101的指令碼及資料，以個別的供處理器100、300及310使用。處理器100、300及310及核心邏輯單元103耦合至匯流排320。核心邏輯單元103耦合於匯流排320、記憶體101及匯流排105。周邊裝置110、120及130耦合至匯流排105。

在此實施例中，匯流排320含有訊號以維持儲存於記憶體101之資料與儲存於快取103、303及313之複製資料的一致性。典型地，如果進入點所含有的複製資料在另一快取或記憶體320中更動，則使該進入點無效，藉此來維持一致性。處理器100、300及310使用“監聽邏輯操作”來“監聽”或聽取一組匯流排上的訊號以決定是否使一邏輯處理器之快取內的進入點無效。

在此實施例中，處理器100、300及310另外還包括個別的狀態暫存器102、302及312，其儲存有關周邊裝置110、120及130的狀態資訊。在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

此實施例中，藉由監視由“監聽邏輯單元”所監視的訊號，狀態暫存器 1 0 2、3 0 2 及 3 1 2 操作以使快取進入點無效。爲了更新狀態暫存器，一周邊裝置，如周邊裝置 1 1 0，寫至匯流排 1 0 5 之位址空間內的保留記憶體位置。

一般而言，更新記憶體 1 0 1 內的位置在匯流排上發生一無效訊號，以使儲存於記憶體位置之任何複製資料無效，前述的資料亦可能儲存於快取 1 0 3、3 0 3 及 3 1 3 中。由於在這些保存的位置空間中，實際上不存在有記憶體，無效訊號會一直使快取漏失。附於狀態暫存器的邏輯操作，擷取參考至這些保留位置的參照，並使用這些參照來適當的更新狀態暫存器，以反映一周邊裝置所指示的狀態變化。

電腦系統的描述

圖 4 說明依據本發明一實施例的處理系統結構。在所述的實施例中，C P U 1 0 4 經由北橋 4 0 8 耦合至記憶體 4 0 5 及匯流排 4 3 0。記憶體 4 0 5 可以是任何形式的半導體記憶體，且可使用於電腦系統中。匯流排 4 3 0 可以是任何形式之電腦系統匯流排。在一實施例中，匯流排 4 3 0 包括一 P C I 匯流排。匯流排 4 3 0 耦合至繪圖模組 4 1 4，其處理繪圖影像以輸出至顯示器。匯流排 4 3 0 並耦合於產生音頻訊號的音效卡 4 1 5。音效卡 4 1 5 耦合至揚聲器 4 1 7，使得音效卡 4 1 5 所產生的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

音頻訊號經由揚聲器 4 1 7 輸出。

在所述的實施例中，C P U 4 0 4 經由北橋 4 0 8，附加地耦合至南橋 4 1 0。北橋 4 0 8 及南橋 4 1 0 形成電腦系統之“核心邏輯”的一部份。此核心邏輯聯合並協調電腦系統中的元件操作。南橋與碟片 4 0 6 耦合，其可包含任何非揮發性的儲存裝置。其包括但不限於，磁性、光學、磁光及快閃記憶儲存裝置。南橋 4 1 0 並耦合至匯流排 4 3 2，其可為任何形式的電腦匯流排。在一實施例中，匯流排 4 3 2 包括一 I S A 匯流排。匯流排 4 3 2 允許 C P U 4 0 4 與耦合至匯流排 4 3 2 的 B I O S R O M 4 1 2 及數據機 4 2 2 通訊。數據機 4 2 2 可以是任何形式的數據機，藉此，電腦系統可跨過電話線來作通訊。

圖 4 描述了 C P U 內的狀態暫存器 1 0 2 及北橋 4 0 8 中的狀態暫存器 1 0 7。在另一實施例中，狀態暫存器 1 0 2 可以包括電腦系統內的獨立暫存器，其不包含於 C P U 4 0 4 或北橋 4 0 8 中。

狀態暫存器的描述

圖 5 顯示依據本發明實施例之狀態暫存器 1 0 7（或狀態暫存器 1 0 2）的結構。在所述的實施例中，狀態暫存器 1 0 7（或狀態暫存器 1 0 2）包括多個位元，其含有電腦系統之周邊裝置的狀態資訊。這些位元包括，狀態裝置 1 5 0 2，狀態裝置 2 5 0 4，狀態裝置 3

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(14)

5 0 6，及狀態裝置 N 5 0 8。當設定一狀態位元時，其表示對應的裝置需要服務。在本發明的其他實施例中，對於每一裝置，狀態暫存器 1 0 7（或狀態暫存器 1 0 2）包括多餘一個位元的狀態資訊。這些位元包括每一裝置的額外狀態資訊，超出僅係特定裝置要求服務的情況。例如，狀態資訊可指定裝置所需要的服務形式。

圖 6 描述依據本發明之實施例，如何經由記憶體圖來完成狀態暫存器的更新。在此實施例中，位址空間 6 0 0 係匯流排上，位址線的位址空間，如圖 1 的匯流排 1 0 5。位址空間 6 0 0 包括一位於位址空間下端的 B I O S 映圖 6 1 0。B I O S 映圖 6 1 0 包括指令碼以實施低階的作業系統功能。位址空間 6 0 0 在其上端額外的包括實體記憶體 6 3 0。實體記憶體 6 3 0 包含有處理器所使用的指令碼及資料以執行程式。介於 B I O S 映圖 6 1 0 及實體記憶體 6 3 0 間的一段位址空間 6 0 0，被保留以更新狀態暫存器 1 0 7（或狀態暫存器 1 0 2）。例如，位址 6 4 0 的取出，設定了裝置 1 5 0 2 的狀態位元，以指示裝置 1 要求服務，而位址 6 4 2 的取出，重設了位元 5 0 2，以指示裝置 1 不須服務。類似的，位址 6 4 4、6 4 8 及 6 5 2 的取出，個別的設定了狀態位元 5 0 4、5 0 6 及 5 0 8，且位址 6 4 6、6 4 8 及 6 5 2 的取出，則重設相同的狀態位元。

狀態暫存器位址的描述

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(15)

圖 7 描述依據本發明之實施例，處理器 100 內的一些功能單元。在所描述的實施例中，處理器 100 包括整數 A L U (算術邏輯單元) 702 及浮點單元 704，其實施計算的操作。處理器 100 並包括控制器 706，其可聯合處理器 100 內之各功能單元的做動。處理器 100 內的多個單元耦合於匯流排 105。這些包括 L1 快取 708，其在計算操作時，儲存處理器 100 所使用的指令或資料。在一些實施例中，L1 快取包括分離的指令及資料快取。監聽邏輯單元 710 並耦合於匯流排 105。監聽邏輯單元 710 聽取匯流排 105 上的訊號，該訊號含有“監聽”的資訊。且監聽邏輯單元 710 使用這些監聽的資訊，以使 L1 快取 708 的進入點無效。處理器 100 額外的包括暫存器 712，其暫時的儲存處理器 100 中，計算操作的資料值。暫存器 712 另外包括有圖 2 的狀態暫存器 102。

圖 8 描述依據本發明實施例之北橋 408 的一些內部結構。在此實施例中，狀態暫存器 107 存在於北橋 408 內的狀態暫存器 712 中。北橋 408 另外包括一開關 805，其在 C P U 404、記憶體 405 及匯流排 430 間切換資料。在此實施例中，狀態存器單元 712 聽取匯流排 430 上的存取，以偵測位址 620 之保存範圍的存取。

狀態暫存器之一實施例的描述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

圖 9 描述依據本發明之實施例，狀態暫存器單元 7 1 2 的部分內部結構。在此實施例中，狀態暫存器單元 7 1 2 內的邏輯單元監視來自匯流排 1 0 5 的位址線，以偵測參考至保存位址 6 2 0 的參照。更特定的，來自匯流排 1 0 5 的高階位址位元供應至解碼器 9 0 0 的輸入。如果高階位址位元指定保存位址 6 2 0 中一的位址，解碼器 9 0 0 產生一暫存器到達訊號 9 0.6，其供應至解碼器 9 1 0 的一致能輸入。在另一實施例中，高階位址位元 9 0 2 供應至比較器電路，其實施相同的位址偵測功能。一般而言，任何已知的位址偵測電路，皆可用來在保存的範圍 6 2 0 內偵測位址。低階位址位元 9 0 4 供應至解碼器 9 1 0 的輸入。這些輸出設定或重設狀態暫存器 1 0 7 (或狀態暫存器 1 0 2) 中的位元。在所述的實施例中，每一狀態暫存器 1 0 7 (或狀態暫存器 1 0 2) 的位元儲存於雙穩電路中，其包括兩個環形連接的 N A N D 閘，如圖 9 所示。每一對 N A N D 閘從解碼器 9 1 0 取得兩個輸入。如果上輸入為低，則位元被設定，且如果下輸入為低，則位元被重設。例如，位址 6 4 0 的取出使得解碼器 9 1 0 的上輸出成為低位準，其使對應的位元成為一數值。相反的，位址 6 4 2 的取出使得解碼器 9 1 0 之下一個較低的輸出成為低位準，其將相同的位元重設。最後，當狀態讀取信號 9 1 2 確立後，接附的制動器作動以將位元從狀態暫存器 1 0 2 或狀態暫存器 1 0 7 (或狀態暫存器 1 0 2) 讀取。此實施例描述了狀態暫存器 1 0 7 (或狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

態暫存器 102) 之多種可能結構的其一。一般而言，任何其他已知的暫存器結構皆可使用。

狀態暫存器的操作描述

圖 10 的流程圖顯示依據本發明的實施例，周邊裝置如何更新狀態暫存器。在此實施例中，周邊裝置從 1000 的狀態開始，並繼續至狀態 1002。在狀態 1002 中，周邊裝置偵測其狀態的改變。狀態的改變表示提出了服務的要求。例如，可備好資料以傳送至處理器 100。周邊裝置接著進行狀態 1004。在狀態 1004 中，周邊裝置在匯流排 105 上執行匯流排主控操作以更新狀態暫存器 102 (或 107)，並指示裝置需要服務。周邊裝置接著進行狀態 1006。在狀態 1006 中，周邊裝置產生一中斷訊號至處理器 100，以指示周邊裝置的服務需求。周邊裝置接著進行結束狀態 1008，而完成狀態暫存器的更新。

圖 11 的流程圖描述依據本發明的實施例，處理器 100 如何使用來自狀態存器 102 (或 107) 的資訊，來觸發中斷服務常式。處理器 100 開始於狀態 1100，接著進行狀態 1102。在狀態 1102 中，處理器 100 接收來自一周邊裝置的中斷，該裝置耦合於匯流排 105。處理器 100 接著處理狀態 1104，此狀態中，處理器 100 儲存該狀態以處理中斷。處理器 100 接著進行狀態 1106。在狀態 1106 中，處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

器 1 0 0 從中斷向量所指到的位置取得中斷指令。處理器 1 0 0 接著進行狀態 1 1 0 8。在該狀態中，處理器 1 0 0 將狀態暫存器 1 0 2 (或 1 0 7) 拷貝至處理器暫存器，以便檢視狀態暫存器 1 0 2 (或 1 0 7) 的內容。接著系統進行狀態 1 1 1 0。

在狀態 1 1 1 0 中，處理器 1 0 0 依據狀態暫存器 1 0 2 (或 1 0 7) 的內容，分岔成多個中斷服務常式 1 1 1 2、1 1 1 4 及 1 1 1 6。此分岔程序實際上需要多個指令以測試狀態暫存器 1 0 7 並實施適當的條件分岔。如果狀態暫存器 1 0 2 (或 1 0 7) 指示裝置 1 需要處理，處理器 1 0 0 則分岔至狀態 1 1 1 2，其為服務裝置 1 之中斷服務常式的開始點。此中斷服務常式一般包括大量的中斷服務指令 (此處未示)。中斷服務常式結束後，處理器 1 0 0 繼續至結束狀態 1 1 1 8。如果狀態暫存器 1 0 2 (或 1 0 7) 指示裝置 2 需要處理，處理器 1 0 0 則分岔至狀態 1 1 1 4，其為服務裝置 2 之中斷服務常式的開始點。此中斷服務常式結束後，處理器 1 0 0 繼續至結束狀態 1 1 1 8。同樣的，如果狀態暫存器 1 0 2 (或 1 0 7) 指示裝置 N 需要處理，處理器 1 0 0 則分岔至狀態 1 1 1 6，其為服務裝置 N 之中斷服務常式的開始點。此中斷服務常式結束後，處理器 1 0 0 繼續至結束狀態 1 1 1 8。

在本發明的一實施例中，於系統初始化的階段，初始化常式實施周邊裝置至狀態暫存器 1 0 2 (或 1 0 7) 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

特定位元的映圖處理，並將特定的中斷服務常式指定至特定的周邊裝置。在本發明的一實施例中，實施這些功能的程式（指令）碼存在於唯讀記憶體中，且其在啓動系統時被讀取。

定義

核心邏輯－電腦系統中的電路，其作為處理器至記憶體及周邊匯流排的界面，並執行其他的功能。

監聽匯流排－一種匯流排，其載送訊號以在含有多個處理器之電腦系統中，維持多個快取間的一致性與統一性。

前述之發明實施例的描述僅供闡述及描述之用。這些描述並不意圖限制本發明的範圍。明顯的，各種改良及變化將顯見於從事此技術之人士。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：具周邊狀態之內部暫存器的處理器或核心邏輯單元)

本發明的一個實施例是提供一種電腦系統，其在一狀態暫存器中保持了多個周邊裝置的狀態資訊，該暫存器位於電腦系統的一處理器或核心邏輯單元中。在此實施例中，如果藉由實施一匯流排主體者操作而將狀態資訊傳送至狀態暫存器以改變其狀態時，則周邊裝置更新狀態暫存器。接著，其產生一需求服務的中斷以指示處理器。當處理器服務此中斷時，處理器僅需讀取狀態暫存器，以決定哪一周邊裝置需要處理。由於狀態暫存器在處理器或核心邏輯的內部，因而為一非常快速的操作。不須費時的周邊裝置詢訊來決定周邊裝置的狀態。因而，本發明的一個實施例提供一裝置，其將周邊裝置的狀態資訊保持在一狀態暫存器中。此裝置包括一個耦合至多個周邊裝置的周邊通訊通道。一個更新的電路耦合於周邊通訊通道及狀態暫存器之間。此更新電路包括一機構，其反應一包含狀態資訊的訊號以更新狀態資訊，該訊號係經由周邊通訊通道從周邊裝置所接收。

英文發明摘要(發明之名稱：Processor or core logic unit with internal register for peripheral status)

One embodiment of the present invention provides a computer system that maintains status information for several peripheral devices in a status register, which is located within a processor or a core logic unit in the computer system. In this embodiment, a peripheral device updates the status register if its status changes by performing a bus master operation to transfer status information to the status register. It then generates an interrupt to indicate to a processor that it requires servicing. When the processor services the interrupt, the processor merely has to read the status register to determine which peripheral device requires processing. This is a very fast operation because the status register is internal to the processor or core logic. No time-consuming polling of peripheral devices is required to determine the status of the peripheral devices. Thus, one embodiment of the present invention provides an apparatus within a processor or a core logic unit that maintains status information for peripheral devices in a status register. This apparatus includes a peripheral communication channel coupled to a number of peripheral devices. An updating circuit is located within the processor or core logic unit and is coupled between the peripheral communication channel and the status register. This updating circuit includes a mechanism to update the status register in response to signals containing status information received from the peripheral devices through the peripheral communication channel.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1 . 一種電腦系統，其保持了多個周邊裝置的狀態資訊，包括：

中央處理單元；

耦合至中央處理單元的通訊通道；

至少一個耦合至通訊通道的周邊裝置；

與中央處理單元通訊的狀態暫存器；及

耦合於通訊通道及狀態暫存器間的更新電路，更新電路包括一機構，其反應一包含狀態資訊的訊號以更新狀態資訊，該訊號係經由周邊通訊通道從周邊裝置所接收。

2 . 如申請專利範圍第 1 項的電腦系統，其中狀態暫存器位於中央處理單元內。

3 . 如申請專利範圍第 1 項的電腦系統，其中狀態暫存器位於耦合至中央處理單元之核心邏輯單元內。

4 . 如申請專利範圍第 1 項的電腦系統，其中中央處理單元經由核心邏輯單元耦合至通訊通道。

5 . 如申請專利範圍第 1 項的電腦系統，其中通訊通道包括 C P U 匯流排。

6 . 如申請專利範圍第 1 項的電腦系統，其中通訊通道包括處理器－至－記憶體匯流排。

7 . 如申請專利範圍第 1 項的電腦系統，進一步包括多數個耦合至通訊通道的周邊裝置，且其中狀態暫存器包含多數個周邊裝置的狀態資訊。

8 . 如申請專利範圍第 1 項的電腦系統，其中中央處理單元包括一指令，其檢驗狀態暫存器，並依據狀態暫存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

器所包含的資訊，跳至多數個不同的中斷服務常式以服務不同的周邊裝置。

9．如申請專利範圍第1項的電腦系統，進一步包括：

多數個耦合至通訊通道的中央處理單元；

多數個耦合於個別中央處理單元及通訊通道間的狀態暫存器，狀態暫存器包含有至少一耦合至通訊通道之周邊裝置的狀態資訊。

10．如申請專利範圍第1項的電腦系統，進一步包括一連線“或”中斷架構，其將周邊裝置經由核心處理單元耦合至中央處理單元，以便從至少一周邊裝置傳送一中斷訊號至中央處理單元。

11．一種電腦系統，其保持了多個周邊裝置的狀態資訊，包括：

中央處理單元；

耦合至中央處理單元的匯流排；

耦合至匯流排的多數個周邊裝置；

與中央處理單元通訊的狀態暫存器，用以儲存多數個周邊裝置的狀態資訊；

耦合於至少一周邊裝置及中央處理單元間的雛菊鏈式中斷架構，用以從至少一周邊裝置傳送中斷訊號至中央處理單元，及

耦合於匯流排及狀態暫存器間的更新電路，更新電路包括一機構，其反應一包含狀態資訊的訊號以更新狀態資

六、申請專利範圍

訊，該訊號係經由匯流排從周邊裝置所接收。

1 2 . 如申請專利範圍第 1 1 項的電腦系統，其中狀態暫存器位於中央處理單元內。

1 3 . 如申請專利範圍第 1 1 項的電腦系統，其中狀態暫存器位於耦合至中央處理單元之核心邏輯單元內。

1 4 . 如申請專利範圍第 1 1 項的電腦系統，其中中央處理單元經由核心邏輯單元耦合至匯流排。

1 5 . 如申請專利範圍第 1 1 項的電腦系統，進一步包括：

多數個耦合至匯流排的中央處理單元；

多數個耦合於個別中央處理單元及匯流排間的狀態暫存器，多數個狀態暫存器包含有至少一耦合至匯流排之周邊裝置的狀態資訊。

1 6 . 如申請專利範圍第 1 1 項的電腦系統，其中中央處理單元包括一指令，其檢驗狀態暫存器，並依據狀態暫存器所包含的資訊，跳至多數個不同的中斷服務常式以服務不同的周邊裝置。

1 7 . 一種電腦系統核心邏輯單元內的裝置，用以更新狀態暫存器以指示電腦系統中周邊裝置的狀態改變，包括：

多數個耦合至匯流排之位址線之位址輸入；

耦合於多數個位址輸入中之一組高階位元的位址偵測電路，用以在保留的位址範圍中偵測一位址，該位址範圍係由一組高階位元所指定；及

六、申請專利範圍

耦合於多數個位址輸出中之一組低階位元的位址解碼器電路，在保留的位址範圍中偵測一特定位址參照；及

狀態暫存器，從解碼器電路耦合至一組輸出，使得位址保留範圍內的特定位址參照藉由周邊裝置，並經由解碼器電路而供給，並更新狀態暫存器內周邊裝置的狀態資訊，狀態暫存器包括耦合至中央處理單元的輸出，使得狀態暫存器可藉由中央處理單元讀取。

18．如申請專利範圍第17項的裝置，其中位址偵測電路包括一解碼器。

19．如申請專利範圍第17項的裝置，其中位址偵測電路包括一比較器。

20．如申請專利範圍第17項的裝置，其中核心邏輯單元位於單一半導體晶片中。

21．如申請專利範圍第17項的裝置，其中核心邏輯單元位於半導體晶片組中。

22．如申請專利範圍第17項的裝置，其中匯流排包括處理器—至—記憶體匯流排。

23．如申請專利範圍第17項的裝置，其中匯流排包括周邊匯流排。

24．一種管理電腦系統中多數個周邊裝置之狀態資訊的方法，包括：

經由通訊通道接收來自周邊裝置的狀態資訊；

反應於來自周邊裝置的狀態資訊，更新與中央處理單元通訊的狀態暫存器；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

服務需要服務的周邊裝置。

25. 如申請專利範圍第24項的方法，進一步包括：

將狀態資訊從周邊裝置經由通訊通道傳送至狀態暫存器；及

從周邊裝置傳送一中斷至中央處理單元。

26. 如申請專利範圍第24項的方法，其中從周邊裝置接收狀態資訊的方法包括接收一組保存位址中之特定位址的存取，其中特定位址的存取表示特定周邊裝置的特定狀態。

27. 如申請專利範圍第24項的方法，其中經由通訊通道接收狀態資訊的方法包括從周邊裝置經由電腦系統匯流排接收狀態資訊。

28. 如申請專利範圍第24項的方法，其中接收狀態資訊的方法包括從周邊裝置經由一匯流排接收狀態資訊，該匯流排並載有用以維持電腦系統中多個快取間之一致性的訊號。

29. 如申請專利範圍第24項的方法，其中接收狀態資訊的方法包括從周邊裝置經由處理器至記憶體匯流排接收狀態資訊。

30. 如申請專利範圍第24項的方法，其中更新狀態暫存器以指示周邊裝置之狀態的方法包括更改狀態暫存器內的位元。

31. 如申請專利範圍第24項的方法，其中從周邊

(請先閱讀背面之注意事項再填寫本頁)

訂

編

六、申請專利範圍

裝置接收中斷的方法包括經由耦合於至少一周邊裝置及中央處理單元間的雛菊鏈式中斷架構來接收中斷。

3 2 . 如申請專利範圍第 2 4 項的方法，其中測試中斷暫存器以決定多數個周邊裝置中何者需要服務的步驟包括執行一指令，其檢測狀態暫存器，並依據包含有狀態暫存器的資訊，跳至不同的中斷服務常式以服務不同的周邊裝置。

3 3 . 一種管理電腦系統中多數個周邊裝置之狀態資訊的方法，包括：

在周邊裝置處接收有關該周邊裝置的資訊；

將狀態資訊從周邊裝置經由匯流排傳送至狀態暫存器，該狀態暫存器與電腦系統中的中央處理單元通訊；

在狀態暫存器接收狀態資訊；

更新狀態暫存器以指示周邊裝置的資訊；

從周邊裝置傳送一中斷至中央處理單元；

在中央處理單元接收中斷；

反應於中斷，測試狀態暫存器以決定多數個周邊裝置中何者需要服務；及

服務需要服務的周邊裝置。

3 4 . 如申請專利範圍第 3 3 項的方法，其中從周邊裝置接收狀態資訊的方法包括接收一組保存位址中之特定位址的存取，其中特定位址的存取表示特定周邊裝置的特定狀態。

3 5 . 如申請專利範圍第 3 3 項的方法，其中接收狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

態資訊的方法包括從周邊裝置經由一匯流排接收狀態資訊，該匯流排並載有用以維持電腦系統中多個快取間之一致性的訊號。

3 6 . 如申請專利範圍第 3 3 項的方法，其中接收狀態資訊的方法包括從周邊裝置經由處理器－至－記憶體匯流排接收狀態資訊。

3 7 . 如申請專利範圍第 3 3 項的方法，其中更新狀態暫存器以指示周邊裝置之狀態的方法包括更改狀態暫存器內的位元。

3 8 . 如申請專利範圍第 3 3 項的方法，其中從周邊裝置接收中斷的方法包括經由耦合於至少一周邊裝置及中央處理單元間的雛菊鏈式中斷架構來接收中斷。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

413776

88101137

1/8

829251'

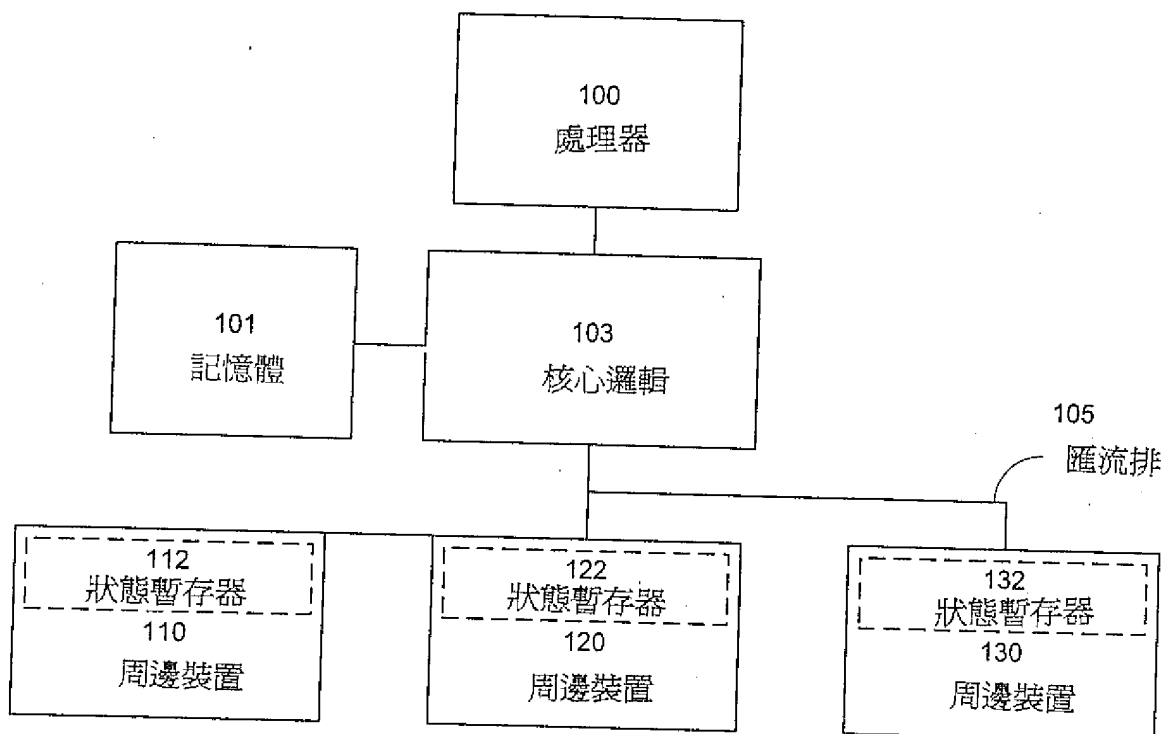


圖 1

(習知技術)

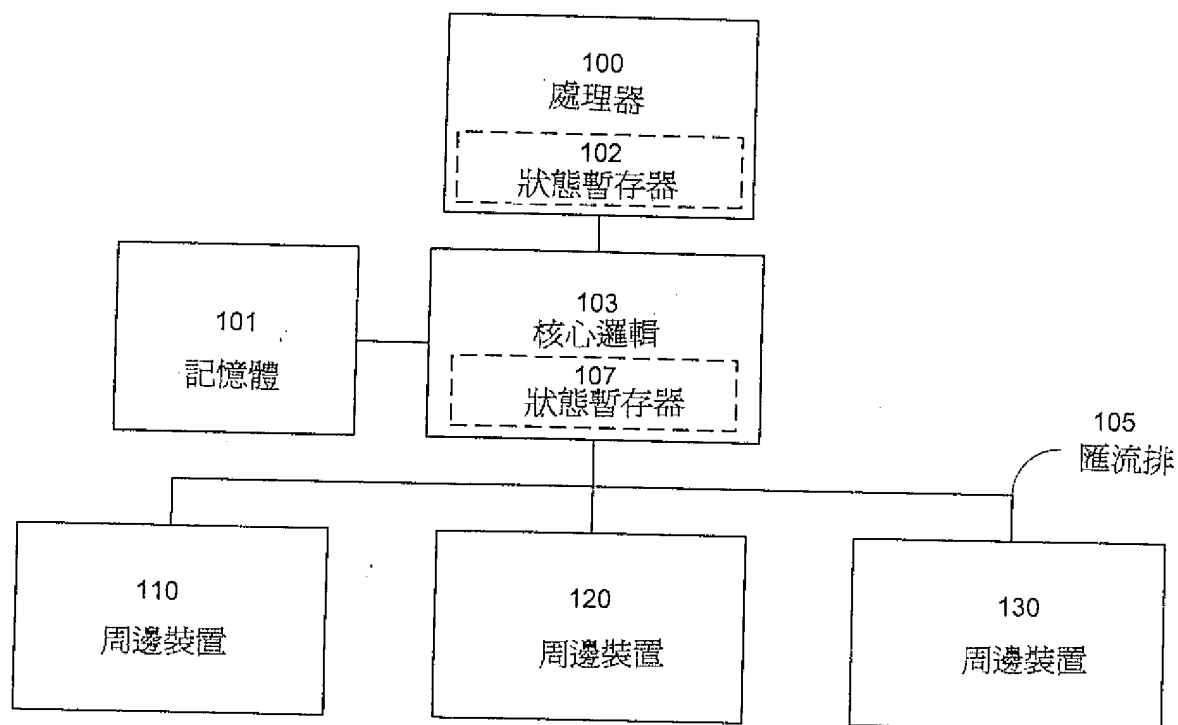


圖 2

2/8

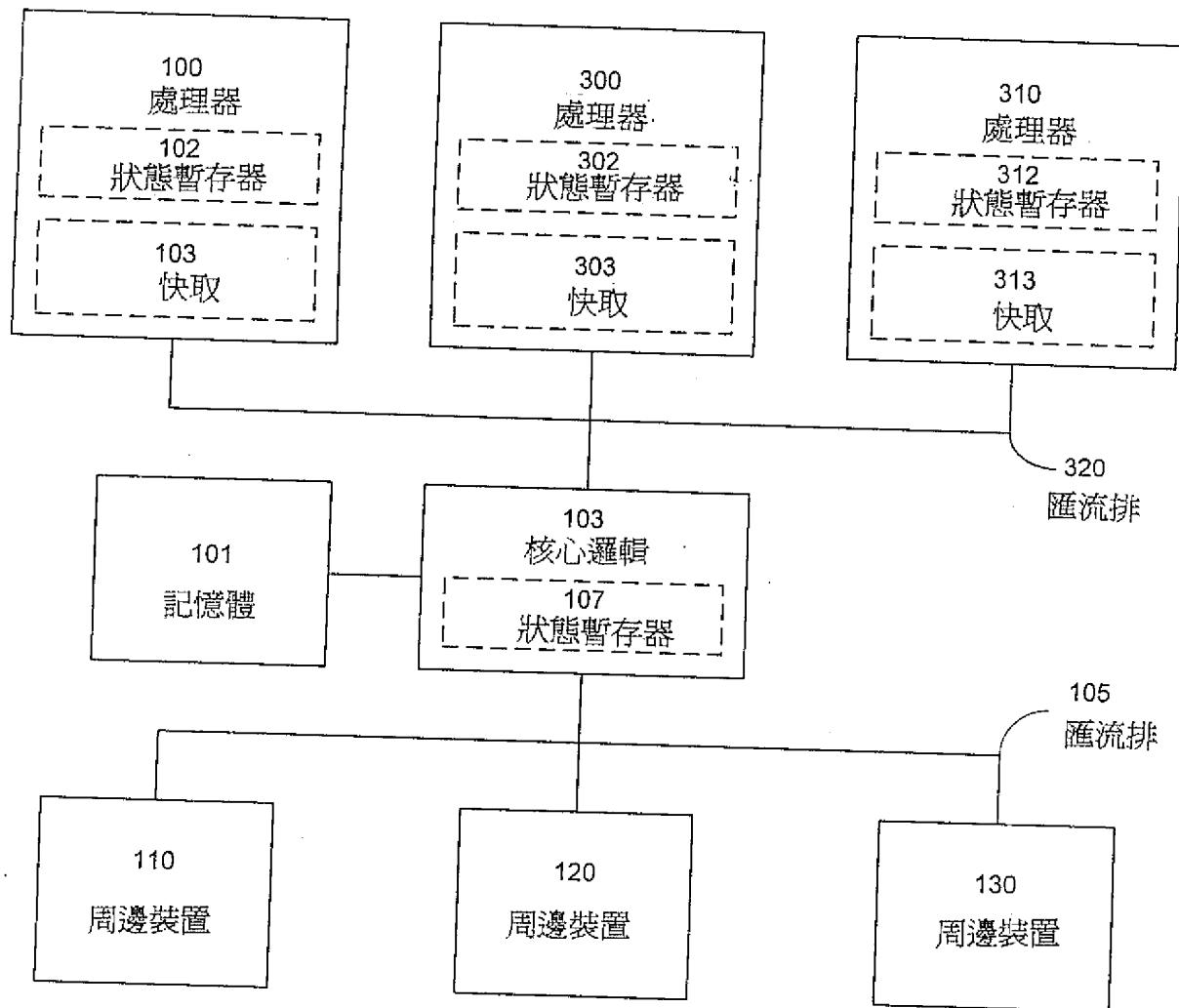


圖 3

413776

3/8

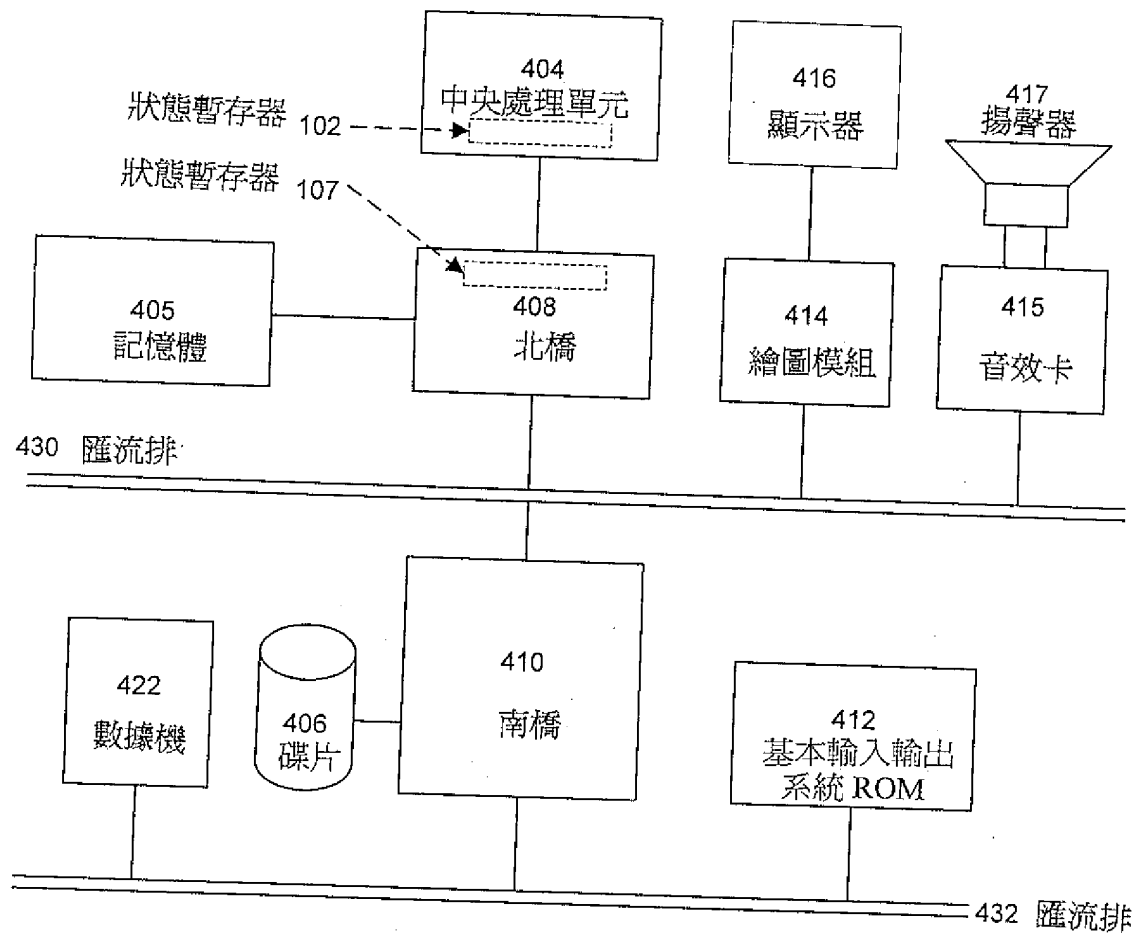


圖 4

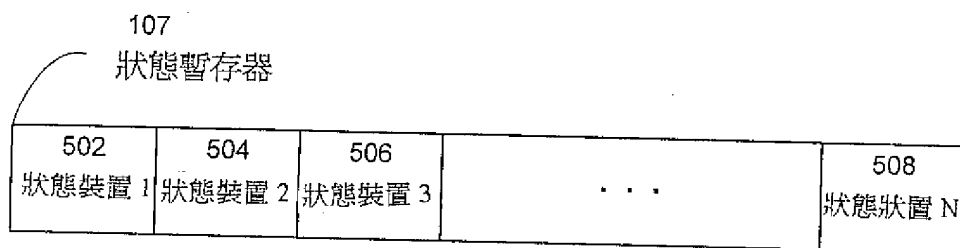


圖 5

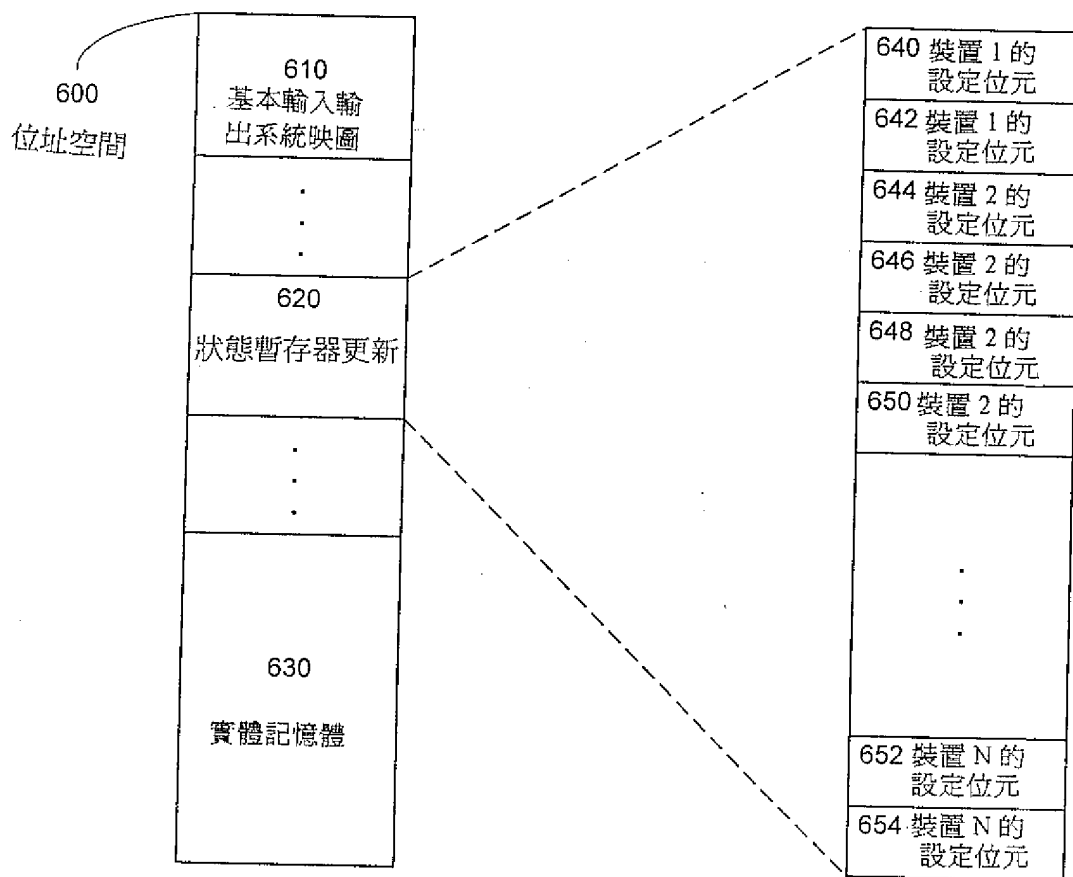


圖 6

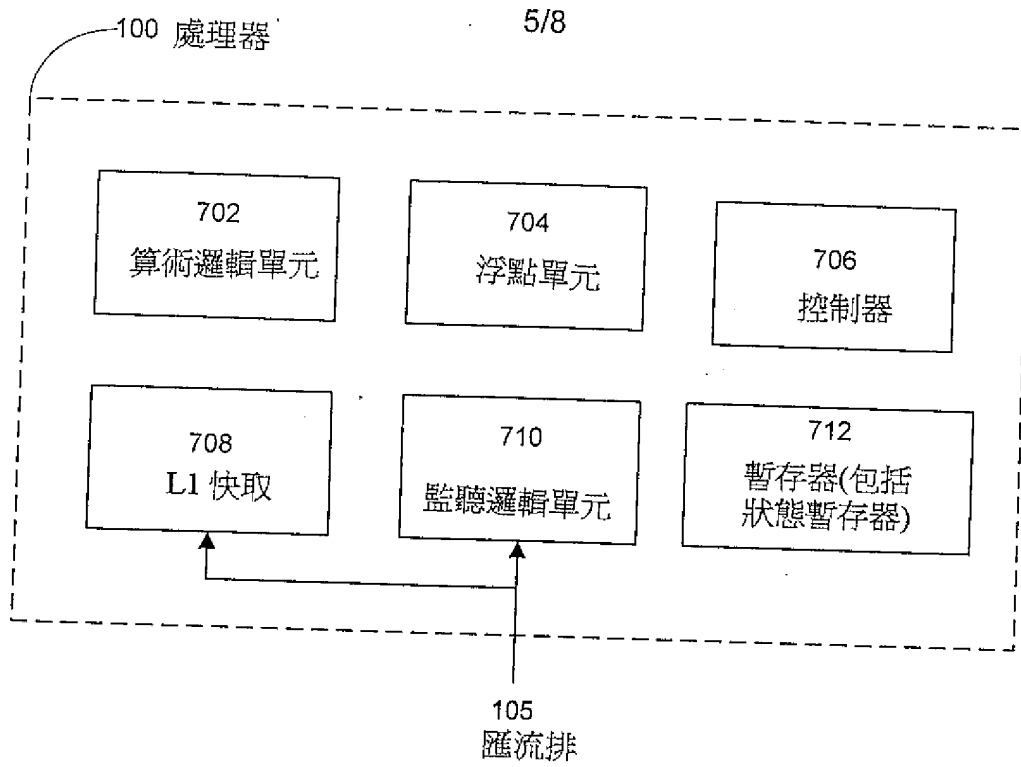


圖 7

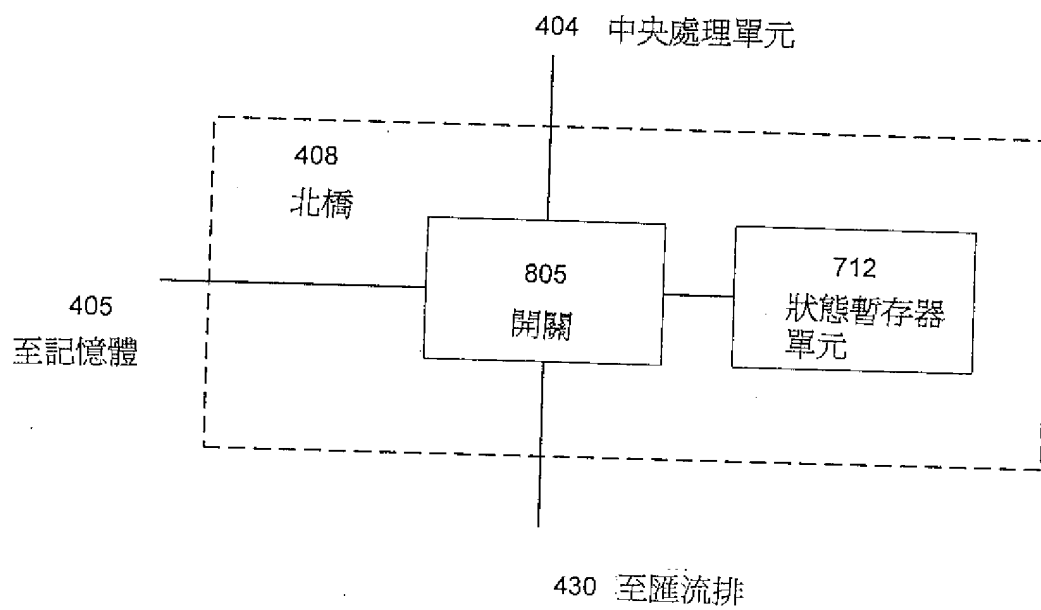


圖 8

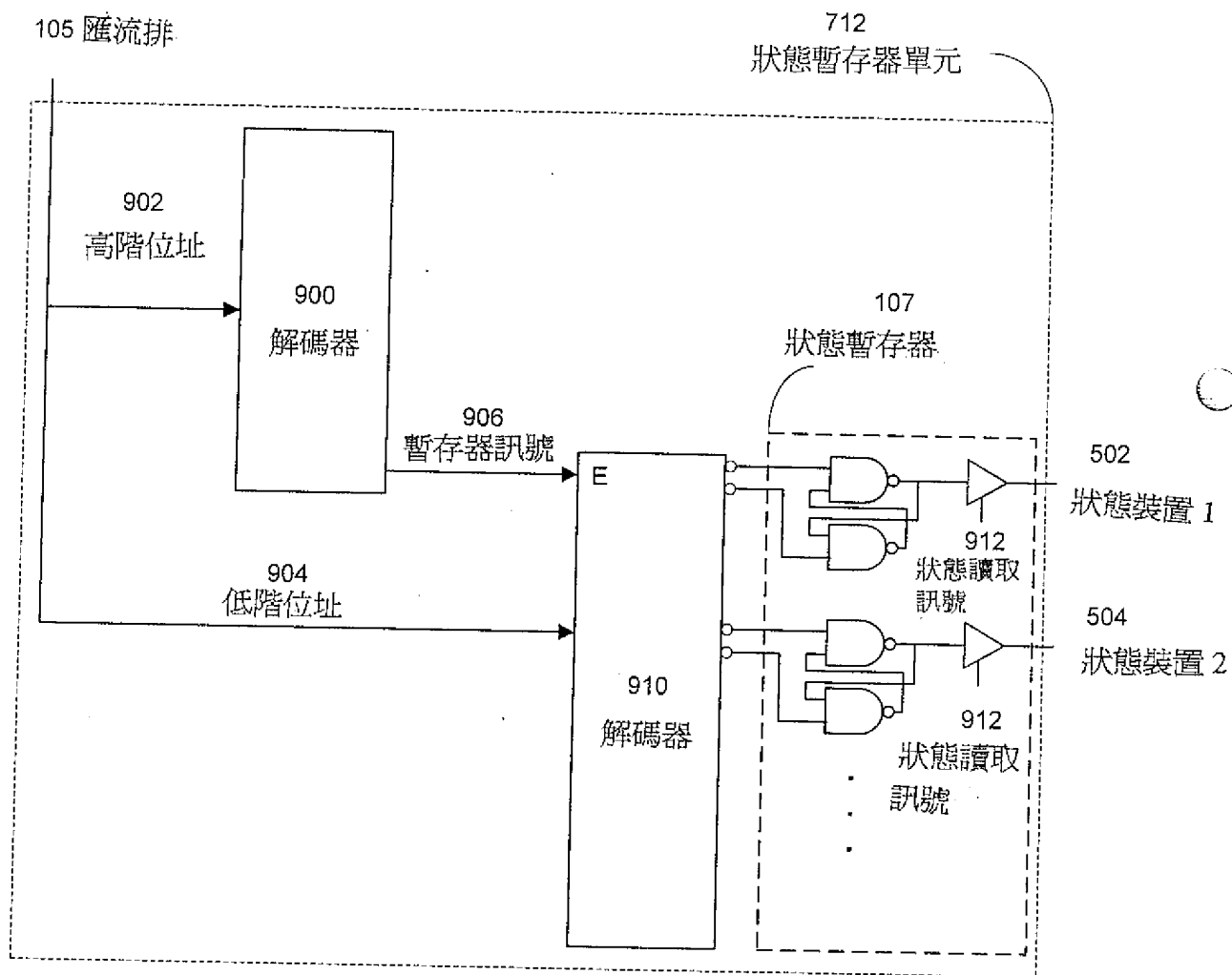


圖 9

7/8

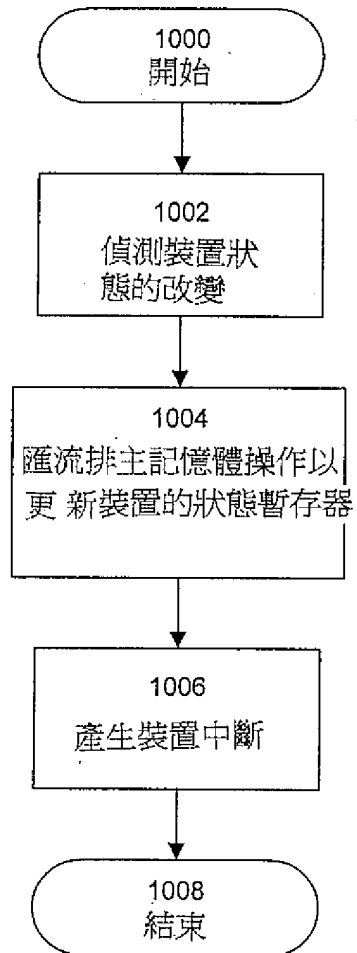


圖 10

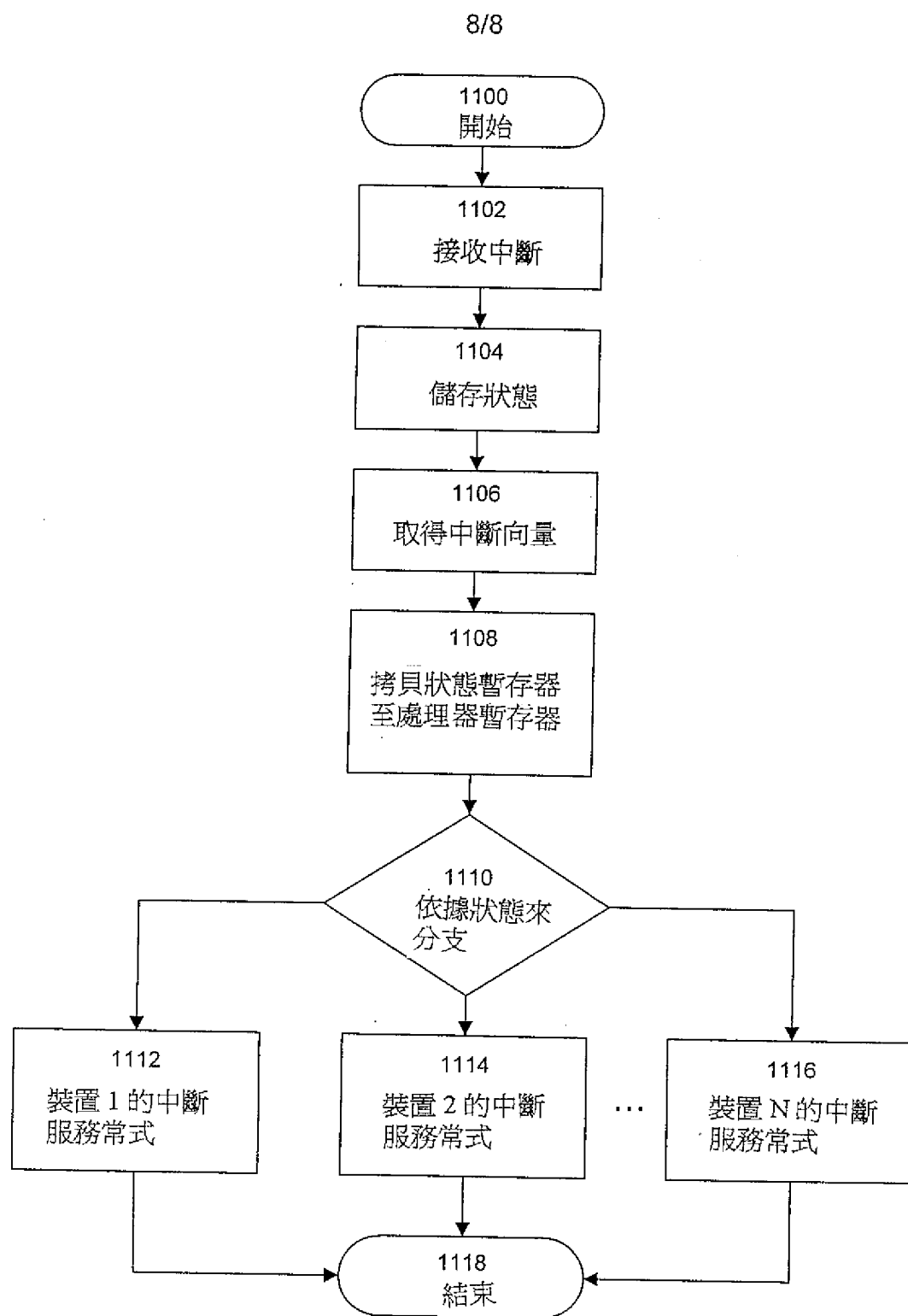


圖 11