

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成23年7月28日(2011.7.28)

【公表番号】特表2010-529534(P2010-529534A)

【公表日】平成22年8月26日(2010.8.26)

【年通号数】公開・登録公報2010-034

【出願番号】特願2010-510322(P2010-510322)

【国際特許分類】

G 06 F 12/08 (2006.01)

G 06 F 12/10 (2006.01)

【F I】

G 06 F 12/08 517B

G 06 F 12/08 509B

G 06 F 12/08 559F

G 06 F 12/10 501Z

G 06 F 12/08 513

G 06 F 12/08 509F

G 06 F 12/08 501B

【手続補正書】

【提出日】平成23年5月27日(2011.5.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも第1の1次キャッシュおよび高次キャッシュを含むキャッシュ階層を有するプロセッサであって、前記プロセッサは、

物理メモリ空間の第1の部分を前記高次キャッシュの第1の部分にマップし、

少なくとも一部がマイクロコードを含む命令を実行し、

前記命令の第1の命令をデコードし、

前記第1の命令の前記デコードに応答してマイクロコードアクセス信号が検出された場合に、前記第1の命令がマイクロコードを表していると判定すると共に前記第1の命令が前記高次キャッシュの前記第1の部分にアクセスするのを許可し、

前記第1の命令の前記デコードに応答してマイクロコードアクセス信号が検出されなかった場合に、前記第1の命令がマイクロコードを表していないと判定すると共に前記第1の命令が前記高次キャッシュの前記第1の部分にアクセスするのを阻止するように構成されているプロセッサ。

【請求項2】

前記物理メモリ空間の前記第1の部分は、マイクロコードが使用するために恒久的に割り当てられる請求項1に記載のプロセッサ。

【請求項3】

前記プロセッサは、

前記高次キャッシュの前記第1の部分の1つ以上のキャッシュラインを、前記高次キャッシュから前記第1の1次キャッシュの第1の部分に移動させ、
マイクロコードが、前記第1の1次キャッシュの前記第1の部分にアクセスするのを許可し、

マイクロコードを含まない命令が、前記第1の1次キャッシュの前記第1の部分にアクセスするのを阻止するように更に構成されている請求項1に記載のプロセッサ。

【請求項4】

前記プロセッサは、前記第1の命令の1つ以上のビットが所定の状態を有しているのを検出することによって前記デコードの間に前記第1の命令がマイクロコードを表していると判定するように更に構成されている請求項1に記載のプロセッサ。

【請求項5】

変換ルックアサイドバッファ(TLB)を更に有し、前記プロセッサは、マイクロコードを含まない命令が、前記物理メモリ空間の前記第1の部分にアクセスするのを阻止するために、前記物理メモリ空間の前記第1の部分へのTLBリフィルを禁止するように更に構成されている請求項4に記載のプロセッサ。

【請求項6】

少なくとも第1のコアおよび第2のコアを更に有し、前記第2のコアは、前記物理メモリ空間の第2の部分を前記高次キャッシュの第2の部分にマップし、少なくとも一部がマイクロコードを含む命令を実行し、マイクロコードが、前記高次キャッシュの前記第2の部分にアクセスするのを許可し、マイクロコードを含まない命令が、前記高次キャッシュの前記第2の部分にアクセスするのを阻止するように構成されている請求項1に記載のプロセッサ。

【請求項7】

前記第1のコアは前記第1の1次キャッシュを有し、前記第2のコアは第2の1次キャッシュを有し、

前記第1のコアは、

前記高次キャッシュの前記第1の部分にマップされている1つ以上のキャッシュラインを、前記高次キャッシュから前記第1の1次キャッシュの一部に移動させ、

マイクロコードが、前記第1の1次キャッシュの前記一部にアクセスするのを許可し、

マイクロコードを含まない命令が、前記第1の1次キャッシュの前記一部にアクセスするのを阻止するように構成され、

前記第2のコアは、

前記高次キャッシュの前記第2の部分にマップされている1つ以上のキャッシュラインを、前記高次キャッシュから前記第2の1次キャッシュの一部に移動させ、

マイクロコードが、前記第2の1次キャッシュの前記一部にアクセスするのを許可し、

マイクロコードを含まない命令が、前記第2の1次キャッシュの前記一部にアクセスするのを阻止するように構成されている請求項6に記載のプロセッサ。

【請求項8】

プロセッサのキャッシュ階層において、物理メモリ空間の第1の部分を高次キャッシュの第1の部分にマップするステップと、

第1のプロセッサコアにより、少なくとも一部がマイクロコードを含む命令を実行するステップと、

少なくとも第1の1次キャッシュおよび高次キャッシュを含むキャッシュ階層を有するプロセッサであって、前記プロセッサは、

物理メモリ空間の第1の部分を前記高次キャッシュの第1の部分にマップし、

少なくとも一部がマイクロコードを含む命令を実行し、

前記命令の第1の命令をデコードするステップと、

前記第1の命令の前記デコードに応答してマイクロコードアクセス信号が検出された場合に、前記第1の命令がマイクロコードを表していると判定すると共に前記第1の命令が前記高次キャッシュの前記第1の部分にアクセスするのを許可するステップと、

前記第1の命令の前記デコードに応答してマイクロコードアクセス信号が検出されなかった場合に、前記第1の命令がマイクロコードを表していないと判定すると共に前記第1の命令が前記高次キャッシュの前記第1の部分にアクセスするのを阻止するように構成さ

れているステップと、を含む方法。

【請求項 9】

前記物理メモリ空間の前記第1の部分をマイクロコードが使用するために恒久的に割り当てるステップを更に含む、請求項8に記載の方法。

【請求項 10】

前記高次キャッシュの前記第1の部分の1つ以上のキャッシュラインを、前記高次キャッシュから、前記プロセッサの第1の1次キャッシュの第1の部分に移動させるステップと、

マイクロコードが、前記第1の1次キャッシュの前記第1の部分にアクセスするのを許可するステップと、

マイクロコードを含まない命令が、前記第1の1次キャッシュの前記第1の部分にアクセスするのを阻止するステップとを更に含む、請求項8に記載の方法。

【請求項 11】

前記プロセッサは、前記第1の命令の1つ以上のビットが所定の状態を有しているのを検出することによって前記デコードの間に前記第1の命令がマイクロコードを表していると判定するように更に構成されているステップを更に含む、請求項8に記載の方法。

【請求項 12】

前記マイクロコードアクセス信号がアサートされていない場合、命令が前記物理メモリ空間の前記第1の部分にアクセスするのを阻止する前記ステップは、変換ルックアサイドバッファ（T L B）からの前記物理メモリ空間の前記第1の部分へのリフィルを禁止するステップを更に含む、請求項11に記載の方法。

【請求項 13】

前記物理メモリ空間の第2の部分を前記高次キャッシュの第2の部分にマップするステップと、

第2のプロセッサコアにより、少なくとも一部がマイクロコードを含む命令を実行するステップと、

前記第2のプロセッサコアにより、マイクロコードが、前記高次キャッシュの前記第2の部分にアクセスするのを許可するステップと、

前記第2のプロセッサコアにより、マイクロコードを含まない命令が、前記高次キャッシュの前記第2の部分にアクセスするのを阻止するステップとを更に含む、請求項8に記載の方法。

【請求項 14】

前記高次キャッシュの前記第1の部分にマップされている1つ以上のキャッシュラインを、前記高次キャッシュから第1の1次キャッシュの一部に移動させるステップと、

前記高次キャッシュの前記第2の部分にマップされている1つ以上のキャッシュラインを、前記高次キャッシュから第2の1次キャッシュの一部に移動させるステップと、

マイクロコードが、前記第1の1次キャッシュの前記一部および／または前記第2の1次キャッシュの前記一部にアクセスするのを許可するステップと、

マイクロコードを含まない命令が、前記第1の1次キャッシュの前記一部にアクセスするのを阻止するステップと、

マイクロコードを含まない命令が、前記第2の1次キャッシュの前記一部にアクセスするのを阻止するステップと、を更に有する請求項13に記載の方法。