



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월09일 10-0681266 2007년02월05일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0067366 2005년07월25일 2005년08월02일	(65) 공개번호 (43) 공개일자	10-2007-0013034 2007년01월30일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자                      삼성전자주식회사  
   경기도 수원시 영통구 매탄동 416

(72) 발명자                              최석현  
   경기도 수원시 영통구 영통동 롯데아파트 946동1402호

   홍창기  
   경기도 성남시 분당구 구미동 무지개마을 삼성아파트 1007동302호

   손윤호  
   경기 용인시 기흥읍 지곡리 써니밸리아파트 102동 301호

   허장은  
   서울특별시 도봉구 방학1동 삼성래미안아파트 202동 702호

(74) 대리인                              박영우

(56) 선행기술조사문헌  
KR1020050071965 A \*  
\* 심사관에 의하여 인용된 문헌

심사관 : 박근오

전체 청구항 수 : 총 36 항

## (54) 가변 저항 구조물의 제조 방법 및 이를 이용한 상변화메모리 장치의 제조 방법

### (57) 요약

향상된 전기적 특성을 갖는 가변 저항 구조물의 제조 방법 및 이를 이용한 상변화 메모리 장치의 제조 방법이 개시된다. 콘택 영역을 갖는 기관 상에 제1 절연막을 형성한 후, 제1 절연막에 콘택 영역을 노출시키는 콘택 홀을 형성한다. 콘택 홀을 채우면서 제1 절연막 상에 제1 도전막을 형성한 다음, 제1 도전막 상에 제1 보호막 패턴을 형성한다. 제1 도전막을 부분적으로 식각하여 콘택 영역에 접촉되는 콘택을 형성하는 동시에 콘택 상에 패드를 형성한다. 제1 보호막 패턴 상에 제2 보호막을 형성한 후, 제2 보호막 및 제1 보호막 패턴에 패드를 노출시키는 개구를 형성한다. 패드 상에 개구를 채우는 제1 전극을 형성한 다음, 제1 전극 및 제2 보호막 상에 상변화 물질막 패턴 및 제2 전극을 순차적으로 형성한다.

대표도

도 2

## 특허청구의 범위

### 청구항 1.

콘택 영역을 갖는 기판 상에 제1 절연막을 형성하는 단계;

상기 제1 절연막에 상기 콘택 영역을 노출시키는 콘택 홀을 형성하는 단계;

상기 콘택 홀을 채우면서 상기 제1 절연막 상에 제1 도전막을 형성하는 단계;

상기 제1 도전막 상에 제1 보호막 패턴을 형성하는 단계;

상기 제1 보호막 패턴을 식각 마스크로 이용하는 건식 식각 공정을 통해, 상기 제1 도전막을 부분적으로 식각함으로써 상기 콘택 영역에 접촉되는 콘택과 상기 콘택 상에 패드를 동시에 형성하는 단계;

상기 제1 보호막 패턴 상에 제2 보호막을 형성하는 단계;

상기 제2 보호막 및 상기 제1 보호막 패턴에 상기 패드를 노출시키는 개구를 형성하는 단계;

상기 패드 상에 상기 개구를 채우는 제1 전극을 형성하는 단계;

상기 제1 전극 및 상기 제2 보호막 상에 상변화 물질막 패턴을 형성하는 단계; 및

상기 상변화 물질막 패턴 상에 제2 전극을 형성하는 단계를 포함하는 가변 저항 구조물의 제조 방법.

### 청구항 2.

제1항에 있어서, 상기 제1 도전막을 형성하는 단계는,

상기 콘택 홀을 채우면서 상기 제1 절연막 상에 예비 제1 도전막을 형성하는 단계; 및

상기 예비 제1 도전막의 표면을 연마하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

### 청구항 3.

제2항에 있어서, 상기 예비 제1 도전막의 표면을 연마하는 단계는 화학 기계적 연마 공정을 이용하여 수행되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

### 청구항 4.

삭제

### 청구항 5.

제1항에 있어서, 상기 제2 보호막을 형성하기 전에 상기 제1 보호막 패턴 및 상기 패드를 감싸는 제2 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 6.

제5항에 있어서, 상기 제1 절연막 및 상기 제2 절연막은 산화물을 사용하여 형성되며, 상기 제1 보호막 및 상기 제2 보호막은 질화물 또는 산질화물을 사용하여 형성되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 7.

제1항에 있어서, 상기 제2 보호막 상에 희생막을 형성하는 단계를 더 포함하며, 상기 개구는 상기 희생막으로부터 상기 제1 보호막 패턴까지 형성되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 8.

제7항에 있어서, 상기 희생막은 산화물을 사용하여 형성되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 9.

제7항에 있어서, 상기 개구의 측벽 상에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 10.

제7항에 있어서, 상기 제1 전극을 형성하는 단계는,

상기 개구를 채우며 상기 희생막 상에 제2 도전막을 형성하는 단계; 및

상기 제2 도전막을 부분적으로 제거하여 상기 개구에 매립되는 예비 제1 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 11.

제10항에 있어서, 상기 예비 제1 전극을 형성하는 단계는 화학 기계적 연마 공정을 이용하여 수행되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 12.

제10항에 있어서, 상기 희생막을 제거하여 상기 제2 보호막의 상부로 상기 예비 제1 전극을 돌출시키는 단계; 및

상기 예비 제1 전극의 돌출된 부분을 제거하여 상기 제1 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 13.

제12항에 있어서, 상기 제1 전극을 형성하는 단계는 화학 기계적 연마 공정을 이용하여 수행되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 14.

제12항에 있어서, 상기 희생막을 제거하는 단계는 에치 백 공정을 이용하여 수행되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 15.

콘택 영역을 갖는 기판 상에 제1 절연막을 형성하는 단계;

상기 제1 절연막에 상기 콘택 영역을 노출시키는 콘택 홀을 형성하는 단계;

상기 콘택 홀을 채우면서 상기 제1 절연막 상에 제1 도전막을 형성하는 단계;

상기 제1 도전막 상에 제1 보호막 패턴을 형성하는 단계;

상기 제1 보호막 패턴을 식각 마스크로 이용하는 건식 식각 공정을 통해, 상기 제1 도전막을 부분적으로 식각함으로써 상기 콘택 영역에 접촉되는 콘택을 형성하는 동시에 상기 콘택 상에 제1 전극을 형성하는 단계;

상기 제1 보호막 패턴 상에 제2 보호막을 형성하는 단계;

상기 제2 보호막 및 상기 제1 보호막 패턴에 상기 제1 전극을 노출시키는 개구를 형성하는 단계;

상기 제1 전극 상에 상기 개구를 채우는 상변화 물질막 패턴을 형성하는 단계; 및

상기 상변화 물질막 패턴 및 상기 제2 보호막 상에 제2 전극을 형성하는 단계를 포함하는 가변 저항 구조물의 제조 방법.

#### 청구항 16.

제15항에 있어서, 상기 제1 도전막을 형성하는 단계는;

상기 콘택 홀을 채우면서 상기 제1 절연막 상에 예비 제1 도전막을 형성하는 단계; 및

상기 예비 제1 도전막의 표면을 화학 기계적 연마 공정으로 연마하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 17.

삭제

#### 청구항 18.

제15항에 있어서, 상기 제2 보호막을 형성하기 전에 상기 제1 보호막 패턴 및 상기 제1 전극을 매립하는 제2 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

#### 청구항 19.

제15항에 있어서, 상기 제2 보호막 상에 희생막을 형성하는 단계를 더 포함하며, 상기 개구는 상기 희생막으로부터 상기 제1 보호막 패턴까지 형성되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

## 청구항 20.

제19항에 있어서, 상기 개구의 측벽 상에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

## 청구항 21.

제19항에 있어서, 상기 상변화 물질막 패턴을 형성하는 단계는,

상기 개구를 채우며 상기 희생막 상에 상변화 물질막을 형성하는 단계; 및

상기 상변화 물질막을 부분적으로 제거하여 상기 개구에 매립되는 예비 상변화 물질막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

## 청구항 22.

제21항에 있어서, 상기 예비 상변화 물질막 패턴을 형성하는 단계는 화학 기계적 연마 공정을 이용하여 수행되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

## 청구항 23.

제21항에 있어서, 상기 상변화 물질막 패턴을 형성하는 단계는,

상기 희생막을 제거하여 상기 제2 보호막의 상부로 상기 예비 상변화 물질막 패턴을 돌출시키는 단계; 및

상기 예비 상변화 물질막 패턴의 돌출된 부분을 제거하여 상기 상변화 물질막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

## 청구항 24.

제12항에 있어서, 상기 상변화 물질막 패턴을 형성하는 단계는 화학 기계적 연마 공정을 이용하여 수행되며, 상기 희생막을 제거하는 단계는 에치 백 공정을 이용하여 수행되는 것을 특징으로 하는 가변 저항 구조물의 제조 방법.

## 청구항 25.

반도체 기판에 제1 및 제2 콘택 영역을 형성하는 단계;

상기 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막에 상기 제1 및 제2 콘택 영역을 각기 노출시키는 제1 및 제2 콘택 홀을 형성하는 단계;

상기 제1 및 제2 콘택 홀을 채우면서 상기 제1 층간 절연막 상에 제1 도전막을 형성하는 단계;

상기 제1 도전막 상에 제1 보호막 패턴 및 하부 배선 보호 패턴을 형성하는 단계;

상기 제1 보호막 패턴을 식각 마스크로 이용하는 건식 식각 공정을 통해, 상기 제1 도전막을 부분적으로 식각함으로써 상기 제1 및 제2 콘택 영역에 접촉되는 제1 및 제2 콘택을 형성하는 동시에 상기 제1 및 제2 콘택 상에 각기 패드 및 하부 배선을 동시에 형성하는 단계;

상기 제1 보호막 패턴 및 상기 하부 배선 보호 패턴 상에 제2 보호막을 형성하는 단계;

상기 제2 보호막 및 상기 제1 보호막 패턴에 상기 패드를 노출시키는 개구를 형성하는 단계;

상기 패드 상에 상기 개구를 채우는 제1 전극을 형성하는 단계;

상기 제1 전극 및 상기 제2 보호막 상에 상변화 물질막 패턴을 형성하는 단계; 및

상기 상변화 물질막 패턴 상에 제2 전극을 형성하는 단계를 포함하는 상변화 메모리 장치의 제조 방법.

## 청구항 26.

제25항에 있어서, 상기 제1 도전막을 형성하는 단계는,

상기 제1 및 제2 콘택 홀을 채우면서 상기 제1 층간 절연막 상에 예비 제1 도전막을 형성하는 단계; 및

상기 예비 도전막의 표면을 화학 기계적 연마 공정으로 연마하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

## 청구항 27.

삭제

## 청구항 28.

제25항에 있어서, 상기 제2 보호막을 형성하기 전에 상기 제1 보호막 패턴 및 상기 하부 배선 보호 패턴을 매립하는 제2 층간 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

## 청구항 29.

제25항에 있어서, 상기 제2 보호막 상에 희생막을 형성하는 단계를 더 포함하며, 상기 개구는 상기 희생막으로부터 상기 제1 보호막 패턴까지 형성되는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

## 청구항 30.

제29항에 있어서, 상기 개구의 측벽 상에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

## 청구항 31.

제30항에 있어서, 상기 제1 전극을 형성하는 단계는,

상기 개구를 채우며 상기 희생막 상에 제2 도전막을 형성하는 단계; 및

상기 제2 도전막을 부분적으로 제거하여 상기 개구에 매립되는 예비 제1 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

### 청구항 32.

제31항에 있어서, 상기 희생막을 제거하여 상기 제2 보호막의 상부로 상기 예비 제1 전극을 돌출시키는 단계; 및

상기 예비 제1 전극의 돌출된 부분을 제거하여 상기 제1 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

### 청구항 33.

반도체 기판에 제1 및 제2 콘택 영역을 형성하는 단계;

상기 반도체 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막에 상기 제1 및 제2 콘택 영역을 각기 노출시키는 제1 및 제2 콘택 홀을 형성하는 단계;

상기 제1 및 제2 콘택 홀을 채우면서 상기 제1 층간 절연막 상에 제1 도전막을 형성하는 단계;

상기 제1 도전막 상에 제1 보호막 패턴 및 하부 배선 보호 패턴을 형성하는 단계;

상기 제1 보호막 패턴을 식각 마스크로 이용하는 건식 식각 공정을 통해, 상기 제1 도전막을 부분적으로 식각함으로써 상기 제1 및 제2 콘택 영역에 각기 접촉되는 제1 및 제2 콘택을 형성하는 동시에 상기 제1 및 제2 콘택 상에 각기 제1 전극 및 하부 배선을 형성하는 단계;

상기 제1 보호막 패턴 및 상기 하부 배선 보호 패턴 상에 제2 보호막을 형성하는 단계;

상기 제2 보호막 및 상기 제1 보호막 패턴에 상기 제1 전극을 노출시키는 개구를 형성하는 단계;

상기 제1 전극 상에 상기 개구를 채우는 상변화 물질막 패턴을 형성하는 단계; 및

상기 상변화 물질막 패턴 및 상기 제2 보호막 상에 제2 전극을 형성하는 단계를 포함하는 상변화 메모리 장치의 제조 방법.

### 청구항 34.

제33항에 있어서, 상기 제1 도전막을 형성하는 단계는;

상기 콘택 홀을 채우면서 상기 제1 절연막 상에 예비 제1 도전막을 형성하는 단계; 및

상기 예비 제1 도전막의 표면을 화학 기계적 연마 공정으로 연마하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

### 청구항 35.

삭제

### 청구항 36.

제33항에 있어서, 상기 제2 보호막을 형성하기 전에, 상기 제1 보호막 패턴 및 상기 하부 배선 보호 패턴을 매립하는 제2 층간 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

### 청구항 37.

제33항에 있어서, 상기 제2 보호막 상에 희생막을 형성하는 단계를 더 포함하며, 상기 개구는 상기 희생막으로부터 상기 제1 보호막 패턴까지 형성되는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

### 청구항 38.

제37항에 있어서, 상기 개구의 측벽 상에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

### 청구항 39.

제38항에 있어서, 상기 상변화 물질막 패턴을 형성하는 단계는,

상기 개구를 채우며 상기 희생막 상에 상변화 물질막을 형성하는 단계; 및

상기 상변화 물질막을 부분적으로 제거하여 상기 개구에 매립되는 예비 상변화 물질막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

### 청구항 40.

제39항에 있어서, 상기 상변화 물질막 패턴을 형성하는 단계는,

상기 희생막을 제거하여 상기 제2 보호막의 상부로 상기 예비 상변화 물질막 패턴을 돌출시키는 단계; 및

상기 예비 상변화 물질막 패턴의 돌출된 부분을 제거하여 상기 상변화 물질막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 메모리 장치의 제조 방법.

### 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 가변 저항 구조물의 제조 방법 및 이를 이용한 상변화 메모리 장치의 제조 방법에 관한 것으로서, 보다 상세하게는, 향상된 전기적 특성을 갖는 가변 저항 구조물의 제조 방법 및 이를 이용한 상변화 메모리 장치의 제조 방법에 관한 것이다.

반도체 메모리 장치는 전원 공급이 중단 되었을 경우 저장 데이터의 유지 여부에 따라 일반적으로 DRAM 장치 또는 SRAM 장치와 같은 휘발성 반도체 메모리 장치와 플래시(flash) 메모리 장치 또는 EEPROM 장치와 같은 불휘발성 반도체 메모리 장치로 구분될 수 있다. 디지털 카메라, 휴대폰 또는 MP3 플레이어와 같은 기기에 사용되는 반도체 메모리 장치로



는 불휘발성 메모리 소자인 플래시 메모리 장치가 주로 사용되고 있다. 그렇지만, 플래시 메모리 장치에 있어서는 데이터를 기록하거나 독취하는 과정에서 비교적 많은 시간이 요구되기 때문에, 이러한 플래시 장치를 대체하기 위하여 MRAM, FRAM 또는 PRAM 장치와 같은 새로운 반도체 장치가 개발되어 왔다.

불휘발성 반도체 메모리 장치 가운데 하나인 PRAM 장치는 칼코겐(chalcogenide) 화합물의 상전이(phase transition)에 의한 비정질(amorphous) 상태와 결정(crystal) 상태 사이의 저항의 차이를 이용하여 데이터를 저장한다. 즉, PRAM 장치는 인가된 펄스의 진폭과 길이에 따라 칼코겐 화합물인 GST( $\text{Ge}_2\text{Sb}_2\text{Te}_5$ )로 이루어진 상변화 물질층의 가역적 상변화(reversible phase transition)를 이용하여 데이터를 "0" 과 "1"의 상태로 저장한다. 다시 말하면, 저항이 큰 비정질 상태로의 전환에 요구되는 리셋(reset) 전류와 저항이 작은 결정 상태로 바꾸는 셋(set) 전류는 아래에 위치하는 트랜지스터로부터 작은 사이즈를 갖는 하부 전극을 거쳐 상변화 물질층으로 전달되어 상변화가 일어난다. 상기 하부 전극의 상부 영역은 상변화 물질층에 연결되고, 상기 하부 영역은 상기 트랜지스터에 접촉되는 콘택에 연결된다. 이 경우, 상기 콘택은 저항 fail이 없는 옴릭 콘택(ohmic contact)으로 이루어져야 한다. 전술한 종래의 상변화 메모리 장치는 대한민국 등록특허 제 437,458호, 대한민국 공개특허 제2005-31160호 또는 미합중국 공개특허 제2004/02348957호, 미합중국 등록특허 제 6,797,612호 등에 개시되어 있다.

도 1a 내지 도 1e는 종래의 상변화 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 1a를 참조하면, 콘택 영역들(도시되지 않음)이 형성된 반도체 기판(1) 상에 산화물을 사용하여 제1 층간 절연막(3)을 형성한 다음, 제1 층간 절연막(3)을 부분적으로 식각하여 상기 콘택 영역들을 노출시키는 제1 및 제2 콘택 홀(6, 7)을 형성한다.

제1 및 제2 콘택 홀(6, 7)에 각기 매립되는 제1 및 제2 콘택(9, 10)을 형성한다. 제1 및 제2 콘택(9, 10)은 각기 반도체 기판(1)의 상기 콘택 영역들에 접촉된다.

도 1b를 참조하면, 제1 및 제2 콘택(9, 10)과 제1 층간 절연막(3) 상에 산화물을 사용하여 제2 층간 절연막(12)을 형성한 후, 사진 식각 공정을 이용하여 제2 층간 절연막(12)을 식각함으로써, 제2 층간 절연막(12)에 제1 및 제2 콘택(9, 10)을 노출시키는 제1 개구들을 형성한다.

상기 제1 개구들을 채우면서 제1 및 제2 콘택(9, 10)과 제2 층간 절연막(12) 상에 텅스텐으로 이루어진 제1 도전막(15)을 형성한다.

도 1c를 참조하면, 제2 층간 절연막(12)이 노출될 때까지 제2 도전막(15)을 화학 기계적 연마(CMP) 공정으로 연마하여 상기 제1 개구들에 매립되는 패드(18)와 하부 배선(19)을 형성한다. 패드(18)는 제1 콘택(9) 상에 위치하며, 하부 배선(19)은 제2 콘택(10) 상에 위치한다.

제2 층간 절연막(12), 패드(18) 및 하부 배선(19) 상에 질화막(21)과 산화막(24)을 순차적으로 형성한다.

사진 식각 공정으로 산화막(24) 및 질화막(21)을 부분적으로 식각하여, 패드(18)를 노출시키는 제2 개구(27)를 형성한 후, 제2 개구(27)의 측벽 상에 스페이서(30)를 형성한다.

도 1d를 참조하면, 제2 개구(27)를 채우면서 패드(18)와 산화막(24) 상에 제2 도전막을 형성한다.

화학 기계적 연마(CMP) 공정을 이용하여 산화막(24)이 노출될 때까지 상기 제2 도전막을 연마함으로써, 패드(18) 상에 제2 개구(27)를 매립하는 하부 전극(33)을 형성한다. 스페이서(30)는 하부 전극(33)과 제2 개구(27)의 측벽 사이에 위치한다.

도 1e를 참조하면, 하부 전극(33)과 산화막(24) 상에 상변화 물질막 패턴(36) 및 상부 전극(39)을 순차적으로 형성한다.

상부 전극(39)을 덮으면서 산화막(24) 상에 산화물로 이루어진 제3 층간 절연막(42)을 형성한다.

제3 층간 절연막(42)을 관통하여 상부 전극(39)에 접촉되는 상부 콘택(45)을 형성한 후, 상부 콘택(45)과 제3 층간 절연막(42) 상에 상부 배선(48)을 형성한다.

그러나, 전술한 종래의 상변화 메모리 장치의 제조 방법에 있어서, 제2 층간 절연막(12)에 상기 제1 개구들을 형성하고 상기 제1 개구들을 채우는 제1 도전막(15)을 형성한 다음, 화학 기계적 연마 공정을 이용하여 상기 제1 개구들을 매립하는 패드(18)들을 형성하기 때문에, 제1 도전막(15)을 형성하는 공정과 상기 화학 기계적 연마 공정 동안 필연적으로 패드(18)의 중앙부에 텅스텐 성장 방식에 의한 심(seam) 또는 보이드(void)가 생성된다.

도 2는 금속막의 화학 기계적 연마 공정 시의 문제점을 설명하기 위한 그래프이다. 도 2에 있어서, "I"는 화학 기계적 연마 공정 동안 금속막 패턴에 부식이 발생된 부분을 의미하며, "II"는 금속막 패턴의 에지 부분에 과부식이 발생된 것을 나타낸다.

도 2를 참조하면, 화학 기계적 연마 공정을 통하여 금속막을 연마하여 패드(18)와 같은 금속막 패턴을 형성할 경우, 상기 금속막 패턴에 부식으로 인한 심 또는 보이드가 생성된다. 패드(18)와 같은 상기 금속막 패턴에 생성된 심 또는 보이드의 사이즈는 후속되는 식각 공정 및 세정 공정 동안 더욱 증가하게 된다.

도 3a 내지 도 3c는 종래의 상변화 메모리 장치의 패드 내에 심이 발생하는 과정을 전자 현미경을 사용하여 촬영한 사진들이다. 도 4는 종래의 상변화 메모리 장치의 단면을 전자 현미경을 사용하여 촬영한 사진이다.

도 3a 내지 도 3c에 도시한 바와 같이, 패드(18)에 발생된 심의 직경이 최초에는 약 30nm 정도이지만, 후속하여 식각 공정을 수행한 후에는 심의 직경이 약 42nm 정도로 증가하며, 세정 공정을 거친 후에는 심의 직경이 약 50nm 정도로 크게 증가됨을 확인할 수 있다. 이와 같이, 패드(18)의 중앙부에 증가된 크기를 갖는 심이 생성되면, 도 4에 도시한 바와 같이 패드(18) 상에 형성되는 하부 전극(33)과 패드(18) 사이에 저항 불량(fail)이 발생하게 되며, 결국 상변화 메모리 장치의 전기적 특성을 저하시킨다. 예를 들면, 패드(18)에 발생된 심 또는 보이드에 기인하는 불량률의 수는 전체 불량률의 약 25% 내지 약 80%까지 차지할 수 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 개선된 전기적 특성을 갖는 가변 저항 구조물의 제조 방법을 제공하는 것이다.

본 발명의 제2 목적은 개선된 전기적 특성을 갖는 가변 저항 구조물을 포함하는 상변화 메모리 장치의 제조 방법을 제공하는 것이다.

### 발명의 구성

상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명에 따른 가변 저항 구조물의 제조 방법에 있어서, 콘택 영역을 갖는 기판 상에 제1 절연막을 형성한 후, 상기 제1 절연막에 상기 콘택 영역을 노출시키는 콘택 홀을 형성한다. 상기 콘택 홀을 채우면서 상기 제1 절연막 상에 제1 도전막을 형성한 다음, 상기 제1 도전막 상에 제1 보호막 패턴을 형성한다. 상기 제1 도전막을 부분적으로 식각하여 상기 콘택 영역에 접촉되는 콘택과 상기 콘택 상에 패드를 동시에 형성한다. 상기 제1 보호막 패턴 상에 제2 보호막을 형성한 후, 상기 제2 보호막 및 상기 제1 보호막 패턴에 상기 패드를 노출시키는 개구를 형성한다. 상기 패드 상에 상기 개구를 채우는 제1 전극을 형성한 다음, 상기 제1 전극 및 상기 제2 보호막 상에 상변화 물질막 패턴 및 제2 전극을 순차적으로 형성한다.

본 발명의 일 실시예에 따르면, 화학 기계적 연마 공정을 이용하여 상기 제1 도전막의 표면을 처리할 수 있다. 또한, 상기 콘택 및 상기 패드는 상기 제1 도전막을 건식 식각 공정으로 식각하여 형성할 수 있다. 더욱이, 상기 제2 보호막을 형성하기 전에, 상기 제1 보호막 패턴 및 상기 패드를 감싸는 제2 절연막을 형성할 수 있다. 예를 들면, 상기 제1 절연막 및 상기 제2 절연막은 산화물을 사용하여 형성될 수 있으며, 상기 제1 보호막 및 상기 제2 보호막은 질화물 또는 산질화물을 사용하여 형성할 수 있다.

본 발명의 일 실시예에 따르면, 상기 제2 보호막 상에 희생막을 형성할 수 있다. 이 경우, 상기 개구는 상기 희생막으로부터 상기 제1 보호막 패턴까지 형성될 수 있다. 예를 들면, 상기 희생막은 산화물을 사용하여 형성할 수 있다. 또한, 상기 개구의 측벽 상에 스페이서를 더 형성할 수 있다.

본 발명의 일 실시예에 따르면, 상기 개구를 채우며 상기 희생막 상에 제2 도전막을 형성한 후, 상기 제2 도전막을 부분적으로 제거하여 상기 개구에 매립되는 예비 제1 전극을 형성할 수 있다. 예를 들면, 상기 예비 제1 전극은 화학 기계적 연마

공정을 이용하여 형성될 수 있다. 이 경우, 상기 희생막을 제거하여 상기 제2 보호막의 상부로 상기 예비 제1 전극을 돌출시킨 다음, 상기 예비 제1 전극의 돌출된 부분을 제거하여 상기 제1 전극을 형성할 수 있다. 예를 들면, 상기 제1 전극은 화학 기계적 연마 공정을 이용하여 형성될 수 있다. 또한, 상기 희생막은 에치 백 공정을 이용하여 제거될 수 있다.

또한, 전술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명에 따른 가변 저항 구조물의 제조 방법에 있어서, 콘택 영역을 갖는 기판 상에 제1 절연막을 형성한 다음, 상기 제1 절연막에 상기 콘택 영역을 노출시키는 콘택 홀을 형성한다. 상기 콘택 홀을 채우면서 상기 제1 절연막 상에 제1 도전막을 형성한 후, 상기 제1 도전막 상에 제1 보호막 패턴을 형성한다. 상기 제1 도전막을 부분적으로 식각하여 상기 콘택 영역에 접촉되는 콘택과 상기 콘택 상에 제1 전극을 동시에 형성한 후, 상기 제1 보호막 패턴 상에 제2 보호막을 형성한다. 상기 제2 보호막 및 상기 제1 보호막 패턴에 상기 제1 전극을 노출시키는 개구를 형성한 다음, 상기 제1 전극 상에 상기 개구를 채우는 상변화 물질막 패턴을 형성한다. 상기 상변화 물질막 패턴 및 상기 제2 보호막 상에는 제2 전극이 형성된다.

본 발명의 일 실시예에 있어서, 상기 콘택 및 상기 제1 전극은 건식 식각 공정을 이용하여 형성될 수 있다. 또한, 상기 제2 보호막을 형성하기 전에 상기 제1 보호막 패턴 및 상기 제1 전극을 매립하는 제2 절연막을 형성할 수 있다.

본 발명의 일 실시예에 따르면, 상기 제2 보호막 상에 희생막을 형성할 수 있다. 여기서, 상기 개구는 상기 희생막으로부터 상기 제1 보호막 패턴까지 형성될 수 있다. 또한, 상기 개구의 측벽 상에는 스페이서가 형성될 수 있다.

본 발명의 일 실시예에 있어서, 상기 개구를 채우며 상기 희생막 상에 상변화 물질막을 형성한 다음, 상기 상변화 물질막을 부분적으로 제거하여 상기 개구에 매립되는 예비 상변화 물질막 패턴을 형성할 수 있다. 예를 들면, 상기 예비 상변화 물질막 패턴은 화학 기계적 연마 공정을 이용하여 형성될 수 있다. 또한, 상기 희생막을 제거하여 상기 제2 보호막의 상부로 상기 예비 상변화 물질막 패턴을 돌출시킨 다음, 상기 예비 상변화 물질막 패턴의 돌출된 부분을 제거하여 상기 상변화 물질막 패턴을 형성할 수 있다. 예를 들면, 상기 상변화 물질막 패턴은 화학 기계적 연마 공정을 이용하여 형성될 수 있으며, 상기 희생막은 에치 백 공정을 이용하여 제거될 수 있다.

상술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명에 따른 상변화 메모리 장치의 제조 방법에 있어서, 반도체 기판에 제1 및 제2 콘택 영역을 형성한 후, 상기 기판 상에 제1 층간 절연막을 형성한다. 상기 제1 층간 절연막에 상기 제1 및 제2 콘택 영역을 각기 노출시키는 제1 및 제2 콘택 홀을 형성한 다음, 상기 제1 및 제2 콘택 홀을 채우면서 상기 제1 층간 절연막 상에 제1 도전막을 형성한다. 상기 제1 도전막 상에 제1 보호막 패턴 및 하부 배선 보호 패턴을 형성한 후, 상기 제1 도전막을 부분적으로 식각하여 상기 제1 및 제2 콘택 영역에 접촉되는 제1 및 제2 콘택을 형성하는 동시에 상기 제1 및 제2 콘택 상에 각기 패드 및 하부 배선을 형성한다. 상기 제1 보호막 패턴 및 상기 하부 배선 보호 패턴 상에 제2 보호막을 형성한 다음, 상기 제2 보호막 및 상기 제1 보호막 패턴에 상기 패드를 노출시키는 개구를 형성한다. 상기 패드 상에 상기 개구를 채우는 제1 전극을 형성한 후, 상기 제1 전극 및 상기 제2 보호막 상에 상변화 물질막 패턴 및 제2 전극을 형성한다.

본 발명의 일 실시예에 따르면, 상기 제1 및 제2 콘택 홀을 채우면서 상기 제1 층간 절연막 상에 예비 제1 도전막을 형성한 다음, 상기 예비 도전막의 표면을 화학 기계적 연마 공정으로 연마하여 상기 제1 도전막을 형성할 수 있다.

또한, 전술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명에 따른 상변화 메모리 장치의 제조 방법에 있어서, 반도체 기판에 제1 및 제2 콘택 영역을 형성한 다음, 상기 반도체 기판 상에 제1 층간 절연막을 형성한다. 상기 제1 층간 절연막에 상기 제1 및 제2 콘택 영역을 각기 노출시키는 제1 및 제2 콘택 홀을 형성한 후, 상기 제1 및 제2 콘택 홀을 채우면서 상기 제1 층간 절연막 상에 제1 도전막을 형성한다. 상기 제1 도전막 상에 제1 보호막 패턴 및 하부 배선 보호 패턴을 형성한 다음, 상기 제1 도전막을 부분적으로 식각하여 상기 제1 및 제2 콘택 영역에 각기 접촉되는 제1 및 제2 콘택을 형성하는 동시에 상기 제1 및 제2 콘택 상에 각기 제1 전극 및 하부 배선을 형성한다. 상기 제1 보호막 패턴 및 상기 하부 배선 보호 패턴 상에 제2 보호막을 형성한 후, 상기 제2 보호막 및 상기 제1 보호막 패턴에 상기 제1 전극을 노출시키는 개구를 형성한다. 상기 제1 전극 상에 상기 개구를 채우는 상변화 물질막 패턴을 형성한 다음, 상기 상변화 물질막 패턴 및 상기 제2 보호막 상에 제2 전극을 형성한다.

본 발명에 따르면, 패드 또는 제1 전극을 건식 식각 공정을 이용하여 형성하기 때문에, 상기 패드 또는 제1 전극에 화학 기계적 연마 공정에 기인하는 심 또는 보이드가 발생하는 것을 억제할 수 있다. 따라서, 상기 패드와 제1 전극 또는 상기 제2 전극과 상변화 물질막 패턴 사이에 저항 불량이 발생하는 것을 방지할 수 있으므로, 이러한 패드 및 제1 전극을 구비하는 가변 저항 구조물의 전기적인 특성을 개선할 수 있다. 결국, 상기 가변 저항 구조물을 포함하는 상변화 메모리 장치의 전기적인 특성을 향상시킬 수 있다. 또한, 콘택과 패드 또는 콘택과 제2 전극을 동시에 형성할 수 있으므로, 상변화 메모리 장치의 제조 공정을 간략화함으로써, 상변화 메모리 장치의 제조비용과 시간을 절감할 수 있다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 가변 저항 구조물의 제조 방법 및 이를 이용한 상변화 메모리 장치의 제조 방법에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 영역, 패드, 패턴들 또는 구조물들 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 영역, 패드, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 패드, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 패드 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 패드, 다른 패턴 또는 다른 구조물들이 기판 상에 추가적으로 형성될 수 있다. 또한, 각 층(막), 영역, 패드, 전극, 패턴 또는 구조물들이 "제1", "제2", "제3" 및/또는 "제4"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 층(막), 영역, 패드, 패턴 또는 구조물들을 구분하기 위한 것이다. 따라서, "제1", "제2", "제3" 및/또는 "제4"는 각 층(막), 영역, 전극, 패드, 패턴 또는 구조물들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.

### 가변 저항 구조물의 제조 방법

도 5a 내지 도 5f는 본 발명의 일 실시예에 따른 가변 저항 구조물의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다.

도 5a를 참조하면, 콘택 영역(103)이 형성된 기판(100) 상에 제1 절연막(106)을 형성한다. 기판(100)은 실리콘 웨이퍼(silicon wafer), SOI(Silicon On Insulator) 기판, 또는 금속 산화물 단결정 기판을 포함한다. 콘택 영역(103)은 기판(100) 상에 형성된 하부 구조물의 일부를 구성할 수 있다. 이 경우, 상기 하부 구조물은, 콘택 영역(103), 도전성 패턴, 마스크 패턴, 절연막 패턴, 패드 및/또는 콘택을 포함할 수 있다. 콘택 영역(103)은 이온 주입(ion implantation) 공정 또는 확산(diffusion) 공정을 이용하여 형성된다.

제1 절연막(106)은 산화물 또는 질화물을 사용하여 형성된다. 예를 들면, 제1 절연막(106)은 PSG(Phosphor Silicate Glass), BPSG(Boro-Phosphor Silicate Glass), USG(Undoped Silicate Glass), SOG(Spin On Glass), TEOS(Tetra Ethyl Ortho Silicate), PE-TEOS(Plasma Enhanced-TEOS), FOX(Flowable Oxide), HDP-CVD(High Density Plasma-Chemical Vapor Deposition) 산화물, 또는 실리콘 질화물을 사용하여 형성된다. 또한, 제1 절연막(106)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(Atomic Layer Deposition; ALD) 공정, 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다. 본 발명의 일 실시예에 있어서, 기판(100) 상에 상기 하부 구조물이 위치할 경우, 제1 절연막(106)은 상기 하부 구조물을 완전히 덮도록 충분한 높이로 형성된다.

제1 절연막(106) 상에 제1 포토레지스트 패턴(도시되지 않음)을 형성한 후, 상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 제1 절연막(106)을 부분적으로 식각함으로써, 기판(100)에 형성된 콘택 영역(103)을 적어도 부분적으로 노출시키는 콘택 홀(109)을 형성한다. 예를 들면, 콘택 홀(109)은 이방성 식각 공정을 이용하여 형성된다.

콘택 홀(109)을 채우면서 노출된 콘택 영역(103) 및 제1 절연막(106) 상에 예비 제1 도전막(112)을 형성한다. 예비 제1 도전막(112)은 불순물로 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 사용하여 형성된다. 예를 들면, 예비 제1 도전막(112)은 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 알루미늄(Al), 구리(Cu), 텅스텐 질화물(WN), 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 알루미늄 질화물(AlN) 또는 티타늄 알루미늄 질화물(TiAlN)을 사용하여 형성된다. 또한, 예비 제1 도전막(112)은 스퍼터링(sputtering) 공정, 화학 기상 증착(CVD) 공정, 원자층 적층(ALD) 공정, 전자 빔 증착(E-beam evaporation) 공정, 또는 펄스 레이저 증착(Pulse Laser Deposition; PLD) 공정을 이용하여 형성된다.

예비 제1 도전막(112)은 콘택 홀(109)을 채우면서 제1 절연막(106) 상에 형성되기 때문에, 콘택 홀(109)의 상부에 위치하는 예비 제1 도전막(112)의 일부에는 상대적으로 작은 사이즈의 단차가 발생할 수 있다. 또한, 예비 제1 도전막(112)이 제1 절연막(106) 상에 직접 형성되기 때문에, 예비 제1 도전막(112)의 표면은 상대적으로 거친 상태를 가질 수 있다.

도 5b를 참조하면, 전술한 단차를 제거하는 동시에 예비 제1 도전막(112)의 표면 상태를 개선하기 위하여, 예비 제1 도전막(112)에 대하여 표면 처리 공정을 수행함으로써, 단차를 갖지 않으면서 개선된 표면을 구비하는 제1 도전막(115)을 형성한다. 본 발명의 일 실시예에 따르면, 슬러리를 사용하는 화학 기계적 연마(Chemical Mechanical Polishing; CMP) 공정을 통하여 예비 제1 도전막(112)의 상부를 연마함으로써, 예비 제1 도전막(112)으로부터 단차를 제거하는 한편 표면 거칠기가 개선된 제1 도전막(115)을 형성한다. 상기 슬러리는 세리아(ceria), 실리카(silica), 알루미늄(alumina) 또는 티타

니아(titania) 등을 연마제로 포함한다. 예를 들면, 상기 표면 처리 공정은 약 10초 내지 약 60초 동안 수행된다. 본 발명의 다른 실시예에 따르면, 상기 표면 처리 공정으로 에치 백(etch back) 공정을 적용하여 단차를 갖지 않으면서 표면 거칠기가 개선된 제1 도전막(115)을 형성할 수 있다.

제1 도전막(115) 상에는 제1 보호막(118)이 형성된다. 제1 보호막(118)은 실리콘 질화물과 같은 질화물이나 실리콘 산질화물 등의 산질화물을 사용하여 형성된다. 제1 보호막(118)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다.

제1 보호막(118) 상에 제2 포토레지스트 패턴(121)을 형성한다. 제2 포토레지스트 패턴(121)은 제1 보호막(118) 상에 포토레지스트막을 도포한 후, 상기 포토레지스트막을 노광 및 현상함으로써 형성된다.

도 5c를 참조하면, 제2 포토레지스트 패턴(121)을 식각 마스크로 이용하여 제1 보호막(118) 및 제1 도전막(115)을 패턴링함으로써, 제1 보호막 패턴(130), 패드(127) 및 콘택(124)을 형성한다. 바람직하게는, 제1 보호막 패턴(130), 패드(127) 및 콘택(124)은 건식 식각 공정을 이용하여 형성된다. 콘택(124)은 콘택 홀(109)을 채우면서 기판(100)에 형성된 콘택 영역(103)에 접촉되며, 패드(127)는 콘택(124) 상에 콘택(124)과 일체로 형성된다. 제1 보호막 패턴(130)은 패드(127) 상에 위치한다. 제1 보호막 패턴(130)은 제1 도전막(115)을 식각하는 식각 공정 동안 마스크의 역할을 하며, 후속하여 형성되는 제1 전극(151)(도 5f 참조)을 지지하는 역할을 한다. 본 발명의 일 실시예에 따르면, 콘택(124)과 패드(127)가 동시에 일체로 형성된다. 본 발명의 다른 실시예에 있어서, 제2 포토레지스트 패턴(121)을 식각 마스크로 이용하여 제1 보호막(118)만을 식각함으로써, 제1 보호막 패턴(130)을 먼저 형성한다. 이어서, 제1 보호막 패턴(130)을 식각 마스크로 이용하여 제1 도전막(115)을 식각함으로써, 패드(127) 및 콘택(124)을 동시에 형성할 수 있다.

애싱 공정 및/또는 스트리핑 공정을 통하여 제1 포토레지스트 패턴(121)을 제거한 다음, 제1 절연막(106) 상에 제1 보호막 패턴(130)을 덮으면서 제2 절연막(133)을 형성한다. 제2 절연막(133)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 예를 들면, 제2 절연막(133)은 PSG, BPSG, FOX, SOG, USG, TEOS, PE-TEOS 또는 HDP-CVD 산화물을 사용하여 형성된다. 본 발명의 일 실시예에 있어서, 제2 절연막(133)은 제1 절연막(106)과 실질적으로 동일한 산화물을 사용하여 형성될 수 있다. 본 발명의 다른 실시예에 따르면, 제1 절연막(106)과 제2 절연막(133)은 각기 상이한 산화물을 사용하여 형성될 수 있다.

화학 기계적 연마(CMP) 공정, 에치 백 공정 또는 화학 기계적 연마(CMP)와 에치 백을 조합한 공정을 이용하여 제1 보호막 패턴(130)이 노출될 때까지 제2 절연막(133)을 부분적으로 제거함으로써, 제2 절연막(133)을 평탄화시킨다. 본 발명의 일 실시예에 따르면, 세리아를 함유하는 연마제를 포함하는 슬러리를 사용하는 화학 기계적 연마(CMP) 공정을 이용하여 제2 절연막(133)을 평탄화시킨다. 상기 화학 기계적 연마(CMP) 공정에 있어서, 세리아를 함유하는 연마제가 산화물과 질화물 사이에 높은 식각 선택비를 갖기 때문에 제1 보호막 패턴(130)에 손상을 입히지 않고 제2 절연막(133)을 평탄화할 수 있다. 이 경우, 제1 보호막 패턴(130)이 연마 저지막으로 기능하게 된다. 패드(127) 및 제1 보호막 패턴(130)은 평탄화된 제2 절연막(133)에 매립된다.

도 5d를 참조하면, 제2 절연막(133) 및 제1 보호막 패턴(130) 상에 제2 보호막(136)과 희생막(139)을 순차적으로 형성한다. 제2 보호막(136)은 질화물 또는 산질화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 예를 들면, 제2 보호막(136)은 실리콘 질화물 또는 실리콘 산질화물을 사용하여 형성된다. 본 발명의 일 실시예에 따르면, 제1 보호막(118)과 제2 보호막(136)은 실질적으로 동일한 물질은 사용하여 형성될 수 있다. 본 발명의 다른 실시예에 따르면, 제2 보호막(136)은 제1 보호막(118)과 상이한 물질을 사용하여 형성할 수 있다.

한편, 희생막(139)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성한다. 예를 들면, 희생막(139)은 PSG, BPSG, FOX, SOG, USG, TEOS, PE-TEOS 또는 HDP-CVD 산화물을 사용하여 형성된다. 본 발명의 일 실시예에 따르면, 희생막(139)은 제1 절연막(106) 및/또는 제2 절연막(133)과 실질적으로 동일한 산화물을 사용하여 형성될 수 있다. 본 발명의 다른 실시예에 있어서, 희생막(139)은 제1 절연막(106) 및/또는 제2 절연막(133)과 상이한 산화물을 사용하여 형성될 수 있다.

희생막(139) 상에 제3 포토레지스트 패턴(도시되지 않음)을 형성한 후, 상기 제3 포토레지스트 패턴을 식각 마스크로 이용하여 희생막(139), 제2 보호막(136) 및 제1 보호막 패턴(130)을 부분적으로 식각함으로써, 패드(127)를 노출시키는 개구(142)를 형성한다.

상기 제3 포토레지스트 패턴을 애싱 공정 및/또는 스트리핑 공정으로 제거한 다음, 노출된 패드(127), 개구(142)의 측벽 및 희생막(139) 상에 제3 절연막을 형성한다. 상기 제3 절연막은 질화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 예를 들면, 상기 제3 절연막은 실리콘 질화물을 사용하여 형성된다.

상기 제3 절연막을 이방성 식각 공정을 이용하여 식각함으로써, 개구(142)의 측벽에 예비 스페이서(145)를 형성한다. 예비 스페이서(145)는 후속하여 형성되는 예비 제1 전극(148)(도 5e 참조)의 폭을 감소시킨다. 즉, 예비 스페이서(145)가 개구(142)의 측벽 상에 형성될 경우, 개구(142)의 직경은 예비 스페이서(145)의 두께의 2배만큼 감소되기 때문에, 이와 같이 감소된 직경을 갖는 개구(142)에 매립되는 예비 제1 전극(148)도 감소된 폭을 가진다.

도 5e를 참조하면, 개구(142)를 채우면서 패드(127) 및 희생막(139) 상에 제2 도전막을 형성한다. 상기 제2 도전막은 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물 등의 도전 물질을 사용하여 형성된다. 예를 들면, 상기 제2 도전막은 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 몰리브덴 질화물(MoN), 니오븀 질화물(NbN), 티타늄 실리콘 질화물(TiSiN), 알루미늄, 티타늄 알루미늄 질화물, 티타늄 보론 질화물(TiBN), 지르코늄 실리콘 질화물(ZrSiN), 텅스텐 실리콘 질화물(WSiN), 텅스텐 보론 질화물(WBN), 지르코늄 알루미늄 질화물(ZrAlN), 몰리브덴 실리콘 질화물(MoSiN), 몰리브덴 알루미늄 질화물(MoAlN), 탄탈륨 실리콘 질화물(TaSiN) 또는 탄탈륨 알루미늄 질화물(TaAlN)을 사용하여 형성된다. 이들은 단독으로 또는 혼합하여 사용될 수 있다. 또한, 상기 제2 도전막은 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 전자 빔 증착 공정, 원자층 적층(ALD) 공정 또는 펄스 레이저 증착(PLD) 공정을 이용하여 형성된다.

화학 기계적 연마(CMP) 공정을 이용하여 희생막(139)이 노출될 때까지 상기 제2 도전막을 제거함으로써, 개구(142)에 매립되는 예비 제1 전극(148)을 형성한다. 예비 스페이서(145)는 예비 제1 전극(148)의 측벽 상에 위치한다.

도 5f를 참조하면, 희생막(139)을 제거하여 제2 보호막(136)을 노출시킨다. 희생막(139)은 에치 백 공정을 이용하여 제거된다. 희생막(139)이 제거되면, 예비 스페이서(145) 및 예비 제1 전극(148)이 예를 들면, 필러(pillar)의 형상으로 제1 보호막(136) 상에 돌출된다.

화학 기계적 연마(CMP) 공정을 이용하여 예비 제1 전극(148) 및 예비 스페이서(145)의 돌출된 부분들을 제거하여 패드(127) 상에 제1 전극(151) 및 스페이서(154)를 형성한다. 스페이서(154)와 제1 전극(151)은 제1 보호막 패턴(130) 및 제2 보호막(136)에 매립된다. 즉, 제1 보호막 패턴(130)과 제2 보호막(136)은 함께 스페이서(154)와 제1 전극(151)을 감싸며, 제1 전극(151)을 안정적으로 지지한다.

제1 전극(151) 및 제2 보호막(136) 상에 상변화 물질막과 제3 도전막을 순차적으로 형성한다. 상기 상변화 물질막은 산소를 제외한 6족 원소의 화합물인 칼코겐 화합물을 사용하여 형성된다. 예를 들면, 상기 상변화 물질막은 게르마늄-안티몬-텔루르(GST), 비소-안티몬-텔루르, 주석-안티몬-텔루르, 주석-인듐-안티몬-텔루르, 비소-게르마늄-안티몬-텔루르, 탄탈륨, 니오브 내지 바나듐 등과 같은 5A족 원소-안티몬-텔루르, 텅스텐, 몰리브덴 내지 크롬 등과 같은 6A족 원소-안티몬-텔루르, 5A족 원소-안티몬-셀렌 또는 6A족 원소-안티몬-셀렌을 사용하여 형성된다. 상기 제3 도전막은 불순물로 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 사용하여 형성된다. 예를 들면, 상기 제3 도전막은 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 몰리브덴 질화물, 니오븀 질화물, 티타늄 실리콘 질화물, 알루미늄, 티타늄 알루미늄 질화물, 티타늄 보론 질화물, 지르코늄 실리콘 질화물, 텅스텐 실리콘 질화물, 텅스텐 보론 질화물, 지르코늄 알루미늄 질화물, 몰리브덴 실리콘 질화물, 몰리브덴 알루미늄 질화물, 탄탈륨 실리콘 질화물 또는 탄탈륨 알루미늄 질화물을 사용하여 형성된다. 한편, 상기 제3 도전막은 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 전자 빔 증착 공정, 원자층 적층(ALD) 공정 또는 펄스 레이저 증착(PLD) 공정을 이용하여 형성된다.

상기 제3 도전막 상에 제4 포토레지스트 패턴(도시되지 않음)을 형성한 후, 상기 제4 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제3 도전막 및 상기 상변화 물질막을 패터닝함으로써, 제1 전극(151) 및 제2 보호막(136) 상에 상변화 물질막 패턴(157)과 제2 전극(160)을 형성하여 가변 저항 구조물(170)을 완성한다.

도 6a 내지 도 6f는 본 발명의 다른 실시예에 따른 가변 저항 구조물의 제조 방법을 설명하기 위한 단면도들이다.

도 6a를 참조하면, 실리콘 웨이퍼, SOI 기판 또는 금속 산화물 단결정 기판인 기판(200) 상에 콘택 영역(203)을 형성한다. 콘택 영역(203)은 이온 주입 공정 내지 확산 공정을 이용하여 형성한다. 본 발명의 다른 실시예에 따르면, 기판(200) 상에는 콘택 영역(203) 외에 도전성 패턴, 패드, 게이트 구조물 및/또는 트랜지스터 등을 포함하는 하부 구조물(도시되지 않음)이 형성될 수 있다.

콘택 영역(203)을 갖는 기판(200) 상에 제1 절연막(206)을 형성한다. 제1 절연막(206)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 예를 들면, 제1 절연막(110)은 BPSG, PSG, USG, SOG, FOX, TEOS, PE-TEOS 또는 HDP-CVD 산화물을 사용하여 형성된다.

제1 절연막(206) 상에 제1 포토레지스트 패턴(도시되지 않음)을 형성한 후, 상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 제1 절연막(206)을 부분적으로 식각한다. 이에 따라, 제1 절연막(206)에는 제1 절연막(206)을 관통하여 콘택 영역(203)을 노출시키는 콘택 홀(209)이 형성된다.

상기 제1 포토레지스트 패턴을 애싱 공정 및/또는 스트리핑 공정을 이용하여 제거한 후, 콘택 홀(209)을 채우면서 제1 절연막(206) 상에 예비 제1 도전막을 형성한다. 상기 예비 제1 도전막은 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 사용하여 형성된다. 예를 들면, 상기 예비 제1 도전막은 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 몰리브덴 질화물, 니오븀 질화물, 티타늄 실리콘 질화물, 알루미늄, 티타늄 알루미늄 질화물, 티타늄 보론 질화물, 지르코늄 실리콘 질화물, 텅스텐 실리콘 질화물, 텅스텐 보론 질화물, 지르코늄 알루미늄 질화물, 몰리브덴 실리콘 질화물, 몰리브덴 알루미늄 질화물, 탄탈륨 실리콘 질화물 또는 탄탈륨 알루미늄 질화물을 사용하여 형성된다. 또한, 상기 예비 제1 도전막은 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 전자 빔 증착 공정, 원자층 적층(ALD) 공정 또는 펄스 레이저 증착(PLD) 공정을 이용하여 형성된다.

표면 처리 공정을 통하여 상기 예비 제1 도전막의 상부를 연마함으로써, 상기 예비 제1 도전막에 발생된 단차를 제거하는 동시에 예비 제1 도전막의 표면 거칠기를 개선하여 제1 도전막(212)을 형성한다. 예를 들면, 상기 제1 도전막(212)은 세리아, 실리카, 알루미늄이나 또는 티타니아를 함유하는 연마제를 사용하는 화학 기계적 연마(CMP) 공정을 이용하여 형성된다.

제1 도전막(212) 상에 제1 보호막(215)과 제2 포토레지스트막(218)을 차례로 형성한다. 제1 보호막(215)은 실리콘 질화물 또는 실리콘 산질화물을 사용하여 형성된다. 또한, 제1 보호막(215)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다.

도 6b를 참조하면, 제2 포토레지스트막(218)을 노광 및 현상하여 제1 보호막(215) 상에 제2 포토레지스트 패턴(도시되지 않음)을 형성한 다음, 상기 제2 포토레지스트 패턴을 이용하여 제1 보호막(215)을 패터닝함으로써, 제1 도전막(212) 상에 제1 보호막 패턴(227)을 형성한다. 제2 보호막 패턴(227)은 제1 도전막(212)을 식각하는 식각 공정 동안 마스크의 역할을 하며, 후속하여 형성되는 상변화 물질막 패턴(248)(도 6f 참조)을 지지하는 역할을 한다. 상기 제2 포토레지스트 패턴은 애싱 공정 및/또는 스트리핑 공정을 통하여 제1 보호막 패턴(227)으로부터 제거된다.

제1 보호막 패턴(227)을 식각 마스크로 이용하여 제1 도전막(212)을 식각함으로써, 콘택 영역(203)에 접촉되는 콘택(221)을 형성하는 동시에 콘택(221) 및 제1 절연막(206) 상에 제1 전극(224)을 형성한다. 콘택(221) 및 제1 전극(224)은 건식 식각 공정을 이용하여 형성된다. 제1 전극(224)은 일체로 형성된 콘택(221)을 통하여 콘택 영역(203)에 전기적으로 연결된다.

제1 전극(224)과 제1 보호막 패턴(227)을 덮으면서 제1 절연막(206) 상에 제2 절연막(230)을 형성한다. 제2 절연막(230)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 예를 들면, 제2 절연막(230)은 BPSG, PSG, USG, SOG, FOX, TEOS, PE-TEOS 또는 HDP-CVD 산화물을 사용하여 형성된다.

도 6c를 참조하면, 화학 기계적 연마(CMP) 공정, 에치 백 공정 또는 화학 기계적 연마(CMP)와 에치 백을 조합한 공정을 이용하여 제1 보호막 패턴(227)이 노출될 때까지 제2 절연막(230)을 부분적으로 제거함으로써 제2 절연막(230)을 평탄화시킨다. 제2 절연막(230)을 평탄화함에 따라, 제1 보호막 패턴(227) 및 제1 전극(224)은 제2 절연막(230)에 매립된다.

제1 보호막 패턴(227) 및 제2 절연막(230) 상에 제2 보호막(233)을 형성한다. 제2 보호막(233)은 실리콘 질화물 또는 실리콘 산질화물을 화학 기상 증착(CVD), 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다.

도 6d를 참조하면, 제2 보호막(233) 상에 희생막(236) 및 제3 포토레지스트 패턴(도시되지 않음)을 형성한다. 상기 제3 포토레지스트 패턴을 식각 마스크로 이용하여 희생막(236), 제2 보호막(233) 및 제1 보호막 패턴(227)을 부분적으로 식각함으로써, 제1 전극(224)을 노출시키는 개구를 형성한다.

상기 제3 포토레지스트 패턴을 제거한 다음, 상기 개구의 측벽 및 희생막(236) 상에 제3 절연막을 형성한다. 상기 제3 절연막은 실리콘 질화물과 같은 질화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다.

상기 제3 절연막을 이방성 식각 공정으로 식각하여 상기 개구의 측벽 상에 예비 스페이서(239)를 형성한다. 예비 스페이서(239)가 형성됨에 따라, 상기 개구의 폭이 예비 스페이서(239)의 두께의 2배 정도로 감소된다. 그 결과, 상기 개구를 채우는 예비 상변화 물질막 패턴(245)(도 6e 참조)의 폭도 감소된다.

상기 개구를 채우면서 노출된 제1 전극(224) 및 희생막(236) 상에 상변화 물질막(242)을 형성한다. 상변화 물질막(242)은 산소를 제외한 6족 원소의 화합물인 칼코겐 화합물을 사용하여 형성된다. 예를 들면, 상변화 물질막(242)은 게르마늄-안티몬-텔루르(GST), 비소-안티몬-텔루르, 주석-안티몬-텔루르, 주석-인듐-안티몬-텔루르, 비소-게르마늄-안티몬-텔루르, 탄탈륨, 니오브 내지 바나듐 등과 같은 5A족 원소-안티몬-텔루르, 텅스텐, 몰리브덴 내지 크롬 등과 같은 6A족 원소-안티몬-텔루르, 5A족 원소-안티몬-셀렌 또는 6A족 원소-안티몬-셀렌을 사용하여 형성된다.

도 6e를 참조하면, 희생막(236)이 노출될 때까지 화학 기계적 연마(CMP) 공정을 이용하여 상변화 물질막(242)을 부분적으로 제거함으로써, 제1 전극(224) 상에 상기 개구를 채우는 예비 상변화 물질막 패턴(245)을 형성한다. 예를 들면, 예비 상변화 물질막 패턴(245)은 세리아를 함유하는 연마제를 포함하는 슬러리를 사용하여 형성된다.

희생막(236)을 에치 백 공정으로 제거하여 제2 보호막(233)을 노출시킴으로써, 예비 상변화 물질막 패턴(245) 및 예비 스페이서(239)를 제2 보호막(233)의 상부로 돌출시킨다. 예를 들면, 예비 상변화 물질막 패턴(245)과 예비 스페이서(239)는 각기 제2 보호막(233) 상에 필러의 형상으로 돌출된다.

도 6f를 참조하면, 돌출된 예비 상변화 물질막 패턴(245) 및 예비 스페이서(239)를 부분적으로 제거하여 제1 전극(224) 상에 스페이서(251)와 상변화 물질막 패턴(248)을 동시에 형성한다. 스페이서(251) 및 상변화 물질막 패턴(248)은 화학 기계적 연마(CMP) 공정을 이용하여 형성되며, 제2 보호막(233)이 연마 저지막의 역할을 한다. 이 경우, 예비 상변화 물질막 패턴(245) 및 예비 스페이서(239)는 세리아를 함유하는 연마제를 포함하는 슬러리를 사용하여 연마된다.

제2 보호막(233), 스페이서(251) 및 상변화 물질막 패턴(248) 상에 제3 도전막을 형성한다. 상기 제3 도전막은 불순물로 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 사용하여 형성된다. 예를 들면, 상기 제3 도전막은 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 몰리브덴 질화물, 니오븀 질화물, 티타늄 실리кон 질화물, 알루미늄, 티타늄 알루미늄 질화물, 티타늄 보론 질화물, 지르코늄 실리кон 질화물, 텅스텐 실리кон 질화물, 텅스텐 보론 질화물, 지르코늄 알루미늄 질화물, 몰리브덴 실리кон 질화물, 몰리브덴 알루미늄 질화물, 탄탈륨 실리кон 질화물 또는 탄탈륨 알루미늄 질화물을 사용하여 형성된다. 또한, 상기 제3 도전막은 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 전자 빔 증착 공정, 원자층 적층(ALD) 공정 또는 펄스 레이저 증착(PLD) 공정을 이용하여 형성된다.

상기 제3 도전막 상에 제4 포토레지스트 패턴(도시되지 않음)을 형성한 다음, 상기 제4 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제3 도전막을 부분적으로 식각함으로써, 상변화 물질막 패턴(248)과 제2 보호막(233) 상에 제2 전극(254)을 형성하여 가변 저항 구조물(270)을 완성한다.

#### 상변화 메모리 장치의 제조 방법

도 7a 내지 도 7m은 본 발명의 일 실시예에 따른 상변화 메모리 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다.

도 7a를 참조하면, 반도체 기판(300)에 소자 분리막(303)을 형성하여 반도체 기판(300)에 액티브 영역 및 필드 영역을 정의한다. 소자 분리막(303)은 쉘로우 트렌치 소자 분리(Shallow Trench Isolation; STI) 공정 또는 실리콘 부분 산화법(local oxidation of silicon; LOCOS) 등과 같은 소자 분리 공정을 이용하여 형성된다. 또한, 소자 분리막(303)은 실리콘 산화물을 사용하여 형성된다.



반도체 기판(300) 상에 게이트 절연막, 게이트 도전막 및 게이트 마스크층을 순차적으로 형성한 후, 상기 게이트 마스크층, 게이트 도전막 및 게이트 절연막을 패터닝하여 게이트 절연막 패턴(306), 게이트 전극(309) 및 게이트 마스크(312)를 포함하는 게이트 구조물(315)을 반도체 기판(300) 상에 형성한다. 게이트 전극(309)은 도핑된 폴리실리콘막, 금속막 또는 도전성 금속 질화막과 같은 단일막 구조를 가진다. 또한, 게이트 전극(309)은 도핑된 폴리실리콘막, 금속막 및/또는 도전성 금속 질화막을 포함하는 이중막 구조를 가질 수도 있다. 게이트 마스크(312)는 게이트 전극(309)과 게이트 절연막 패턴(306)에 대하여 식각 선택비를 갖는 물질을 사용하여 형성된다. 예를 들면, 게이트 마스크(312)는 실리콘 질화물과 같은 질화물이나 실리콘 산질화물 등의 산질화물을 사용하여 형성된다.

게이트 마스크(312)를 덮으면서 반도체 기판(300) 상에 제1 절연막을 형성한 후, 상기 제1 절연막을 이방성 식각하여 게이트 구조물(315)의 측벽 상에 게이트 스페이서(318)를 형성한다. 상기 제1 절연막은 실리콘 질화물과 같은 질화물을 사용하여 형성된다.

게이트 구조물(315)들을 이온 주입 마스크로 이용하는 이온 주입 공정을 통하여 게이트 구조물(315)들 사이로 노출되는 반도체 기판(300)에 제1 및 제2 콘택 영역(321, 324)을 형성한다. 이에 따라, 게이트 구조물(315)들과 제1 및 제2 콘택 영역(321, 324)을 포함하는 트랜지스터(327)들이 반도체 기판(300) 상에 형성된다. 예를 들면, 제1 및 제2 콘택 영역(321, 324)은 각기 트랜지스터(327)의 소스 및 드레인 영역에 해당된다.

도 7b를 참조하면, 트랜지스터(327)들을 덮으면서 반도체 기판(300) 상에 제1 층간 절연막(330)을 형성한다. 제1 층간 절연막(330)은 BPSG, PSG, TEOS, PE-TEOS, USG, FOX, SOG 또는 HDP-CVD 산화물과 같은 산화물을 사용하여 형성된다. 또한, 제1 층간 절연막(330)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다. 본 발명의 일 실시예에 따르면, 제1 층간 절연막(330)을 화학 기계적 연마(CMP) 공정, 에치 백 공정 또는 화학 기계적 연마(CMP) 에치 백을 조합한 공정을 이용하여 평탄화할 수 있다.

제1 층간 절연막(330)을 부분적으로 식각하여, 제1 층간 절연막(330)에 제1 및 제2 콘택 영역(321, 324)을 각기 노출시키는 제1 및 제2 콘택 홀(333, 336)을 형성한다.

제1 및 제2 콘택 홀(333, 336)을 채우면서 제1 층간 절연막(330) 상에 예비 제1 도전막(339)을 형성한다. 예비 제1 도전막(339)은 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정, 전자 빔 증착 공정 또는 펄스 레이저 증착(PLD) 공정을 이용하여 형성된다. 또한, 예비 제1 도전막(339)은 불순물로 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 사용하여 형성된다. 예를 들면, 예비 제1 도전막(339)은 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 몰리브덴 질화물, 니오븀 질화물, 티타늄 실리콘 질화물, 알루미늄, 티타늄 알루미늄 질화물, 티타늄 보론 질화물, 지르코늄 실리콘 질화물, 텅스텐 실리콘 질화물, 텅스텐 보론 질화물, 지르코늄 알루미늄 질화물, 몰리브덴 실리콘 질화물, 몰리브덴 알루미늄 질화물, 탄탈륨 실리콘 질화물 또는 탄탈륨 알루미늄 질화물을 사용하여 형성된다. 이들은 단독으로 또는 혼합되어 사용될 수 있다.

도 8a는 도 7b의 예비 제1 도전막(339)의 단면을 전자 현미경을 사용하여 촬영한 사진이며, 도 8b는 도 7b의 예비 제1 도전막(339)의 표면을 전자 현미경을 사용하여 촬영한 사진이다. 도 8a 및 도 8b에 있어서, 예비 제1 도전막(339)은 텅스텐을 사용하여 형성된다.

도 7b, 도 8a 및 도 8b에 도시한 바와 같이, 제1 및 제2 콘택 홀(333, 336)들이 형성된 제1 층간 절연막(330) 상에 위치하는 예비 제1 도전막(339)의 표면은 상당히 거칠게 형성된다. 예를 들면, 예비 제1 도전막(339)이 제1 층간 절연막(330)으로부터 약 2,000Å 정도의 두께로 형성될 경우, 예비 제1 도전막(339)의 표면의 최고점과 최저점 사이의 단차는 약 500Å 정도까지 된다. 따라서, 예비 제1 도전막(339)으로부터 단차를 제거하는 한편 예비 제2 도전막(339)의 표면 거칠기를 개선할 필요가 있다.

도 7c를 참조하면, 예비 제1 도전막(339)의 표면을 화학 기계적 연마(CMP) 공정을 통하여 처리함으로써, 예비 제1 도전막(339)에 생성된 단차를 제거하는 동시에 예비 제1 도전막(339)의 표면 거칠기를 개선시킨다. 예비 제1 도전막(339)은 약 10초 내지 약 60초 동안 연마되며, 이에 따라 단차가 없이 균일한 표면을 갖는 제1 도전막(342)이 형성된다.

도 9a는 도 7c의 제1 도전막(342)의 단면을 전자 현미경을 사용하여 촬영한 사진이며, 도 9b는 도 7c의 제1 도전막(342)의 표면을 전자 현미경을 사용하여 촬영한 사진이다.

도 7c, 도 9a 및 도 9b를 참조하면, 예비 제1 도전막(339)에 대하여 약 30초 동안 화학 기계적 연마 공정을 수행하여 수득된 제1 도전막(342)은 단차가 제거된 매우 균일한 표면을 가진다. 예를 들면, 제1 도전막(342)은 제1 층간 절연막(330)으로부터 약 2,100Å 정도의 두께로 형성되며, 반도체 기판(300)으로부터는 약 4,800Å 정도의 두께를 가진다.

도 7d를 참조하면, 제1 도전막(342) 상에 제1 보호막(345)과 포토레지스트막(348)을 차례로 형성한다. 제1 보호막(345)은 실리콘 질화물과 같은 질화물 또는 실리콘 산질화물 등의 산질화물을 사용하여 형성된다. 또한, 제1 보호막(345)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다.

도 7e를 참조하면, 포토레지스트막(348)을 노광 및 현상하여 제1 보호막(345) 상에 포토레지스트 패턴(도시되지 않음)을 형성한 후, 상기 포토레지스트 패턴을 마스크로 이용하여 제1 도전막(342) 상에 제1 보호막 패턴(351) 및 하부 배선 보호 패턴(352)을 동시에 형성한다. 제1 보호막 패턴(351)은 제1 도전막(342) 중에서 아래에 제1 콘택 영역(321)이 위치하는 부분 상에 형성되며, 하부 배선 보호 패턴(352)은 제1 도전막(342) 중에서 아래에 제2 콘택 영역(324)이 위치하는 부분 상에 형성된다.

상기 포토레지스트 패턴을 애싱 공정 및/또는 스트리핑 공정을 이용하여 제거한 다음, 제1 보호막 패턴(351)과 하부 배선 보호 패턴(352)을 각기 식각 마스크로 이용하는 건식 식각 공정을 통하여 제1 도전막(342)을 부분적으로 식각함으로써, 패드(354)와 제1 콘택(357)을 형성하는 동시에 하부 배선(355)과 제2 콘택(358)을 형성한다. 제1 콘택(357)은 제1 콘택 영역(321)에 접촉되며, 패드(354)는 제1 콘택(357) 상에 위치하여 제1 콘택(357)을 통해 제1 콘택 영역(321)에 전기적으로 연결된다. 또한, 제2 콘택(358)은 제2 콘택 영역(324)에 접촉되며, 하부 배선(355)은 제2 콘택(358)을 통해 제2 콘택 영역(324)에 전기적으로 연결된다. 예를 들면, 하부 배선(355)은 비트 라인을 포함한다. 즉, 패드(354)는 제1 콘택(357)과 일체로 형성되며, 하부 배선(355)은 제2 콘택(358)과 일체로 형성된다.

도 10은 도 7e에 도시한 제1 보호막 패턴(351), 패드(354), 하부 배선 보호 패턴(352) 및 하부 배선(355)의 단면을 전자 현미경으로 촬영한 사진이다. 도 10에 있어서, "SiN"은 실리콘 질화물로 이루어진 제1 보호막 패턴(351) 및 하부 배선 보호 패턴(352)을 나타내며, "W"는 텅스텐으로 구성된 패드(354) 및 하부 배선(355)을 의미한다. 예를 들면, 제1 보호막 패턴(351) 및 하부 배선 보호 패턴(352)은 각기 약 669.261Å 정도의 두께로 형성되며, 패드(354) 및 하부 배선(355)은 각기 2007.78Å 정도의 두께를 가진다. 이 경우, 패드(354)와 하부 배선(355) 사이의 간격은 약 715.953Å 정도가 되며, 제1 보호막 패턴(351)과 하부 배선 보호 패턴(352) 사이의 간격은 약 1050.584Å 정도이다.

도 7f를 참조하면, 제1 보호막 패턴(351) 및 하부 배선 보호 패턴(352)을 덮으면서 제1 층간 절연막(330) 상에 제2 층간 절연막(360)을 형성한다. 제2 층간 절연막(360)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다. 예를 들면, 제2 층간 절연막(360)은 BPSG, PSG, USG, SOG, FOX, TEOS, PE-TEOS, 또는 HDP-CVD 산화물을 사용하여 형성된다. 바람직하게는, 제2 층간 절연막(360)은 패드(354)와 하부 배선(355) 사이의 갭(gap)을 용이하게 매립할 수 있는 HDP-CVD 산화물을 사용하여 형성된다.

도 7g를 참조하면, 제1 보호막 패턴(351) 및 하부 배선 보호 패턴(352)이 노출될 때까지 화학 기계적 연마(CMP) 공정을 이용하여 제2 층간 절연막(360)을 부분적으로 제거한다. 제2 층간 절연막(360)은 산화물과 질화물 사이에 높은 식각 선택비를 갖는 세리아를 함유하는 연마제를 포함하는 슬러리를 사용하여 연마되며, 제1 보호막 패턴(351) 및 하부 배선 보호 패턴(352)이 각기 연마 저지막으로 기능한다.

제2 층간 절연막(360)이 연마됨에 따라, 제1 보호막 패턴(351)과 패드(354)가 제2 층간 절연막(360)에 매립되는 한편, 하부 배선 보호 패턴(352)과 하부 배선(355)도 제2 층간 절연막(360)에 매립된다.

본 발명의 다른 실시예에 따르면, LAL과 같은 용액을 사용하여 제2 층간 절연막(360)을 부분적으로 식각함으로써, 제2 층간 절연막(360)의 평탄도를 보다 향상시킬 수 있다.

도 7h를 참조하면, 제2 층간 절연막(360), 제1 보호막 패턴(351) 및 하부 배선 보호 패턴(352) 상에 제2 보호막(363)을 형성한다. 제2 보호막(363)은 실리콘 질화물과 같은 질화물이나 실리콘 산질화물 등의 산질화물을 사용하여 형성된다. 제2 보호막(363)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다.

제2 보호막(363) 상에 산화물을 사용하여 희생막(366)을 형성한다. 예를 들면 희생막(366)은 PE-TEOS, TEOS, USG, SOG, FOX 또는 HDP-CVD 산화물을 사용하여 형성된다. 또한, 희생막(366)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다.

도 7i를 참조하면, 희생막(366) 상에 포토레지스트 패턴(도시되지 않음)을 형성한 다음, 상기 포토레지스트 패턴을 마스크로 이용하여 희생막(366), 제2 보호막(363) 및 제1 보호막 패턴(351)을 부분적으로 식각함으로써, 패드(354)를 노출시키는 개구(도시되지 않음)를 형성한다.

상기 개구를 채우면서 패드(354)와 희생막(366) 상에 제2 절연막을 형성한 후, 상기 제2 절연막을 이방성 식각 공정으로 식각하여 상기 개구의 측벽 상에 예비 스페이서(369)를 형성한다. 상기 제2 절연막은 실리콘 질화물을 사용하여 형성된다.

패드(354) 및 희생막(366) 상에 상기 개구를 매립하는 제2 도전막(372)을 형성한다. 제2 도전막(372)은 불순물로 도핑된 폴리실리콘, 금속 또는 금속 질화물을 사용하여 형성된다. 예를 들면, 제2 도전막(372)은 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 몰리브덴 질화물, 니오븀 질화물, 티타늄 실리콘 질화물, 알루미늄, 티타늄 알루미늄 질화물, 티타늄 보론 질화물, 지르코늄 실리콘 질화물, 텅스텐 실리콘 질화물, 텅스텐 보론 질화물, 지르코늄 알루미늄 질화물, 몰리브덴 실리콘 질화물, 몰리브덴 알루미늄 질화물, 탄탈륨 실리콘 질화물 또는 탄탈륨 알루미늄 질화물을 사용하여 형성된다. 이들은 단독으로 또는 혼합되어 사용될 수 있다. 또한, 제2 도전막(372)은 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정, 전자 빔 증착 공정 또는 펄스 레이저 증착(PLD) 공정을 이용하여 형성된다.

도 7j를 참조하면, 희생막(366)이 노출될 때까지 화학 기계적 연마(CMP) 공정을 이용하여 제2 도전막(372)을 부분적으로 제거하여 상기 개구를 매립하는 예비 제1 전극(375)을 형성한다. 이 경우, 예비 제1 전극(375)의 측벽과 상기 개구의 측벽 사이에는 예비 스페이서(369)가 위치한다. 예비 제1 전극(375) 세리아를 함유하는 연마제를 포함하는 슬러리를 사용하여 연마된다. 본 발명의 다른 실시예에 따르면, LAL과 같은 용액을 사용하는 식각 공정을 통해 예비 제1 전극(275)의 표면을 처리함으로써, 예비 제1 전극(375)의 표면 상태를 보다 개선할 수 있다.

도 7k를 참조하면, 에치 백 공정을 통하여 희생막(366)을 제거하여 제2 보호막(363)을 노출시킴으로써 예비 제1 전극(375) 및 예비 스페이서(369)의 상부를 돌출시킨다. 이 때, 제2 보호막(363)이 식각 저지막의 역할을 수행한다. 예를 들면, 희생막(366)이 제거됨에 따라 예비 제1 전극(375)과 예비 스페이서(369)의 상부는 필러의 형상으로 돌출된다.

도 7l을 참조하면, 화학 기계적 연마(CMP) 공정을 이용하여 돌출된 예비 제1 전극(375)과 예비 스페이서(369)의 상부를 제거하여 패드(354) 상에 제1 전극(378) 및 스페이서(381)를 동시에 형성한다. 제1 전극(378) 및 스페이서(381)는 세리아를 함유하는 연마제를 포함하는 슬러리를 사용하여 연마되며, 제2 보호막(363)이 연마 저지막의 역할을 한다. 본 발명의 다른 실시예에 따르면, 상기 화학 기계적 연마 공정을 충분하게 수행함으로써, 제1 전극(378) 및 스페이서(381)를 형성하는 동안 제2 보호막(363)을 제거할 수 있다.

도 7m을 참조하면, 제2 보호막(363) 및 제1 전극(378) 상에 상변화 물질막 패턴(384) 및 제2 전극(387)을 차례로 형성한다. 상변화 물질층 패턴(384)은 칼코겐 화합물을 스퍼터링 공정, 원자층 적층(ALD) 공정 또는 화학 기상 증착(CVD) 공정으로 증착하여 형성된다. 제2 전극(387)은 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 스퍼터링 공정, 원자층 적층(ALD) 공정, 전자 빔 증착 공정, 화학 기상 증착(CVD) 또는 펄스 레이저 증착(PLD) 공정으로 증착하여 형성된다.

상변화 물질막 패턴(384) 및 제2 전극(387)을 덮으면서 제2 보호막(363) 상에 산화물을 사용하여 제3 층간 절연막(390)을 형성한다. 예를 들면, 제3 층간 절연막(390)은 TEOS, PE-TEOS, BPSG, PSG, SOG, FOX, USG 또는 HDP-CVD 산화물을 사용하여 형성한다. 또한, 제3 층간 절연막(390)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마-화학 기상 증착(HDP-CVD) 공정을 이용하여 형성된다.

사진 식각 공정을 이용하여 제3 층간 절연막(390)에 제2 전극(387)을 노출시키는 상부 콘택 홀(도시되지 않음)을 형성한 후, 제2 전극(387) 상에 상기 상부 콘택 홀을 채우는 상부 콘택(393)을 형성하는 동시에 상부 콘택(393) 및 제3 층간 절연막(390) 상에 상부 배선(396)을 형성한다. 즉, 상부 콘택(393)과 상부 배선(396)은 일체로 형성된다. 상부 콘택(393)과 상부 배선(396)은 금속 또는 도전성 금속 질화물을 사용하여 형성된다. 예를 들면, 상부 콘택(393)과 상부 배선(396)은, 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 몰리브덴 질화물, 니오븀 질화물, 티타늄 실리콘 질화물, 알루미늄,

티타늄 알루미늄 질화물, 티타늄 보론 질화물, 지르코늄 실리콘 질화물, 텅스텐 실리콘 질화물, 텅스텐 보론 질화물, 지르코늄 알루미늄 질화물, 몰리브덴 실리콘 질화물, 몰리브덴 알루미늄 질화물, 탄탈륨 실리콘 질화물 또는 탄탈륨 알루미늄 질화물을 사용하여 형성된다. 이들은 단독으로 또는 혼합되어 사용될 수 있다.

도 11a 내지 도 11e는 본 발명의 다른 실시예에 따른 상변화 메모리 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다.

도 11a를 참조하면, 반도체 기판(400)에 소자 분리막(403)을 형성하여 반도체 기판(400)을 액티브 영역 및 필드 영역으로 구분한다.

반도체 기판(400) 상에 게이트 절연막, 게이트 도전막 및 게이트 마스크층을 순차적으로 형성한 다음, 상기 게이트 마스크층, 게이트 도전막 및 게이트 절연막을 패터닝하여 게이트 절연막 패턴(406), 게이트 전극(409) 및 게이트 마스크(412)를 포함하는 게이트 구조물(415)을 반도체 기판(400) 상에 형성한다. 게이트 전극(409)은 도핑된 폴리실리콘막, 금속막 또는 도전성 금속 질화막과 같은 단일막 구조를 가질 수 있다. 또한, 게이트 전극(409)은 도핑된 폴리실리콘막, 금속막 및/또는 도전성 금속 질화막을 포함하는 이중막 구조를 가질 수도 있다. 게이트 마스크(412)는 게이트 전극(409)과 게이트 절연막 패턴(406)에 대하여 식각 선택비를 갖는 물질을 사용하여 형성된다.

게이트 마스크(412)를 덮으면서 반도체 기판(400) 상에 제1 절연막을 형성한 다음, 상기 제1 절연막을 이방성 식각하여 게이트 구조물(415)의 측벽 상에 게이트 스페이서(418)를 형성한다.

게이트 구조물(415)들을 이온 주입 마스크로 이용하는 이온 주입 공정을 통하여 게이트 구조물(415)들 사이로 노출되는 반도체 기판(400)에 제1 및 제2 콘택 영역(421, 424)을 형성한다. 따라서, 게이트 구조물(415)들과 제1 및 제2 콘택 영역(421, 424)을 포함하는 트랜지스터(427)들이 반도체 기판(400) 상에 형성된다.

트랜지스터(427)들을 덮으면서 반도체 기판(400) 상에 제1 층간 절연막(430)을 형성한다. 제1 층간 절연막(430)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다.

사진 식각 공정으로 제1 층간 절연막(430)을 부분적으로 식각하여, 제1 층간 절연막(430)에 제1 및 제2 콘택 영역(421, 424)을 각기 노출시키는 제1 및 제2 콘택 홀(433, 436)을 형성한다.

제1 및 제2 콘택 홀(433, 436)을 채우면서 제1 층간 절연막(430) 상에 예비 제1 도전막(439)을 형성한다. 예비 제1 도전막(439)은 불순물로 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정, 전자 빔 증착 공정 또는 펄스 레이저 증착(PLD) 공정으로 증착하여 형성된다.

도 11b를 참조하면, 예비 제1 도전막(439)의 표면을 화학 기계적 연마(CMP) 공정을 통하여 처리하여, 예비 제1 도전막(439)에 생성된 단차를 제거하는 동시에 예비 제1 도전막(439)의 표면 거칠기를 개선시킨다. 이에 따라 단차가 없이 균일한 표면을 갖는 제1 도전막(도시되지 않음)이 형성된다.

상기 제1 도전막 상에 제1 보호막(도시되지 않음)과 포토레지스트 패턴(도시되지 않음)을 차례로 형성한다. 상기 제1 보호막은 질화물 또는 산질화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다.

상기 포토레지스트 패턴을 식각 마스크로 이용하여, 상기 제1 보호막을 패터닝함으로써, 상기 제1 도전막 상에 제1 보호막 패턴(454) 및 하부 배선 보호 패턴(455)을 동시에 형성한다. 제1 보호막 패턴(454)은 상기 제1 도전막 중에서 아래에 제1 콘택 영역(421)이 위치하는 부분 상에 형성되며, 하부 배선 보호 패턴(455)은 상기 제1 도전막 중에서 아래에 제2 콘택 영역(424)이 위치하는 부분 상에 형성된다.

상기 포토레지스트 패턴을 제거한 다음, 제1 보호막 패턴(454)과 하부 배선 보호 패턴(455)을 각기 식각 마스크로 이용하는 건식 식각 공정을 통하여 상기 제1 도전막을 부분적으로 식각함으로써, 제1 전극(448)과 제1 콘택(442)을 형성하는 동시에 하부 배선(451)과 제2 콘택(445)을 형성한다. 제1 콘택(442)은 제1 콘택 영역(421)에 접촉되며, 제1 전극(448)은 제1 콘택(442) 상에 위치하여 제1 콘택(442)을 통해 제1 콘택 영역(421)에 전기적으로 연결된다. 또한, 제2 콘택(445)은 제

2 콘택 영역(424)에 접촉되며, 비트 라인 등과 같은 하부 배선(451)은 제2 콘택(445)을 통해 제2 콘택 영역(424)에 전기적으로 연결된다. 제1 전극(448)은 제1 콘택(442)과 일체로 형성되며, 하부 배선(451)은 제2 콘택(445)과 일체로 형성된다.

도 11c를 참조하면, 제1 보호막 패턴(454) 및 하부 배선 보호 패턴(455)을 덮으면서 제1 층간 절연막(430) 상에 제2 층간 절연막(457)을 형성한다. 제2 층간 절연막(457)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다.

제1 보호막 패턴(454) 및 하부 배선 보호 패턴(455)이 노출될 때까지 화학 기계적 연마(CMP) 공정을 이용하여 제2 층간 절연막(457)을 부분적으로 제거한다. 제2 층간 절연막(457)은 산화물과 질화물 사이에 높은 식각 선택비를 갖는 세리아를 함유하는 연마제를 포함하는 슬러리를 사용하여 연마되며, 제1 보호막 패턴(454) 및 하부 배선 보호 패턴(455)이 각기 연마 저지막으로 기능한다. 본 발명의 다른 실시예에 따르면, LAL과 같은 용액을 사용하여 제2 층간 절연막(457)을 부분적으로 식각함으로써, 제2 층간 절연막(457)의 평탄도를 보다 향상시킬 수 있다.

제2 층간 절연막(457), 제1 보호막 패턴(454) 및 하부 배선 보호 패턴(455) 상에 제2 보호막(460)을 형성한다. 제2 보호막(460)은 질화물이나 산질화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다.

제2 보호막(460) 상에 산화물을 사용하여 희생막(463)을 형성한다. 희생막(463)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마 화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다.

사진 식각 공정을 이용하여 희생막(463), 제2 보호막(460) 및 제1 보호막 패턴(454)을 부분적으로 식각함으로써, 제1 전극(448)을 노출시키는 개구(도시되지 않음)를 형성한다.

상기 개구를 채우면서 제1 전극(448)과 희생막(463) 상에 제2 절연막을 형성한 다음, 상기 제2 절연막을 이방성 식각 공정으로 식각하여 상기 개구의 측벽 상에 예비 스페이서(466)를 형성한다.

제1 전극(448) 및 희생막(463) 상에 상기 개구를 매립하는 상변화 물질막(도시되지 않음)을 형성한다. 상기 상변화 물질막은 칼코겐 화합물을 화학 기상 증착 공정, 원자층 적층 공정 또는 스퍼터링 공정으로 증착하여 형성된다.

희생막(463)이 노출될 때까지 화학 기계적 연마(CMP) 공정으로 상기 상변화 물질막을 부분적으로 제거하여 상기 개구를 매립하는 예비 상변화 물질막 패턴(469)을 형성한다. 예비 상변화 물질막 패턴(469)의 측벽과 상기 개구의 측벽 사이에는 예비 스페이서(466)가 위치한다.

도 11d를 참조하면, 에치 백 공정을 통하여 희생막(463)을 제거하여 제2 보호막(460)을 노출시킴으로써 예비 상변화 물질막 패턴(469) 및 예비 스페이서(466)의 상부를 돌출시킨다.

화학 기계적 연마(CMP) 공정을 이용하여 돌출된 예비 상변화 물질막 패턴(469)과 예비 스페이서(466)의 상부를 제거하여 제1 전극(448) 상에 상변화 물질막 패턴(472) 및 스페이서(475)를 동시에 형성한다. 상변화 물질막 패턴(472) 및 스페이서(475)는 세리아를 함유하는 연마제를 포함하는 슬러리를 사용하여 형성되며, 제2 보호막(460)이 연마 저지막의 역할을 한다. 한편, 상기 화학 기계적 연마 공정을 충분히 수행함으로써, 상변화 물질막 패턴(472) 및 스페이서(475)를 형성하는 동안 제2 보호막(460)을 제거할 수도 있다.

도 11e를 참조하면, 제2 보호막(460) 및 상변화 물질막 패턴(475) 상에 제2 전극(478)을 형성한다. 제2 전극(478)은 도핑된 폴리실리콘, 금속 또는 도전성 금속 질화물을 스퍼터링 공정, 원자층 적층(ALD) 공정, 전자 빔 증착 공정, 화학 기상 증착(CVD) 또는 펄스 레이저 증착(PLD) 공정으로 증착하여 형성된다.

제2 전극(478)을 덮으면서 제2 보호막(460) 상에 제3 층간 절연막(481)을 형성한다. 제3 층간 절연막(481)은 산화물을 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PE-CVD) 공정, 원자층 적층(ALD) 공정 또는 고밀도 플라즈마-화학 기상 증착(HDP-CVD) 공정으로 증착하여 형성된다.

사진 식각 공정을 이용하여 제3 층간 절연막(481)에 제2 전극(478)을 노출시키는 상부 콘택 홀(도시되지 않음)을 형성한 다음, 제2 전극(478) 상에 상기 상부 콘택 홀을 채우는 상부 콘택(484)을 형성하는 동시에 상부 콘택(483) 및 제3 층간 절연막(481) 상에 상부 배선(487)을 형성한다. 상부 콘택(484)과 상부 배선(487)은 금속 또는 도전성 금속 질화물을 사용하여 일체로 형성된다.

### 발명의 효과

상술한 바와 같이 본 발명에 의하면, 패드 또는 제1 전극을 건식 식각 공정을 이용하여 형성하기 때문에, 상기 패드 또는 제1 전극에 화학 기계적 연마 공정에 기인하는 심 또는 보이드가 발생하는 것을 억제할 수 있다. 따라서, 상기 패드와 제1 전극 또는 상기 제2 전극과 상변화 물질막 패턴 사이에 저항 불량이 발생하는 것을 방지할 수 있으므로, 이러한 패드 및 제1 전극을 구비하는 가변 저항 구조물의 전기적인 특성을 개선할 수 있다. 결국, 상기 가변 저항 구조물을 포함하는 상변화 메모리 장치의 전기적인 특성을 향상시킬 수 있다. 또한, 콘택과 패드 또는 콘택과 제2 전극을 동시에 형성할 수 있으므로, 상변화 메모리 장치의 제조 공정을 간략화함으로써, 상변화 메모리 장치의 제조비용과 시간을 절감할 수 있다. 더욱이, 제1 보호막 패턴 및 제2 보호막이 제1 전극 또는 상변화 물질막 패턴을 감싸며 지지하기 때문에 가변 저항 구조물의 구조적 안정성을 크게 개선할 수 있다.

상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 특히 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

도 1a 내지 도 1e는 종래의 상변화 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 2는 금속막의 화학 기계적 연마 공정 시의 문제점을 설명하기 위한 그래프이다.

도 3a 내지 도 3c는 종래의 상변화 메모리 장치의 패드 내에 심이 발생하는 과정을 전자 현미경을 사용하여 촬영한 사진들이다.

도 4는 종래의 상변화 메모리 장치의 단면을 전자 현미경을 사용하여 촬영한 사진이다.

도 5a 내지 도 5f는 본 발명의 일 실시예에 따른 가변 저항 구조물의 제조 방법을 설명하기 위한 단면도들이다.

도 6a 내지 도 6f는 본 발명의 다른 실시예에 따른 가변 저항 구조물의 제조 방법을 설명하기 위한 단면도들이다.

도 7a 내지 도 7m은 본 발명의 일 실시예에 따른 상변화 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 8a는 도 7b의 예비 제1 도전막의 단면을 전자 현미경을 사용하여 촬영한 사진이다.

도 8b는 도 7b의 예비 제1 도전막의 표면을 전자 현미경을 사용하여 촬영한 사진이다.

도 9a는 도 7c의 제1 도전막의 단면을 전자 현미경을 사용하여 촬영한 사진이다.

도 9b는 도 7c의 제1 도전막의 표면을 전자 현미경을 사용하여 촬영한 사진이다.

도 10은 도 7e에 도시한 제1 보호막 패턴, 패드, 하부 배선 보호 패턴 및 하부 배선의 단면을 전자 현미경으로 촬영한 사진이다.

도 11a 내지 도 11e는 본 발명의 다른 실시예에 따른 상변화 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200, 300, 400 : 기관 103, 203 : 콘택 영역

106, 206 : 제1 절연막 109, 209 : 콘택 홀

112, 339, 439 : 예비 제1 도전막 115, 212, 342 : 제1 도전막

118, 215, 345 : 제1 보호막 124, 221 : 콘택

127, 355 : 패드 130, 227, 354, 454 : 제1 보호막 패턴

133, 230 : 제2 절연막 136, 233, 363, 460 : 제2 보호막

139, 236, 366, 463 : 희생막 142 : 개구

145, 239, 369, 466 : 예비 스페이서

148, 375 : 예비 제1 전극 151, 224, 378, 448 : 제1 전극

154, 251, 381, 475 : 스페이서

157, 248, 384, 472 : 상변화 물질막 패턴

160, 254, 387, 478 : 제2 전극 170, 270 : 가변 저항 구조물

245, 466 : 예비 상변화 물질막 패턴

303, 403 : 소자 분리막 306, 406 : 게이트 절연막 패턴

309, 409 : 게이트 전극 310, 410 : 게이트 마스크 패턴

315, 415 : 게이트 구조물 318, 418 : 게이트 스페이서

321, 421 : 제1 콘택 영역 324, 424 : 제2 콘택 영역

317, 427 : 트랜지스터 330, 430 : 제1 층간 절연막

333, 433 : 제1 콘택 홀 336, 436 : 제2 콘택 홀

339 : 제1 도전막 352, 455 : 하부 배선 보호 패턴

355, 451 : 하부 배선 357, 442 : 제1 콘택

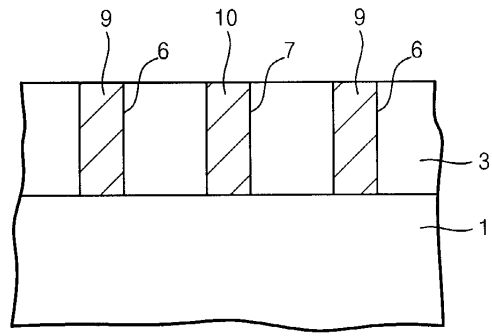
358, 445 : 제2 콘택 360, 457 : 제2 층간 절연막

390, 481 : 제3 층간 절연막 393, 484 : 상부 콘택

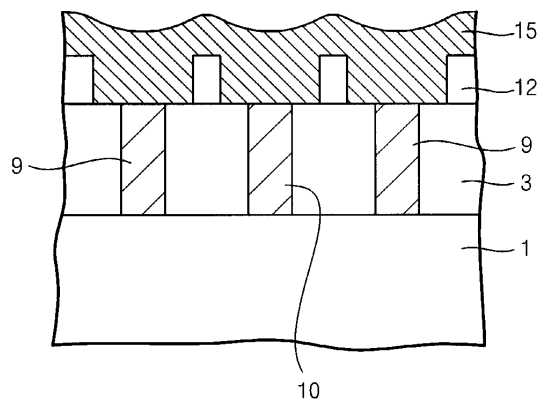
396, 487 : 상부 배선

도면

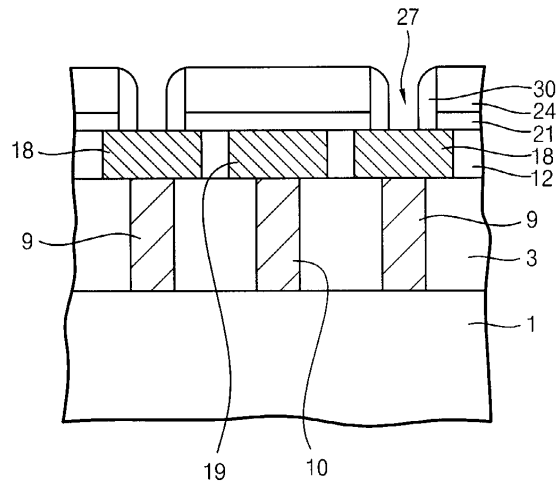
도면1a



도면1b

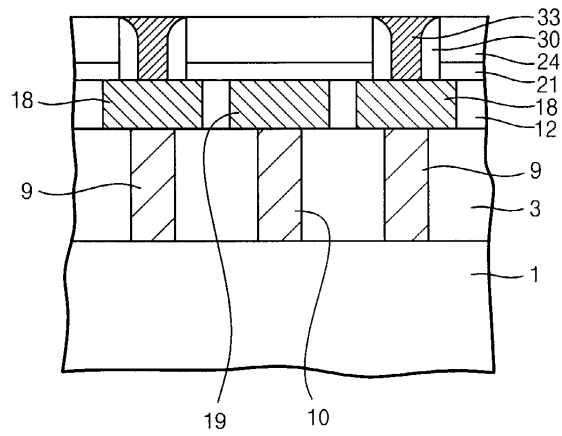


도면1c

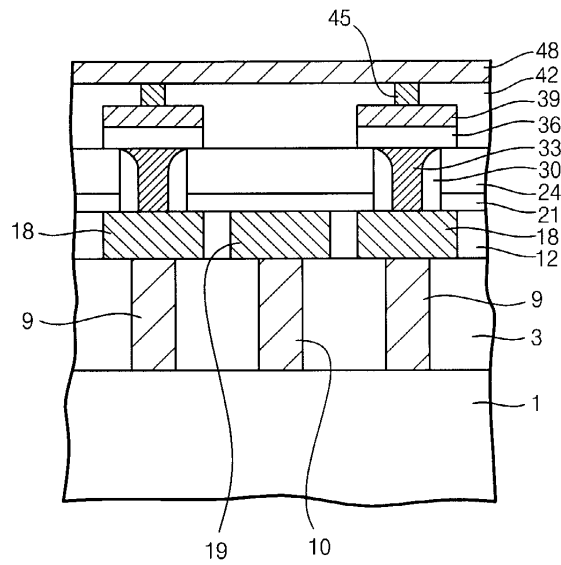




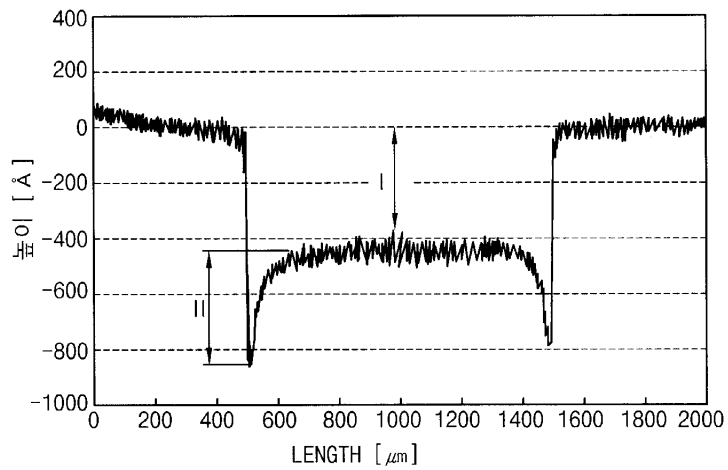
도면1d



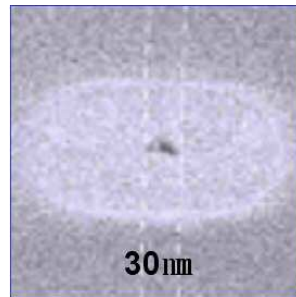
도면1e



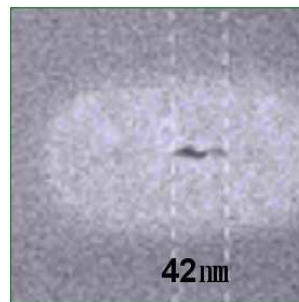
도면2



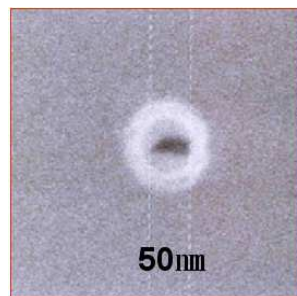
도면3a



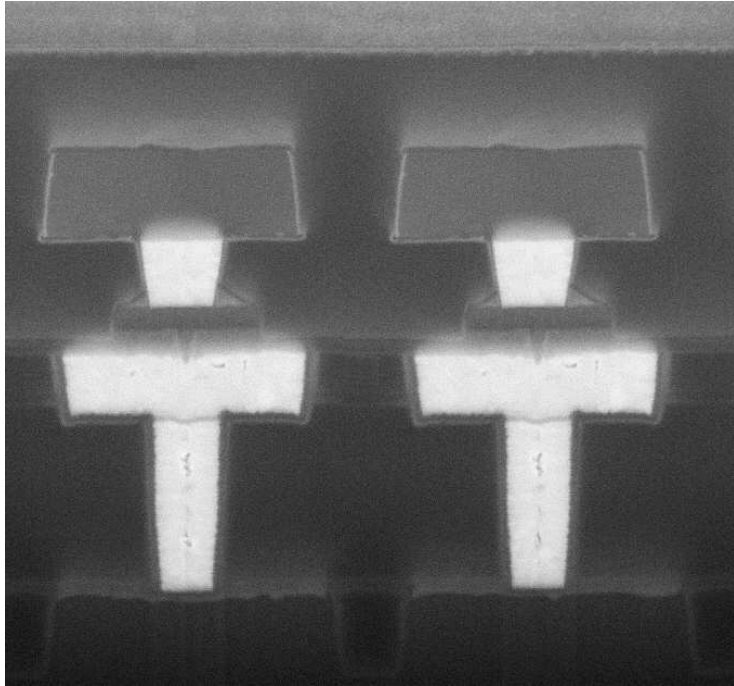
도면3b



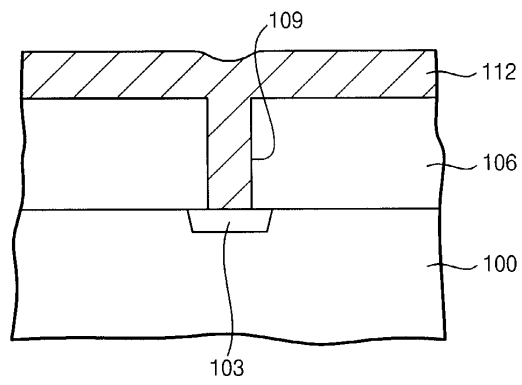
도면3c



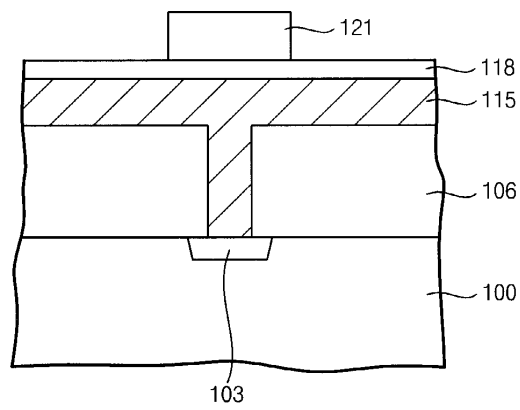
도면4



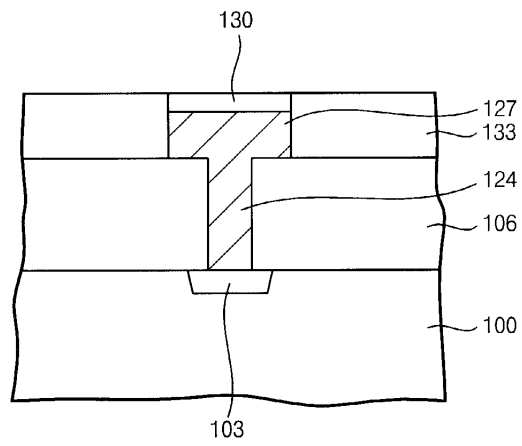
도면5a



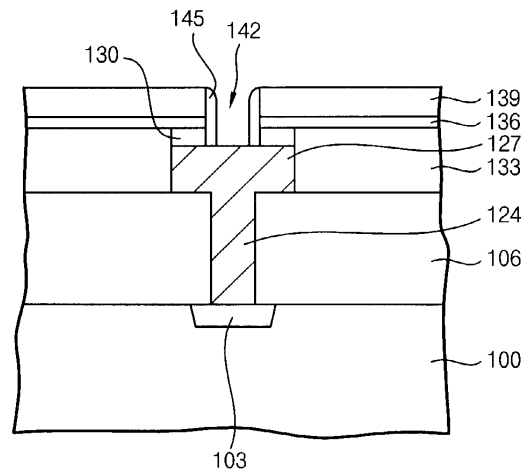
도면5b



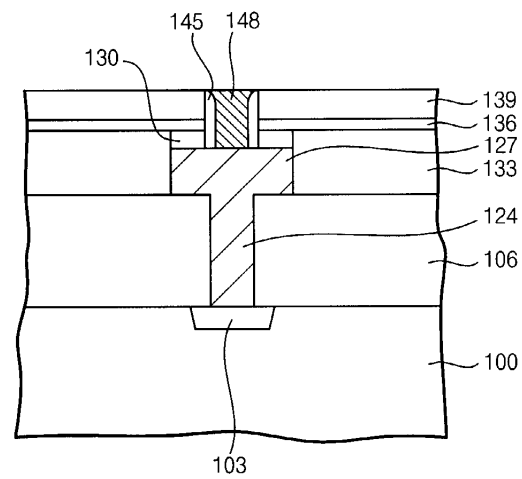
도면5c



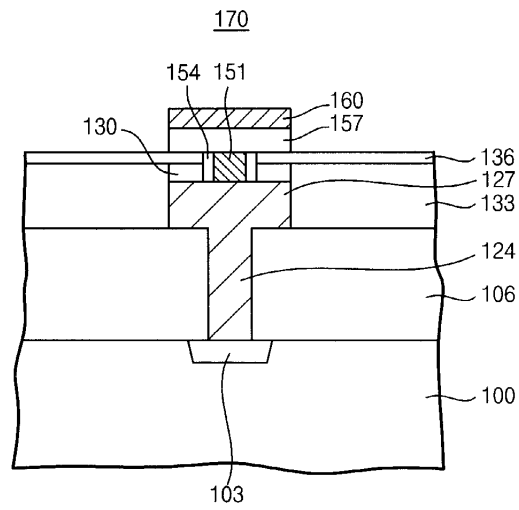
도면5d



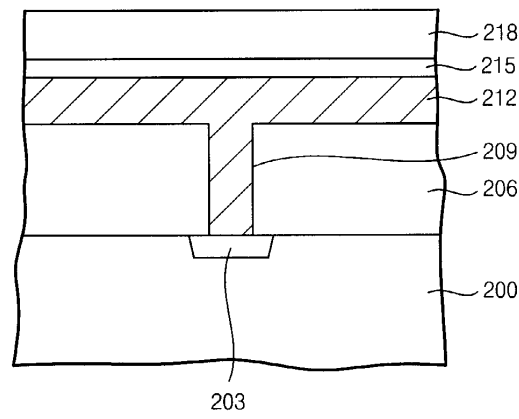
도면5e



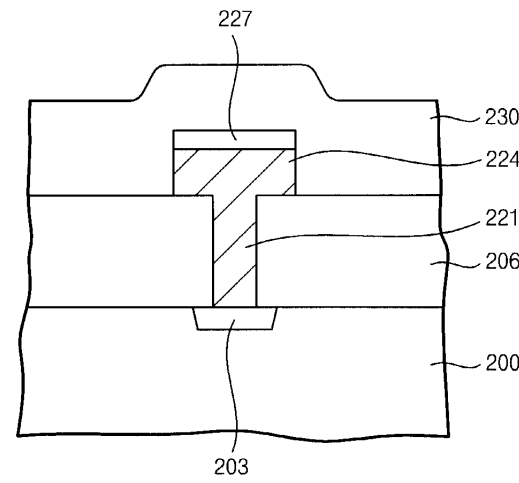
도면5f



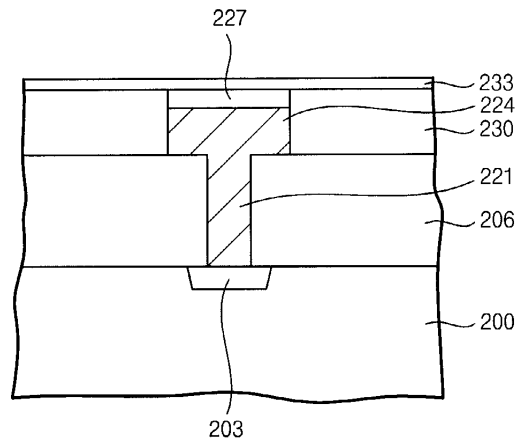
도면6a



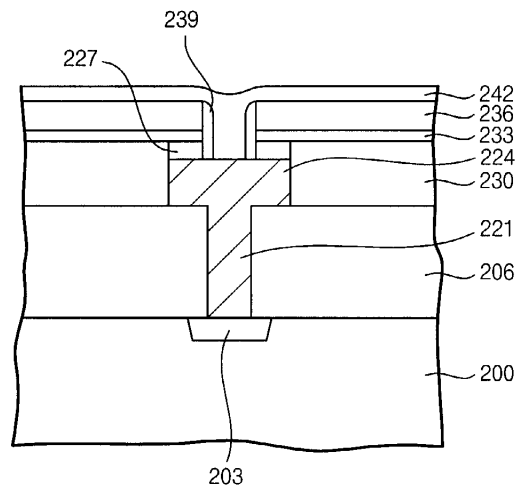
도면6b



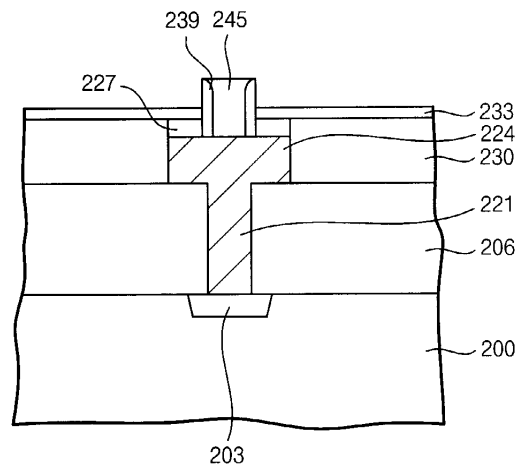
도면6c



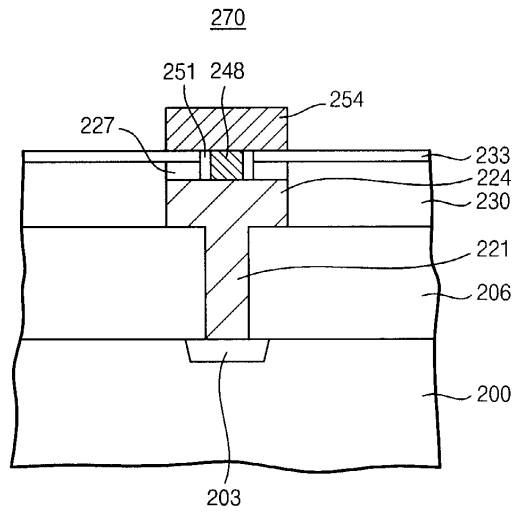
도면6d



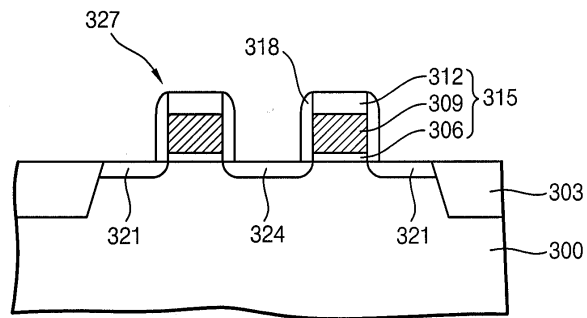
도면6e



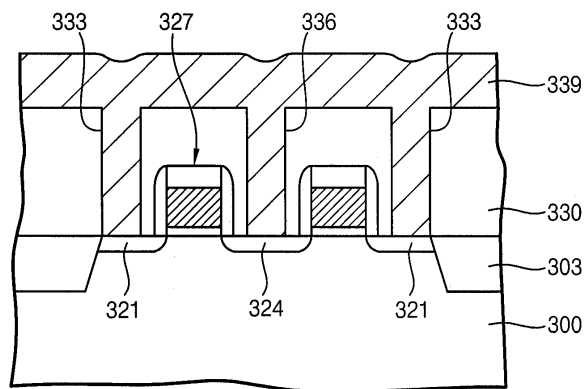
도면6f



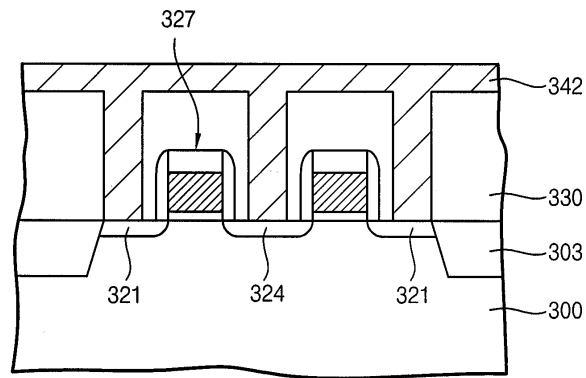
도면7a



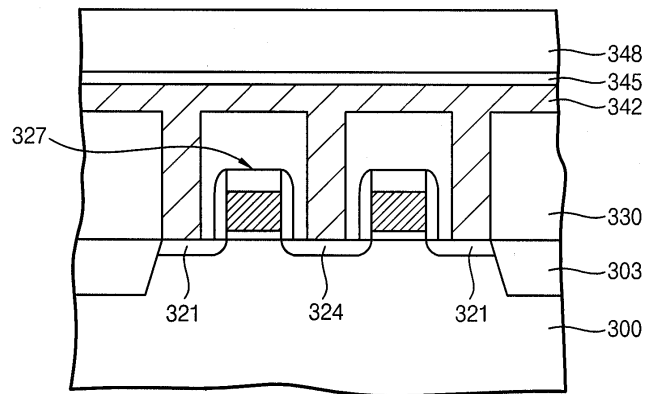
도면7b



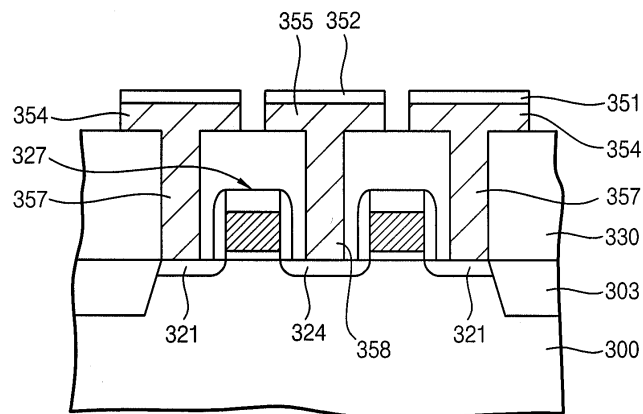
도면7c



도면7d

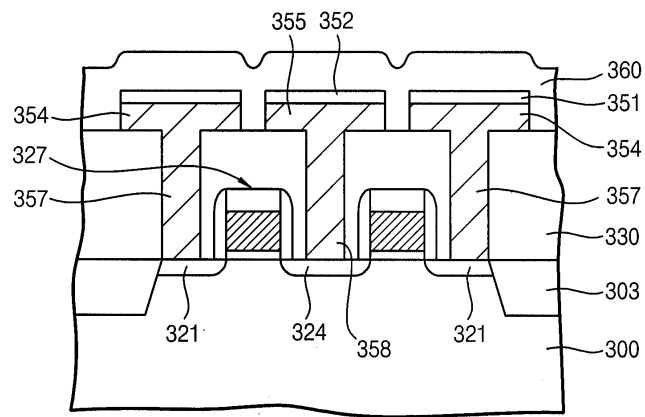


도면7e

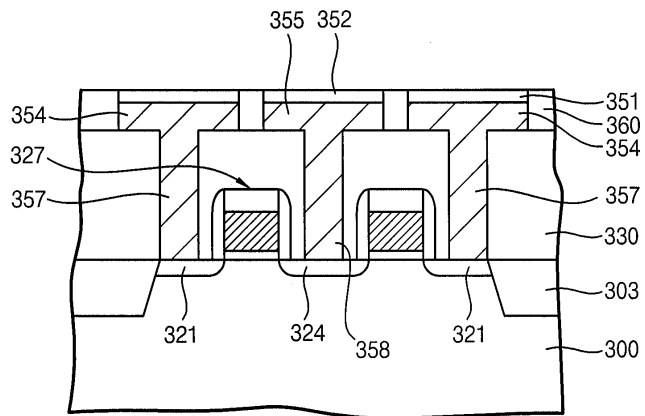




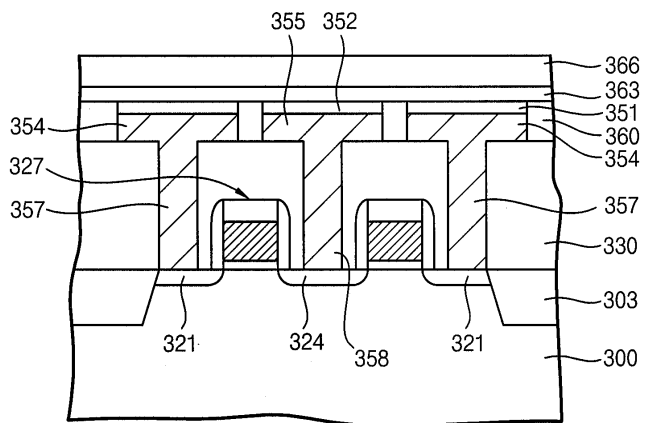
도면7f



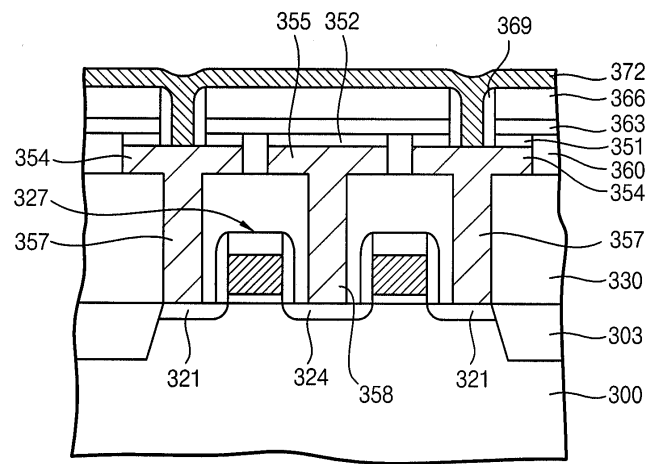
도면7g



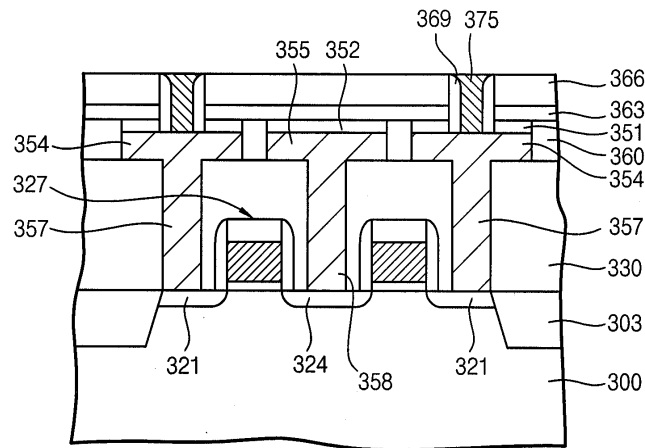
도면7h



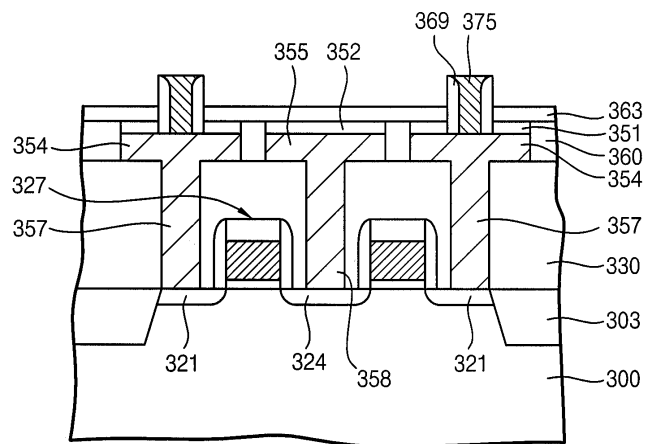
도면7i



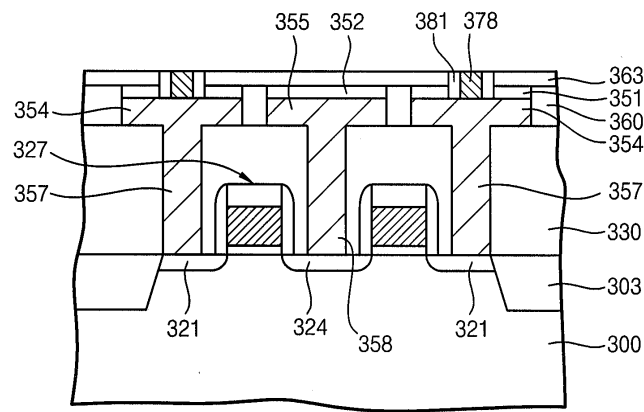
도면7j



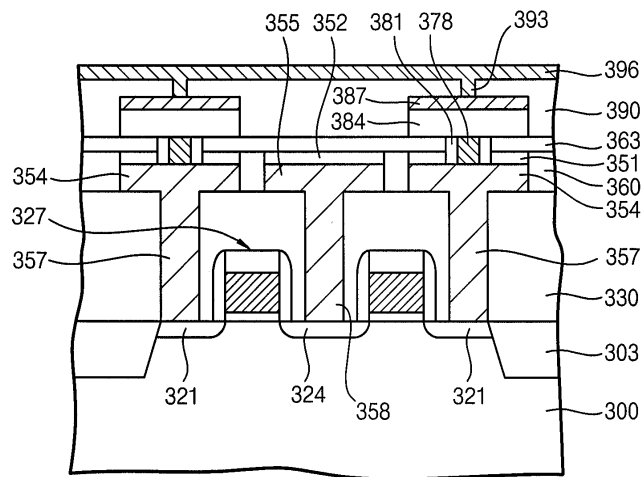
도면7k



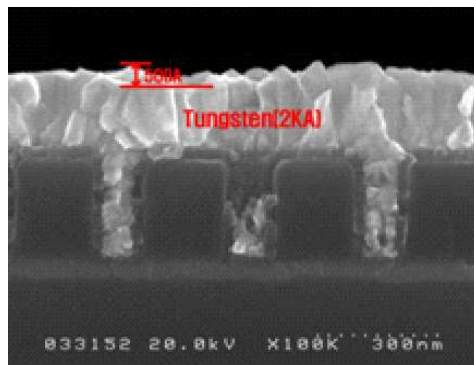
도면71



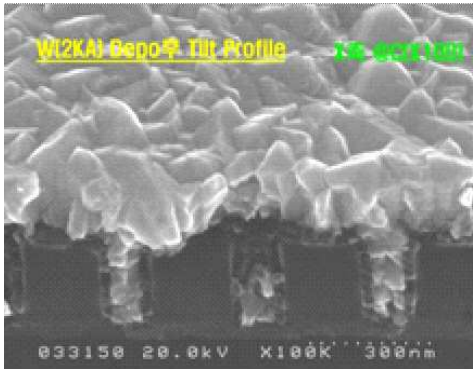
도면7m



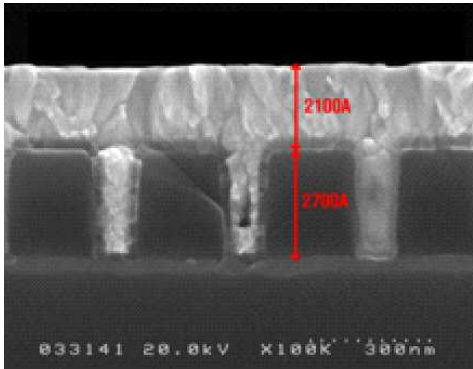
도면8a



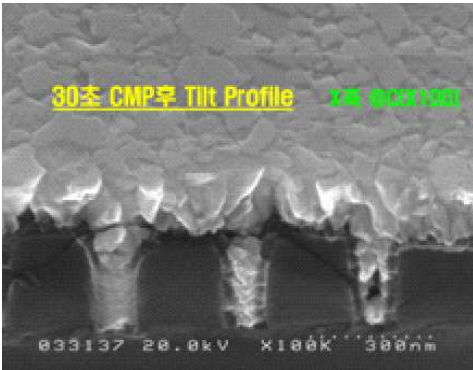
도면8b



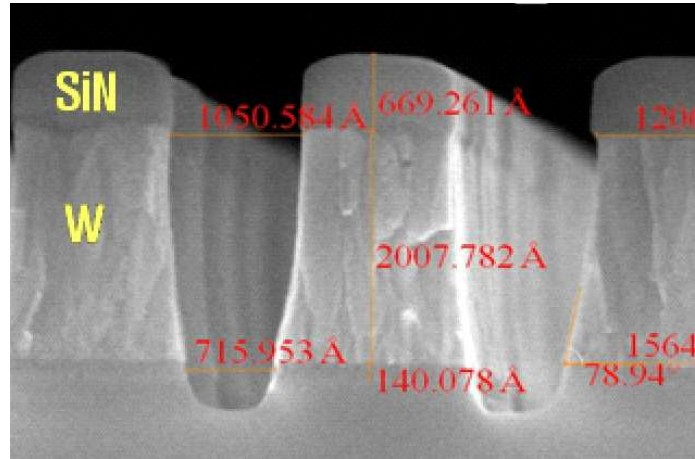
도면9a



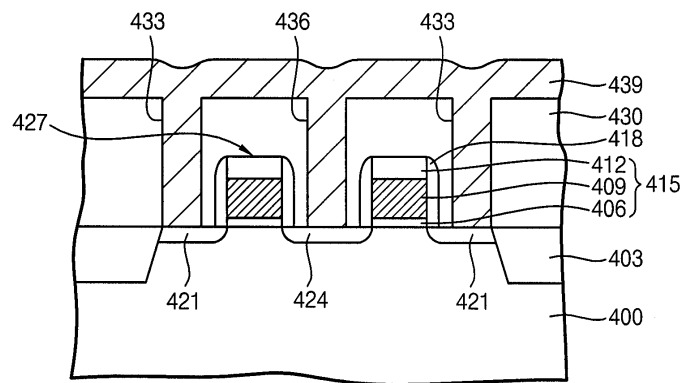
도면9b



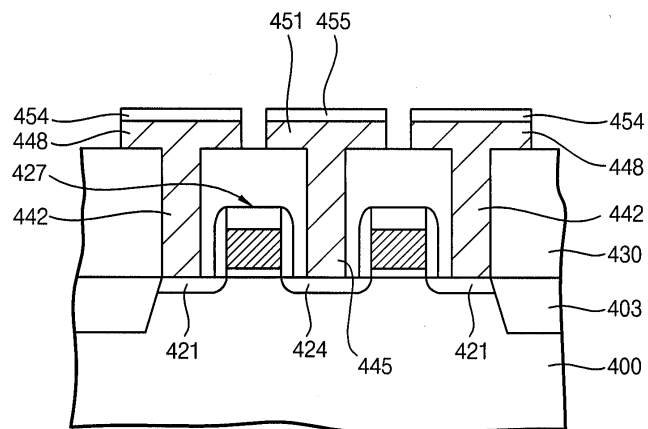
도면10



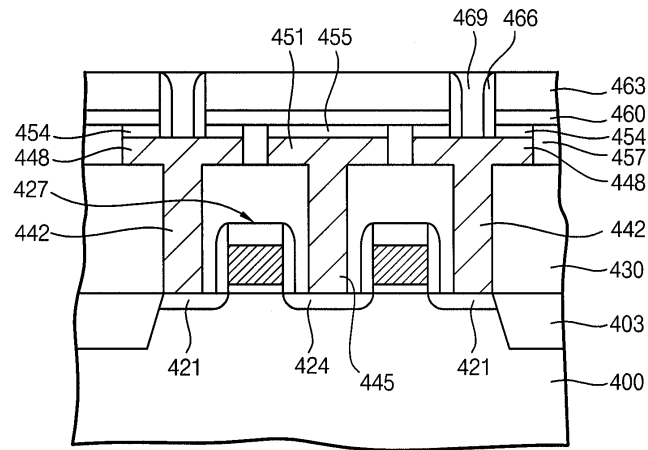
도면11a



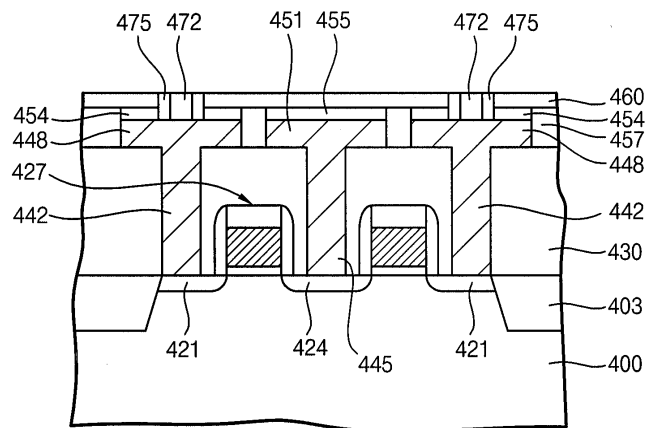
도면11b



도면11c



도면11d



도면11e

