

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7661239号
(P7661239)

(45)発行日 令和7年4月14日(2025.4.14)

(24)登録日 令和7年4月4日(2025.4.4)

(51)国際特許分類 F I
G 0 5 B 19/042 (2006.01) G 0 5 B 19/042

請求項の数 20 (全12頁)

<p>(21)出願番号 特願2021-566599(P2021-566599) (86)(22)出願日 令和2年5月7日(2020.5.7) (65)公表番号 特表2022-533576(P2022-533576 A) (43)公表日 令和4年7月25日(2022.7.25) (86)国際出願番号 PCT/US2020/031758 (87)国際公開番号 WO2020/231717 (87)国際公開日 令和2年11月19日(2020.11.19) 審査請求日 令和5年5月2日(2023.5.2) (31)優先権主張番号 62/845,980 (32)優先日 令和1年5月10日(2019.5.10) (33)優先権主張国・地域又は機関 米国(US)</p>	<p>(73)特許権者 521219442 ウェスティングハウス エレクトリック カンパニー エルエルシー WESTINGHOUSE ELECTRIC COMPANY LLC アメリカ合衆国 16066 ペンシルベニア, クランベリー タウンシップ, ウェスティングハウス ドライブ 1000, スイート 141 1000 Westinghouse Drive, Suite 141, Cranberry Township, Pennsylvania 16066 United States of America</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54)【発明の名称】 較正システム、電子装置、及び、較正検証方法

(57)【特許請求の範囲】

【請求項 1】

周期的波形を生成するように構成されている波形生成器と、
前記波形生成器と信号通信する制御回路と、
を備え、
前記制御回路は、
前記周期的波形をデジタル値に変換するように構成されているアナログ - デジタル変換器と、

前記アナログ - デジタル変換器と信号通信する電子装置であって、前記電子装置は、前記周期的波形の一周期に対応する前記デジタル値を利用して、以下、即ち、

前記制御回路のタイミングの較正が、所定の第1の許容範囲しきい値内であることと、
前記制御回路の電圧レベルの較正が、所定の第2の許容範囲しきい値内であることと、
を自動的に検証するように構成されている、前記電子装置と、
を備える、
較正システム。

【請求項 2】

前記周期的波形は、三角波を含む、請求項 1 に記載の較正システム。

【請求項 3】

前記周期的波形は、正弦波を含む、請求項 1 に記載の較正システム。

【請求項 4】

前記電子装置は、フィールドプログラマブルゲートアレイを備える、請求項 1 又は 2 に記載の較正システム。

【請求項 5】

前記アナログ - デジタル変換器は、前記電子装置の一部を形成する、請求項 1 から 4 のいずれか一項に記載の較正システム。

【請求項 6】

前記制御回路は、前記アナログ - デジタル変換器に接続された入力 / 出力回路をさらに備える、請求項 1 から 5 のいずれか一項に記載の較正システム。

【請求項 7】

前記入力 / 出力回路は、前記電子装置の一部を形成する、請求項 6 に記載の較正システム。

10

【請求項 8】

前記制御回路は、前記電子装置と信号通信するプロセッサをさらに備える、請求項 1 から 7 のいずれか一項に記載の較正システム。

【請求項 9】

前記プロセッサは、前記電子装置の一部を形成する、請求項 8 に記載の較正システム。

【請求項 10】

前記較正システムは、前記制御回路と信号通信するプロセッサをさらに備える、請求項 1 から 9 のいずれか一項に記載の較正システム。

【請求項 11】

20

電子装置であって、

周期的波形をデジタル値に変換するように構成されているアナログ - デジタル変換器と、前記アナログ - デジタル変換器と信号通信する処理回路であって、前記処理回路は、前記周期的波形の一周期に対応する前記デジタル値を利用して、以下、即ち、

前記電子装置のタイミングの較正が、所定の第 1 の許容範囲しきい値内であることと、

前記電子装置の電圧レベルの較正が、所定の第 2 の許容範囲しきい値内であることと、を自動的に検証するように構成される、前記処理回路と、を備える、電子装置。

【請求項 12】

前記処理回路が、フィールドプログラマブルゲートアレイを含む、請求項 11 に記載の電子装置。

30

【請求項 13】

前記処理回路は、プロセッサをさらに備える、請求項 12 に記載の電子装置。

【請求項 14】

前記アナログ - デジタル変換器と信号通信する入力 / 出力回路をさらに備える、請求項 11 から 13 のいずれか一項に記載の電子装置。

【請求項 15】

周期的波形を生成する工程と、

生成済みの前記周期的波形を電子装置に入力する工程と、

前記周期的波形をデジタル値へ変換する工程と、

40

前記周期的波形の一周期に対応する前記デジタル値を利用して、

前記電子装置のタイミングの較正が、所定の第 1 の許容範囲しきい値内であることと、

前記電子装置の電圧レベルの較正が、所定の第 2 の許容範囲しきい値内であることと、を自動的に検証する工程と、

を備える、較正検証方法。

【請求項 16】

前記電子装置のタイミングの較正を自動的に検証することは、入力済みの前記周期的波形の周波数を決定することを含む、請求項 15 に記載の較正検証方法。

【請求項 17】

前記電子装置のタイミングの較正を自動的に検証することは、入力済みの前記周期的波形

50

の決定された周波数を既知の周波数と比較することをさらに含む、請求項 16 に記載の較正検証方法。

【請求項 18】

前記電子装置のタイミングの較正を自動的に検証することは、入力済みの前記周期的波形の決定された周波数が前記既知の周波数の許容範囲しきい値内にあるか否かを決定することをさらに含む、請求項 17 に記載の較正検証方法。

【請求項 19】

前記電子装置の電圧レベルの較正を自動的に検証することは、入力済みの前記周期的波形のサンプリングされた電圧レベルを、期待される電圧レベルと比較することを含む、請求項 15 から 18 のいずれか一項に記載の較正検証方法。

10

【請求項 20】

前記電子装置の電圧レベルの較正を自動的に検証することは、入力済みの前記周期的波形のサンプリングされた電圧レベルのそれぞれが、前記期待される電圧レベルの許容範囲しきい値内であるか否かを判断することをさらに含む、請求項 19 に記載の較正検証方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2019年5月10日に提出された米国仮特許出願第62/845,980号の先の出願日の35 U.S.C. 119(e)に基づく利益を主張し、その内容は、その全体が参照により本明細書に組み込まれる。

20

【0002】

本出願は、一般的に、及び様々な態様で、装置、回路、及び/又は、システムを較正するシステム、及び、方法、関連する発明を開示する。

【背景技術】

【0003】

現在、原子力発電所では、それらの様々な制御回路のうちの少なくとも1つにおいて、1つ以上のフィールドプログラマブルゲートアレイ(FPGA)を利用することがより一般的である。1つ又は複数のFPGAを含むことに加えて、そのような制御回路は、例えば、センサ、入力/出力カード、アナログ-デジタル変換器、及び、原子力発電所の操作を監視及び/又は制御するためのプロセッサなどの他の装置/部品も含む。一般に、検知又は測定されたパラメータを示す、センサによって生成された出力信号は、入力/出力カードに入力され、入力/出力カードは、FPGAに接続され、次いで、プロセッサに接続され得る。センサによって生成される出力信号がアナログ信号である場合には、アナログ信号を対応するデジタル信号に変換するために、アナログ-デジタル変換器が利用される。種々の構成において、アナログ-デジタル変換は、入力/出力カードによって、入力/出力カードに接続されたアナログ-デジタル変換器によって、又はFPGAによって行うことができる。

30

【0004】

いくつかの原子力発電所の制御回路では、これらの装置/部品のいくつかは、例えば、CompactRIO(cRIO)コントローラが製造したNational Instrumentsのような電子装置と一緒にパッケージされる。電子装置が監視機能のみを提供する用途では、電子装置のFPGAによって出力されたデジタル値は、複数のFPGAの出力を集約するコンピュータシステム又は他の処理装置に入力され得る。電子装置がコントローラとして機能する用途では、電子装置は、1つ又は複数のセンサの出力信号に基づいて(又は他の条件で)制御機能を実行することができる。

40

【0005】

このような制御回路が適切に動作していることを確実にするために、制御回路の較正が検証され得る。特に、制御回路のタイミングの較正及び制御回路内に存在するアナログ電圧の較正が検証され得る。タイミング又はアナログ電圧のいずれかの較正が検証されない

50

場合には、制御回路が今後適切に較正されるように較正が調整され得る。検証及び較正のための既知のプロセスは、時間のかかるプロセスである。例えば、1つの公知のプロセスは、制御回路のタイミングを検証し、次いで、複数の異なる電圧レベルを個別に注入して、制御回路内に存在するアナログ電圧を検証することを含む。同様のプロセスは、現在、装置及び/又はシステムの較正を検証するために利用されている。

【0006】

装置、回路及び/又はシステムを較正するシステム及び方法に改善の余地がある。

【図面の簡単な説明】

【0007】

本明細書に記載された態様の新規な特徴は、添付の特許請求の範囲に詳細に記載されている。しかしながら、構成及び動作方法の両方に関する様態は、添付の図面と併せて以下の説明を参照することによって、より良く理解され得る。

10

【0008】

【図1】本開示の少なくとも1つの態様による較正システムを示す。

【0009】

【図2】図1の較正システムの波形生成器によって生成される例示的な三角波を示す。

【0010】

【図3】図1の較正システムの波形生成器によって生成される例示的な正弦波を示す図である。

【0011】

【図4】本開示の少なくとも1つの態様による較正方法を示す。

20

【発明を実施するための形態】

【0012】

本発明の図及び記載の少なくともいくつかは、本発明の明確な理解に関連する要素を示すために簡略化されているが、省略しつつ、明確にするために、当業者が理解する他の要素も本発明の一部を含み得ることを理解されたい。しかし、そのような要素は当技術分野で周知であり、本発明のよりよい理解を容易にしないので、そのような要素の説明は本明細書では提供しない。

【0013】

以下の詳細な説明では、その一部を形成する添付の図面を参照する。図面において、同様の記号及び参照符号は、文脈が別段の指示をしない限り、典型的には、いくつかの図を通して同様の部品を識別する。詳細な説明、図面、及び特許請求の範囲に記載される例示的な態様は、限定することを意味しない。本明細書で説明される技術の範囲から逸脱することなく、他の態様を利用することができ、他の変更を行うことができる。

30

【0014】

本技術の特定の実施例の以下の説明は、その範囲を限定するために使用されるべきではない。本技術の他の例、特徴、態様、実施形態、及び、利点は、本技術を実施するために企図される最良の形態の1つであることは、以下の説明から、当業者には明らかになるであろう。理解されるように、本明細書で説明される技術は、全てが技術から逸脱することなく、他の異なる明白な様態が可能である。したがって、図面及び説明は、本質的に例示的なものとみなされるべきであり、限定的なものとはみなされるべきではない。

40

【0015】

さらに、本明細書で説明される教示、表現、態様、実施形態、例などのうちの任意の1つ又は複数は、本明細書で説明される他の教示、表現、態様、実施形態、例などのうちの任意の1つ又は複数と組み合わせられ得ることを理解されたい。したがって、以下に記載される教示、表現、態様、実施形態、例などは、互いに対して分離して見られるべきではない。本明細書の教示を組み合わせることができる様々な適切な方法は、本明細書の教示を考慮すれば、当業者には容易に明らかになるであろう。そのような修正及び変形は、特許請求の範囲内に含まれることが意図される。

【0016】

50

較正システムの様々な様態を詳細に説明する前に、本明細書で開示される様々な様態は、それらの用途又は使用において、添付の図面及び説明に示される部品の構成及び配置の詳細に限定されないことに留意されたい。むしろ、開示された態様は、他の態様、実施形態、その変形、及び、修正に配置又は組み込まれてもよく、さまざまな方法で実施又は実行されてもよい。したがって、本明細書で開示される較正システムの態様は、本質的に例示的なものであり、その範囲又は用途を限定することを意味しない。さらに、別段の指示がない限り、本明細書で使用される用語及び表現は、読者の便宜のために態様を説明する目的で選択されたものであり、その範囲を限定することを意味するものではない。さらに、開示された態様、態様の表現、及び/又は、それらの例のうちの任意の1つ又は複数は、限定することなく、他の開示された態様、態様の表現、及び/又は、それらの例のうちの任意の1つ又は複数と組み合わせることができることを理解されたい。

10

【0017】

また、以下の説明において、内側、外側、上側、下側、上方、頂部、底部、床、左、右、面、内部、外部などの用語は便宜上の用語であり、限定的な用語として解釈されるべきではないことを理解されたい。本明細書で使用される用語は、本明細書で説明される装置、又は、その一部が他の向きで取り付けられ、又は利用され得る限り、限定することを意味しない。様々な態様が、図面を参照してより詳細に説明される。

【0018】

図1は、本開示の少なくとも1つの態様による較正システム10を示す。較正システム10は、原子力発電所の制御回路12を較正するために較正システムを利用する文脈で説明される。しかし、較正システム10は、任意の数の異なる装置(FPGA、コンピュータ、プログラマブル論理コントローラ、入力/出力回路など)、回路、及び/又は、システムを較正するために利用され得ることが理解される。較正システム10は、波形生成器14及び制御部16を含む。制御部16は、入力/出力回路18と、アナログ-デジタル変換器20と、FPGA22とを含む。種々の態様によれば、較正システム10は、また、FPGA22に接続されたプロセッサ24を含んでもよい。

20

【0019】

波形生成器14は、1つ以上の波形を生成するように構成される。例えば、様々な態様によれば、波形生成器14は、広範囲の周波数にわたって異なる振幅の三角波、正弦波、方形波、鋸歯波などの1つ又は複数の波形を生成するように構成され得る。波形生成器14によって生成された例示的な三角形が図2に示されており、ここで、三角形は1Hz、0~10Vの三角形である。波形生成器14によって生成された例示的な正弦波が図3に示されており、ここで正弦波は0.5Hz、0~10Vの正弦波である。もちろん、図2及び図3に示されたもの以外の異なる周波数、振幅、及び/又は、波形が波形生成器14によって生成されてもよい。図1に示すように、波形生成器14は、制御回路12に(信号通信において)接続されている。より具体的には、波形生成器14は、制御部16の入出力回路18に(信号通信において)接続される。

30

【0020】

入力/出力回路18は、その入力端子(明瞭化のために図示せず)でアナログ信号を受信するように構成される。例えば、入力/出力回路18は、センサ26からアナログ信号を受信することができる。図1には1つのセンサ26のみが示されているが、入出力回路18は、例えば流量センサ、位置センサ、圧力センサ、温度センサ等のような複数のセンサ26からアナログ信号を受け取ることができることが理解されよう。様々な態様によれば、入力/出力回路18は、任意の数の入力/出力カード(アナログI/Oカード、デジタルI/Oカード、及び/又は、混合I/Oカード)を含むことができ、アナログ入力/出力及びデジタル入力/出力の両方を収容するように構成し得る。例えば、種々の態様によれば、入力/出力回路18は、制御信号をアクチュエータ28に出力するようにさらに構成される。図1には1つのアクチュエータ28のみが示されているが、入力/出力回路18は、バルブ、モータ、ポンプなどを制御するために複数のアクチュエータ28に制御信号を出力してもよいことが理解されよう。

40

50

【 0 0 2 1 】

A / D変換器 2 0 は、入力 / 出力回路 1 8 に（信号通信において）接続され、入力 / 出力回路 1 8 から受信したアナログ信号を、対応するデジタル信号又はデジタル値であって、当該アナログ信号を表すデジタル信号又はデジタル値に変換するように構成される。明瞭化のために図 1 には 1 つの A / D変換器 2 0 のみが示されているが、制御部 1 6 は任意の数の A / D変換器 2 0 を含んでもよいことが理解されよう。例えば、種々の態様によれば、制御部 1 6 は、入力 / 出力回路 1 8 内のアナログ入力 / 出力カード毎に別個の A / D変換器 2 0 を含む。種々の態様によれば、A / D変換器 2 0 は、入力 / 出力回路 1 8 の一部を形成する。

【 0 0 2 2 】

F P G A 2 2 は、A / D変換器 2 0 に（信号通信において）接続され、A / D変換器 2 0 から受け取ったデジタル信号及び / 又はデジタル値を処理するように構成される。様々な態様によれば、A / D変換器 2 0 は、F P G A 2 2 の一部を形成する。F P G A 2 2 は、信号処理を行うことに加えて、制御、フィルタリング、タイミング及び / 又は他の論理機能のために利用可能である。図 1 に示すように、様々な態様によれば、F P G A 2 2 は、F P G A 2 2 と信号通信するプロセッサ 3 0 も含む。プロセッサ 3 0 は、通信、信号処理、及び / 又は、プロセッサ 3 0 に関連するメモリに記憶されるアルゴリズム又はルーチンの実行に利用可能である。プロセッサ 3 0 は、F P G A 2 2 の機能を実施し、制御するために、1 つ又は複数のそのようなアルゴリズム又はルーチンを実行することができる。様々な態様によれば、プロセッサ 3 0 は、A / D変換器 2 0 によって出力されたデジタル信号又はデジタル値を解釈し、それに応答して、F P G A 2 2 に 1 つ又は複数のデジタル信号を出力させる。そのような信号は、制御回路 1 2 の 1 つ又は複数の構成要素を制御するための制御信号、及び / 又は、アナログセンサ 2 6 によって感知される特性などの情報を提供するための情報信号とすることができる。種々の態様によれば、F P G A 2 2 、又は、F P G A 2 2 とプロセッサ 3 0 との組み合わせは、処理回路とみなすことができる。

【 0 0 2 3 】

プロセッサ 2 4 は、プロセッサ 3 0 と信号通信し得、例えば、プロセッサ 3 0 によって提供される情報（例えば、入力 / 出力回路 1 8 に接続されたアナログセンサ 2 6 に関連する情報）をフォーマットして、プロセッサ 2 4 に接続されたモニタ（図示せず）上に情報を表示可能なように利用され得る。

【 0 0 2 4 】

原子力発電所又は他の用途で使用される特定の制御回路が適切に動作していることを保証するために、制御回路の較正は、F P G A 2 2 のプロセッサ 3 0 によって実行される較正アルゴリズム又はルーチンによって検証することができる。較正アルゴリズム又はルーチンにより、プロセッサ 3 0 は、波形生成器 1 4 によって生成された波形に基づいて、制御回路 1 2 のタイミング及び電圧レベルを検証することができる。例えば、入力 / 出力回路 1 8 によって受信されるアナログ信号のサンプリングレートを利用して、制御回路 1 2 のタイミングを検証することができ、入力 / 出力回路 1 8 によって受信されるアナログ信号の電圧レベルを利用して、制御回路 1 2 の電圧レベルを検証することができる。タイミング又はアナログ電圧のいずれかの較正が検証されない場合に、制御回路 1 2 が今後適切に較正されるように較正が調整され得る。例えば、制御回路 1 2 のタイミングに関して、F P G A 2 2 によって利用されるループ時間は、タイミングを適切な較正にするように調整され得る。他の態様によれば、較正又はルーチンは、F P G A 2 2 及びプロセッサ 3 0 以外の処理回路によって実行されてもよい。

【 0 0 2 5 】

種々の態様によれば、制御回路 1 2 を較正するために、波形生成器 1 4 によって生成された周期的波形が入力 / 出力回路 1 8 に入力される。波形は、入力 / 出力回路 1 8 のテスト端子台（図示せず）に入力されてもよい。プロセッサ 3 0 は、較正アルゴリズム又はルーチンの実行を開始する。較正アルゴリズム又はルーチンは、入力 / 出力回路 1 8 の特定の入力（例えば、試験端子ブロック）で周期的波形を受信することに応答して、又は、コ

10

20

30

40

50

ーザもしくは装置からの入力もしくはコマンドに応答して手動で、自動的に開始され得る。

【 0 0 2 6 】

周期的波形のタイプ、周期的波形の周波数及び周期的波形上の種々の電圧テストポイントを示す情報は、プロセッサ 3 0 によってアクセス可能なメモリに格納され得る。さまざまな様態によれば、タイミング及び電圧テストポイントのそれぞれについての許容範囲しきい値を示す情報もまた、プロセッサ 3 0 によってアクセス可能なメモリに格納され得る。情報は、製造時など、F P G A 2 2 がプログラムされるときにメモリに記憶されてもよい。しかしながら、F P G A 2 2 のプログラミングは、その後に更新することができることが理解されるであろう。

【 0 0 2 7 】

較正アルゴリズム又はルーチンの一部として、プロセッサ 3 0 は、制御回路 1 2 のタイミングが所定の許容範囲しきい値内にあることを検証するように構成される。種々の態様によれば、周期的波形のアナログ信号がサンプリングされ、サンプリングされたアナログ値は、A / D 変換器 2 0 によってデジタル信号又はデジタル値に変換される。デジタル信号又はデジタル値は、F P G A 2 2 に供給され、次いでプロセッサ 3 0 に供給される。プロセッサ 3 0 は、デジタル信号又はデジタル値を利用して、周期的波形の周波数を決定する。次いで、プロセッサ 3 0 は、周期的波形の決定された周波数を、メモリに記憶された周期的波形の既知の周波数と比較することができる。決定された周波数が既知の周波数の所定の許容範囲しきい値内であれば、制御回路 1 2 のタイミング較正が検証されるべきと考えられる。例えば、周期的波形が 1 H z の既知の周波数を有し、所定の許容誤差しきい値が 1 % である場合、制御回路 1 2 のタイミング較正は、決定された周波数が 1 H z の既知の周波数の 1 % 以内であれば、検証されると考えられることになる。

【 0 0 2 8 】

しかしながら、決定された周波数が所定の許容範囲しきい値内にない場合には、タイミングの較正を調整するために（例えば、F P G A 2 2 によって利用されるループ時間を調整することによって）、F P G A 2 2（又は F P G A 2 2 のプロセッサ 3 0）を利用して、タイミングを適切な較正にする（すなわち、所定の許容範囲しきい値内にする）ことができる。

【 0 0 2 9 】

較正アルゴリズム又はルーチンの一部として、プロセッサ 3 0 は、また、周期的波形に沿ってサンプリングされた電圧レベルの各々が所定の許容範囲しきい値内にあることを検証するように構成される。制御回路 1 2 のタイミングが検証されるか、又は適切な較正にされると、プロセッサ 3 0 は、検証されたタイミングを利用して、周期的波形に沿ってサンプリングされた電圧レベルの各々が所定の許容範囲しきい値内であることを検証し得る。例えば、図 2 の三角波のような 0 ~ 1 0 V 周期波形に関連する電圧レベルは、0 V、2 . 5 V、5 V、7 . 5 V、及び 1 0 V を含む。制御回路 1 2 のタイミング及び周期的波形の周波数が既知であるため、較正アルゴリズム又はルーチンは、これらの電圧レベルが周期的な波形においていつ生じるべきかを知っている。図 2 の 1 H z、0 ~ 1 0 V の三角波の場合、周期的波形の振幅は、例えば図 2 に示すように、波形の周期の開始後の 0 . 2 5 s と 0 . 7 5 s と、で 5 V であるべきである。タイミングは、上述のように検証されているか、又は、適切に較正にされるので、プロセッサ 3 0 は、サンプリングされた電圧値を期待される電圧値と比較するために、特定の時間に、サンプリングされた電圧レベルのそれぞれに対応するデジタル信号又はデジタル値を利用することができる。サンプリングされた電圧値が、それぞれ、期待される電圧値の所定の許容範囲しきい値内にある場合に、制御回路 1 2 の電圧値の較正が検証されるべきと考えられる。

【 0 0 3 0 】

しかしながら、サンプリングされた電圧値のいずれかが、期待される電圧値の所定の許容範囲しきい値内にない場合には、F P G A 2 2（又は F P G A 2 2 のプロセッサ 3 0）を利用して、電圧値の較正を（例えば、入力/出力回路 1 8 におけるアナログ信号の振幅を調整することによって）調整し、電圧値を適切な較正にする（すなわち、所定の許容範囲

10

20

30

40

50

しきい値内にすることができ、任意の数の電圧レベルをサンプリングし、検証又は調整することができ、あらゆる所定の許容範囲しきい値（例えば、0.25%、0.5%、1%など）を検証又は校正処理に利用することができることが理解されよう。一般に、所与の所定の許容範囲しきい値は、ケースバイケースで設定される。

【0031】

制御回路12が適切に校正されると、制御決定を行うために利用されるタイミング及び電圧レベルは、それらが既知/期待されるタイミング及び電圧レベルの所定の許容範囲しきい値内にある程度正確である。所与のアプリケーションに対する所定の許容範囲しきい値が1%であり、制御回路12が実際の2.5Vアナログ信号を2.8Vアナログ信号と解釈する場合に、制御回路12は適切に校正されておらず、解釈された電圧レベルに基づく制御動作は、意図せず、不適切及び/又は安全でない可能性がある。これらの理由及び他の理由のために、適切な校正及び/又は校正の調整を検証することは、原子力発電所又は他のアプリケーションにおいて保守の進行の一部となっている。上述の校正アルゴリズム又はルーチンを利用することによって、校正を検証及び/又は調整するのにかかる時間が大幅に短縮される。例えば、制御回路12は、波形生成器14から受信した周期的波形の1周期分だけを利用して、それ自体を校正するか、又はそれ自体の校正を検証することができ、校正処理の速度を大幅に増加させる。原子力発電所のような施設として、校正を必要とする多数の制御回路12を含む得、校正の速度を増加させることにより、保守時間を大幅に短縮することができる。

【0032】

図4は、本開示の少なくとも1つの態様による、制御回路を校正する方法40を示す。方法40は、制御回路12を校正するという文脈で説明されているが、この方法40は、任意の数の異なる装置（FPGA、コンピュータ、プログラマブル論理コントローラ、入力/出力回路等）、回路及び/又はシステムを校正するために利用することができることが理解されよう。方法40は、校正システム10又は他の類似のシステムを用いて実施することができる。簡単にするために、方法40の実施を制御回路12の文脈で説明する。

【0033】

方法40については、42では、例えば波形生成器14によって周期的波形が生成される。44では、周期的波形は、入力/出力回路18のアナログ入力に入力される。46では、周期的波形のアナログ信号は、FPGA22によってサンプリングされ、48では、サンプリングされたアナログ値は、A/D変換器20によってデジタル信号又はデジタル値に変換される。

【0034】

50では、デジタル信号又はデジタル値は、プロセッサ30によって利用されて、周期的波形の周波数を決定する。52では、プロセッサ30は、決定された周波数を周期的波形の既知の周波数と比較する。決定された周波数が既知の周波数の所定の許容範囲しきい値内であれば、制御回路12のタイミングは適切に校正されていると考えられる。決定された周波数が既知の周波数の所定の許容範囲しきい値内にはない場合には、制御回路12のタイミングは、タイミングを適切に校正するように調整される。

【0035】

制御回路12のタイミングの校正が適切な校正となるように検証又は調整された後、54では、周期的波形に沿ってサンプリングされた様々な電圧レベルと周期的波形の既知の周波数に対応するデジタル信号又はデジタル値は、周期的波形に沿ってサンプリングされた電圧レベルのそれぞれと、期待された電圧レベルと、を比較する（校正アルゴリズム又はルーチンは、期待された電圧レベルが周期的波形においていつ生成すべきかを知る）ために、プロセッサ30によって利用される。種々のサンプリングされた電圧レベルのそれぞれが、期待される電圧レベルの所定の許容範囲しきい値内にある場合に、制御回路12の電圧レベルは、適切に校正されていると考えられる。種々のサンプリングされた電圧レベルの各々が、期待される電圧レベルの所定の許容範囲しきい値内にはない場合に、制御回路12の電圧レベルは、電圧レベルを適切に校正するように調整される。複数の電圧レ

10

20

30

40

50

ベルは、順次又は並列に、期待される電圧レベルと比較することができる。

【 0 0 3 6 】

上述の方法 4 0 は、周期的に又は連続的に繰り返されてもよく、任意の回数繰り返されてもよい。

【 0 0 3 7 】

例示

例 1 - 較正システムが提供されている。前記較正システムは、周期的波形を生成するように構成されている波形生成器と、前記波形生成器と信号通信する制御回路と、を備え、前記制御回路は、前記周期的波形をデジタル値に変換するように構成されているアナログ - デジタル変換器と、前記アナログ - デジタル変換器と信号通信する電子装置であって、前記電子装置は、前記周期的波形に基づいて、(1) 前記制御回路のタイミングと、(2) 前記制御回路の電圧レベルと、の較正を検証するように構成されている。

10

【 0 0 3 8 】

例 2 - 前記周期的波形は、三角波を含む、例 1 に記載の較正システム。

【 0 0 3 9 】

例 3 - 前記周期的波形は、正弦波を含む、例 1 に記載の較正システム。

【 0 0 4 0 】

例 4 - 前記電子装置は、フィールドプログラマブルゲートアレイを備える、例 1、2 又は 3 の較正システム。

【 0 0 4 1 】

例 5 - 前記アナログ - デジタル変換器は、前記電子装置の一部を形成する、例 1、2、3 又は 4 の較正システム。

20

【 0 0 4 2 】

例 6 - 前記制御回路は、前記アナログ - デジタル変換器に接続された入力 / 出力回路をさらに備える、例 1、2、3、4 又は 5 の較正システム。

【 0 0 4 3 】

例 7 - 前記入力 / 出力回路は、前記電子装置の一部を形成する、例 1、2、3、4、5 又は 6 の較正システム。

【 0 0 4 4 】

例 8 - 前記制御回路は、前記電子装置と信号通信するプロセッサをさらに備える、例 1、2、3、4、5、6 又は 7 の較正システム。

30

【 0 0 4 5 】

例 9 - 前記プロセッサは、前記電子装置の一部を形成する、例 8 の較正システム。

【 0 0 4 6 】

例 1 0 - 前記較正システムは、前記制御回路と信号通信するプロセッサをさらに備える、例 1、2、3、4、5、6、7、8 又は 9 の較正システム。

【 0 0 4 7 】

例 1 1 - 電子装置が提供される。前記電子装置は、周期的波形をデジタル値に変換するように構成されているアナログ - デジタル変換器と、前記アナログ - デジタル変換器と信号通信する処理回路と、を備える。前記処理回路は、前記周期的波形に基づいて、前記電子装置のタイミングと、前記電子装置の電圧レベルと、の較正を検証するように構成される。

40

【 0 0 4 8 】

例 1 2 - 記処理回路が、フィールドプログラマブルゲートアレイを含む、例 1 1 載の電子装置。

【 0 0 4 9 】

例 1 3 - 前記処理回路は、プロセッサをさらに備える、例 1 1 又は 1 2 の電子装置。

【 0 0 5 0 】

例 1 4 - 前記アナログ - デジタル変換器と信号通信する入力 / 出力回路をさらに備える、例 1 1、1 2 又は 1 3 の電子装置。

50

【 0 0 5 1 】

例 1 5 - 較正方法が提供される。前記較正方法は、周期的波形を生成する工程と、生成済みの前記周期的波形を電子装置に入力する工程と、入力済みの前記周期的波形に基づいて、前記電子装置のタイミングを較正する工程と、入力済みの前記周期的波形に基づいて、前記電子装置の電圧レベルを較正する工程と、を備える。

【 0 0 5 2 】

例 1 6 - 入力済みの前記周期的波形に基づいて前記電子装置のタイミングを較正する工程は、入力済みの前記周期的波形の周波数を決定することを含む、例 1 5 の較正方法。

【 0 0 5 3 】

例 1 7 - 入力済みの前記周期的波形に基づいて前記電子装置のタイミングを較正する工程は、入力済みの前記周期的波形の決定された周波数を既知の周波数と比較することをさらに含む、例 1 6 の較正方法。

10

【 0 0 5 4 】

例 1 8 - 入力済みの前記周期的波形に基づいて前記電子装置のタイミングを較正する工程は、入力済みの前記周期的波形の決定された周波数が前記既知の周波数の許容範囲しきい値内にあるか否かを決定することをさらに含む、例 1 7 の較正方法。

【 0 0 5 5 】

例 1 9 - 入力済みの前記周期的波形に基づいて前記電子装置の電圧レベルを較正する工程は、入力済みの前記周期的波形のサンプリングされた電圧レベルを、期待される電圧レベルと比較することを含む、例 1 5、1 6、1 7 又は 1 8 の較正方法。

20

【 0 0 5 6 】

例 2 0 - 入力済みの前記周期的波形に基づいて前記電子装置の電圧レベルを較正する工程は、入力済みの前記周期的波形のサンプリングされた電圧レベルのそれぞれが、前記期待される電圧レベルの許容範囲しきい値内であるか否かを判断することをさらに含む、例 1 9 の較正方法。

【 0 0 5 7 】

較正システム 1 0 及び較正方法 4 0 の種々の態様は、ここでは、特定の開示された態様に関連して説明されてきたが、それらの態様に対する多くの修正及び変形が実施されてもよい。また、特定の構成要素のための材料が開示される場合、他の材料が使用されてもよい。さらに、様々な態様によれば、所与の 1 つ又は複数の機能を実行するために、単一の構成要素を複数の構成要素に置き換えることができ、複数の構成要素を単一の構成要素に置き換えることができる。前述の説明及び添付の特許請求の範囲は、開示された態様の範囲内に入るようなすべてのそのような修正及び変形を包含することが意図されている。

30

【 0 0 5 8 】

本発明は、例示的な設計を有するものとして記載されてきたが、記載された発明は、本開示の精神及び範囲内でさらに修正されてもよい。したがって、本出願は、その一般的な原理を使用して、本発明の任意の変形、使用、又は適応を包含することが意図される。例えば、本発明を制御回路 1 2 の文脈で説明したが、本発明の一般的な原理は、アナログ信号をデジタル値に変換する任意のタイプの装置、回路、及び / 又はシステムに等しく適用可能である。同様に、本発明は、原子力発電所の文脈においても説明されたが、本発明の一般的な原理は、原子力発電所以外の用途にも同様に適用可能である。

40

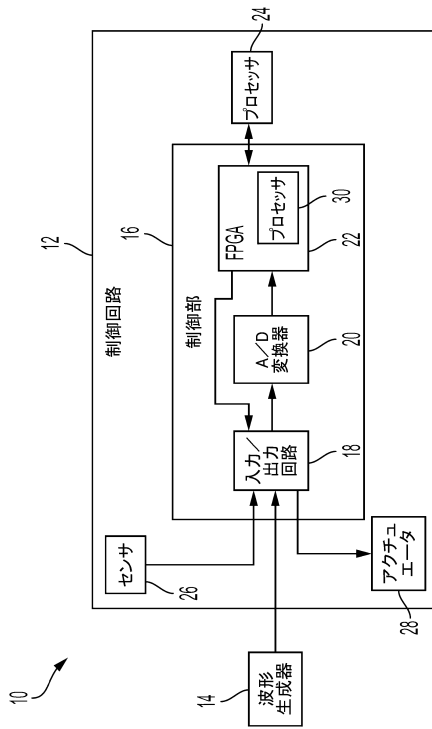
【 0 0 5 9 】

参照により本明細書に組み込まれると言われている特許、特許出願、出版物、又は他の開示材料は、全体的に又は部分的に、組み込まれた材料が、本開示に記載されている既存の定義、ステートメント、又は他の開示材料と矛盾しない範囲でのみ、本明細書に組み込まれる。したがって、必要な範囲で、本明細書に明示的に記載される開示は、参照により本明細書に組み込まれる任意の矛盾する材料に取って代わる。参照により本明細書に組み込まれると言われているが、本明細書に記載されている既存の定義、ステートメント、又は他の開示材料と矛盾する任意の材料又はその一部は、組み込まれた材料と既存の開示材料との間に矛盾が生じない範囲でのみ組み込まれる。

50

【図面】

【図 1】



【図 2】

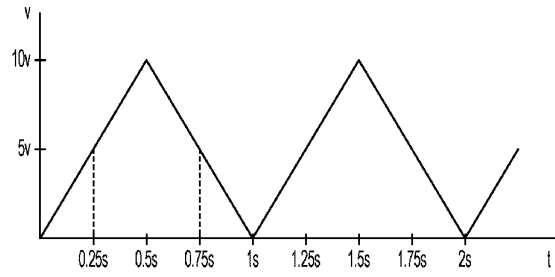


FIG. 2

10

20

【図 3】

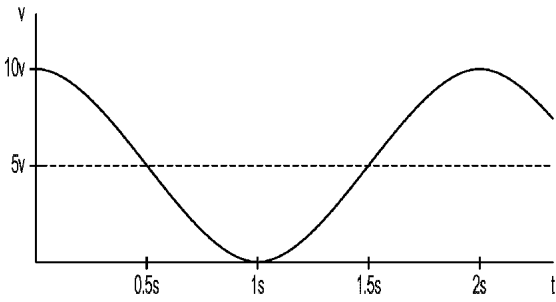
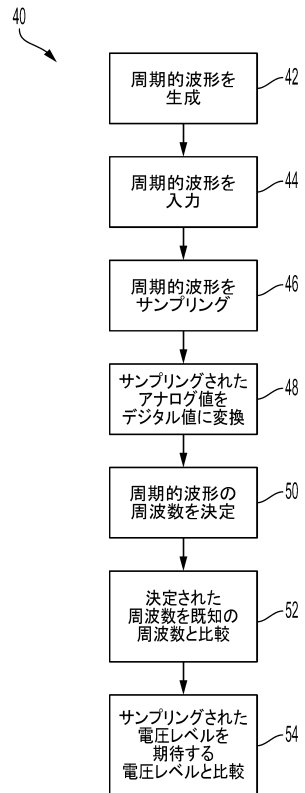


FIG. 3

【図 4】



30

40

50

フロントページの続き

- (74)代理人 110000110
弁理士法人 快友国際特許事務所
- (72)発明者 ティモシー エス． メイヤーズ
アメリカ合衆国 1 5 3 3 2 ペンシルベニア，フィンリーヴィレ，ステート ルート 8 8 6 3 1 6
- (72)発明者 ダニエル ジー． グルーバー
アメリカ合衆国 1 5 1 3 1 ペンシルベニア，ホワイト オーク，カンザス アベニュー 2 1 1 8
- (72)発明者 マーク エー． バーテルズ
アメリカ合衆国 1 5 6 0 1 ペンシルベニア，グリーンズバーグ，ジョン ストリート 3 1 3
- (72)発明者 ケネス ジェイ． スウィダ
アメリカ合衆国 1 5 6 4 2 ペンシルベニア，ノース ハンチントン，ティファニー ドライブ 2 8 0
- 審査官 影山 直洋
- (56)参考文献 特開 2 0 0 8 - 2 9 5 0 1 6 (J P , A)
国際公開第 2 0 1 0 / 0 9 5 2 3 2 (W O , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
G 0 5 B 1 9 / 0 4 2