

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4937444号  
(P4937444)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.

F 1

H01L 29/792	(2006.01)	H01L 29/78	371
H01L 29/788	(2006.01)	G11C 17/00	611Z
H01L 21/336	(2006.01)	G11C 17/00	622Z
G11C 16/02	(2006.01)	G11C 17/00	641
G11C 16/04	(2006.01)	H01L 27/10	434

請求項の数 4 (全 13 頁) 最終頁に続く

(21) 出願番号

特願2000-375551 (P2000-375551)

(22) 出願日

平成12年12月11日 (2000.12.11)

(65) 公開番号

特開2001-217328 (P2001-217328A)

(43) 公開日

平成13年8月10日 (2001.8.10)

審査請求日

平成19年12月6日 (2007.12.6)

(31) 優先権主張番号

495354

(32) 優先日

平成12年2月1日 (2000.2.1)

(33) 優先権主張国

米国 (US)

前置審査

(73) 特許権者

504199127  
フリースケール セミコンダクター イン  
コーポレイテッド  
アメリカ合衆国 テキサス州 78735  
オースティン ウィリアム キャノン  
ドライブ ウエスト 6501

(74) 代理人

100142907

弁理士 本田 淳

(72) 発明者

ブルース・イー・ホワイト  
アメリカ合衆国テキサス州ラウンド・ロック、ブルーベル・ペンド・コープ 3204  
(72) 発明者ボー・ジャング  
アメリカ合衆国テキサス州オースチン、レッジ・マウンテン・ドライブ 6408

最終頁に続く

(54) 【発明の名称】半導体デバイスを動作させる方法

## (57) 【特許請求の範囲】

## 【請求項 1】

第1メモリ・セル(100)を含む半導体デバイスを動作させる方法であって、前記第1メモリ・セル(100)は、

複数の不連続な蓄積素子(108)と、

基板(112)と、

前記基板(112)内の第1電流伝達電極(104)と、

前記基板(112)内で、かつ前記第1電流伝達電極(104)から離間した第2電流伝達電極(102)と、

第1面と、前記第1面に対置する第2面とを有する第1誘電層(110)であって、前記基板(112)は前記第1誘電層(110)の前記第1面にあり、前記不連続な蓄積素子(108)は前記第1誘電層(110)の前記第2面にある、前記第1誘電層(110)と、

第1面と、前記第1面に対置する第2面とを有する第2誘電層(111)であって、前記第1誘電層(110)および前記不連続な蓄積素子(108)は前記第2誘電層(111)の前記第1面にある、前記第2誘電層(111)と、

前記第2誘電層(111)の前記第2面にある制御電極(106)と

を備え、前記方法は、

前記複数の不連続な蓄積素子(108)を選択的に充電して、前記第1メモリ・セル(100)を、少なくとも3つの異なる状態のうちの一つである第1状態にプログラミング

10

20

すること

を含み、前記第1誘電層(110)の第2面における前記複数の不連続な蓄積素子の密度は、前記第1誘電層(110)の欠陥の密度よりも大きく、前記少なくとも3つの異なる状態の各々は、前記第1誘電層(110)の第2面における、充電された不連続な蓄積素子の異なる空間分布に対応している、方法。

【請求項2】

第1メモリ・セル(100)を含む半導体デバイスを動作させる方法であって、前記第1メモリ・セルは、

複数の不連続な蓄積素子(108)と、

基板(112)と、

前記基板(112)内の第1電流伝達電極(104)と、

前記基板(112)内で、かつ前記第1電流伝達電極(104)から離間した第2電流伝達電極(102)と、

第1面と、前記第1面に対置する第2面とを有する第1誘電層(110)であって、前記基板(112)は前記第1誘電層(110)の前記第1面にあり、前記不連続な蓄積素子(108)は前記第1誘電層(110)の前記第2面にある、前記第1誘電層(110)と、

第1面と、前記第1面に対置する第2面とを有する第2誘電層(111)であって、前記第1誘電層(110)および前記不連続な蓄積素子(108)は前記第2誘電層(111)の前記第1面にある、前記第2誘電層(111)と、

前記第2誘電層(111)の前記第2面にある制御電極(106)と

を備え、前記方法は、

前記複数の不連続な蓄積素子(108)を選択的に充電して、前記第1メモリ・セル(100)を、少なくとも3つの異なる状態のうちの一つである第1状態にプログラミングすることであって、

プログラミングは、第1電位および第2電位を用いて実施され、前記第1電位と第2電位との間の差は約5ボルト以下であり、

プログラミングはさらに、

前記第1電流伝達電極(104)および前記制御電極(106)を前記第1電位にバイアスすること、

前記第2電流伝達電極(102)および前記基板(112)を前記第2電位にバイアスすること

を含む、前記プログラミングすること

を含み、前記第1誘電層(110)の第2面における前記複数の不連続な蓄積素子の密度は、前記第1誘電層(110)の欠陥の密度よりも大きく、前記少なくとも3つの異なる状態の各々は、前記第1誘電層(110)の第2面における、充電された不連続な蓄積素子の異なる空間分布に対応している、方法。

【請求項3】

第1メモリ・セル(100)を含む半導体デバイスを動作させる方法であって、前記第1メモリ・セル(100)は、

複数の不連続な蓄積素子(108)と、

基板(112)と、

前記基板(112)内の第1電流伝達電極(104)と、

前記基板(112)内で、かつ前記第1電流伝達電極(104)から離間した第2電流伝達電極(102)と、

第1面と、前記第1面に対置する第2面とを有する第1誘電層(110)であって、前記基板(112)は前記第1誘電層(110)の前記第1面にあり、前記不連続な蓄積素子(108)は前記第1誘電層(110)の前記第2面にある、前記第1誘電層(110)と、

第1面と、前記第1面に対置する第2面とを有する第2誘電層(111)であって、前

10

20

30

40

50

記第1誘電層(110)および前記不連続な蓄積素子(108)は前記第2誘電層(111)の前記第1面にある、前記第2誘電層(111)と、

前記第2誘電層(111)の前記第2面にある制御電極(106)と  
を備え、前記方法は、

前記複数の不連続な蓄積素子(108)を選択的に充電して、前記第1メモリ・セル(100)を、少なくとも3つの異なる状態のうちの一つである第1状態にプログラミングすることであって、

プログラミングは、第1電位、第2電位および第3電位を用いて実施され、前記第1電位と第3電位との間の差は約5ボルト以下であり、前記第2電位は前記第1電位と第3電位との間にあり、

プログラミングはさらに、

前記第1電流伝達電極(104)、前記第2電流伝達電極(102)および前記基板(112)を前記第2電位にバイアスすること、

前記制御電極(106)を前記第1電位にバイアスすること  
を含む、前記プログラミングすること

を含み、前記第1誘電層(110)の第2面における前記複数の不連続な蓄積素子の密度は、前記第1誘電層(110)の欠陥の密度よりも大きく、前記少なくとも3つの異なる状態の各々は、前記第1誘電層(110)の第2面における、充電された不連続な蓄積素子の異なる空間分布に対応している、方法。

#### 【請求項4】

半導体デバイスを動作させる方法であって、

前記半導体デバイスは、

第1メモリ・セル(100)と、

第2メモリ・セル(100B)と、

第3メモリ・セル(100C)と、

第4メモリ・セル(100D)と

を備え、前記第1メモリ・セル(100)、前記第2メモリ・セル(100B)、前記第3メモリ・セル(100C)、および前記第4メモリ・セル(100D)のそれぞれは、

複数の不連続な蓄積素子(108)と、

第1電流伝達電極(104)と、

前記第1電流伝達電極(104)から離間した第2電流伝達電極(102)と、

第1誘電層(110)であって、前記複数の不連続な蓄積素子(108)が前記第1誘電層(110)の上面上にある、前記第1誘電層(110)と、

前記第1誘電層(110)および前記複数の不連続な蓄積素子(108)の上にある第2誘電層(111)と、

前記第2誘電層(111)の上にある制御電極(106)と

を含み、

前記第1および第3メモリ・セルの前記第1電流伝達電極(104A, 104C)は、互いに電気接続され、

前記第1および第3メモリ・セルの前記第2電流伝達電極(102A, 102C)は、互いに電気接続され、

前記第1および第2メモリ・セル(100A, 100C)は、第1ウェル領域(62)内に少なくとも部分的にあり、

前記第1および第2メモリ・セルの前記制御電極(106A, 106B)は、互いに電気接続され、

前記第2および第4メモリ・セルの前記第1電流伝達電極(104B, 104D)は、互いに電気接続され、

前記第2および第4メモリ・セルの前記第2電流伝達電極(102B, 102D)は、互いに電気接続され、

10

20

30

40

50

前記第2および第4メモリ・セル(100B, 100D)は、第2ウェル領域(64)内に少なくとも部分的にあり、

前記第3および第4メモリ・セルの前記制御電極(106C, 106D)は、互いに電気接続され、

前記方法は、

前記第1メモリ・セル(100)の複数の不連続な蓄積素子(108)を選択的に充電して、前記第1メモリ・セル(100)を、少なくとも3つの異なる状態のうちの一つである第1状態にプログラミングすることであって、

プログラミングは、

前記第1および第3メモリ・セルの前記第1電流伝達電極(104A, 104C)を 10  
第1電位にバイアスすること、

前記第1および第3メモリ・セルの前記第2電流伝達電極(102A, 102C)を  
第2電位にバイアスすること、

前記第1および第2メモリ・セルの前記制御電極(106A, 106B)を第1電位  
にバイアスすること、

前記第1ウェル領域(62)を第2電位にバイアスすること、

前記第2および第4メモリ・セルの前記第1電流伝達電極(104B, 104D)を  
第1電位にバイアスすること、

前記第2および第4メモリ・セルの前記第2電流伝達電極(102B, 102D)を 20  
第1電位にバイアスすること、

前記第3および第4メモリ・セルの前記制御電極(106C, 106D)を第2電位  
にバイアスすること、

前記第2ウェル領域(64)を第1電位にバイアスすること

を含む、前記プログラミングすること

を含み、前記第1誘電層(110)の上面における前記複数の不連続な蓄積素子の密度は、前記第1誘電層(110)の欠陥の密度よりも大きく、前記少なくとも3つの異なる状態の各々は、前記第1メモリ・セル(100)の第1誘電層(110)の上面における、充電された不連続な蓄積素子の異なる空間分布に対応している、方法。

#### 【発明の詳細な説明】

##### 【0001】

30

##### 【産業上の利用分野】

本発明は、一般に、半導体メモリの分野に関し、さらに詳しくは、マルチステート・メモリ・セルを実現するために不揮発性メモリをプログラミングすることに関する。

##### 【0002】

##### 【従来の技術】

フラッシュ・メモリを含む不揮発性メモリは、半導体メモリ・デバイスの分野では周知である。従来のフラッシュ・メモリ・デバイスでは、単一の連続フローティング・ゲート構造が各フラッシュ・メモリ・セルで用いられる。この単一の連続フローティング・ゲート構造は、この分野で周知のプログラミングおよび消去電圧ならびにタイミングを利用してプログラミングされ、消去される。一般に、従来のフローティング・メモリ・ゲート・セルは、論理0または論理1のいずれかを表す2つの状態のうちの一つで存在する。メモリのサイズを大幅に増加することなくメモリ・デバイスの容量を増加するためには、3つ以上の状態を表すことができるメモリ・セルを実装することが望ましい。本開示を通じてマルチステート・メモリ・セル(multi-state memory cell)という、この種の不揮発性メモリ・セルは、フローティング・ゲートに注入される電荷の量を制御することによって、これまで実装してきた。

##### 【0003】

マルチステート・メモリ・セルの信頼性は、フローティング・ゲートと基板との間の誘電構造における欠陥の影響を受けやすい。さらに具体的には、従来のメモリ・デバイスにおける高濃度にドーピングされた連続フローティング・ゲートは導電性なので、フローティ

40

50

ング・ゲート付近にある電荷トラップ(charge trap)の形態の一つの欠陥はフロー・ティンギ・ゲートに蓄積された全ての電荷を排除(drain)することができ、それより対応するメモリ・セルを消去し、望ましくない。さらに、注入電荷の量を制御することは製造環境において制御することが困難なプロセスであり、そのため一貫して確実なプログラミング電圧およびプログラミング時間でメモリ・デバイスを製造することを困難にしている。

#### 【0004】

さらに、従来のフラッシュ・メモリ技術はトンネル酸化物(tunnel oxide)の厚さによって制限される。最小トンネル酸化物厚さは、著しい漏れを生じずに、5～7ナノメートル以下に実質的に低減することができないので、フロー・ティンギ・ゲート構造を十分に充電するために必要なプログラミング電圧は、約10～15ボルトの範囲に維持しなければならない。この大きさのプログラミング電圧を生成するためには、従来のフラッシュ・メモリ・デバイスの設計にマルチステージ・チャージ・ポンプおよび他の高電圧回路を組み込む必要がある。この高電圧回路の相対的なサイズは、メモリ・セルのサイズを単純に縮小(scaling)することによって達成できるダイ・サイズの縮小を実質的に制限する。

10

#### 【0005】

##### 【発明が解決しようとする課題】

従って、確実な製造プロセスにて、動作電圧を大幅に越えるプログラミング電圧を必要とせずに、マルチステート・メモリ・セルを有する不揮発性メモリ・デバイスを実装することは極めて望ましい。

#### 【0006】

20

##### 【実施例】

添付の図面において、本発明は一例として示され、制限するものではない。ただし、図面において、同様な参照番号は同様な要素を表すものとする。

#### 【0007】

なお、当業者であれば、図面の要素は簡単明瞭にするために図示されており、必ずしも縮尺通りではないことが理解されよう。例えば、図面中の一部の要素の寸法は、本発明の実施例の理解を助けるために、他の要素に対して誇張されることもある。

#### 【0008】

従来のフラッシュ・メモリ・デバイスのフロー・ティンギ・ゲート構造の代わりに、不連続な蓄積素子(discontinuous storage elements)すなわち「ドット(dots)」を内蔵する半導体デバイスを動作する方法について説明する。ドットの選択的な充電により、半導体デバイスの第1メモリ・セルは少なくとも3つの異なる状態のうちの一つにプログラミングできる。一つの蓄積セルが3つ以上の状態を格納できるようにするプログラミング方法およびセル構造を提供することにより、半導体デバイスのメモリ容量は、デバイスの物理的なサイズを増加せずに、実質的に増加できる。さらに、不連続な蓄積素子を利用することは、ドットとデバイス基板との間の誘電体における欠陥に関連する問題を低減し、それにより従来の連続的なフロー・ティンギ・ゲート・メモリに比べて改善した性能が得られる。

30

#### 【0009】

図1は、本発明の一実施例によるメモリ・セル100の部分的な断面図である。メモリ・セル100は、制御電極(制御ゲート電極)106のいずれかの側に配置される第1導電電極(ドレイン領域)104および第2導電電極(ソース領域)102を含む。ソース102およびドレイン104は、典型的な実施例では単結晶シリコンまたは他の適切な半導体材料からなる基板112内で作製される。一実施例では、ソース領域102およびドレイン領域104のそれぞれは、燐、砒素などを含むn型不純物でドーピングされ、基板112は、硼素などのp型不純物でドーピングされる。別の実施例では、ソース領域102およびドレイン領域104はp型であり、基板112はn型である。

40

#### 【0010】

メモリ・セル100は、ゲート106と基板112との間で縦に配置され、かつソース領域102とドレイン領域104との間で横に配置された不連続な蓄積素子(ドット)108をさらに含む。ドット108の組成は、メモリ・セル100の閾値電圧シフトを行うべ

50

く帶電粒子をトラップするのに適している。このように、ナノクリスタル(nanocrystals)ともいうドットは、従来の不揮発性メモリにおける一つの連續したフロー・ティング・ゲートに類似し、これを置換する。

#### 【0011】

一実施例において、ドット108はシリコン、ゲルマニウムまたは他の適切な材料からなる。ドット108の密度は、酸化物110における欠陥の密度よりも実質的に大きい。約5E11cm<sup>-2</sup>のドット密度は、従来の作製プロセスで利用するのに適している。0.1ミクロン×0.1ミクロンの面積の上にドットがある場合、一般にこの面積は約50個のドットによって覆われる。寸法が小さくなっても、メモリ構造には一般に少なくとも約5個のドットがある。一実施例におけるドット108のサイズは、直径が約3～10ナノメートルの付近である。一実施例において、ドット108は約5ナノメートル未満の距離だけ、基板12の上面より上有る。図示の実施例では、ドット108は、一実施例において熱形成酸化物からなる第1誘電層110上有る。第2誘電層111は、ドット108および第1誘電層110の上にある。第1酸化物層110の厚さは、通常5ナノメートル未満であり、より一般的には3～3.5ナノメートルの範囲である。約3ナノメートルだけ基板12の上面より上有るドット108を移動させることにより、メモリ・セル100をプログラミングするのに要するプログラミング電圧は、少なくとも5ナノメートルのトンネル酸化物厚さを有する従来のフラッシュ・メモリ・デバイスをプログラミングするのに要するプログラミング電圧よりも大幅に小さくなる。さらに、連續したフロー・ティング・ゲート構造の代わりにドット108を設けることにより、酸化物110における一つの欠陥が電荷を排除する能力は、この欠陥自体に密に近接したドット上に蓄積される電荷に制限される。ドット108の数は第1誘電体110における欠陥の数を大幅に上回るので、従来のフロー・ティング・ゲート・デバイスに比べて、電荷漏れは低く、電荷保持は高い

図1ないし図4は、セル100の端子に対して印加されるプログラミング電圧に応じてメモリ・セル100がプログラミングできるところの4つの状態を示す。メモリ・セル100に印加されるプログラミング電圧の4つのセットのそれぞれは、充電されるドット108の対応する空間分布(spatial distribution)を生じさせる。充電されたドット108のそれぞれの空間分布により、対応する閾値電圧シフトが生じ、これは同一バイアス状態について検出可能なドレイン電流差を生成する。図1において、実質的に全ての不連続な蓄積素子108は充電されていない。メモリ・デバイス100に対するプログラミング電圧の印加を制御することにより、ドット108は選択的に充電できる。図2において、ドレン領域104に近い領域114におけるドット108は充電され、一方、ソース領域102に近い領域116におけるドットは充電されない。図3において、ソース領域102に近い領域116におけるドット108は充電され、ドレン領域104に近い領域114におけるドット108は充電されない。図4は、実質的に全てのドット108が充電されている状態を示す。

#### 【0012】

充電されたドット108のこれら4つの分布のそれぞれは、セルのドレイン電流を測定することによって検出可能な対応する閾値電圧に関連する。図5を参照して、図1ないし図4に示す4つのドット分布に対応するドレイン電流の4つの値は、特定のバイアス状態について示されている。トレース500は、図1のように実質的に全てのドット108が非充電である場合に、メモリ・セル100において生成されるドレイン電流を示す境界線を表す。トレース511は、実質的に全てのドット108が充電されている図4に示す状態に対応する境界線を表す。トレース501は、ドレンからソースの方向に向かって充電されるドット108の割合の関数として、ドレイン電流を表す。一例として、ドット108の約50%が充電されているところのトレース501の点Aでは、ドレン領域104に近い領域114における実質的に全てのドットは充電され、一方、ソース領域102に近い領域116における実質的に全てのドット108は充電されない。トレース510は、ソース領域からドレン領域に向かって充電される不連続な蓄積素子108の割合の関

10

20

30

40

50

数として、ドレイン電流を表し、例えば、ドット 108 の 50% が充電されている点 B では、ソース領域 102 に近い領域 116 における実質的に全てのドット 108 は充電され、一方、ドレイン領域 104 に近い領域 114 における実質的に全てのドットは充電されない。

#### 【0013】

図 5 は、図 1 ないし図 4 の充電ドット分布にそれぞれ対応する 4 つの状態、すなわち、状態 00, 状態 01, 状態 10 および状態 11 をさらに示す。これら 4 つの状態は、状態 10 および状態 01 の充電ドットの割合がそれぞれソース領域 102 およびドレイン領域 104 付近で約 30 ~ 35 % の範囲である場合に、ドレイン電流の差が検出可能であることを示す。従って、(状態 10 および状態 01 について) ドットの約 30 ~ 50 % を選択的に充電することにより、メモリ・セル 100 によって生成される出力電流は、「隣接」状態から一桁またはそれ以上変化する。適切に構築された回路はこの 4 つの状態のそれを検出して、2 ビットの情報を伝達できる。このように、単一のメモリ・セル 100 の容量は、セル・サイズを増加せずに 2 倍になる。

#### 【0014】

図 6 は、第 1 メモリ・セル 100A、第 2 メモリ・セル 100B、第 3 メモリ・セル 100C および第 4 メモリ・セル 100D を含むメモリ・アレイの一部の図を含む。第 1 および第 2 メモリ・セル 100A, 100B は、ワード・ライン W1 にある。ワード・ライン W1 の一部は、それぞれメモリ・セル 100A, 100B の制御ゲート電極 106A, 106B を含む。同様に、ワード・ライン W2 は、それぞれ第 3 メモリ・セルおよび第 4 メモリ・セル 100C, 100D の制御ゲート電極 106C, 106D を含む。第 1 および第 3 メモリ・セル 100A, 100C は、ソース端子 100A, 100C に電気接続される共通のソース・ライン S1 を共用する。同様に、第 1 および第 3 メモリ・セル 100A, 100C は、それぞれドレイン端子 104A, 104C に電気接続される共通のドレイン・ライン D1 を共用する。第 2 ソース・ライン S2 は、第 2 および第 4 メモリ・セル 100B, 100D のソース信号 102B, 102D を電気接続し、一方、第 2 ドレイン・ライン D2 はそれぞれドレイン端子 104B, 104D に電気接続される。第 1 および第 3 メモリ・セル 100A, 100C は、ウェル領域 62 内にある活性領域（ソース領域、ドレイン領域およびチャネル領域）を有し、一方、第 2 および第 4 メモリ・セル 100B, 100D は、ウェル領域 64 内にある活性領域（ソース領域、ドレイン領域およびチャネル領域）を有する。ウェル領域 62, 64 は、図 1 ないし図 4 に示すように、メモリ・セル 100 の基板 112 に相当する。

#### 【0015】

メモリ・セル 100B, 100C および 100D 内のデータを著しく乱すことのない、メモリ・セル 100A の動作について、図 7 および図 8 の電圧表を参照して説明する。図 7 の電圧プログラミング表は、2 つの電位、すなわち、第 1 電位 ( $V_{PP}$ ) および第 2 電位（約 0 ボルトである  $V_{SS}$ ）がプログラミングのために利用可能であるところの、本発明の実施例において用いるのに適している。一実施例において、第 1 電位  $V_{PP}$  と第 2 電位  $V_{SS}$  との間の差は、約 5 ボルト以下である。

#### 【0016】

一実施例において、図 1 ないし図 4 に示す 4 つの状態のいずれも、残りのメモリ・セル 100B, 100C, 100D の内容を著しく乱さずに、図 7 の 4 つの列に示される電圧を印加することによって、メモリ・セル 100A において実現できる。さらに具体的には、第 1 メモリ・セル 100A は、必要なプログラミング期間で指示されたプログラミング電圧を印加することにより、「00」状態から 01, 10 または 11 状態に遷移できる。プログラミング時間は、一般に約 1 マイクロ秒から 10 msec の範囲である。さらに、第 1 メモリ・セル 100A は、必要な消去期間で列 00 に示される電圧を印加することにより、消去できる、すなわち状態 01, 10, 11 から状態 00 に遷移できる。

#### 【0017】

図 7 に示すように、「00」状態（すなわち、消去状態）は、第 1 電位  $V_{PP}$  を（それぞ

10

20

30

40

50

ライン S 1 および D 1 を介して ) ソースおよびドレイン 1 0 2 A , 1 0 4 A に印加し、ウェル領域 6 2 を第 1 電位  $V_{PP}$  で維持し、そして W 1 を第 2 電位  $V_{SS}$  で維持することによって達成される。このように電圧を印加すると、第 1 メモリ・セル 1 0 0 A のドット 1 0 8 A 上の電荷は除去あるいは消去され、実質的に全てのドットは非充電状態になる。0 0 状態では、4 つの状態のうち最低の（絶対値）閾値電圧および最高の電流が生じる。ライン S 2 , D 2 およびウェル領域 6 4 は第 1 電位  $V_{PP}$  で維持され、ワード・ライン W 2 は第 2 電位  $V_{SS}$  で維持される。これらのバイアス状態では、全てのメモリ・セル 1 0 0 A , 1 0 0 B , 1 0 0 C , 1 0 0 D は、このブロック消去動作中に消去される。

## 【 0 0 1 8 】

別の実施例では、同一ワード・ライン上のメモリ・セルのみが消去され、行消去または列消去を行う。特に図 6 を参照して、メモリ・セル 1 0 0 A , 1 0 0 B は、メモリ・セル 1 0 0 C , 1 0 0 D でデータを著しく乱さずに消去できる。この実施例では、図 7 における状態「0 0」のバイアス状態は、ワード・ライン W 2 が第 1 電位  $V_{PP}$  で維持されることを除いて、用いられる。

## 【 0 0 1 9 】

ドレイン端子 1 0 4 A に近い領域 1 1 4 における不連続な蓄積素子 1 0 8 が充電されるとここの図 2 に示される第 1 メモリ・セル 1 0 0 A の状態は、第 1 電位  $V_{PP}$  をワード・ライン W 1 およびソース・ライン S 1 に印加し、ウェル領域 6 2 およびドレイン・ライン D 1 を第 2 電位  $V_{SS}$  で維持することによって、図 7 の列 0 1 に示されるように生成される。第 1 メモリ・セル 1 0 0 A の制御ゲート 1 0 6 とドレイン 1 0 4 A との間の電圧差の印加は、電界を生成し、これはドレイン内の電子（またはドレイン付近の電子）を、ドレイン 1 0 4 A 付近のドット 1 0 8 に移動させる。第 1 メモリ・セル 1 0 0 A のソース 1 0 2 A を制御ゲート 1 0 6 A と実質的に同じ電位に維持することは、ソース 1 0 2 A 付近のドット 1 0 8 の有意な充電を防ぎ、それにより図 2 に示すような充電ドットの分布が得られる。この充電ドット 1 0 8 の分布により、図 5 のトレース 5 0 1 によって表されるドレイン電流が生じる。

## 【 0 0 2 0 】

ソース 1 0 2 A に近い領域 1 1 6 におけるドットが実質的に全て充電され、ドレイン 1 0 4 に近い領域 1 1 4 におけるドットが実質的に非充電である（図 3 ）とここの図 7 の列 1 0 において表される状態は、制御ゲート 1 0 6 A とソース 1 0 2 A との間に電位を印加し、ドレイン 1 0 4 A を制御ゲート 1 0 6 A と実質的に同じ電位に維持することによって達成される。ソース 1 0 2 A と制御ゲート 1 0 6 A との間の電位は、電子をソース 1 0 2 A からソース 1 0 2 A 付近のドット 1 0 8 に移動し、一方、ドレイン 1 0 4 A を制御ゲート 1 0 6 の電位で維持することは、ドレイン 1 0 4 からドット 1 0 8 への電子の移動を防ぎ、それによりソース 1 0 2 付近のドット 1 0 8 の選択的な充電が得られる。この充電ドットの選択的な分布により、図 5 のトレース 5 1 0 によって示せる電流が得られ、ここでドレイン電流は、充電されるドット 1 0 8 の同じ割合について、トレース 5 0 1 のドレイン電流よりも実質的に小さい。従って、図 5 は、メモリ・セル 1 0 0 内のドレイン電流の、ドット 1 0 8 内の充電素子の空間分布（位置）への依存性を強調している。

## 【 0 0 2 1 】

図 4 に示す充電分布は、図 7 の列 1 1 に示されるプログラミング電圧を印加することによって実現され、ここで、第 1 電位  $V_{PP}$  を（ワード・ライン W 1 を介して）制御ゲート 1 0 6 A に印加し、第 2 電位  $V_{SS}$  を（S 1 を介して）ソース 1 0 2 A に印加し、また（D 1 を介して）ドレイン 1 0 4 A に印加し、ウェル領域 6 2 を第 2 電位  $V_{SS}$  で維持することによって、電位は制御ゲート 1 0 6 A とドレイン 1 0 4 A との間、さらに制御ゲート 1 0 6 A とソース 1 0 2 A との間に印加される。この構成では、電場は制御端子 1 0 6 A とソース 1 0 2 A 、ドレイン 1 0 4 A およびウェル領域 6 2 のそれぞれとの間で存在し、ソース 1 0 2 A およびドレイン 1 0 4 A からソース 1 0 2 A およびドレイン 1 0 4 A 付近のドット 1 0 8 への電子の移動が生じる。図 5 を再度参照して、図 4 に示す充電分布を表すトレース 5 1 1 は、トレース 5 0 1 , 5 1 0 のドレイン電流に比べて極めて低いドレイン電流を示

10

20

30

40

50

す。

#### 【0022】

状態 01, 10, 11 にプログラミングする場合、S2, D2, W2 およびウェル領域 64 の電圧を表す図 7 の残りの行は、第 2, 第 3 および第 4 メモリ・セル 100B, 100C, 100D は、第 1 メモリ・セル 100A のプログラミングによって実質的に影響を受けないことを強調するために入れられている。さらに具体的には、図 7 の各プログラミング列（すなわち、列 01, 10, 11）では、第 2 および第 4 メモリ・セル 100B, 100D のソースおよびドレインにそれぞれ印加されるソース・ライン S2 およびドレイン・ライン D2 は、ワード・ライン W1 の電位で維持される。第 2 メモリ・セル 100B の場合、この構成では、制御ゲート 106B とソース 102Bとの間では有意なバイアスは印加されず、また制御ゲート 106 とドレイン 104Bとの間にも有意なバイアスは印加されず、それにより充電される第 2 メモリ・セル 100B のドット 108 の割合の有意な変化を防ぐ。第 4 メモリ・セル 100D について、ソースおよびドレイン 102D, 104D を第 1 電位  $V_{PP}$  で維持しつつ、ワード・ライン W2 へ第 2 電位  $V_{SS}$  を印加することにより、ドット 108 から電荷を消去あるいは除去するのに適したバイアスが得られる。しかし、プログラミング時間は、ドット 108 から電荷を消去あるいは除去するのに要する時間よりも数桁短いので、第 4 メモリ・セル 100D は第 1 メモリ・セル 100A のプログラミング中は実質的に非充電のままである。同様に、第 3 メモリ・セル 100C のプログラミングは、メモリ・セル 100A のプログラミング中に第 2 ワード・ライン W2 を第 2 電位  $V_{SS}$  で維持することによって阻止され、そのためソース・ライン S1 またはドレイン・ライン D1 のいずれかに印加される任意の電位により、一般に取るに足らないとみなされる第 3 メモリ・セル 100C のわずかな消去のみが生じる。  
10  
20

#### 【0023】

メモリ・セル 100A の読み出しは、ソース・ライン S1 を第 1 電位  $V_{SS}$  にし、ドレイン・ライン D1 を約 1 ボルトにし、そしてワード・ライン W1 を通常約 2 ボルト未満である約  $V_{DD}$  にすることによって実行できる。メモリ・セル 100B, 100C, 100D 内のデータを乱す可能性を低減するために、ソース・ライン S2 およびドレイン・ライン D2 はほぼ同じ電位（例えば、ゼロ・ボルト）であり、ワード・ライン W2 は通常約 0 ボルトである。ウェル領域 62, 64 は、通常それぞれソース・ライン S1, S2 とほぼ同じ電位である。  
30

#### 【0024】

図 7 に示すプログラミング電圧は、2 つの電位信号、すなわち、 $V_{PP}$  信号および  $V_{SS}$  信号のみを必要とする。発明の本実施例は、一つのプログラミング電源しか必要としないという利点を享受する。しかし、別の実施例では、2 つ以上の電源電位を利用できる。図 8 に示すプログラミング電圧は、第 1, 第 2 および第 3 電位、すなわち、 $+V_{PP}/2$  信号、 $V_{SS}$  信号および  $-V_{PP}/2$  信号を利用する。この実施例は追加のプログラミング電圧レベルを必要とするが、プログラミングされないメモリ・セルに印加されるプログラミング電圧の大きさが小さくなることで、これらのメモリ・セルの内容を乱す可能性が低くなる。  
40

#### 【0025】

3 つの電位を利用してメモリ・セル 100A をプログラミングすることは、図 8 に示すようにして達成される。3 つの電位は、第 1 電位  $+V_{PP}/2$ , 第 3 電位  $-V_{PP}/2$ , それに第 1 電位と第 3 電位との間の中間の第 2 電位  $V_{SS}$  を含む。一実施例において、第 1 電位と第 3 電位との間の差は約 5 ボルト未満である。メモリ・セル 100A を 00 状態（すなわち、消去状態）にプログラミングするためには、第 1 電位  $+V_{PP}/2$  をソース・ライン S1, ドレイン・ライン D1 およびウェル領域 62 に印加し、第 3 電位  $-V_{PP}/2$  をワード・ライン W1 に印加する。ライン S2, D2 およびウェル領域 64 は、第 1 電位  $+V_{PP}/2$  で維持され、ワード・ライン W2 は第 3 電位  $-V_{PP}/2$  で維持される。これらのバイアス状態では、全てのメモリ・セル 100A, 100B, 100C, 100D はこのプロック消去動作中に消去される。  
50

#### 【0026】

別の実施例では、同じワード・ライン上のメモリ・セルのみが消去され、行消去または列消去を行う。特に図6を参照して、メモリ・セル100A, 100Bは、メモリ・セル100C, 100Dでデータを著しく乱さずに消去できる。この実施例では、図8の状態「00」についてのバイアス状態は、ワード・ラインW2が第1電位+ $V_{PP}/2$ で維持されることを除いて、用いられる。

#### 【0027】

メモリ・セルを01状態にプログラミングするためには、第1電位をS1およびW1に印加し、第3電位をD1およびウェル領域62に印加する。メモリ・セルを10状態にプログラミングするためには、第3電位- $V_{PP}/2$ をS1およびウェル領域62に印加し、第1電位+ $V_{PP}/2$ をD1およびW1に印加する。11状態は、第1電位+ $V_{PP}/2$ をW1に印加し、第3電位をS1, D1およびウェル領域62に印加することによってプログラミングされる。3つの電位の実施例では、非選択メモリ・セルである第2, 第3および第4メモリ・セル100B, 100C, 100Dに影響を及ぼすS2, D2, W2およびウェル領域64の電位は、第1メモリ・セル100Aを11, 10, 01状態にプログラミングする際に、第2電位 $V_{SS}$ に維持される。従って、3つの電位の実施例では、第2, 第3, 第4メモリ・セル100B, 100C, 100Dの任意の接合に印加される最悪のバイアスは $V_{PP}/2$ であり、そのため第1セル100Aをプログラミングする際に、近傍のセルを意図せずに乱す可能性を有利に低減する。

#### 【0028】

上記の明細書では、本発明について特定の実施例を参照して説明した。ただし、当業者であれば、特許請求の範囲に記載される本発明の範囲から逸脱せずに、さまざまな修正および変更が可能なことが理解されよう。従って、明細書および図面は、制限的な意味ではなく、例示的な意味でみなされるものとし、かかる一切の修正は本発明の範囲に含まれるものとする。

#### 【0029】

効果、他の利点および課題の解決について、特定の実施例を参照して説明した。ただし、効果、利点、課題の解決および任意の効果、利点あるいは課題の解決を生じせしめる、あるいはより明瞭にする任意の要素は、任意のあるいは全ての請求項の重要な必要あるいは不可欠な特長または要素としてみなされるものではない。本明細書で用いられる、「構成される(compriseまたはcomprising)」という用語、それにその変形は、非包括的な含有を表すことを意図するものであり、要素のリストを構成するプロセス、方法、製品(article)または装置は、これらの要素を含むだけでなく、明白に列挙されていない他の要素、あるいはかかるプロセス、方法、製品または装置に固有の他の要素を含むものとする。

#### 【図面の簡単な説明】

【図1】本発明の一実施例による、非充電状態における不揮発性メモリ・セルの簡略断面図である。

【図2】第1導電電極付近の不連続な蓄積素子が選択的に充電されている、図1の蓄積デバイスの断面図である。

【図3】第2導電電極付近の不連続な蓄積素子が選択的に充電されている、図1のメモリ・セルの部分的な断面図である。

【図4】実質的に全ての不連続な蓄積素子が充電されている、図1の蓄積素子の部分的な断面図である。

【図5】充電された不連続な蓄積素子の割合の関数としてドレイン電流を示すグラフである。

【図6】本発明の一実施例で用いるのに適したメモリ・セル・アレイのアーキテクチャを示す図である。

【図7】2つのプログラミング電位を利用する本発明の一実施例による、図6のメモリ・セル・アレイのプログラミング電圧表を示す図である。

【図8】3つのプログラミング電位を利用する本発明の一実施例による、図6のメモリ・セル・アレイのプログラミング電圧表を示す図である。

10

20

30

40

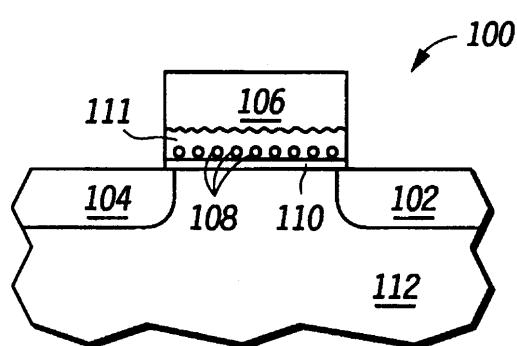
50

## 【符号の説明】

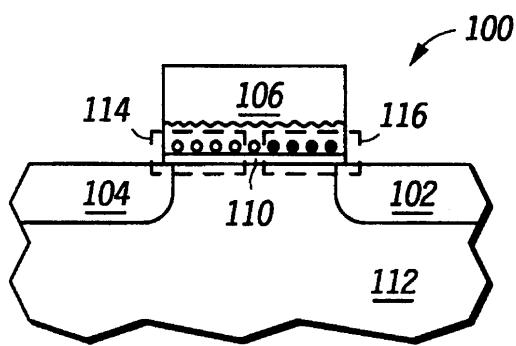
- 62, 64 ウェル領域  
 100 メモリ・セル  
 102 第2導電電極(ソース電極)  
 104 第1導電電極(ドレイン電極)  
 106 制御電極(制御ゲート電極)  
 108 不連続な蓄積素子(ドット)  
 110 第1誘電層(酸化物層)  
 111 第2誘電層  
 112 基板  
 W1, W2 ワード・ライン  
 D1, D2 ドレイン・ライン  
 S1, S2 ソース・ライン

10

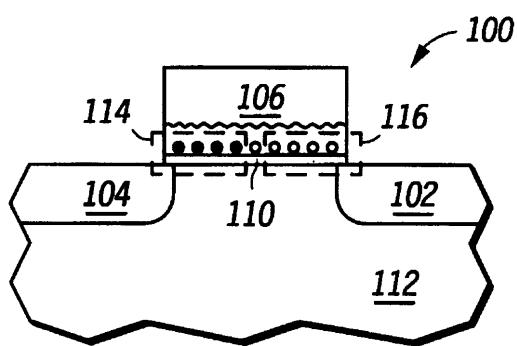
【図1】



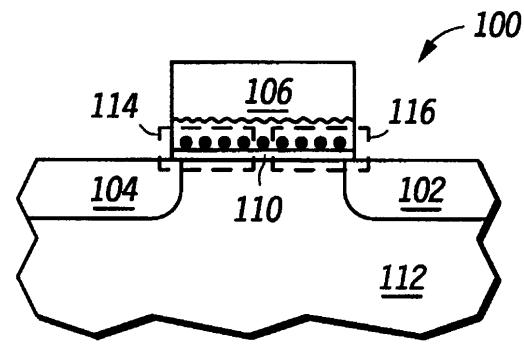
【図3】



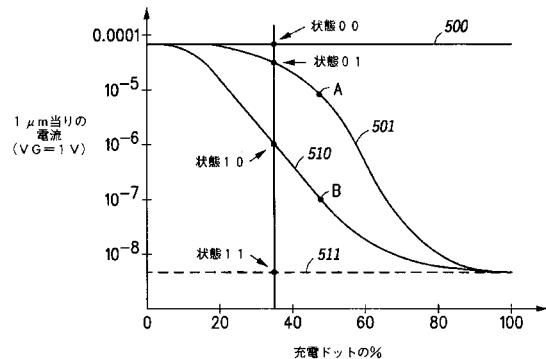
【図2】



【図4】



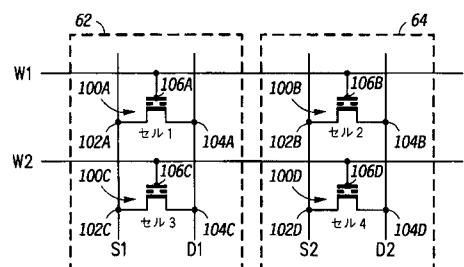
【図5】



【図7】

	11	01	10	00
S1	0	$V_{PP}$	0	$V_{PP}$
D1	0	0	$V_{PP}$	$V_{PP}$
W1	$V_{PP}$	$V_{PP}$	$V_{PP}$	0
ウェル 62	0	0	0	$V_{PP}$
S2	$V_{PP}$	$V_{PP}$	$V_{PP}$	$V_{PP}$
D2	$V_{PP}$	$V_{PP}$	$V_{PP}$	$V_{PP}$
W2	0	0	0	0
ウェル 64	$V_{PP}$	$V_{PP}$	$V_{PP}$	$V_{PP}$

【図6】



【図8】

	11	01	10	00
S1	$-V_{PP}/2$	$+V_{PP}/2$	$-V_{PP}/2$	$+V_{PP}/2$
D1	$-V_{PP}/2$	$-V_{PP}/2$	$+V_{PP}/2$	$+V_{PP}/2$
W1	$+V_{PP}/2$	$+V_{PP}/2$	$+V_{PP}/2$	$-V_{PP}/2$
ウェル 62	$-V_{PP}/2$	$-V_{PP}/2$	$-V_{PP}/2$	$+V_{PP}/2$
S2	0	0	0	$+V_{PP}/2$
D2	0	0	0	$+V_{PP}/2$
W2	0	0	0	$-V_{PP}/2$
ウェル 64	0	0	0	$+V_{PP}/2$

---

フロントページの続き

(51)Int.Cl. F I

H01L 27/115 (2006.01)

H01L 21/8247 (2006.01)

(72)発明者 ラマチャンドラン・ムラリドハー

アメリカ合衆国テキサス州オースチン、ピックフェアー・ドライブ10601

審査官 河合 俊英

(56)参考文献 特開平11-224908 (JP, A)

国際公開第99/007000 (WO, A1)

特表2001-512290 (JP, A)

特開平07-211797 (JP, A)

特開平11-163173 (JP, A)

特開平11-297967 (JP, A)

特開平08-124378 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

G11C 16/02

G11C 16/04

H01L 27/115

H01L 29/788

H01L 29/792