



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0097124  
(43) 공개일자 2010년09월02일

(51) Int. Cl.  
*HO4N 7/24* (2006.01) *HO4N 5/50* (2006.01)  
 (21) 출원번호 10-2010-7011966  
 (22) 출원일자(국제출원일자) 2008년10월30일  
 심사청구일자 없음  
 (85) 번역문제출일자 2010년05월31일  
 (86) 국제출원번호 PCT/US2008/012303  
 (87) 국제공개번호 WO 2009/061363  
 국제공개일자 2009년05월14일  
 (30) 우선권주장  
 61/001,822 2007년11월05일 미국(US)

(71) 출원인  
**툼슨 라이센싱**  
 프랑스 에프-92100 볼로뉴-빌랑꾸르 케 아 르 갈로 46  
 (72) 발명자  
**우, 젠유**  
 미국 뉴저지주 08536 플레인즈버로 헌터스 글렌 5023 헌터스 글렌 5023  
**스테인, 알란 제이**  
 미국 뉴저지주 08550 프린스턴 정션 아놀드 드라이브 9  
**앤더슨, 데이비드**  
 미국 뉴저지주 08518 플로렌스 이스트 5 스트리트 317  
 (74) 대리인  
**특허법인 아주양현**

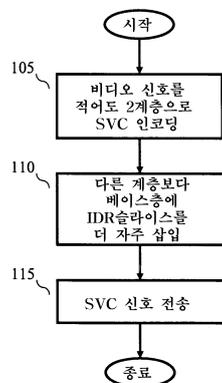
전체 청구항 수 : 총 8 항

(54) 신속한 채널 변경 및 향상된 오류 복원성을 위한 스케일러블 비디오 코딩 방법

(57) 요약

베이스층 비디오 코딩된 신호와 강화층 비디오 코딩된 신호를 포함하는 스케일러블 비디오 코딩된(SVC) 신호를 제공하기 위하여, 일 장치가 비디오 신호를 인코딩하며, 상기 베이스층 비디오 코딩된 신호는 상기 강화층 비디오 코딩된 신호보다 더 많은 임의 액세스 지점을 갖는다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

비디오 신호를 전송하기 위한 방법으로서,

복수의 스케일러블 계층(scalable layers)을 포함하는 비디오 코딩된 신호를 제공하기 위하여 신호를 스케일러블 비디오 코딩하는 단계; 및

상기 스케일러블 비디오 코딩된 신호를 전송하는 단계를 포함하되,

상기 스케일러블 계층 중의 하나는 나머지 다른 스케일러블 계층보다 더 많은 임의 액세스 지점을 갖도록 선택되는, 비디오 신호를 전송하기 위한 방법.

### 청구항 2

제 1항에 있어서,

상기 선택된 스케일러블 계층은 상기 비디오 코딩된 신호의 베이스층인, 비디오 신호를 전송하기 위한 방법.

### 청구항 3

채널 변경 또는 어떤 채널로의 튜닝을 수행하기 위한 장치에서의 사용을 위한 방법으로서,

복수의 스케일러블 계층을 포함하는 스케일러블 비디오 코딩된 신호를 수신하는 단계;

더 많은 임의 액세스 지점을 갖고 현재 디코딩 계층인 종속 계층에 디코딩을 설정하는 단계;

IDR(Instantaneous Decoder Refresh) 슬라이스에 관하여 상기 더 많은 임의 액세스 지점을 갖는 스케일러블 계층으로부터의 프레임을 체크하는 단계;

상기 더 많은 임의 액세스 지점을 갖는 스케일러블 계층에서 IDR 슬라이스를 탐지하면, 상기 더 많은 임의 액세스 지점을 갖는 스케일러블 계층에서의 상기 코딩된 비디오를 디코딩하는 단계;

IDR 슬라이스에 관하여 다른 스케일러블 계층으로부터의 프레임을 체크하는 단계; 및

상기 현재 디코딩 계층보다 더 큰 종속\_id(dependency\_id)값을 갖는 종속 계층에서 IDR 슬라이스를 탐지하면, 상기 종속 계층에서의 상기 코딩된 비디오를 디코딩하는 단계를 포함하는, 채널 변경 또는 어떤 채널로의 튜닝을 수행하기 위한 장치에서의 사용을 위한 방법.

### 청구항 4

제 3항에 있어서,

상기 더 많은 임의 액세스 지점을 갖는 스케일러블 계층은 상기 스케일러블 비디오 코딩된 신호의 베이스층인, 채널 변경 또는 어떤 채널로의 튜닝을 수행하기 위한 장치에서의 사용을 위한 방법.

### 청구항 5

복수의 스케일러블 계층을 포함하는 비디오 코딩된 신호를 제공하기 위한 스케일러블 비디오 인코더; 및

상기 비디오 코딩된 신호를 전송하는 데 사용하기 위한 변조기를 포함하되,

상기 스케일러블 계층 중의 하나는 나머지 다른 스케일러블 계층보다 더 많은 임의 액세스 지점을 갖도록 선택되는, 장치.

**청구항 6**

제 5항에 있어서,

상기 선택된 스케일러블 계층은 상기 비디오 코딩된 신호의 베이스층인, 장치.

**청구항 7**

하나의 스케일러블 계층이 나머지 다른 스케일러블 계층보다 더 많은 임의 액세스 지점을 갖도록 선택되는 복수의 스케일러블 계층에 대하여, 일 채널로부터 상기 복수의 스케일러블 계층을 포함하는 스케일러블 비디오 코딩된 신호를 제공하기 위한 수신기; 및

상기 채널로 변경하거나 상기 채널로 튜닝하는 경우, 나머지 다른 스케일러블 계층으로부터의 임의 액세스 지점이 사용가능할 때까지, 더 많은 임의 액세스 지점을 갖도록 선택된 상기 스케일러블 계층을 디코딩하기 위한 프로세서를 포함하는, 장치.

**청구항 8**

제 7항에 있어서,

상기 선택된 스케일러블 계층은 상기 스케일러블 비디오 코딩된 신호의 베이스층인, 장치.

**명세서**

**기술분야**

[0001] 본 출원은 U.S. Provisional Application No. 61/001,822, filed November 5, 2007에 대한 권리를 주장한다.

**배경기술**

[0002] 본 발명은 일반적으로 예를 들어 지상파 방송, 셀룰러, Wi-Fi(Wireless-Fidelity), 위성 등과 같은 유선 및 무선 시스템 등의 통신시스템에 관련된다.

[0003] 압축 비디오 비트스트림이 무선 네트워크와 같은 오류-유발성 통신 채널을 통하여 전송될 때, 비트스트림의 특정 부분은 손상(corrupted) 또는 손실될 수 있다. 이와 같은 오류성 비트스트림이 수신기에 도달되어 비디오 디코더에 의해 디코딩되는 경우, 재생 품질은 심각하게 영향을 받을 수 있다. 소스 오류 복원성 코딩(source error resiliency coding)은 상기 문제를 처리하는 데 사용되는 기술이다.

[0004] 비디오 브로드캐스트/멀티캐스트 시스템에서, 보통 하나의 압축된 비디오 비트스트림은 흔히 세션(session)이라고 불리는 지정된 시간 구간 내에 동시에 사용자 그룹에 전달된다. 비디오 코딩의 예측적 특성에 기인하여, 비트스트림에의 임의 액세스는 상기 비트스트림 내의 특정 임의 액세스 지점(random access points)에서만 가능하며, 적정 디코딩은 상기 임의 액세스 지점으로부터 시작하여서만 가능하다. 임의 액세스 지점은 일반적으로 낮은 압축 효율을 가지고 있기 때문에, 한 비트스트림 내에는 상기와 같은 지점의 한정된 수만 존재한다. 그 결과, 사용자가 자신의 수신기를 어떤 채널에 튜닝하고 어떤 세션에 참여할 때, 적정 디코딩이 시작되도록 하기 위하여 사용자는 수신된 비트스트림 내의 이용가능한 다음 임의 액세스 지점을 기다려야 하며, 이것은 비디오 콘텐츠의 재생시 지연을 유발시킨다. 이러한 지연은 튠-인 지연(tune-in delay)이라고 불리며, 그것은 시스템의 사용자 경험(user experience)에 영향을 미치는 중요한 요인이 된다.

[0005] 비디오 전송 시스템에서, 몇몇 압축된 비디오 비트스트림은 공통의 전송매체를 공유한 최종 사용자에게 종종 전달되며, 상기 전송 매체에서 각각의 비디오 비트스트림은 프로그램 채널에 대응한다. 이전 경우와 마찬가지로, 사용자가 한 채널에서 다른 채널로 전환할 때, 디코딩을 올바르게 시작하기 위하여 사용자는 그 채널로부터 수

신된 비트스트림 내에서 이용가능한 다음 임의 액세스 지점을 기다려야 한다. 이러한 지연은 채널-변경 지연(channel-change delay)이라 불리며, 상기 시스템에서 사용자 경험에 영향을 미치는 또 다른 중요한 요인이 된다.

[0006] 삽입된 임의 액세스 지점의 장점은 시점의 비디오 코딩 지점으로부터의 압축된 비디오 비트스트림의 오류 복원성을 향상시킨다는 것이다. 예를 들어, 어떤 비트스트림 내에 주기적으로 삽입되는 임의 액세스 지점은 디코더를 리셋시키고 오류의 전파를 완전히 정지시키며, 이것은 오류에 대한 비트스트림의 강인성을 증가시킨다.

[0007] 예를 들어, H.264/AVC 비디오 압축 표준(예를 들어, ITU-T Recommendation H.264: "Advanced video coding for generic audiovisual services", ISO/IEC 14496-10(2005): "Information Technology - Coding of audiovisual objects Part 10 : Advanced Video Coding")을 고려하면, (전환 가능 지점이라고도 불리는) 임의 액세스 지점은 IDR(Instantaneous Decoder Refresh) 슬라이스, 인트라 코딩된 매크로블럭(MBs) 및 SI(switching I) 슬라이스를 포함하는 코딩방법에 의해 실행될 수 있다.

[0008] IDR 슬라이스와 관련하여, IDR 슬라이스는 인트라 코딩된 MBs(intra-coded MBs)만을 포함하는데, 이것은 올바른 디코딩을 위해 어떠한 이전 슬라이스에도 의존하지 않는다. IDR 슬라이스는, 후속 슬라이스의 디코딩이 상기 IDR 슬라이스 이전의 어떠한 슬라이스와도 독립적이 되도록, 디코더에서 디코딩 화상 버퍼를 또한 리셋한다. 올바른 디코딩은 IDR 슬라이스 이후 즉시 가능하므로, 그것은 또한 즉시 임의 액세스 지점(intantaneous random access point)이라고도 불린다. 대조적으로, 점진적 임의 액세스 동작은 인트라 코딩된 MBs에 기초하여 실현될 수 있다. 다수의 연속하는 예측 화상에 대하여, 인트라 코딩된 MBs는 조직적 방식으로 인코딩되며, 이에 따라 상기 다수의 화상을 디코딩한 후 다음 화상 내의 각각의 MB는 다수 화상 중 하나에 있어 인트라 코딩된 동위치의 대응부분(counterpart)를 갖는다. 따라서, 상기 화상의 디코딩은 일련의 화상 이전의 다른 어떤 슬라이스에도 의존하지 않는다. 마찬가지로, SI 슬라이스는, 이러한 타입의 특수하게 인코딩된 슬라이스를 비트스트림 내에 삽입(embedding)함으로써, 상이한 비트스트림 간에 전환을 가능하게 한다. 불행하게도, H.264/AVC에서, IDR 슬라이스 또는 SI 슬라이스의 공통된 단점은 코딩 효율의 손실이다. 공통적으로, 심각한 양의 비트 레이트(bit rate)가 전환 지점(switching point)을 삽입하는 데 소요되어야 한다.

[0009] 마찬가지로, 임의 액세스 지점은 SVC(Scalable Video Coding)에서도 사용된다. SVC에서 종속 표현(dependency representation)은 다수의 계층 표현(layer representation)으로 이루어질 수 있으며, 액세스 유닛은 한 프레임 번호에 대응하는 모든 종속 표현으로 이루어진다(예를 들어, Y-K. Wang, M. Hannuksela, S. Pateux, A. Eleftheriadis, and S. Wenger, "System and transport interface of SVC", IEEE Trans. Circuits and Systems for Video Technology, vol. 17, no. 9, Sept 2007, pp.1149-1163; and H. Schwarz, D.Marpe and T. Wiegand, "Overview of the scalable video coding extension of the H.264/AVC standard", IEEE Trans. Circuits and Systems for Video Technology, vol. 17, no. 9, Sept 2007, pp.1103 - 1120 참조).

[0010] SVC가 임의 액세스 지점(random access point)을 삽입하기 위한 통상적인 방법은 IDR 슬라이스를 이용하여 액세스 유닛을 전체적으로 코딩하는 것이다. 달리 말하면, 액세스 유닛의 각 종속 표현(D) 내 모든 계층 표현은 IDR 슬라이스 내에서 코딩된다. 일 예가 도 1에 도시되어 있다. 도 1의 SVC 코딩된 신호는 두개의 종속 표현을 가지며, 각 종속 표현은 하나의 계층 표현을 갖는다. 특히, 베이스층(base layer)은 D=0과 관련되어 있고 강화층(enhancement layer)은 D=1과 관련되어 있다("D"의 값은 관련 기술분야에서 "종속\_id(dependency\_id)"로도 불린다). 도 1은 9개의 액세스 유닛을 도시하며, 그것은 SVC 신호의 프레임들에서 나타한다. 점선으로 표시된 박스(10)에 의해 도시된 바와 같이, 액세스 유닛(1)은 제 1 계층(D=1)에 대하여 한 IDR 슬라이스 및 베이스층(D=0)에 대하여 한 IDR 슬라이스를 포함한다. 그 다음 액세스 유닛은 2개의 예측된(P) 슬라이스를 포함한다. 도 1로부터 볼 수 있는 바와 같이, 액세스 유닛 1, 5 및 9만 IDR 슬라이스를 포함한다. 이와 같이, 임의 액세스(random access)는 이러한 액세스 유닛에서 일어날 수 있다. 하지만, H.264/AVC 경우와 같이, IDR 슬라이스로 인코딩된 각각의 액세스 유닛은 SVC 코딩 효율을 감소시킨다.

**발명의 내용**

**해결하려는 과제**

[0011] 본 발명이 해결하고자 하는 과제는 종래 기술의 문제점을 개선할 수 있는 방법 및 장치를 제공하는 데 있다.

**과제의 해결 수단**

- [0012] 본 발명에 따라, 비디오 신호를 전송하기 위한 방법은 복수의 스케일러블 계층(scalable layers)을 포함하는 비디오 코딩된 신호를 제공하기 위해 신호를 스케일러블 비디오 코딩하는 단계를 포함하며, 상기 스케일러블 계층 중의 하나가 나머지 다른 스케일러블 계층보다 더 많은 임의 액세스 지점을 갖도록 선택된다. 그 결과, 압축된 비디오 비트스트림 내에 추가적인 전환 가능 지점을 삽입함으로써 비디오 인코더는 수신기에서의 튜닝 지연 및 채널-변경 지연을 감소시킬 수 있다.
- [0013] 본 발명의 일 실시예에 있어, SVC 신호는 베이스층과 강화층을 포함하고, 상기 베이스층은 상기 강화층보다 더 많은 임의 액세스 지점을 갖도록 선택된다.
- [0014] 상기 내용을 고려하고 상세한 설명으로부터 명확히 알 수 있는 바와 같이, 다른 실시예 및 특징도 가능하며 본 발명의 범위 내에 있다.

**발명의 효과**

- [0015] 본 발명에 따르면, 종래의 문제점을 효과적으로 개선할 수 있는 방법 및 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0016] 도 1은 IDR(Instantaneous Decoder Refresh) 슬라이스를 갖는 종래의 스케일러블 비디오 코딩된 신호(SVC 신호)를 나타낸다.
- 도 2는 SVC 인코딩에서의 사용을 위한 본 발명에 따른 흐름도를 나타낸다.
- 도 3은 본 발명에 따른 장치에 관한 일 실시예를 나타낸다.
- 도 4는 본 발명에 따른 예시적인 SVC 신호를 나타낸다.
- 도 5는 본 발명에 따른 또 다른 예시적인 흐름도를 나타낸다.
- 도 6은 본 발명에 따른 또 다른 예시적인 장치를 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 진보 개념 이외에, 도면에 도시된 구성요소들은 공지된 것이고 상세하게 설명되지는 않을 것이다. 예를 들어, 진보 개념 이외에, 이산 멀티톤 전송(discrete multitone transmission, DMT)(여기서는 OFDM(Orthogonal Frequency Division Multiplexing) 또는 COFDM(Coded Orthogonal Frequency Division Multiplexing)으로도 불림)과 관련하여 공지된 내용은 추정되고 여기서는 기재되지 않는다. 또한, 텔레비전 방송, 수신기 및 비디오 인코딩과 관련하여 공지된 내용도 추정되고 여기서는 상세하게 기재되지 않는다. 예를 들어, 진보 개념 이외에, NTSC(National Television Systems Committee), PAL(Phase Alteration Lines), SECAM(SEquential Couleur Avec Memoire), ATSC(Advanced Television Systems Committee), CDTs(Chinese Digital Television System)(GB) 20600-2006, 및 DVB-H와 같은 TV 표준에 대한 현재 및 제안되는 권고사항들과 관련하여 공지된 사항도 추정된다. 마찬가지로, 진보 개념 이외에, 8-VSB(eight-level vestigial sideband), QAM(Quadrature Amplitude Modulation), 및 (저노이즈 블럭, 튜너, 다운 컨버터 등과 같은) RF 프론트엔드(radio-frequency front-end), 복조기, 상관기(correlators), 누설 통합기(leak integrators), 스쿼어러(squarers) 등의 수신기 요소와 같은 다른 전송 개념은 추정된다. 또한, 진보 개념 이외에, FLUTE 프로토콜(File Delivery over Unidirectional Transport protocol), ALC 프로토콜(Asynchronous Layered Coding protocol), IP(Internet protocol) 및 IPE(Internet Protocol Encapsulator)와 같은 프로토콜과 관련하여 공지된 사항도 추정되고 여기서는 기재되지 않는다. 마찬가지로, 진보 개념 이외에, (MPEG-2(Moving Picture Expert Group) 시스템 표준(ISO/IEC 13818-1) 및 상기 언급된 SVC와 같은) 전송 비트스트림 생성을 위한 포매팅 및 인코딩 방법은 공지된 것이고 여기서는 기술되지 않는다. 진보 개념은 종래의 프로그래밍 기술을 사용하여 실행될 수도 있고 이에 따라 여기서는 기술되지 않을 것이라는 점을 알아야 한다. 마지막으로, 도면 상의 유사 번호는 유사 구성요소를 나타낸다.

- [0018] 이미 알려진 바와 같이, 수신기가 초기에 튜닝될 때 또는 심지어 채널 변경 동안 또는 비록 동일 채널 내에서 서비스를 막 변경한다 하더라도, 어떤 수신된 데이터를 처리할 수 있기 전에는 수신기는 요청된 초기화 데이터를 추가적으로 기다려야 한다. 그 결과, 서비스나 프로그램에 액세스할 수 있기 전에 사용자는 추가적인 시간을 기다려야 한다.
- [0019] SVC 에서, SVC 신호는 복수의 종속 (공간) 계층을 가지며, 각각의 종속 계층(dependency layer)은 동일한 종속\_id(dependency\_id)값을 갖는 SVC 신호의 하나 또는 그 이상의 스케일러블 계층으로 이루어진다. 베이스층은 비디오 신호의 해상도의 최소 레벨을 나타낸다. 다른 계층은 비디오 신호에 대한 해상도의 계층을 증가시키는 것을 나타낸다. 예를 들어, 만약 SVC 신호가 3개의 계층을 가지면, 베이스층, 계층 1 및 계층 2가 존재한다. 각각의 계층은 상이한 종속\_id(dependency\_id)값과 관련된다. 수신기는 (a) 베이스층, (b) 베이스층과 계층 1, 또는 (c) 베이스층, 계층 1 및 계층 2를 처리할 수 있다. 예를 들어, SVC 신호는 베이스 신호의 해상도만 지원하는 장치에 의해 수신될 수 있고, 이에 따라 이러한 타입의 장치는 수신된 SVC 신호 중의 나머지 다른 2 계층을 간단히 무시할 수 있다. 반대로, 최고의 해상도를 지원하는 장치의 경우, 이러한 타입의 장치는 상기 수신된 신호의 모든 3 계층을 처리할 수 있다.
- [0020] SVC에서, IDR 화상의 인코딩은 각 계층에 대하여 독립적으로 수행된다. 이에 따라, 및 본 발명에 따라, 비디오 신호를 전송하기 위한 일 방법은 복수의 스케일러블 계층(scalable layers)을 포함하는 비디오 코딩된 신호를 제공하기 위해 신호를 스케일러블 비디오 코딩하는 단계; 및 상기 스케일러블 비디오 코딩된 신호를 전송하는 단계를 포함하고, 상기 스케일러블 계층 중의 하나가 나머지 다른 스케일러블 계층보다 더 많은 임의 액세스 지점을 갖도록 선택된다. 이에 따라, 목표로 하는 종속 계층 내에 더 많은 IDR 슬라이스가 코딩될 때, 비디오 인코더는 수신기에서의 튜닝 지연 및 채널-변경 지연을 감소시킬 수 있다.
- [0021] 본 발명의 일 실시예에 있어, SVC 신호는 베이스층과 강화층을 포함하며, 상기 베이스층은 상기 강화층보다 더 많은 임의 액세스 지점을 갖도록 선택된다. 본 발명에서는 더 많은 임의 액세스 지점을 갖도록 상기 베이스층을 선택하는 것으로 기재되어 있으나, 본 발명은 이에 한정되지 않으며 또 다른 스케일러블 계층이 대신 선택될 수도 있다.
- [0022] 본 발명 사상에 따른 예시적인 흐름도가 도 2에 도시되어 있다. 도 3에도 주의를 기울여야 하는 바, 도 3은 본 발명 사상에 따라 비디오 신호를 인코딩하기 위한 예시적인 장치(200)가 도시되어 있다. 진보적인 개념에 관련된 부분만 도시되어 있다. 장치(200)는 프로세서-기반 시스템으로서, 도 3에서 점선 박스로 도시된 프로세서(240)와 메모리(245)에 의해 표시된 바와 같은 하나 또는 그 이상의 프로세서와 관련 메모리를 포함한다. 이와 관련, 컴퓨터 프로그램, 또는 소프트웨어가 프로세서(240)에 의한 실행을 위해 메모리(245)에 저장되고, 예를 들어 SVC 인코더(205)를 실행한다. 프로세서(240)는 하나 또는 그 이상의 저장-프로그램 제어 프로세서를 나타내며 이것은 전송기 기능에 전용될 필요가 없으며, 예를 들어 프로세서(240)는 전송기의 다른 기능을 제어할 수도 있다. 메모리(245)는 예를 들어 RAM(random-access memory), ROM(read-only memory) 등과 같은 어떠한 저장 장치도 나타내고; 전송기의 내부 및/또는 외부에 있을 수 있고; 필요에 따라 휘발성 및/또는 비휘발성일 수 있다.
- [0023] 장치(200)는 SVC 인코더(205)와 변조기(modulator, 210)를 포함한다. 비디오 신호(204)는 SVC 인코더(205)에 공급된다. SVC 인코더(205)는 비디오 신호(204)를 본 발명 사상에 따라 인코딩하고, SVC 신호(206)를 변조기(210)에 제공한다. 변조기(210)는 변조된 신호(211)를 상향컨버터(upconverter)와 안테나(도 3에서 미도시됨)를 통한 전송을 위해 제공한다.
- [0024] 도 2에 있어, 단계(105)에서 도 3의 프로세서(240)는 비디오 신호(204)를 베이스층과 적어도 하나의 다른 층을 포함하는 SVC 신호(206)으로 인코딩한다. 특히, 단계(110)에서, 프로세서(240)는, IDR 슬라이스가 SVC 신호(206)의 다른 어떤 층보다 베이스층에 더 자주 삽입되도록, 도 3의 SVC 인코더(205)를 (예를 들어, 도 3에서 점선 형태로 표시된 신호(207)를 통하여) 제어한다. 특히, 상이한 공간 계층(spatial layers)에 상이한 IDR 간격(intervals)을 규정하는 코딩 패턴 IBBP 또는 IPPP를 규정하는 것과 같이, 코딩 파라미터(coding parameter)가 SVC 인코더(205)에 공급된다. 단계(115)에서, 도 3의 변조기(210)가 SVC 신호를 전송한다.
- [0025] 도 4를 참조하면, 도 2의 흐름도에 따라 도 3의 SVC 인코더(205)에 의해 형성된 예시적인 SVC 신호(206)가 도시되어 있다. 이 실시예에서, SVC 신호(206)는 2개의 계층, 베이스층(D=0) 및 강화층(D=1)을 포함한다. 도 4에서 볼 수 있는 바와 같이, 베이스층은 액세스 유닛 1, 4, 7 및 9에서 IDR 슬라이스를 갖고; 반면 강화층은 액세스 유닛 1 및 9에서만 IDR 슬라이스를 갖는다. 이에 따라, 수신 장치가 화살표(301)로 표시된 시간 T<sub>c</sub>에서 SVC 인

호(206)를 전달하는 한 채널로 전환(또는 처음 튜닝)하는 경우, 상기 수신장치는, SVC 신호(206)의 베이스층을 디코딩하기 시작하고 사용자에게 감소된 해상도 비디오 화상을 제공할 수 있기 전에, 화살표(302)로 표시된 시간  $T_1$ 를 기다리기만 하면 된다. 따라서, 더 많은 임의 액세스 지점을 갖는 베이스층 비디오 인코딩된 신호를 즉시 디코딩함으로써, 수신기는 튜-인 지연과 채널-변경 지연을 감소시킬 수 있다. 도 4로부터 더 볼 수 있는 바와 같이, 수신기는, 강화층을 디코딩하고 사용자에게 더 높은 해상도 비디오 화상을 제공할 수 있기 전에, 화살표(303)으로 표시된 시간  $T_2$ 를 기다려야 한다.

[0026] 두 층 모두가 동일한 IDR 주파수를 갖는 도 1에 도시된 실시예와 비교할 때, 본 진보 개념은 동일한 세트의 기능적 향상을 구현할 수 있는 능력을 제공하지만, 제한된 성능 손실 및 더 낮은 비트 레이트로 구현할 수 있는 능력을 제공한다. 이것은, 베이스층이 비트스트림의 전체 비트 레이트 중 작은 부분만을 차지하는 경우에, 특히 그러하다. 예를 들어, 베이스층(D=0)으로서 CIF(Common Intermediate Format)(372×288) 해상도 및 강화층(D=1)으로서 SD(standard definition)(720×480) 해상도에 대하여, 베이스층은 전체 비트 레이트의 작은 퍼센티지(예를 들어, 약 25%)만을 차지한다. 따라서, 강화층에서만 또는 두 층 모두에서 IDR 주파수를 증가시키는 것과 비교할 때, CIF 해상도에서 IDR 주파수를 증가시킴으로써 전체 비트 레이트는 훨씬 더 작다.

[0027] SVC에서, 강화층이 베이스층에 대해 가지는 계층-간 예측 종속성(inter-layer prediction dependencies)으로 인해, 초기 목표 종속 표현 구간(dependency representation period) 동안의 성능 손실은 완화된다. 예를 들어, 상기에서 알 수 있는 바와 같이, 도 4에서 채널 변경이나 튜-인이 액세스 유닛 번호 3에서 발생하는 경우, 디코더는 액세스 유닛 번호 9가 될 때까지 베이스층 비트 스트림을 올바르게 디코딩할 수만 있다. 하지만, 비디오를 강화층 품질로 재구성하는 것을 돕기 위하여, 디코더는 대응하는 강화층 액세스 유닛에 포함된 정보를 이용할 수 있다.

[0028] 디코딩 복잡도를 감소시키기 위하여, 단일-루프 디코딩이 SVC 표준에 규정되어 있다는 점을 알아야 한다. 단일-루프 디코딩을 가능하게 하기 위하여, 인코더는 제한적(constrained) 계층-간 예측을 채용하여 계층-간 인트라-예측(inter-layer intra-prediction)의 이용이 강화층 매크로블럭(MBs)에 대하여만 허용되며, 이에 대해 동위치 기준층(co-located reference layer) 신호가 인트라-코딩된다. 상기 기준층의 인트라-코딩된 MBs를 구성할 때 인트라-코딩된 MBs를 재구성하는 것을 피하기 위하여, 상위 계층의 계층-간 예측에 사용되는 모든 계층이 제한적 인트라-예측을 이용하여 코딩되는 것이 더 요구하다.

[0029] 본 발명 사상에 따르면, IDR 화상의 증가는 베이스층에서 인트라-코딩된 MBs의 수를 증가시킨다. 그것이 유익한 경우, 베이스층 IDR 화상에서의 인트라-코딩된 MBs는 제한적 인트라-예측으로 코딩되도록 강제될 수 있다. 그 결과, 강화층은 베이스층으로부터의 계층-간 인트라-예측을 위해 더 많은 인트라-코딩된 MBs를 가질 수 있으며, 그것은 잠재적으로 코딩 효율을 향상시킬 수 있다. 그리고, 베이스층에서의 더 많은 상기와 같은 인코딩된 IDR 화상과 함께, 더 큰 코딩 효율이 강화층에서 얻어질 수 있다. 그 이득은, 베이스층에서의 엑스트라 IDR 화상(extra IDR pictures) 때문에, 비트 레이트 증가를 상쇄시킬 수 있다.

[0030] 도 5에서, 본 발명 사상에 따라 SVC 신호를 수신하기 위한 예시적인 장치가 도시된다. 본 진보 개념과 관련된 부분만 도시된다. 장치(350)는 수신 신호(311)로 표시된 바와 같은 본 발명 사상에 따른 SVC 신호를 전송하는 신호를 수신한다(예를 들어 이것은 도 3의 장치(200)에 의해 전송된 신호의 수신 버전이다). 장치(350)는 예를 들어, 휴대전화, 모바일 TV, 셋톱 박스, 디지털 TV(DTV) 등을 나타낸다. 장치(350)는 수신기(355), 프로세서(360) 및 메모리(365)를 포함한다. 이에 따라, 장치(350)는 프로세서-기반 시스템이다. 수신기(355)는 SVC 신호를 전송하는 한 채널로 튜닝하기 위한 프론트-엔드(front-end) 및 복조기를 나타낸다. 수신기(355)는 신호(311)를 수신하고 그로부터 신호(356)를 복원하며, 이것은 프로세서(360)에 의해 처리되는 바, 즉 프로세서(360)는 SVC 디코딩을 수행한다. 예를 들어, 및 본 발명 사상에 따른 채널 전환과 채널 튜-인을 위한 도 6에 도시된 흐름도에 따라, 프로세서(360)는 경로(366)를 통해 메모리(365)에 디코딩된 비디오를 제공한다. 디코딩된 비디오는, 장치(350)의 일부 또는 장치(350)로부터 분리될 수 있는 디스플레이(미도시)에의 적용을 위해, 메모리(365)에 저장된다.

[0031] 도 6에서, 장치(350)에서의 사용을 위한 본 발명 사상에 따른 흐름도가 도시되어 있다. 채널을 전환하거나 어떤 채널로 튜닝하면, 프로세서(360)는 디코딩을 초기 목표 종속 계층(initial targeted dependency layer)으로 설정한다. 본 실시예에서, 이것은 단계(405)에서 수신된 SVC 신호의 베이스층으로 표시된다. 하지만, 본 진보개념은 거기에 한정되지 않고, 다른 종속 계층보다 더 많은 임의 액세스 지점을 갖는 한 다른 종속 계층이 상기 "초기 목표 계층"으로 지정될 수도 있다. 단계(410)에서, 프로세서(360)는 수신되는 액세스 유닛(본 기술분야에서 수신 SVC NAL(Network Abstraction Layer) 유닛으로도 불림)으로부터 베이스층 프레임 수신하며, 단계(415)

에서 상기 수신된 베이스층 프레임이 IDR 슬라이스인지를 체크한다. 만약 그것이 IDR 슬라이스가 아니라면, 프로세서(360)는 다음 베이스층 프레임을 수신하기 위하여 단계(410)으로 돌아간다. 하지만, 만약 상기 수신된 베이스층 프레임이 IDR 슬라이스라면, 프로세서(360)는 감소된 해상도로 비디오 신호를 제공하기 위하여 SVC 베이스층의 디코딩을 시작한다. 그리고 나서, 단계(425)에서 프로세서(360)는 수신된 액세스 유닛으로부터 강화층 프레임을 수신하고, 단계(430)에서 상기 수신된 강화층 프레임이 IDR 슬라이스인지를 체크한다. 만약 그것이 IDR 슬라이스가 아니라면, 프로세서(360)는 다음 강화층 프레임을 수신하기 위하여 단계(425)로 되돌아간다. 하지만, 만약 상기 수신된 강화층 프레임이 IDR 슬라이스라면, 프로세서(360)는 더 높은 해상도로 비디오 신호를 제공하기 위하여 단계(435)에서 SVC 강화층의 디코딩을 시작한다. 달리 말하면, 현재 디코딩 계층보다 더 큰 종속\_id(dependency\_id)값을 갖는 종속 계층 내의 IDR 슬라이스를 탐지하면, 수신기는 상기 탐지된 IDR 슬라이스를 갖는 종속 계층 내의 코딩된 비디오를 디코딩한다. 그렇지 않으면, 수신기는 현재 종속 계층을 디코딩하는 것을 계속한다. 베이스층으로부터의 IDR이 없이도, 강화층으로부터의 IDR은 상기 강화층의 디코딩을 시작하기에 충분하다는 것을 알아야 한다.

[0032] 도 6의 흐름도는 장치(350)에 의한 프로세싱의 상위 계층을 나타낸다는 점을 알아야 한다. 예를 들어, 일단 베이스층의 디코딩이 단계(420)에서 시작되면, 프로세서(350)가 단계(425) 및 단계(430)에서 IDR 슬라이스에 대해 강화층을 체크함에도 불구하고, 이것은 프로세서(350)에 의해 계속된다. 마찬가지로, 단계(415)에서 베이스층이 IDR 슬라이스에 대해 체크되고 단계(430)에서 강화층이 IDR 슬라이스에 대해 체크됨에도 불구하고, 만약 예를 들어 채널 변경 또는 튜닝이 도 4의 화살표(309)로 표시된 시간에 발생하면 이들은 동일한 액세스 유닛으로부터 이루어질 수 있고, 이 경우 다음 액세스 유닛(9)은 양 계층에서 IDR 슬라이스를 갖는다. 마지막으로, 베이스층과 단일의 강화층의 관점에서 설명되었지만, 도 6의 흐름도는 하나 이상의 강화층에 용이하게 확장될 수 있다.

[0033] 상술한 바와 같이 및 본 발명 사상에 따르면, 스케일러블 비디오 코딩을 위한 화상 타입 구성 방법(method of picture type configuration)이 기재된다. 본 진보 개념은 MPEG-SVC(예를 들어, ITU-T Recommendation H.264 Amendment 3: "Advanced video coding for generic audiovisual services: Scalable Video Coding" 참조)에 의해 생성된 압축 비트스트림에 대한 오류 복원성을 향상시킨다. 또한, 상기 언급된 시스템이 본 발명 사상에 따라 인코딩된 상기 비트 스트림을 전송하는 경우, 튜닝 지연 및 채널-변경 지연이 감소될 수 있다. 본 진보 개념이 2 계층 공간 스케일러블 SVC 비트스트림의 관점에서 기재되었지만, 본 진보 개념은 거기에 한정되지 않고 SVC 표준에 규정된 SNR(single-to-noise ratio) 확장뿐만 아니라 다중 스케일러블 계층(multiple scalable layers)에 적용될 수 있다.

[0034] 상술한 바와 같이, 기 언급한 내용은 단지 본 발명의 사상을 설명하며, 본 발명의 당업자는 많은 선택적인 배치를 고안할 수 있는 바, 그것은 비록 여기에서는 명확하게 기재되지는 않았지만 본 발명의 사상을 구체화한 것이며 본 발명의 사상 및 그 범위에 있다. 예를 들어, 비록 분리된 기능적 구성요소들의 맥락에서 개시되어 있다 하더라도, 이러한 기능적 구성요소들은 하나 또는 그 이상의 집적 회로(ICs)로 구체화될 수 있다. 마찬가지로, 비록 분리된 구성요소로서 개시되어 있다 하더라도, 그 구성요소의 일부 또는 모두는 예를 들어 디지털 신호 프로세서와 같은 저장-프로그램-제어 프로세서(stored-program-controlled processor)에서 실행될 수 있으며, 상기 프로세서는 예를 들어 도 2 및 6과 같은 데서 도시된 하나 또는 그 이상의 단계에 대응하는 관련 소프트웨어를 실행한다. 또한, 본 발명 사상은 예를 들어 위성, Wi-Fi(Wireless-Fidelity), 셀룰러 등의 다른 타입의 통신 시스템에 적용 가능하다. 실제로, 본 진보 개념은 고정 또는 모바일 수신기에도 적용 가능하다. 따라서, 첨부된 청구항에 의하여 정의된 바와 같은 본 발명의 사상 및 범위를 벗어나지 않는 한, 많은 수정이 본 실시예들에 행해질 수 있고 다른 실시예들이 고안될 수 있다는 점을 알아야 한다.

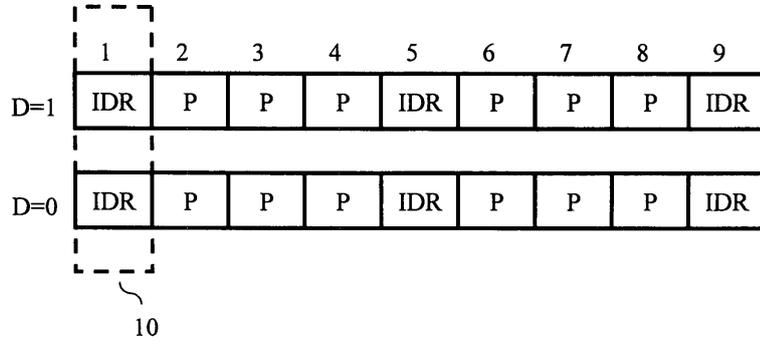
**부호의 설명**

- [0035]
- |              |               |
|--------------|---------------|
| 204 : 비디오 신호 | 205 : SVC 인코더 |
| 206 : SVC 신호 | 210 : 변조기     |
| 211 : 변조된 신호 | 240 : 프로세서    |
| 245 : 메모리    | 350 : 장치      |
| 355 : 수신기    | 360 : 프로세서    |

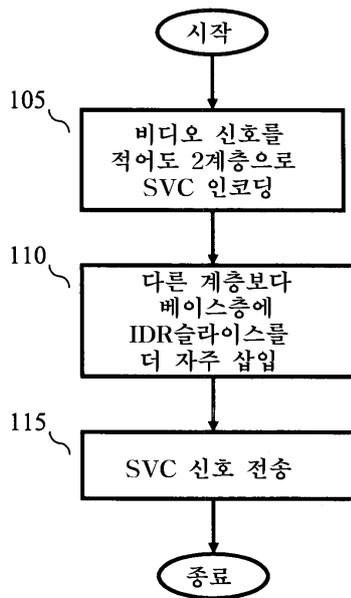
365 : 메모리

도면

도면1

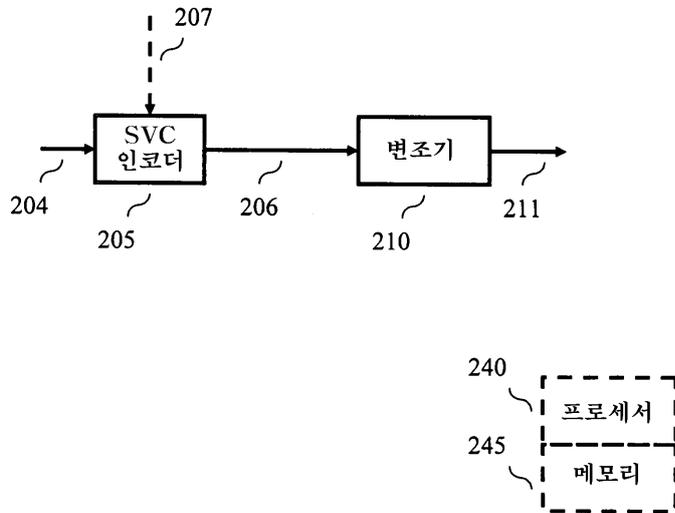


도면2



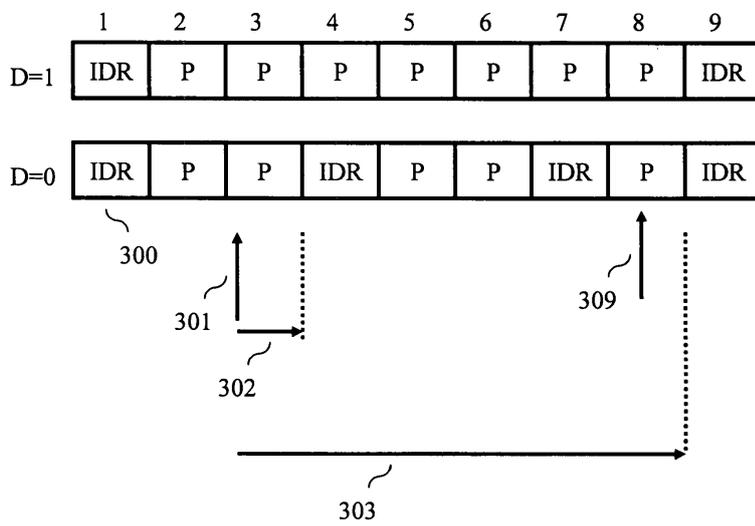
도면3

200

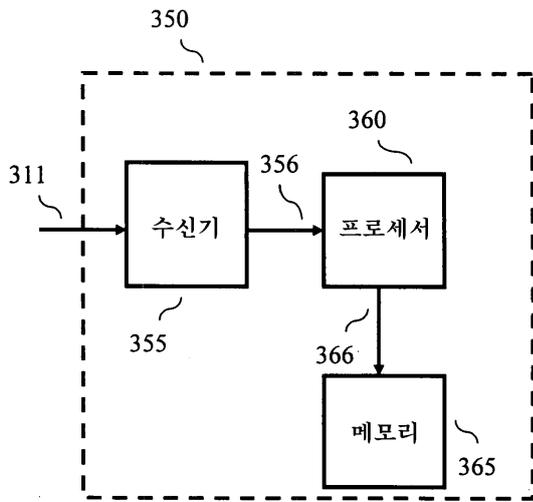


도면4

206



도면5



도면6

