



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년08월19일

(11) 등록번호 10-1545650

(24) 등록일자 2015년08월12일

(51) 국제특허분류(Int. Cl.)

G06K 19/10 (2006.01) *G06K 19/08* (2006.01)

(21) 출원번호 10-2008-0083443

(22) 출원일자 2008년08월26일

심사청구일자 2013년08월23일

(65) 공개번호 10-2009-0023175

(43) 공개일자 2009년03월04일

(30) 우선권주장

JP-P-2007-00223342 2007년08월30일 일본(JP)

(56) 선행기술조사문현

JP2001523364 A*

JP2007193395 A*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

아오키 토모유키

일본국 243-0036 가나가와Ken 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
츠루메 타쿠야

일본국 243-0036 가나가와Ken 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
츠루메 타쿠야

(뒷면에 계속)

(74) 대리인

황의만

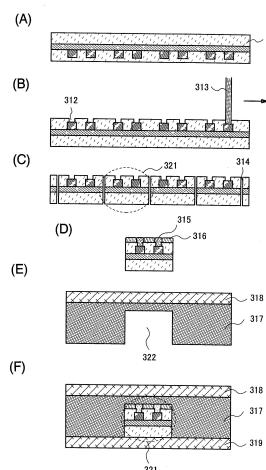
전체 청구항 수 : 총 10 항

심사관 : 김종권

(54) 발명의 명칭 반도체장치

(57) 요약

외부로부터의 국소적 압력에 의해 파괴되지 않고 신뢰성이 높고, 또한, 안테나와 소자의 겹침 부분의 요철이 저감된 반도체장치를 얻는 것을 과제로 한다. 박막트랜지스터를 가지는 반도체 소자층과, 그 반도체 소자층에 전기적으로 접속된 도전성 수지와, 상기 반도체 소자층 및 상기 도전성 수지를 덮고, 섬유체에 유기 수지가 함침되고, 두께가 $10 \mu\text{m}$ 이상 $100 \mu\text{m}$ 이하인 봉지층을 포함하는 칩과; 오목부를 가지고, 상기 도전성 수지를 통하여 상기 반도체 소자층에 전기적으로 접속되는 안테나를 포함하고, 상기 칩은 상기 오목부 내부에 매립되고, 상기 칩의 두께와 상기 오목부의 깊이가 같은, 반도체장치에 관한 것이다.

대 표 도 - 도2

(72) 발명자

아다치 히로키

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

오타니 히사시

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

박막 트랜지스터를 포함하는 반도체 소자층과,
상기 반도체 소자층 위의 도전성 수지와,
상기 반도체 소자층과 상기 도전성 수지를 덮는 봉지층을 포함하는 칩(chip); 및
오목부를 가지고, 상기 도전성 수지를 통해 상기 박막 트랜지스터에 전기적으로 접속되는 안테나를 포함하고,
상기 칩은 상기 오목부 내에 매립되어 있고,
상기 봉지층은 유기 수지가 함침된 섬유체를 포함하고,
상기 봉지층은 $10 \mu\text{m}$ ~ $100 \mu\text{m}$ 의 두께를 가지고,
상기 칩의 두께는 상기 오목부의 깊이 이하인, 반도체장치.

청구항 2

박막 트랜지스터를 포함하는 반도체 소자층과,
상기 반도체 소자층 위의 도전성 수지와,
상기 반도체 소자층과 상기 도전성 수지를 덮는 봉지층을
포함하는 칩(chip); 및
오목부를 가지고, 상기 도전성 수지를 통해 상기 박막 트랜지스터에 전기적으로 접속되는 안테나를 포함하고,
상기 칩과 상기 안테나를 덮도록 기판이 제공되고,
상기 칩은 상기 오목부 내에 매립되어 있고, 상기 안테나와 상기 기판 사이에 위치되고,
상기 봉지층은 유기 수지가 함침된 섬유체를 포함하고,
상기 봉지층은 $10 \mu\text{m}$ ~ $100 \mu\text{m}$ 의 두께를 가지고,
상기 칩의 두께는 상기 기판의 $2/3$ 내지 $4/3$ 인, 반도체장치.

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 섬유체가 직포인, 반도체장치.

청구항 4

제 3 항에 있어서, 상기 직포가 경사와 위사를 포함하고,
상기 경사와 상기 위사 중 적어도 하나는 유기 화합물 또는 무기 화합물로 된 단사(單絲)의 다발인,
반도체장치.

청구항 5

제 1 항 또는 제 2 항에 있어서, 상기 섬유체가 부직포인, 반도체장치.

청구항 6

제 1 항 또는 제 2 항에 있어서, 상기 섬유체는, 폴리비닐 알코올계 섬유, 폴리에스테르계 섬유, 폴리아미드계
섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유, 및 탄소 섬유 중
적어도 하나를 포함하는, 반도체장치.

청구항 7

제 1 항 또는 제 2 항에 있어서, 상기 유기 수지는, 열 경화성 수지, 열 가소성 수지, 및 UV 경화성 수지 중 적어도 하나를 포함하는, 반도체장치.

청구항 8

제 7 항에 있어서, 상기 열 경화성 수지는, 에폭시 수지, 불포화 폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드 트리아진 수지, 및 시아네이트 수지로 이루어진 군에서 선택되는 것인, 반도체장치.

청구항 9

제 7 항에 있어서, 상기 열 가소성 수지는, 폴리페닐렌 옥사이드 수지, 폴리에테르이미드 수지, 및 불소 수지로 이루어진 군에서 선택되는 것인, 반도체장치.

청구항 10

제 1 항 또는 제 2 항에 있어서, 상기 안테나는, 은, 금, 구리, 니켈, 백금, 팔라듐, 탄탈, 몰리브덴, 티탄, 및 알루미늄 중 적어도 하나를 포함하는, 반도체장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체장치 및 그의 제조방법에 관한 것이다.

배경 기술

[0002] 무선 칩(chip), 센서 등, 각종 장치의 박형화가 제품 소형화에 있어서 중요한 요소가 되고 있고, 그 기술이나 사용 범위가 급속히 넓어지고 있다. 이를 박형화된 각종 장치는 어느 정도 유연(flexible)하기 때문에, 만곡한 것에 설치하여 사용하는 것이 가능하다.

[0003] 따라서, 유리 기판 위에 형성한 박막트랜지스터를 포함하는 소자층을 기판으로부터 박리하여, 다른 기재(基材), 예를 들어, 플라스틱 필름 등에 전사(轉寫)하여 반도체장치를 제조하는 기술이 제안되어 있다.

[0004] 예를 들어, 0.5 mm 이하 사이즈의 반도체 칩을 종이 또는 필름 형상의 매체에 매립하여, 굽힘이나 접중 하중을 개선한 반도체장치를 들 수 있다(문헌 1 참조).

[0005] [문헌 1] 일본국 공개특허공고 2004-78991호 공보

발명의 내용

해결 하고자 하는 과제

[0006] 그러나, 안테나를 칩에 내장(on-chip화)하는 반도체장치의 경우, 안테나 사이즈가 작아져 통신 거리가 짧아지는 문제가 있다. 또한, 종이 또는 필름 매체에 설치된 안테나를 칩에 접속하여 반도체장치를 제조하는 경우, 칩의 크기가 작으면 접속 불량이 생긴다.

[0007] 이 때문에, 접속 불량의 방지나 통신 거리의 저감을 방지하기 위해 칩 자체를 크게 하는 것이 바람직하지만, 칩의 면적이 커지면, 플라스틱 필름 등에 전사 되어 제조된 반도체장치는, 외부로부터의 국소적인 압력으로 균열이 생겨 동작 불량이 된다.

[0008] 예를 들어, 필기 용구로 반도체장치 표면의 플라스틱 시트 또는 종이에 문자를 기입할 때, 반도체장치에 필압(筆壓)이 가해져, 반도체장치가 파괴되는 문제가 있었다.

[0009] 또한, 종래의 안테나를 칩에 내장하는 반도체장치에서는, 반도체장치의 총 두께가 두껍게 된다. 또한, 내장된 안테나와, 트랜지스터 등의 반도체 소자와의 겹침 부분의 두께가 두꺼워져, 반도체장치의 표면에 요철이 생기게 된다.

[0010] 따라서, 본 발명에서는, 외부로부터의 국소적 압력에 의해 파괴되지 않고 신뢰성이 높은 반도체장치를 높은 수율로 제조하고, 또한, 안테나와 소자의 겹침 부분의 요철을 저감하는 것을 과제로 한다.

과제 해결手段

[0011] 본 발명은, 반도체 소자층 위에, 유기 화합물 또는 무기 화합물의 섬유체를 유기 수지로 함침시킨 섬유체를 제공하고, 가열 압착함으로써, 유기 화합물 또는 무기 화합물의 섬유체를 유기 수지로 함침시킨 봉지(封止)층과 반도체 소자층이 고착된 반도체장치를 제조하는 것을 특징으로 한다.

[0012] 또한, 본 발명에서는, 안테나의 반도체 소자와 접속하는 영역을 오목부에 형성하고, 오목부에 반도체 소자를 매립함으로써, 반도체 소자의 표면의 요철을 저감시킨다.

[0013] 본 발명은, 이하에 설명하는 반도체장치에 관한 것이다.

[0014] 박막트랜지스터를 가지는 반도체 소자층과, 그 반도체 소자층에 전기적으로 접속하는 도전성 수지와, 상기 반도체 소자층 및 상기 도전성 수지를 덮고, 섬유체에 유기 수지가 함침되고, 두께가 10 μm 이상 100 μm 이하인 봉

지층을 포함하는 칩과; 오목부를 가지고, 상기 도전성 수지를 통하여 상기 반도체 소자층에 전기적으로 접속되는 안테나를 포함하고, 상기 칩은 상기 오목부의 내부에 매립되고, 상기 칩의 두께와 상기 오목부의 깊이는 같은 것을 특징으로 하는 반도체장치에 관한 것이다. 상기 칩의 두께를 상기 오목부의 깊이 이하로 해도 좋다.

[0015] 박막트랜지스터를 가지는 반도체 소자층과, 그 반도체 소자층에 전기적으로 접속하는 도전성 수지와, 상기 반도체 소자층 및 상기 도전성 수지를 덮고, 섬유체에 유기 수지가 함침되고, 두께가 10 μm 이상 100 μm 이하인 봉지층을 포함하는 칩과; 오목부를 가지고, 상기 도전성 수지를 통하여 상기 반도체 소자층에 전기적으로 접속되는 안테나와; 상기 칩 및 안테나를 덮도록 설치되는 기판을 포함하고, 상기 칩은 상기 오목부의 내부에 매립되고, 상기 칩의 두께는 상기 기판의 2/3 이상 4/3 이하인 것을 특징으로 하는 반도체장치에 관한 것이다.

[0016] 본 발명에서, 상기 섬유체에서는, 유기 화합물 재료 또는 무기 화합물 재료의 단사(單絲)를 다수개 묶은 경사 및 위사가 조밀하게 짜여져 있다.

[0017] 본 발명에서, 상기 섬유체는 직포(織布) 또는 부직포(不織布)이다.

[0018] 본 발명에서, 상기 섬유체는, 폴리비닐 알코올계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유, 또는 탄소 섬유로 형성된다.

[0019] 본 발명에서, 상기 유기 수지는 열경화성 수지, 열가소성 수지 또는 UV 경화성 수지를 포함한다.

[0020] 본 발명에서, 상기 열경화성 수지는, 에폭시 수지, 불포화 폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드 트리아진 수지, 또는 시아네이트 수지이다.

[0021] 본 발명에서, 상기 열가소성 수지는 폴리페닐렌 옥사이드 수지, 폴리에테르이미드 수지, 또는 불소 수지이다.

[0022] 본 발명에서, 상기 안테나는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 티탄(Ti), 알루미늄(Al) 중 적어도 하나를 포함한다.

효과

[0023] 본 발명은, 유기 화합물 또는 무기 화합물의 섬유체를 유기 수지로 함침시킨 구조체를 사용함으로써, 외부로부터 국소적인 압력이 가해져도 파손되기 어렵고, 신뢰성이 높은 반도체장치를 높은 수율로 제조할 수 있다.

[0024] 또한, 본 발명에 의해, 평탄화된 반도체장치를 얻을 수 있으므로, 유기 화합물 또는 무기 화합물의 섬유체를 유기 수지로 함침시킨 구조체에 주름이 발생하는 것을 방지할 수 있다.

[0025] 또한, 반도체장치 제조 후에, 표면에 필름 등의 보호재를 부착할 때, 롤러 위를 통과시킬 필요가 있는 경우가 있다. 이와 같이 롤러 위를 통과하면, 선 형상으로 압력이 가해져 반도체장치가 파괴되어 버릴 우려가 있다. 그러나, 반도체장치의 요철이 적으면 롤러 위를 원활하게 통과할 수 있어, 반도체장치가 파괴되는 것을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0026] 이하, 본 발명의 실시형태에 대하여 도면을 참조하여 설명한다. 그러나, 본 발명은 많은 다른 양태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그의 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명이 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 나타내는 도면에서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 붙이고, 그의 반복 설명은 생략한다.

[0027] [실시형태 1]

[0028] 본 실시형태를, 도 1(A)~도 1(E), 도 2(A)~도 2(F), 도 3(A)~도 3(D), 도 4(A) 및 도 4(B), 도 5(A)~도 5(D), 도 6을 사용하여 설명한다.

[0029] 먼저, 기판(301) 위에 박리층(302)을 형성하고, 또한, 반도체 소자층(303)을 형성한다(도 1(A) 참조).

[0030] 기판(301)으로서는, 유리 기판, 석영 기판, 세라믹 기판, 절연층이 적어도 일 표면에 형성된 금속 기판, 유기 수지 기판 등을 사용할 수 있다. 본 실시형태에서는, 기판(301)으로서 유리 기판을 사용한다.

[0031] 박리층(302)은, 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등에 의해, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐

(Pd), 오스뮴(Os), 이리듐(Ir), 및 규소(Si) 중에서 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료, 또는 상기 원소를 주성분으로 하는 화합물 재료로 이루어지는 두께 30 nm~200 nm의 층을 단층 또는 다수의 층을 적층시켜 형성한다. 규소를 함유하는 층의 결정 구조는 비정질, 미(微)결정, 다결정 중 어느 경우라도 좋다. 여기서는, 도포법은 용액을 괴처리물 위에 토출시켜 성막하는 방법이고, 예를 들어, 스판 코팅법이나 액적 토출법을 포함한다. 또한, 액적 토출법은 미립자를 포함하는 조성물의 액적을 미세한 구멍으로부터 토출하여 소정의 형상의 패턴을 형성하는 방법이다.

[0032] 박리층(302)이 단층 구조인 경우, 바람직하게는, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성한다. 또는, 텅스텐의 산화물 또는 산화질화물을 포함하는 층, 몰리브덴의 산화물 또는 산화질화물을 포함하는 층, 또는 텅스텐과 몰리브덴의 혼합물의 산화물 또는 산화질화물을 포함하는 층을 형성한다. 또한, 텅스텐과 몰리브덴의 혼합물이란, 예를 들어, 텅스텐과 몰리브덴의 합금에 상당한다.

[0033] 박리층(302)이 적층 구조인 경우, 바람직하게는, 첫번째 층으로서 금속층을 형성하고, 두번째 층으로서 금속 산화물층을 형성한다. 대표적으로는, 첫번째 층의 금속층으로서, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성하고, 두번째 층으로서, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 질화물, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 산화질화물, 또는 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 질화산화물을 포함하는 층을 형성한다.

[0034] 박리층(302)으로서, 첫번째 층으로서 금속층, 두번째 층으로서 금속 산화물층의 적층 구조를 형성하는 경우, 금속층으로서 텅스텐을 포함하는 층을 형성하고, 그의 상층에 산화물로 형성되는 절연층을 형성함으로써, 텅스텐을 포함하는 층과 절연층과의 계면에, 금속 산화물층으로서 텅스텐의 산화물을 포함하는 층이 형성되는 것을 활용하여도 좋다. 또한, 금속층의 표면을 열산화 처리, 산소 플라즈마 처리, 오존수 등의 산화력이 강한 용액에 서의 처리 등을 행하여 금속 산화물층을 형성하여도 좋다.

[0035] 텅스텐의 산화물로는, WO₂, W₂O₅, W₄O₁₁, WO₃ 등이 있다.

[0036] 또한, 상기 공정에 의하면, 기판(301)에 접하도록 박리층(302)을 형성하고 있지만, 본 발명은 이 공정에 제약되지 않는다. 기판(301)에 접하도록 하지가 되는 절연층을 형성하고, 그 절연층에 접하도록 박리층(302)을 형성하여도 좋다. 본 실시형태에서는, 박리층(302)으로서 두께 30 nm~70 nm의 텅스텐층을 스퍼터링법에 의해 형성한다.

[0037] 반도체 소자층(303)의 두께로서는, 1 μm 이상 10 μm 이하, 더욱 바람직하게는 1 μm 이상 5 μm 이하가 좋다. 반도체 소자층(303)을 이와 같은 두께로 함으로써, 만곡하는 것이 가능한 반도체장치를 제조할 수 있다. 또한, 반도체장치의 상면의 면적은 4 mm² 이상, 더욱 바람직하게는 9 mm² 이상이 좋다.

[0038] 반도체 소자층(303)의 일례로서, 절연층(56) 위에 박막트랜지스터(52a, 52b)를 가지는 소자층(51)을 나타낸다 (도 3(A) 참조).

[0039] 박막트랜지스터(52a, 52b)는, 소스 영역, 드레인 영역, 및 채널 형성 영역을 가지는 반도체층(53a, 53b), 게이트 절연층(54), 및 게이트 전극(55a, 55b)으로 구성된다.

[0040] 박막트랜지스터(52a, 52b)를 덮도록 충간절연막(41, 42)이 형성되어 있다. 또한, 충간절연막(42) 위에, 반도체층(53a, 53b) 중의 소스 영역 및 드레인 영역에 접하는 배선(57a, 57b, 58a, 58b)이 형성된다. 또한, 충간절연막(43)이 형성되어 있다.

[0041] 이와 같은 소자층(51)을 가지는 반도체장치의 대표예로서, 다른 장치의 제어나 데이터의 계산·가공을 행하는 마이크로프로세서(MPU)가 있다. MPU는, CPU, 메인 메모리, 컨트롤러, 인터페이스, I/O 포트 등을 가지고, 이를 박막트랜지스터, 저항 소자, 용량 소자, 배선 등으로 구성할 수 있다.

[0042] 또한, 반도체 소자층(303)으로서, 도 3(B)의 기억 소자(62) 및 박막트랜지스터(52b)를 가지는 소자층(61)이 형성되는 경우, 반도체장치로서 기억장치를 제조할 수 있다.

[0043] 기억 소자(62)로서는, 플로팅 게이트 또는 전하 축적층을 가지는 불휘발성 기억 소자; 박막트랜지스터 및 그 박막트랜지스터에 접속되는 용량 소자; 박막트랜지스터 및 그 박막트랜지스터에 접속되고 강유전층을 가지는 용량 소자; 한 쌍의 전극의 사이에 유기 화합물층이 끼워지는 유기 메모리 소자 등이 있다.

[0044] 도 3(B)에 나타내는 기억 소자(62)는 반도체층(53a), 터널 절연층(64), 플로팅 게이트 전극(63), 컨트롤 절연층

(65), 컨트롤 케이트 전극(55a)으로 구성되는 불휘발성 기억소자이다.

[0045] 또한, 이들 소자층(61)을 가지는 반도체장치로서는, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), FeRAM(Ferroelectric Random Access Memory), 마스크 ROM(Read Only Memory), EPROM(Electrically Programmable Read Only Memory), EEPROM(Electrically Erasable and Programmable Read Only Memory), 플래시 메모리 등의 기억장치가 있다.

[0046] 또한, 반도체 소자층(303)으로서, 다이오드(72) 및 박막트랜지스터(52b)를 가지는 소자층(71)을 형성하는 예를 도 3(C)에 나타낸다.

[0047] 도 3(C)에 나타내는 다이오드(72)는, 제1 전극으로서 기능하는 배선(58b), 수광부(73), 및 제2 전극(74)으로 구성되어 있다. 수광부는 비정질 또는 결정질의 실리콘을 가지는 반도체층으로 형성할 수 있다. 그의 대표예로서는, 규소층, 규소 게르마늄층, 탄화규소층, 또는 이들의 PN 접합층, PIN 접합층을 들 수 있다.

[0048] 이와 같은 소자층(71)을 가지는 반도체장치로서, 광 센서, 이미지 센서, 태양전지 등을 제조할 수 있다. 다이오드(72)로서는, 아모르퍼스(amorphous) 실리콘이나 폴리실리콘을 사용한 PN 다이오드, PIN 다이오드, 애벌란시 다이오드(avalanche diode), 쇼트키 다이오드(Schotky diode) 등이 있다.

[0049] 또한, 반도체 소자층(303)으로서, 박막트랜지스터(52a) 및 박막트랜지스터(52b), 박막트랜지스터(52a) 또는 박막트랜지스터(52b)의 반도체층의 소스 영역 및 드레인 영역에 접속하는 배선(82), 및 그 배선(82)에 전기적으로 접속되는 전극(83)을 가지는 소자층(81)이 형성되는 경우, 반도체장치로서는, 무선으로 정보를 송수신할 수 있는 ID 태그(tag), IC 태그, RF(Radio Frequency) 태그, 무선 태그, 전자 태그, RFID(Radio Frequency Identification) 태그, IC 카드, ID 카드 등(이하, RFID라고 나타낸다)를 제조할 수 있다(도 3(D) 참조).

[0050] 반도체 소자층(303)을 형성한 후, 반도체 소자층(303) 위에, 배선(57a), 배선(58a), 배선(57b), 및 배선(58b)에 전기적으로 접속되는 도전성 수지(304)를 형성한다(도 1(B) 참조). 도전성 수지(304)는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 티탄(Ti), 알루미늄(Al) 등의 적어도 하나, 즉, 어느 하나 또는 둘 이상의 금속 입자나 할로겐화 은의 미립자, 또는 분산성 나노입자를 사용할 수 있다. 본 실시형태에서는, 도전성 수지(304)로서 스크린 인쇄법에 의해 은을 함유하는 수지를 형성하고, 그 후 대기 분위기에서 300°C로 30분간 경화시킨다.

[0051] 다음에, 섬유체(113)와 유기 수지층(114)을 포함하는 봉지층(305)을, 반도체 소자층(303) 및 도전성 수지(304) 위에 형성한다(도 1(C) 참조).

[0052] 섬유체(113)는, 유기 화합물 또는 무기 화합물의 고강도 섬유를 사용한 직포 또는 부직포이다. 고강도 섬유는, 구체적으로는, 인장 탄성률이 높은 섬유, 또는, 영률(Young's modulus)이 높은 섬유이다. 고강도 섬유의 대표 예로서는, 폴리비닐 알코올계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유, 또는 탄소 섬유를 들 수 있다. 유리 섬유로서는, E 유리, S 유리, D 유리, Q 유리 등을 사용한 유리 섬유를 사용할 수 있다. 또한, 섬유체(113)는 1 종류의 상기 고강도 섬유로 형성되어도 좋고, 또는, 다수의 상기 고강도 섬유로 형성되어도 좋다.

[0053] 또한, 섬유체(113)는, 섬유(단사)의 다발(이하, 실 다발(yarn bundle)이라고 한다)을 경사과 위사에 사용하여 직조한 직포, 또는 다수 종의 섬유의 실 다발을 웨딩하게 또는 한 방향으로 퇴적시킨 부직포로 구성되어도 좋다. 직포의 경우, 평직 직포, 능직 직포, 수자직 직포 등을 적절히 사용할 수 있다.

[0054] 실 다발의 단면은, 원형이어도 타원형이어도 좋다. 섬유의 실 다발로서, 고압 수류(水流), 액체를 매체로 한 고주파 진동, 연속 초음파의 진동, 롤러에 의한 가압 등에 의해, 개섬(開纖) 가공을 한 섬유의 실 다발을 사용해도 좋다. 개섬 가공을 한 섬유의 실 다발은, 실 다발 폭이 넓게 되고, 두께 방향의 단사 수를 삭감하는 것이 가능하고, 실 다발의 단면이 타원형 또는 평판 형상이 된다. 또한, 섬유의 실 다발로서 저연사(低燃絲)(loosely twisted yarn)를 사용함으로써, 실 다발이 편평화되기 쉽고, 실 다발의 단면 형상이 타원 형상 또는 평판 형상이 된다. 이와 같이, 단면이 타원형 또는 평판 형상인 실 다발을 사용함으로써, 섬유체(113)의 두께를 얇게 할 수 있다. 이 때문에, 봉지층(305)의 두께를 얇게 할 수 있고, 박형의 반도체장치를 제조할 수 있다. 섬유의 실 다발 직경은 4 μm 이상 400 μm 이하, 더욱 바람직하게는, 4 μm 이상 200 μm 이하이면 좋지만, 원리상으로는 더욱 얇아도 좋다. 또한, 섬유의 굵기는 4 μm 이상 20 μm 이하이면 좋지만, 원리상으로는 더욱 가늘어도 좋고, 그것은 섬유의 재료에 의존한다.

[0055] 섬유의 실 다발을 경사 및 위사에 사용하여 직조한 직물인 섬유체(113)의 상면도를 도 4(A) 및 도 4(B)에 나타

낸다.

[0056] 도 4(A)에 나타내는 바와 같이, 섬유체(113)는 일정 간격을 둔 경사(113a) 및 일정 간격을 둔 위사(113b)로 짜여져 있다. 이와 같은 섬유체에는, 경사(113a) 및 위사(113b)가 존재하지 않는 영역(바스켓 홀(basket hole)(113c)이라고 한다)을 가진다. 이와 같은 섬유체(113)는, 유기 수지가 섬유체에 함침되는 비율이 높아져, 섬유체(113) 및 소자층의 밀착성을 높일 수 있다.

[0057] 또한, 도 4(B)에 나타내는 바와 같이, 섬유체(113)는 경사(113a) 및 위사(113b)의 밀도가 높고, 바스켓 홀(113c)의 비율이 낮은 것이어도 좋다. 대표적으로는, 바스켓 홀(113c)의 크기가 국소적으로 가압되는 면적보다 작은 것이 바람직하다. 대표적으로는, 한 변이 0.01 mm 이상 0.2 mm 이하인 직사각형인 것이 바람직하다. 섬유체(113)의 바스켓 홀(113c)의 면적이 이와 같이 작으면, 선단이 가는 부재(대표적으로는, 펜이나 연필 등의 필기 용구)에 의해 가압되어도, 그 압력을 섬유체(113) 전체로 흡수하는 것이 가능하다.

[0058] 또한, 섬유의 실 다발 내부에의 유기 수지의 침투율을 높이기 위해, 섬유에 표면 처리를 하여도 좋다. 예를 들어, 섬유 표면을 활성화시키기 위한 코로나 방전 처리, 플라즈마 방전 처리 등이 있다. 또한, 실란 커플링제, 티타네이트 커플링제를 사용한 표면 처리가 있다.

[0059] 섬유체(113)에 함침되고, 또한, 반도체 소자층(303)의 표면을 봉지(封止)하는 유기 수지층(114)에는, 예폭시 수지, 불포화 폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드 트리아진 수지, 또는 시아네이트 수지 등의 열경화성 수지를 사용할 수 있다. 또한, 폴리페닐렌 옥사이드 수지, 폴리에테르이미드 수지, 또는 불소 수지 등의 열가소성 수지를 사용할 수 있다. 또한, UV 경화성 수지나 가소성 유기 수지를 사용하여도 좋다. 또한, 상기 열가소성 수지 및 상기 열경화성 수지를 다수 사용하여도 좋다. 상기 유기 수지를 사용함으로써, 열처리에 의해 섬유체(113)를 반도체 소자층(303)에 고착하는 것이 가능하다. 또한, 유기 수지층(114)은 유리 전이온도가 높을수록, 국소적 가압에 대하여 파괴되기 어렵기 때문에 바람직하다.

[0060] 또한, 봉지층(305)의 두께는, 10 μm 이상 100 μm 이하, 더욱 바람직하게는 10 μm 이상 30 μm 가 좋다. 이와 같은 두께의 구조체를 사용함으로써, 박형으로 만곡하는 것이 가능한 반도체장치를 제조할 수 있다.

[0061] 유기 수지층(114) 또는 섬유의 실 다발 내에 높은 열전도성의 필러(filler)를 분산시켜도 좋다. 높은 열전도성의 필러로서는, 질화알루미늄, 질화붕소, 질화규소, 알루미나 등이 있다. 또한, 높은 열전도성의 필러로서는, 은, 구리 등의 금속 입자가 있다. 높은 열전도성의 필러가 유기 수지 또는 섬유의 실 다발 내에 포함됨으로써 소자층에서의 발열을 외부로 방출하기 쉬워지기 때문에, 반도체장치의 축열을 억제하는 것이 가능하고, 반도체장치의 파괴를 저감할 수 있다.

[0062] 반도체 소자층(303)으로서, 도 3(A)에 나타내는 소자층(51)을 사용한 경우의 단면도를 도 5(A)에 나타낸다. 도 5(A)에서는, 섬유체(113)는 단면이 타원형인 실 다발로 평적으로 직조한 직포로 나타내어져 있다. 또한, 박막트랜지스터(52a) 및 박막트랜지스터(52b)가 섬유체(113)의 실 다발보다 크지만, 박막트랜지스터(52a) 및 박막트랜지스터(52b)가 섬유체(113)의 실 다발보다 작은 경우도 있다.

[0063] 또한, 도전성 수지(304)는 배선(57a, 57b, 58a, 58b)과 전기적으로 접속되어 있다.

[0064] 본 실시형태에서는, 봉지층(305)과 반도체 소자층(303)을 고착시키기 위해, 봉지층(305)을 반도체 소자층(303) 위에 설치한 후, 제1 프레스 공정과 제2 프레스 공정을 행한다.

[0065] 먼저, 봉지층(305)과 반도체 소자층(303) 사이에 들어가는 기포의 제거 및 봉지층(305)의 가(假)고정을 위해, 제1 프레스 공정(진공 프레스 공정)을 행한다. 본 실시형태에서는, 진공 분위기 중에서 온도를 실온으로부터 100°C까지 30분간에 상승시킴으로써 제1 프레스 공정을 행한다.

[0066] 다음에, 봉지층(305)을 반도체 소자층(303)에 균일하게 고착시키기 위해, 제2 프레스 공정을 행한다. 본 실시형태에서는, 제2 프레스 공정으로서, 0.3 MPa의 압력 하에서 온도를 135°C로 15분간 유지하고, 그 후 195°C로 승온하여 60분간 유지한다.

[0067] 다음에, 도 1(D)에 나타내는 바와 같이, 봉지층(305), 반도체 소자층(303) 및 박리층(302)에, 레이저 빔의 조사, 또는 날이 있는 도구에 의한 절단에 의해 홈(306)을 형성한다.

[0068] 홈(306)을 형성하기 위해 조사하는 레이저 빔으로서는, 박리층(302), 반도체 소자층(303), 또는 봉지층(305)을 구성하는 층 중 어느 것인가가 흡수하는 파장을 가지는 레이저 빔이 바람직하고, 대표적으로는, 자외 영역, 가시 영역, 또는 적외 영역의 레이저 빔을 적절히 선택하여 조사한다.

[0069] 이와 같은 레이저 빔을 발진하는 것이 가능한 레이저 발진기로서는, KrF, ArF, XeCl 등의 엑시머 레이저 발진기, He, He-Cd, Ar, He-Ne, HF, CO₂ 등의 기체 레이저 발진기, YAG, GdVO₄, YVO₄, YLF, YAlO₃ 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm을 도핑한 결정, 유리, 루비 등의 고체 레이저 발진기, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저 발진기를 사용할 수 있다. 또한, 그 고체 레이저 발진기에서는 기본파 내지 제5 고조파를 적절히 적용하는 것이 바람직하다.

[0070] 또한, 날이 있는 도구에 의해 흄(306)을 형성하는 경우는, 그 날이 있는 도구로서, 커터 나이프 등을 사용하면 좋다.

[0071] 본 실시형태로서는, UV 레이저를 사용하여 흄(306)을 형성한다. 또한, 반도체 소자층(303)으로서, 도 3(A)에 나타내는 소자층(51)을 사용한 경우의 단면도를 도 5(B)에 나타낸다.

[0072] 다음에, 도 1(E)에 나타내는 바와 같이, 흄(306)에 액체를 적하하고, 박리층(302)과 반도체 소자층(303)을 물리적 수단에 의해 박리한다. 물리적 수단이란, 역학적 수단 또는 기계적 수단을 가리키고, 어떠한 역학적 에너지(기계적 에너지)를 변화시키는 수단을 가리키고 있고, 그 수단은, 대표적으로는, 기계적인 힘을 가하는 것(예를 들어, 사람의 손이나 그립퍼(gripper)로 벗겨내는 처리나, 롤러를 회전시키면서 분리하는 처리)이다. 이때, 봉지층(305)의 표면에 광 또는 열에 의해 박리 가능한 접착 시트(adhesive sheet)를 제공하면, 더욱 박리가 용이하게 된다. 접착 시트는 기계적 수단 또는 인적 수단으로 부착하여도 좋다. 그러나, 접착 시트와 봉지층(305) 사이에 기포가 들어가게 되면, 전치(轉置) 시에 불량이 발생할 우려가 있으므로, 기포가 들어가지 않도록 한다.

[0073] 본 실시형태에서는, 액체로서 물, 예를 들어, 순수(純水)를 사용하고, 롤러(307)를 봉지층(305) 위에서 회전시킴으로써, 롤러(307)에 반도체 소자층(303), 도전성 수지(304), 봉지층(305)을 전치한다(도 1(E) 참조).

[0074] 액체로서는, 순수 이외에 에탄올 등의 알코올, 탄산수 등을 사용하여도 좋다. 또한, 롤러(307)로서, 본 실시형태에서는 직경 300 mm의 고무제 롤러를 사용한다.

[0075] 다음에, 반도체 소자층(303)의, 봉지층(305)이 마련되어 있지 않은 면, 즉, 뒷면에, 제2 봉지층(311)을 형성한다(도 2(A) 참조). 제2 봉지층(311)은 봉지층(305)과 같은 방법으로 형성하면 좋다.

[0076] 흄(306)에 액체를 적하하여 박리층(302)과 반도체 소자층(303)을 박리하면, 박리 시에 발생하는 정전기를 방지할 수 있고, 반도체 소자층(303)에의 테미지를 억제할 수 있다. 이것에 의해, 동작 수율이 비약적으로 향상된다.

[0077] 다음에, 반도체 소자층(303)과 외부의 전기적 접속을 가능하게 하기 위해, 도전성 수지(304) 위의 봉지층(305)을 제거하여 개구부(312)를 형성한다. 봉지층(305)의 제거는, 봉지층(305)에 레이저 빔(313)을 조사함으로써 행해진다(도 2(B) 참조).

[0078] 레이저 빔(313)은, 대표적으로는, 자외 영역, 가시 영역, 또는 적외 영역의 레이저 빔을 적절히 선택하면 좋다.

[0079] 이와 같은 레이저 빔(313)을 발진할 수 있는 레이저 발진기로서는, KrF, ArF, XeCl 등의 엑시머 레이저 발진기, He, He-Cd, Ar, He-Ne, HF, CO₂ 등의 기체 레이저 발진기, YAG, GdVO₄, YVO₄, YLF, YAlO₃ 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm을 도핑한 결정, 유리, 루비 등의 고체 레이저 발진기, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저 발진기를 사용할 수 있다. 또한, 그 고체 레이저 발진기에서는 기본파 내지 제5 고조파를 적절히 적용하는 것이 바람직하다.

[0080] 본 실시형태에서는, 파장 355 nm의 YAG 레이저의 레이저 빔(313)을 사용하고, 도전성 수지(304) 하나마다, 슬릿 사이즈 150 μm 평방의 쇼트(shot)를 9회 조사함으로써, 봉지층(305)을 제거하여 개구부(312)를 형성한다.

[0081] 본 실시형태에서는, 레이저 빔(313)이 조사되는 것은 도전성 수지(304)가 형성되어 있는 영역 위의 봉지층(305)이므로, 레이저 빔(313)은 도전성 수지(304)로 차광되게 되어, 반도체 소자층(303)까지는 닿지 않는다. 즉, 레이저 빔(313)은 반도체 소자층(303)을 조사하지 않아서, 반도체 소자층(303)에의 테미지를 억제할 수 있다.

[0082] 도전성 수지(304) 위의 봉지층(305)에 레이저 빔(313)을 조사할 때, 봉지층(305)을 완전히 제거하지 않고, 개구부(312)에 섬유체(113)를 잔존시켜도 좋다. 후의 공정에서, 개구부(312)에 도전성 접착재(315)가 형성되지만, 개구부(312)에 섬유체(113)가 남아 있기 때문에, 도전성 접착재(315)가 보다 강고하게 접착되어, 물리적 강도가 향상된다. 이것에 의해 굽힘 내성이 향상된다.

[0083] 다음에, 봉지층(305), 반도체 소자층(303), 제2 봉지층(311)에 레이저 빔을 조사하여, 흄(314)을 형성한다. 이

것에 의해 봉지층(305), 반도체 소자층(303), 제2 봉지층(311)을 칩(chip)(321)으로 분단한다(도 2(C) 참조).

[0084] 본 실시형태에서는, 레이저 빔으로서 UV 레이저 빔을 사용하여 홈(hole)(314)을 형성한다. 또한, 봉지층(305), 반도체 소자층(303), 제2 봉지층(311)의 분단 전의 사이즈는 120 mm×100 mm이고, 분단 후에 의해 형성되는 칩(321)의 사이즈는 10 mm×10 mm이다.

[0085] 또한, 반도체 소자층(303)으로서, 도 3(A)에 나타내는 소자층(51)을 사용한 경우의 단면도를 도 5(C)에 나타낸다.

[0086] 개개의 칩(321)으로 분단한 후, 개구부(312) 내에 도전성 수지(304)와 전기적으로 접속되는 도전성 접착재(315)를 형성하고, 도전성 접착재(315)가 형성되지 않은 봉지층(305)의 표면에 접착재(316)를 형성한다(도 5(D) 참조). 본 실시형태에서는, 도전성 접착재(315)로서, 은을 함유하는 도전성 접착재를 사용한다. 또한, 반도체 소자층(303)으로서, 도 3(A)에 나타내는 소자층(51)을 사용한 경우의 단면도를 도 5(D)에 나타낸다. 또한, 제2 봉지층(311)은 섬유체(323)와 유기 수지층(324)을 가지고 있지만, 섬유체(323)는 섬유체(113)과 같은 것을 사용하고, 유기 수지층(324)은 유기 수지층(114)과 같은 것을 사용하면 좋다.

[0087] 기판(318) 위에 외부 부착 안테나(317)를 형성하고, 외부 부착 안테나(317)에 오목부(322)를 형성한다(도 2(E) 참조).

[0088] 안테나(317)로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta) 몰리브덴(Mo), 티탄(Ti), 알루미늄(Al) 등의 적어도 하나, 즉, 어느 하나 또는 둘 이상의 금속 입자를 가지는 액적이나 페이스트를 기판(318) 위에 액적 토출법(잉크젯법, 디스펜서(dispenser)법 등)에 의해 토출하고, 건조 소성하여 형성한다. 액적 토출법에 의해 안테나를 형성함으로써, 공정수의 삭감이 가능하고, 그에 따라, 비용 삭감이 가능하다.

[0089] 또한, 스크린 인쇄법을 이용하여 안테나(317)를 형성해도 좋다. 스크린 인쇄법을 이용하는 경우, 안테나(317)의 재료로서는, 입경이 수 nm로부터 수십 μm 의 도전성 입자를 유기 수지에 용해 또는 분산시킨 도전성 페이스트를 선택적으로 인쇄한다. 도전성 입자로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 티탄(Ti), 알루미늄(Al) 등의 적어도 하나, 즉 어느 하나 또는 둘 이상의 금속 입자나 할로겐화 은의 미립자, 또는 분산성 나노 입자를 사용할 수 있다. 또한, 도전성 페이스트에 함유되는 유기 수지로서는, 금속 입자의 바인더, 용매, 분산제 및 괴복재로서 기능하는 유기 수지로부터 선택된 하나 또는 다수를 사용할 수 있다. 대표적으로는, 에폭시 수지, 실리콘 수지 등의 유기 수지를 들 수 있다.

[0090] 또한, 안테나(317)는, 스크린 인쇄법 외에도 그라비아 인쇄 등을 사용해도 좋고, 도금법, 스퍼터링법 등을 이용하여 도전성 재료에 의해 형성할 수 있다.

[0091] 본 실시형태에서는, 구리 도금에 의해 안테나(317)를 형성한다.

[0092] 기판(318)으로서는, 필름이나 종이 등을 사용해도 좋고, 봉지층(305)이나 봉지층(311)과 같은 구조를 가지는 봉지층을 기판(318)으로서 사용해도 좋다. 필름을 사용하는 경우에는, 아라미드 필름, 폴리에틸렌 나프탈레이트(PEN) 필름, 폴리에틸렌 테레프탈레이트(PET) 필름, 폴리에테르 술폰(PES) 필름 등의 유기 필름을 사용하면 좋다.

[0093] 접착재(316)에 의해 칩을 오목부에 부착한다(도 2(F) 참조). 오목부의 깊이는 칩(321)의 두께와 거의 같게 함으로써, 칩(321)이 안테나(317)의 내부에 수납되어, 안테나(317)의 표면이 평坦하게 된다. 반도체 소자층(303)은 도전성 수지(304)와 도전성 접착재(315)를 통하여 안테나(317)와 전기적으로 접속되어 있다.

[0094] 또는, 외부로부터의 압력에 견딜 수 있다면, 칩의 두께가 오목부의 깊이보다 다소 크거나 또는 다소 작아도 상관없다. 예를 들어, 칩의 두께가 후의 공정에서 부착하는 기판(319)의 두께보다 1/3 크거나, 또는 기판(319)의 두께보다 1/3 작아도 좋다. 즉, 칩의 두께가 기판(319)의 두께의 4/3로 오목부로부터 돌출되어 있어도 본 발명의 효과는 얻어질 수 있다. 또는, 칩의 두께가 기판(319)의 두께의 2/3로 오목부 내로 들어가 있어도 본 발명의 효과는 얻어질 수 있다.

[0095] 이상으로부터, 본 발명의 효과를 얻기 위해서는, 칩의 두께가 오목부의 깊이와 거의 같으면 좋다는 것은 물론이지만, 칩의 두께가 부착되는 기판 두께의 4/3 이하, 또는 칩의 두께가 기판 두께의 2/3 이상이어도, 본 발명의 효과는 얻어질 수 있다.

[0096] 본 실시형태에서는, 섬유체 및 유기 수지를 포함하고, 봉지층(305) 및 봉지층(311)과 같은 구조를 가지는 것을

기판(318)으로서 사용한다.

[0097] 다음에, 봉지층(311) 및 안테나(317)에 기판(319)을 부착시킨다(도 2(F) 참조). 그러나, 필요가 없다면 기판(319)은 설치하지 않아도 좋다.

[0098] 기판(319)을 설치한 경우에는, 기판(319)과 봉지층(311)과의 경계를 통해 물이 들어가는 것을 방지할 수 있어, 보다 신뢰성이 향상된다.

[0099] 본 실시형태에서는, 기판(319)으로서 봉지층(305) 및 봉지층(311)과 같은 구조를 가지는 것을 사용한다(도 6 참조).

[0100] 이상과 같이 하여, 본 실시형태의 반도체장치를 얻을 수 있다. 본 실시형태에 의해 얻어진 반도체장치는, 섬유체를 유기 수지로 함침시킨 봉지층을 사용함으로써, 외부로부터 국소적인 압력이 가해져도 파손되기 어렵고, 신뢰성이 높은 반도체장치를 수율 높게 제조할 수 있다.

[0101] 또한, 본 실시형태에서는, 안테나(317)에 칩(321)이 매립되므로, 평탄화된 반도체장치를 얻을 수 있고, 따라서, 섬유체를 유기 수지로 함침시킨 봉지층에 주름이 발생하는 것을 방지할 수 있다.

[0102] 또한, 반도체장치 제조 후에, 표면에 필름 등의 보호재를 부착할 때에, 롤러 위를 통과시킬 필요가 있는 경우가 있다. 이와 같이 롤러 위를 통과하면, 선 형상으로 압력이 가해져 반도체장치가 파괴될 우려가 있다. 그러나, 반도체장치의 요철이 적으면 롤러 위를 원활하게 통과할 수 있어, 반도체장치가 파괴되는 것을 방지할 수 있다.

[실시형태 2]

[0104] 본 실시형태에서는, 봉지층을 실시형태 1과는 다른 제조방법으로 형성하는 예를 도 7(A)~도 7(D)를 사용하여 설명한다.

[0105] 먼저, 실시형태 1에 의거하여, 도전성 수지(304)를 형성할 때까지의 제조 공정(도 1(A) 및 도 1(B) 참조)을 행한다. 이어서, 섬유체(113)를 반도체 소자층(303) 위에 형성한다(도 7(A) 참조).

[0106] 다음에, 섬유체(113) 및 반도체 소자층(303) 위에 유기 수지층(114)을 형성한다. 이때, 유기 수지층(114) 중의 유기 수지를 섬유체(113)에 함침시킨다. 즉, 섬유체(113)는 유기 수지층(114) 중에 포함된다. 이와 같이 함으로써, 섬유체(113) 및 유기 수지층(114)의 밀착력이 높아진다.

[0107] 다음에, 유기 수지층(114)을 가열하여, 유기 수지층(114)의 유기 수지를 가소화 또는 경화한다. 또한, 유기 수지가 가소성 유기 수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기 수지를 경화한다. 또는, 유기 수지가 UV 경화성 수지인 경우에는, UV 조사함으로써 경화한다.

[0108] 그 결과, 도 7(B)에 나타내는 바와 같이, 섬유체(113)에 함침되고, 또한, 반도체 소자층(303)의 한쪽 면에 고착되는 유기 수지층(114)이 된다. 또한, 반도체 소자층(303)의 한쪽 면에 고착된 유기 수지층(114) 및 섬유체(113)가 봉지층(305)이 된다. 이와 같이 하여, 도 1(B)에 나타내는 구조와 같은 구조를 얻을 수 있다.

[0109] 또한, 도 1(D) 및 도 1(E)와, 도 2(A)~도 2(D)의 공정을 행하고, 도 2(E) 및 도 2(F), 도 5(C)~도 5(D) 및 도 6과 마찬가지로, 기판(318)에 설치된 외부 부착 안테나(317)에 오목부(322)를 형성하여 칩(321)을 매립하고, 봉지층(311) 및 안테나(317)에 기판(319)을 부착시킨다. 이상의 제조 공정에 의해, 도 6에 나타내는 반도체장치를 얻는 것이 가능하게 된다.

[0110] 그러나, 필요가 없다면 기판(319)은 설치하지 않아도 좋다.

[0111] 또한, 기판(318, 319)은 봉지층(305)과 같은 공정으로 형성해도 좋다.

[0112] 본 실시형태에서는, 섬유체(113) 또는 섬유체(323)를, 부착시키고자 하는 표면에 설치하고, 유기 수지층(114) 또는 유기 수지층(324)을 형성한다. 다음에, 유기 수지를 섬유체(113) 또는 섬유체(323)에 함침시키고, 더욱 유기 수지를 경화시켜, 봉지층(305) 또는 봉지층(311)을 형성한다.

[0113] 본 실시형태에서는, 유기 수지층(114) 또는 유기 수지층(324)의 두께를 바꿀 수 있고, 이것에 의해 봉지층(305) 또는 봉지층(311)의 두께도 바꿀 수 있다. 예를 들어, 실시형태 1의 봉지층(305, 311)보다 두께가 얇은 봉지층(305, 311)을 얻을 수 있다. 이것에 의해, 반도체장치 전체의 두께를 얇게 하는 것이 가능하게 된다.

[실시형태 3]

[0115] 본 실시형태에서는, 실시형태 1 및 2와는 다른 구조를 가지는 반도체장치에 대하여 도 8(A) 및 도 8(B)를 사용

하여 설명한다.

[0116] 도 8(A)는 본 실시형태의 반도체장치의 단면도이다. 또한, 도 8(B)는 도 8(A)의 상면도이다. 기판(318) 위에 안테나(331)가 설치되고, 칩(321)이 접착재(316)에 의해 부착되어 있다. 칩(321) 내의 도전성 접착재(315)는 안테나(331)와 전기적으로 접속되어 있다.

[0117] 기판(318), 안테나(331), 및 칩(321) 위에는, 칩(321)의 두께를 보충하도록 기재(基材)(332)가 제공되어 있다. 이것에 의해 기재(332)와 칩(321)의 두께가 같게 되어, 평탄한 표면이 형성된다. 또한, 이 평탄한 표면 위에 기판(319)이 부착된다.

[0118] 본 실시형태에 의해, 두께가 균일한, 평탄한 표면을 가지는 반도체장치를 얻을 수 있다.

[실시형태 4]

[0120] 본 실시형태에서는, 본 발명의 반도체장치의 응용예를 나타낸다. 여기서는, 반도체장치의 응용예의 하나로서 RFID에 대하여 설명한다.

[0121] 먼저, 본 발명의 반도체장치를 응용한 RFID(501)의 회로 구성예에 대하여 설명한다. 도 9에, RFID(501)의 블록 회로도를 나타낸다.

[0122] 도 9의 RFID(501)의 사양은 국제표준규격의 ISO15693에 준거하고, 근방형(vicinity type)이고, 교신 신호 주파수는 13.56 MHz이다. 또한, 수신은 데이터 읽기 명령에만 대응하고, 송신에 있어서의 데이터 전송 레이트는 대략 13 kHz이고, 데이터 부호화 형식은 맨체스터(Manchester) 코드를 사용하고 있다.

[0123] RFID(501)의 회로부(412)는 크게 나누어 전원부(460)와 신호 처리부(461)로 구성된다. 전원부(460)는 정류회로(462)와 보유 용량(463)을 가진다. 또한, 전원부(460)에 안테나(411)로부터 수신한 전력이 과잉이었을 경우, 내부 회로를 보호하기 위한 보호 회로부(리미터 회로부라고도 한다)와, 보호 회로부를 동작시킬지 여부를 제어하기 위한 보호 회로 제어 회로부를 설치해도 좋다. 이 회로부를 제공함으로써, RFID와 통신기와의 통신 거리가 극단적으로 짧은 상황 등에서 RFID가 대전력을 수신함으로써 생기는 단점을 방지할 수 있고, RFID의 신뢰성의 향상을 도모할 수 있다. 즉, RFID 내부의 소자의 열화(劣化)나, RFID 자체를 파괴하는 일 없이, RFID를 경상적으로 동작시킬 수 있다.

[0124] 도 9의 안테나(411)는, 실시형태 1 및 실시형태 2에서 설명한 안테나(317) 및 실시형태 3에서 설명한 안테나(331)이다. 또한, 회로부(412)는 칩(321) 내에 형성된다.

[0125] 또한, 여기서는, 통신기란 RFID와 무선통신에 의해 정보의 송수신을 행하는 수단을 가지고 있으면 되고, 예를 들어, 정보를 판독하는 리더나, 판독 기능 및 기입 기능을 구비한 리더/라이터 등을 들 수 있다. 또한, 판독 기능과 기입 기능 중의 어느 한쪽 또는 양쪽 모두를 구비한 휴대 전화기나 컴퓨터 등도 포함된다.

[0126] 정류회로(462)는 안테나(411)로 수신된 반송파를 정류하여, 직류 전압을 생성한다. 보유 용량(463)은 정류회로(462)로 생성된 직류 전압을 평활화한다. 전원부(460)에서 생성된 직류 전압은 전원 전압으로서 신호 처리부(461)의 각 회로에 공급된다.

[0127] 신호 처리부(461)는 복조 회로(464), 클록 생성/보정 회로(465), 인식/판정 회로(466), 메모리 컨트롤러(467), 마스크 ROM(468), 부호화 회로(469), 및 변조 회로(470)를 가진다.

[0128] 복조 회로(464)는 안테나(411)로 수신한 신호를 복조하는 회로이다. 복조 회로(464)로 복조된 수신 신호는 클록 생성/보정 회로(465)와 인식/판정 회로(466)에 입력된다.

[0129] 클록 생성/보정 회로(465)는 신호 처리부(461)의 동작에 필요한 클록 신호를 생성하고, 또한, 그것을 보정하는 기능을 가진다. 예를 들어, 클록 생성/보정 회로(465)는, 전압 제어 발진 회로(이하, VCO(Voltage Controlled Oscillator) 회로)를 가지고, VCO 회로의 출력을 귀환 신호로 하여, 공급되는 신호와의 위상을 비교하고, 입력되는 신호와 귀환 신호가 일정한 위상이 되도록 부(負)귀환(negative feedback)에 의해 출력 신호의 조정을 행한다.

[0130] 인식/판정 회로(466)는 명령 코드를 인식하고 판정한다. 인식/판정 회로(466)가 인식하고 판정하는 명령 코드는, 프레임 종료 신호(EOF, end of frame), 프레임 개시 신호(SOF, start of frame), 플래그, 커멘드 코드, 마스크 길이(mask length), 마스크 값(mask value) 등이다. 또한, 인식/판정 회로(466)는, 송신 에러를 식별하는 순회 용장 검사(CRC, cyclic redundancy check) 기능도 포함한다.

[0131] 메모리 컨트롤러(467)는, 인식/판정 회로(466)에서 처리된 신호를 기초로, 마스크 ROM(468)으로부터 데이터를 읽어낸다. 또한, 마스크 ROM(468)에는, ID 등이 기억되어 있다. 마스크 ROM(468)을 탑재함으로써, 복제나 변경이 불가능한 판독 전용의 RFID(501)로서 구성된다. 이와 같은 판독 전용의 RFID(501)를 종이에 삽입함으로써, 위조 방지 종이를 제공할 수 있다.

[0132] 부호화 회로(469)는 메모리 컨트롤러(467)가 마스크 ROM(468)으로부터 읽어낸 데이터를 부호화한다. 부호화된 데이터는 변조 회로(470)에서 변조된다. 변조 회로(470)에서 변조된 데이터는 안테나(411)로부터 반송파로서 송신된다.

[0133] 다음에, RFID의 사용예에 대하여 나타낸다. 본 발명의 RFID는 모든 종이 매체 및 필름 매체에 사용할 수 있다. 특히, 본 발명의 RFID는 위조 방지가 요구되는 모든 종이 매체에 사용할 수 있다. 예를 들어, 지폐, 호적등본, 주민표, 여권, 면허증, 신분증, 회원증, 감정서, 진찰권, 정기권, 어음, 수표, 화물 교환증, 선화증권, 창고증권, 주권, 채권, 상품권, 티켓, 저당증권 등이다.

[0134] 또한, 본 발명의 실시에 의해, 종이 매체 상에서 시작적으로 나타나는 정보 이상의 많은 정보를 종이 매체 및 필름 매체에 가지게 할 수 있기 때문에, 본 발명의 RFID를 상품 라벨 등에 적용함으로써, 상품 관리의 전자 시스템화나, 상품의 도난 방지에 이용할 수 있다. 이하, 도 10(A)~도 10(E)를 사용하여, 본 발명과 관련되는 종이의 사용예를 설명한다.

[0135] 도 10(A)는, 본 발명의 RFID(501)를 묻은 종이를 사용한 무기명 채권류(511)의 일례이다. 무기명 채권류(511)에는, 우표, 표, 티켓, 입장권, 상품권, 도서권, 문구권, 맥주권, 쌀권, 각종 상품권, 각종 서비스권 등이 포함되지만, 물론 이것들에 한정되는 것은 아니다. 또한, 도 10(B)는 본 발명의 RFID(501)를 묻은 종이를 사용한 증서류(512)(예를 들어, 주민표, 호적등본)의 일례이다.

[0136] 도 10(C)는 본 발명의 RFID를 라벨에 적용한 일례이다. 라벨 대지(臺紙)(세퍼레이트지)(513) 위에, RFID(501)가 묻힌 종이로 라벨(ID 스티커)(514)이 형성되어 있다. 라벨(514)은 박스(515) 내에 수납되어 있다. 라벨(514) 상에는, 그의 상품이나 역무에 관한 정보(상품명, 브랜드, 상표, 상표권자, 판매자, 제조자 등)가 인쇄되어 있다. 또한, RFID(501)에는, 그의 상품(또는 상품의 종류) 고유의 ID 넘버가 기억되어 있기 때문에, 위조나, 상표권, 특허권 등의 지적 재산권 침해, 부정 경쟁 등의 불법 행위를 용이하게 파악할 수 있다. RFID(501)에는, 상품의 용기나 라벨에 다 명기할 수 없는 다대한 정보, 예를 들어, 상품의 산지, 판매지, 품질, 원재료, 효능, 용도, 수량, 형상, 가격, 생산 방법, 사용 방법, 생산 시기, 사용 시기, 유통기한, 취급 설명, 상품에 관한 지적 재산 정보 등을 입력해 둘 수 있다. 그 때문에, 거래자나 소비자는 간이한 통신기에 의해 그들 정보에 액세스할 수 있다. 또한, 생산자측으로부터는 용이하게 재기입, 소거 등도 가능하지만, 거래자, 소비자측으로부터는 재기입, 소거 등을 할 수 없는 구조로 되어 있다.

[0137] 도 10(D)는 RFID(501)를 묻은 종이 또는 필름으로 이루어지는 태그(516)를 나타내고 있다. RFID(501)를 묻은 종이 또는 필름으로 태그(516)를 제조함으로써, 플라스틱 케이스를 사용한 종래의 ID 태그보다 저렴하게 제조할 수 있다. 도 10(E)는 본 발명의 RFID를 표지에 사용한 서적(517)이고, 표지에 RFID(501)가 묻혀 있다.

[0138] 본 발명의 반도체장치의 일례인 RFID를 탑재한 라벨(514)이나 태그(516)를 상품에 부착함으로써, 상품 관리가 용이하게 된다. 예를 들어, 상품이 도난된 경우에, 상품의 경로를 찾음으로써, 그 범인을 신속하게 파악할 수 있다. 이와 같이, 본 발명의 RFID를 ID 태그로서 사용함으로써, 상품의 원재료나 산지, 제조나 가공, 유통, 판매 등에 도달할 때까지의 이력 관리나, 추적 조회를 가능하게 한다. 즉, 상품의 트레이서빌리티(traceability)를 가능하게 한다. 또한, 본 발명에 의해, 상품의 트레이서빌리티 관리 시스템을 종래보다 저비용으로 도입하는 것을 가능하게 한다.

[0139] 또한, 본 발명의 반도체장치의 일례인 RFID는 국소적 압력에 의해 파괴되기 어렵다. 이 때문에, 본 발명의 반도체장치의 일례인 RFID를 가지는 종이 매체 및 필름 매체는 부착이나 설치 등의 처리에서 만곡시키는 것이 가능하고, 처리 효율이 높아진다. 또한, 본 발명의 반도체장치의 일례인 RFID를 가지는 종이 매체 및 필름 매체에 필기 용구로 정보를 기입하는 것이 가능하기 때문에, 용도 범위가 넓어진다.

[0140] [실시형태 5]

[0141] 본 실시형태에서는, 실시형태 4의 RFID를 설치한 전자기기에 대하여 이하에 설명한다.

[0142] 실시형태 4의 RFID를 설치한 전자기기로서, 비디오 카메라, 디지털 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생장치(카 오디오, 오디오 컴포넌트 등), 컴퓨터, 게임기기, 휴대형 정

보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기 또는 전자 책 등), 기록 매체를 구비한 화상 재생장치(구체적으로는, DVD(digital versatile disc) 등의 기록 매체를 재생하고, 그의 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다. 그들 전자기기의 구체예를 도 11(A)~도 11(E)에 나타낸다.

[0143] 도 11(A) 및 도 11(B)는 디지털 카메라를 나타내고 있다. 도 11(B)는 도 11(A)의 뒷쪽을 나타내는 도면이다. 이 디지털 카메라는, 케이스(2111), 표시부(2112), 렌즈(2113), 조작 키(2114), 셔터 버튼(2115) 등을 가진다. 케이스(2111) 내부에는, 기억장치, MPU, 이미지 센서 등의 기능을 가지는 본 발명의 반도체장치(2116)를 구비하고 있다.

[0144] 또한, 도 11(C)는 휴대 전화기를 나타내고 있고, 휴대 단말기의 하나의 대표예이다. 이 휴대 전화기는 케이스(2121), 표시부(2122), 조작 키(2123), 광 센서(2124) 등을 포함한다. 또한, 휴대 전화기의 내부에는, 기억장치, MPU, 이미지 센서 등의 기능을 가지는 본 발명의 반도체장치(2125)를 구비하고 있다.

[0145] 또한, 도 11(D)는 디지털 플레이어를 나타내고 있고, 오디오 장치의 하나의 대표예이다. 도 11(D)에 나타내는 디지털 플레이어는, 본체(2130), 표시부(2131), 기억장치, MPU, 이미지 센서 등의 기능을 가지는 본 발명의 반도체장치(2132), 조작부(2133), 이어폰(2134) 등을 포함하고 있다.

[0146] 또한, 도 11(E)는 전자 책(전자 페이퍼라고도 한다)을 나타내고 있다. 이 전자 책은 본체(2141), 표시부(2142), 조작 키(2143), 기억장치, MPU, 이미지 센서 등의 기능을 가지는 본 발명의 반도체장치(2144)를 포함하고 있다. 또한, 모뎀이 본체(2141)에 내장되어 있어도 좋고, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.

[0147] 이상과 같이, 본 발명의 반도체장치의 적용 범위는 매우 넓고, 다른 전자기기에 사용하는 것이 가능하다.

도면의 간단한 설명

[0148] 도 1은 본 발명의 반도체장치 제조방법을 나타내는 단면도.

[0149] 도 2는 본 발명의 반도체장치 제조방법을 나타내는 단면도.

[0150] 도 3은 본 발명의 반도체장치 제조방법을 나타내는 단면도.

[0151] 도 4는 본 발명의 섭유체를 나타내는 상면도.

[0152] 도 5는 본 발명의 반도체장치 제조방법을 나타내는 단면도.

[0153] 도 6은 본 발명의 반도체장치 제조방법을 나타내는 단면도.

[0154] 도 7은 본 발명의 반도체장치 제조방법을 나타내는 단면도.

[0155] 도 8은 본 발명의 반도체장치 제조방법을 나타내는 단면도 및 상면도.

[0156] 도 9는 본 발명의 반도체장치의 응용예를 설명하는 블록도.

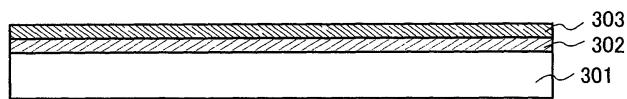
[0157] 도 10은 본 발명의 반도체장치의 응용예를 설명하는 도면.

[0158] 도 11은 본 발명의 반도체장치를 적용할 수 있는 전자기기를 설명하는 도면.

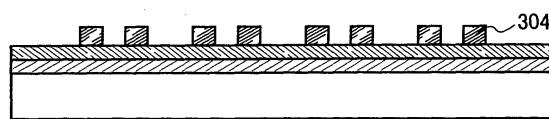
도면

도면1

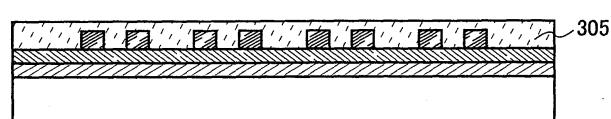
(A)



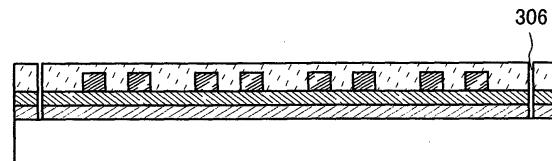
(B)



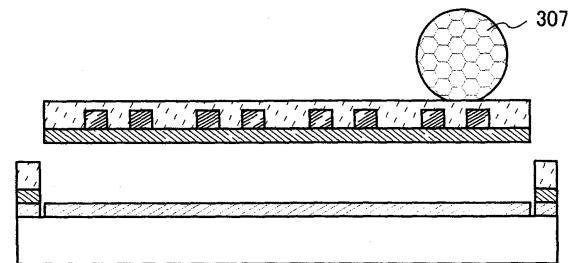
(C)



(D)

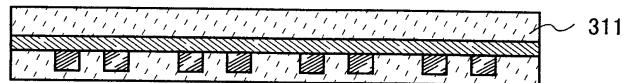


(E)

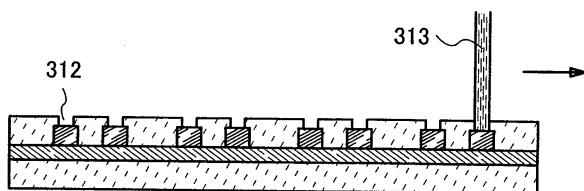


도면2

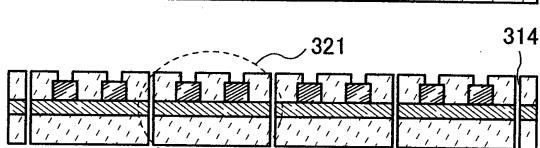
(A)



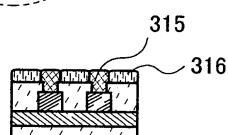
(B)



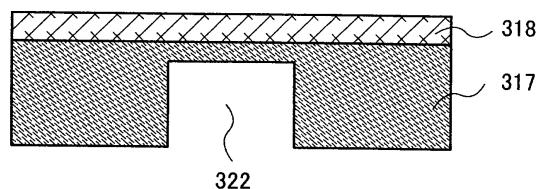
(C)



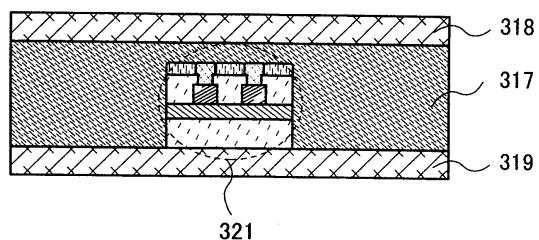
(D)



(E)

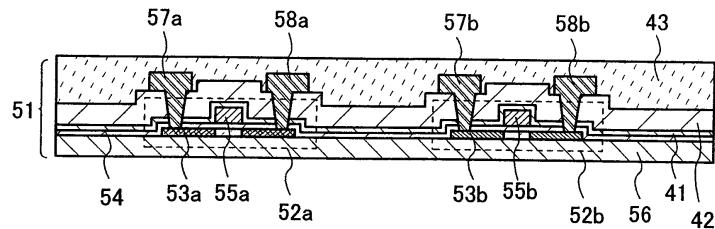


(F)

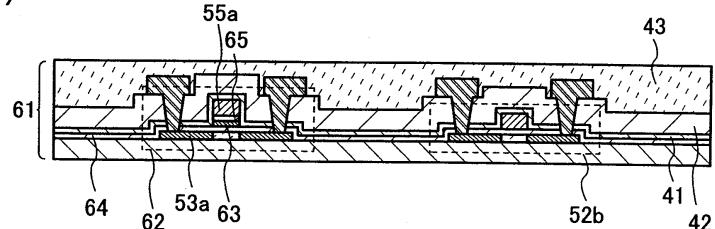


도면3

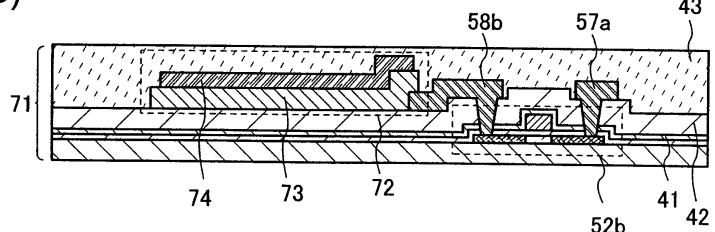
(A)



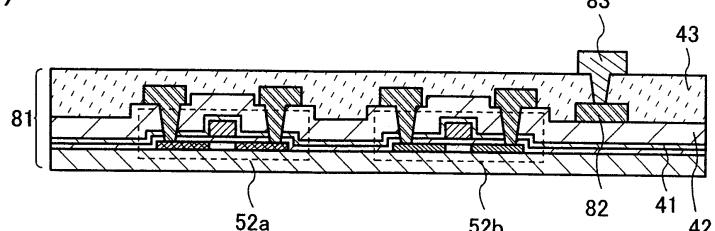
(B)



(C)

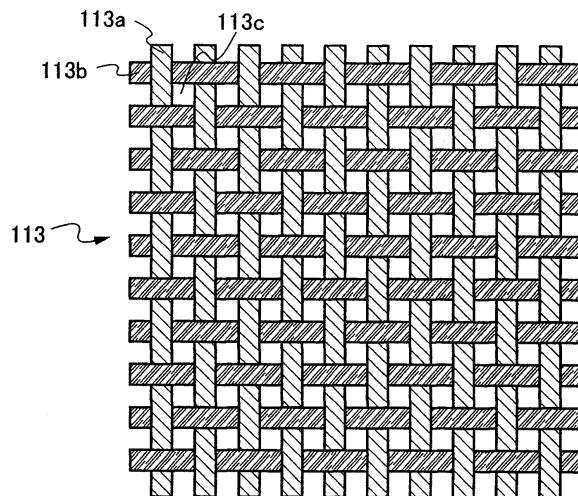


(D)

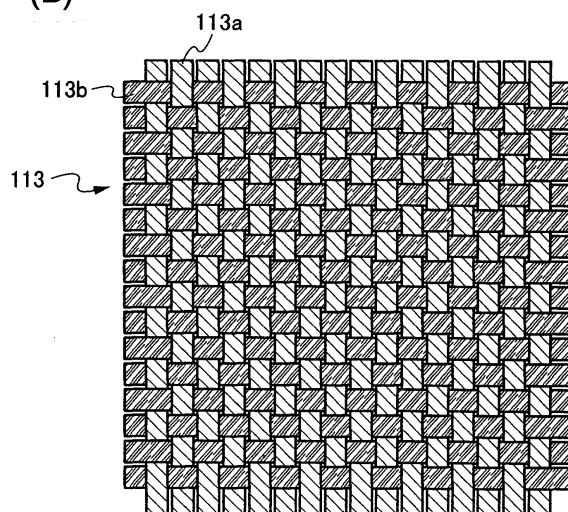


도면4

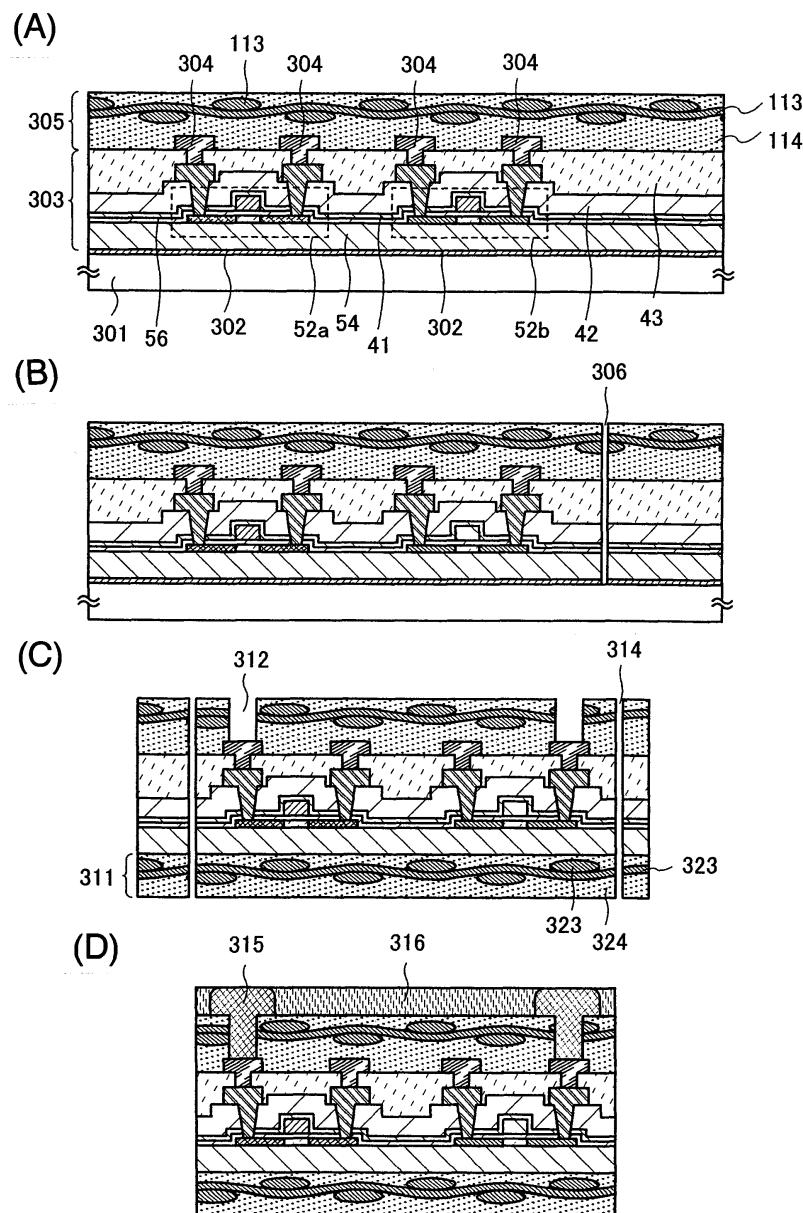
(A)



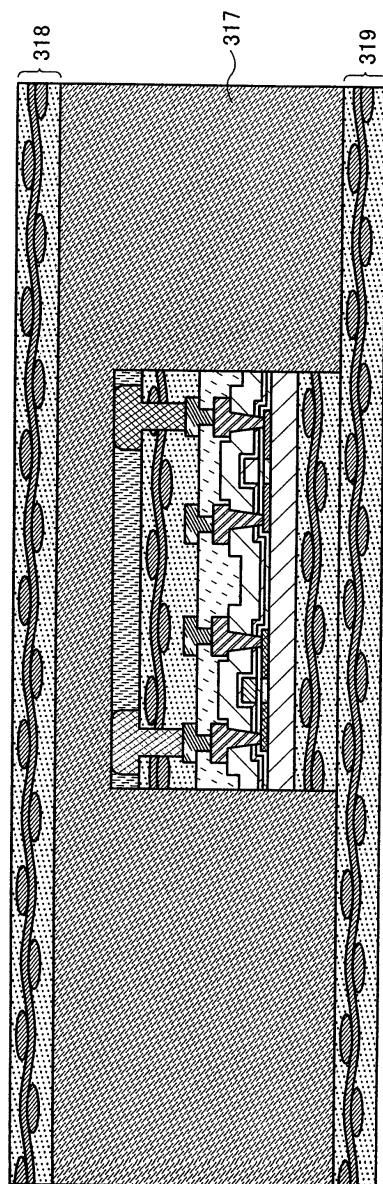
(B)



도면5

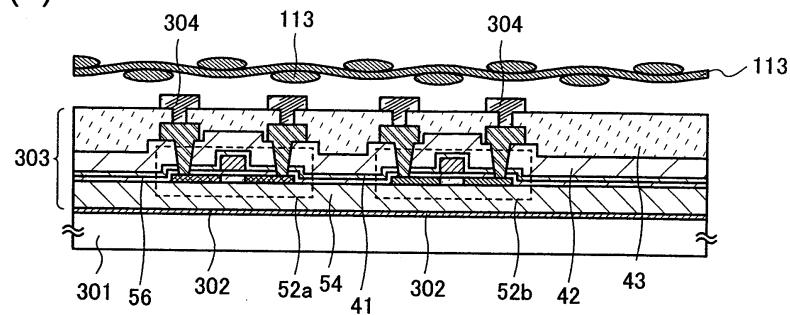


도면6

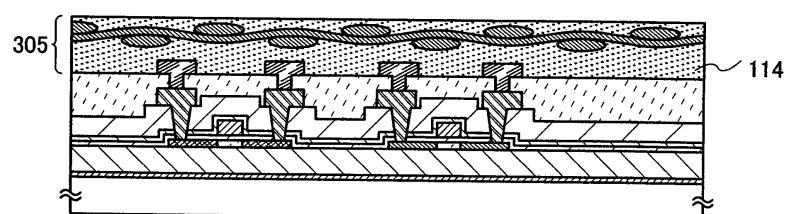


도면7

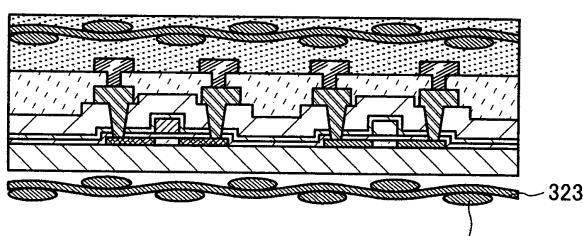
(A)



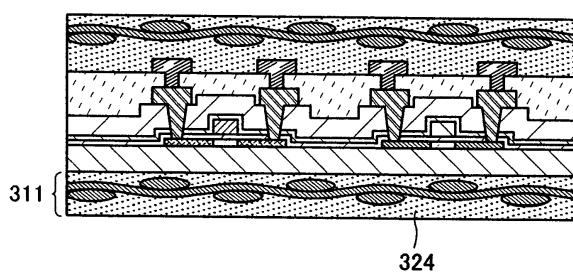
(B)



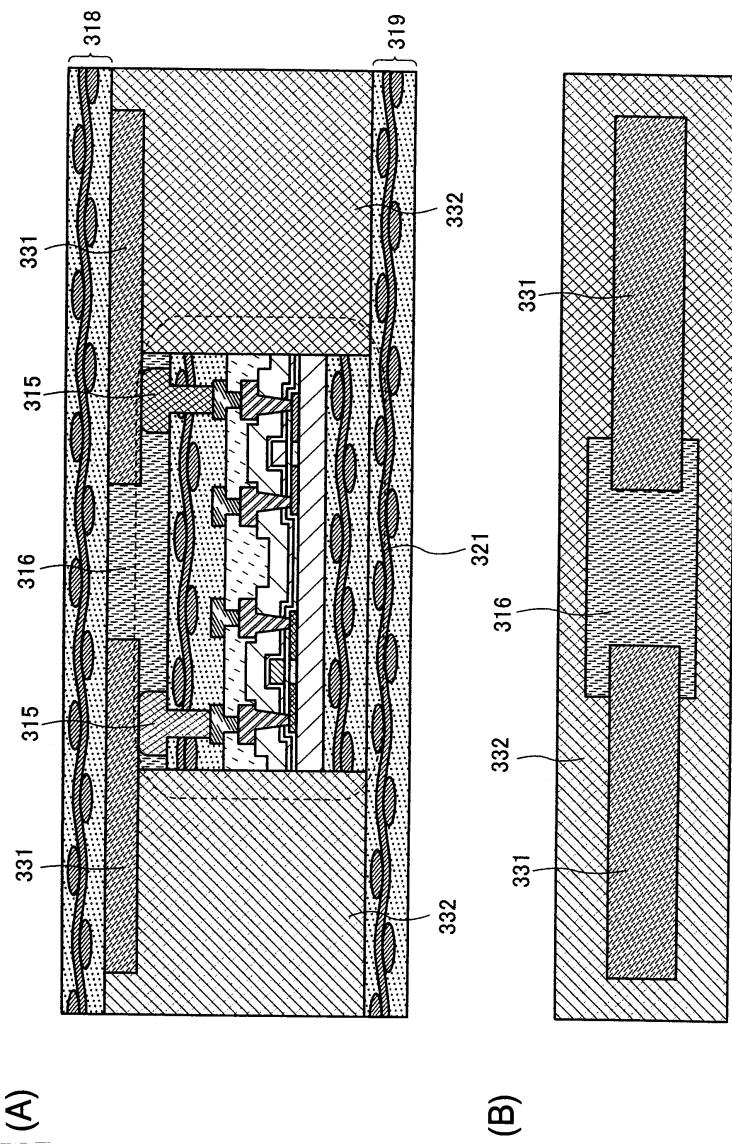
(C)



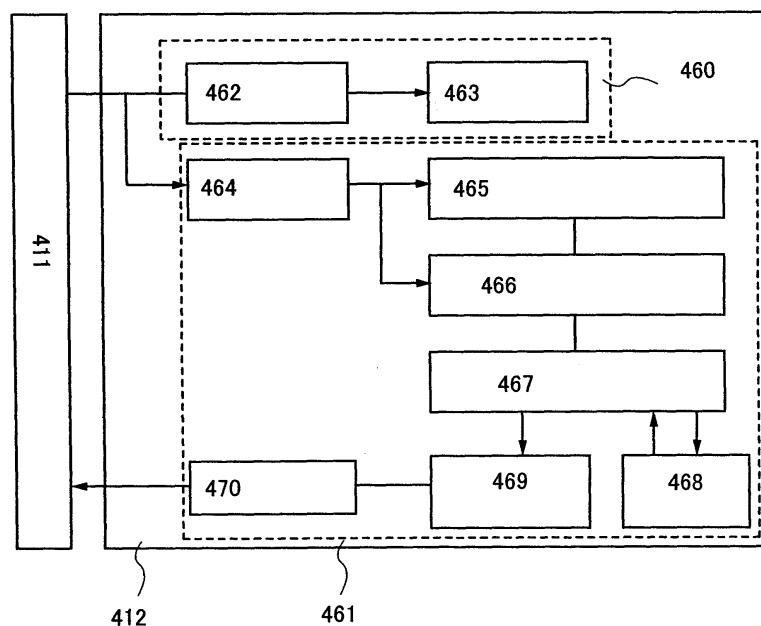
(D)



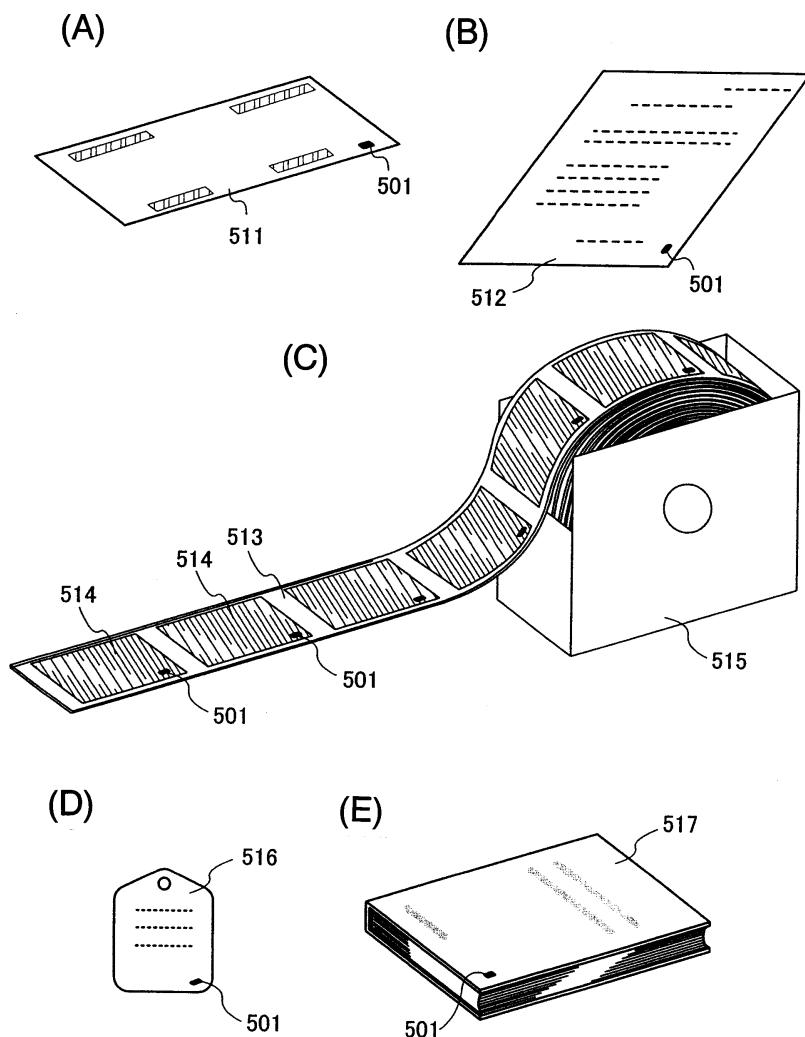
도면8



도면9

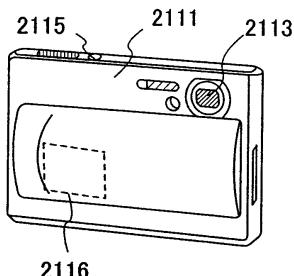


도면10

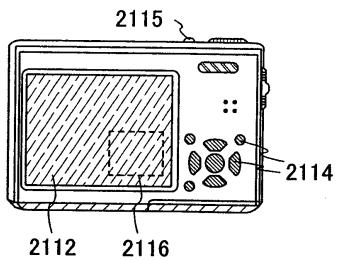


도면11

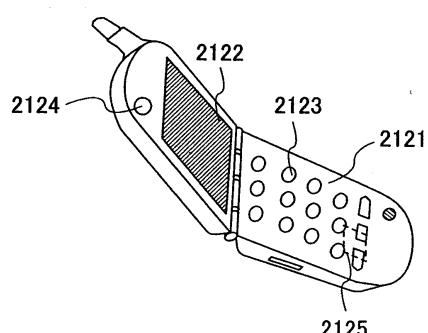
(A)



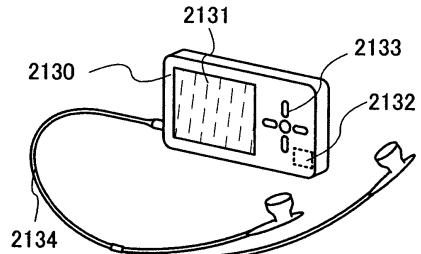
(B)



(C)



(D)



(E)

