



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 196 54 301 B4** 2005.03.03

(12)

Patentschrift

(21) Aktenzeichen: **196 54 301.0**
(22) Anmeldetag: **24.12.1996**
(43) Offenlegungstag: **03.07.1997**
(45) Veröffentlichungstag
der Patenterteilung: **03.03.2005**

(51) Int Cl.⁷: **H01L 21/84**
H01L 21/8238

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
95-69459 30.12.1995 KR

(71) Patentinhaber:
Hyundai Electronics Industries Co., Ltd., Ichon, Kyonggi, KR

(74) Vertreter:
Schwabe, Sandmair, Marx, 81677 München

(72) Erfinder:
Kim, Jin-Hyoung, Ichon, Kyoungki, KR; Kim, Kyoong-Hyoung, Ichon, Kyoungki, KR; Yoon, Han-Sub, Ichon, Kyoungki, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 44 41 706 A1
US 48 45 048
US 46 85 198
EP 05 25 256 A1
JP 56-0 12 749 A

(54) Bezeichnung: **Verfahren zur Herstellung eines Substrates mit Silizium auf einem Isolator**

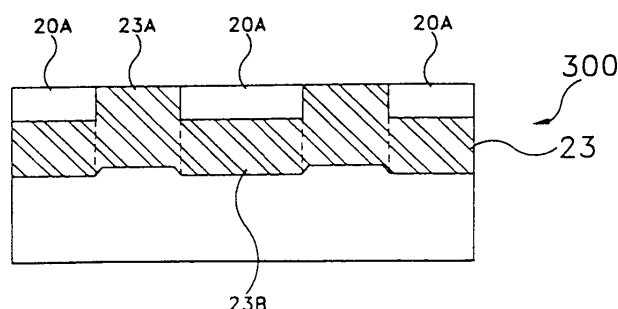
(57) Hauptanspruch: Verfahren zur Fertigung eines Silizium-auf-Isolator-Substrats (300), das die folgenden Schritte umfasst:

Gräben (T) werden in einem Si-Substrat (20) ausgebildet; eine die Oxidation verhindernde Schicht (21) wird auf dem Si-Substrat (20) und den Seitenwänden der Gräben (T) ausgebildet;

Rillen (H) werden an den Böden der Gräben (T) durch Ätzen des Si-Substrats (20) ausgebildet, wobei der die Oxidation verhindernde Film (21) als Maske verwendet wird; eine Polysiliziumschicht wird in den Gräben und Rillen ausgebildet;

eine Oxidation wird anschließend durchgeführt, um eine Oxidschicht (23) zu bilden, wobei eine Si-Einrichtungsschicht (20A) durch die Oxidschicht vollständig dielektrisch isoliert ist;

eine Einebnung bzw. Planarisierung wird mittels Rückätzen durchgeführt, wodurch die die Oxidation verhindernde Schicht (21) entfernt wird und das Silizium-auf-Isolator-Substrat (300) freigelegt wird, unter Ausbildung einer ebenen Oberfläche.



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Silizium-auf-Isolator("SOI")-Substrates, und insbesondere ein SOI-Substrat gemäß dem Patentanspruch 1, wobei eine Si-Einrichtungsschicht mit einer gleichmäßigen Dicke einbezogen wird.

[0002] Im allgemeinen wird bei einem Herstellungsverfahren für einen komplementären Metall-Oxid-Halbleiter("CMOS")-Transistor ein Isolations- bzw. Trennbereich mit einer großen Fläche benötigt, um die Einrichtungen zu trennen und den unerwünschten Latch-up-Effekt eines CMOS-Transistors zu verhindern. Dort gibt es jedoch Probleme, daß ein Trennbereich mit einer großen Fläche zu verringerten Chip-Abmessungen und einer reduzierten Integrationsdichte der Bauelemente führt.

[0003] Die SOI-Technik ist zur Bewältigung dieser Probleme vorgeschlagen worden. Durch die vollständige Trennung zwischen den Bauelementen wird bei einem SOI-Substrat, das eine vergrabene Oxidschicht hat, die zwischen einem Si-Handhabungs- bzw. Trägersubstrat und einem Si-Einrichtungssubstrat eingeschichtet ist, der Latch-up-Effekt eines CMOS-Transistors verhindert und eine hohe Betriebsgeschwindigkeit des Bauelements ermöglicht.

[0004] Ein Herstellungsverfahren für das SOI-Substrat ist das Verfahren zur Trennung durch implantierten Sauerstoff ("SIMOX-Verfahren"). Bei dem herkömmlichen SIMOX-Verfahren wird Bezugnehmend auf **Fig. 4A** ein Si-Substrat **1** mit Verunreinigungen z. B. Sauerstoffionen implantiert. Bezugnehmend auf **Fig. 4B** wird eine Temperungsbehandlung ausgeführt, um eine vergrabene Oxidschicht **2** und eine Si-Einrichtungsschicht **1A** in dem Si-Substrat **1** auszubilden. Bezugnehmend auf **Fig. 4C** wird ein Feldoxid **3** in der Si-Einrichtungsschicht **1A** durch ein LOCOS-Verfahren geschaffen, wodurch ein SOI-Substrat **100** ausgebildet wird.

[0005] Jedoch hat das herkömmliche SIMOX-Verfahren den Nachteil, daß Versetzungen in der Oberfläche einer Si-Schicht leicht auftreten, wenn Sauerstoffionen implantiert werden, wodurch ein hoher Leckstrom im Bauelement erzeugt wird.

[0006] Ein anderes Verfahren zur Herstellung des SOI-Substrats ist ein Wafer-Bond-Verfahren. Bei einem herkömmlichen Wafer-Bond-Verfahren werden Bezugnehmend auf **Fig. 5A** ein Si-Einrichtungssubstrat **10** und ein Handhabungs- bzw. Trägersubstrat **11** vorgesehen. Eine vergrabene Oxidschicht **12** wird auf dem Trägersubstrat **11** durch eine thermische Oxidation ausgebildet. Bezugnehmend auf **Fig. 5B** werden das Trägersubstrat **11** und das Einrichtungssubstrat **10** verbunden, wobei eine vergrabene Oxid-

schicht **12** zwischen den Substraten **10** und **11** ausgebildet wird. Danach wird das meiste des Einrichtungssubstrats **10** durch schleifen und läppen weggeätzt bzw. entfernt und dann wird das geschliffene und geläppte Einrichtungssubstrat **10** chemisch und mechanisch mit einem hohen Grad an Genauigkeit poliert, wodurch eine Si-Einrichtungsschicht **10A** ausgebildet wird. Bezugnehmend auf **Fig. 5C** wird eine Trennschicht **13** in der Si-Einrichtungsschicht **10A** geschaffen, um einen aktiven Bereich festzulegen.

[0007] Mit dem herkömmlichen Wafer-Bond-Verfahren ist es schwierig, einen Polierstoppunkt beim chemischen mechanischen Polieren zu steuern, um die Si-Einrichtungsschicht **10A** auszubilden. Da die Dicke der Si-Einrichtungsschicht **10A** nicht gleichmäßig ist, ist die Ausbeute der Halbleitereinrichtungen reduziert. Zusätzlich haben die herkömmlichen Wafer-Bond-Verfahren Nachteile durch ein umständliches Herstellungsverfahren und hohe Fertigungskosten. Ferner weisen die herkömmlichen Verfahren den Nachteil auf, daß ein getrennter zusätzlicher Prozess erforderlich ist, der ein Feldoxid in einer Si-Einrichtungsschicht ausbildet, um einen aktiven Bereich festzulegen.

Stand der Technik

[0008] Die US 4,845,048 offenbart ein Verfahren zum Herstellen eines Halbleiterbauelementes, bei dem Vertiefungen in ein Siliziumsubstrat geätzt werden. Daraufhin werden erste Schichten, die als Maske für spätere Verfahrensschritte verwendet werden, ausgebildet. Daraufhin werden mehrere Schichten an den Seitenwänden der ausgebildeten Öffnungen erzeugt. Durch Rückätzung wird eine planarisierte Struktur der Oberfläche des Halbleiterbauelementes erzeugt.

[0009] Die US 4,685,198 offenbart ein Substrat, bei dem die Einrichtungsschicht aus Silizium von unten vollständig durch eine Isolierschicht vom Unterbau getrennt ist. Auch die Seiten der Einrichtungsschicht werden isoliert, und zwar durch eine weitere Schicht, die gesondert vorgesehen wird. Zwei unterschiedliche Schichten werden demzufolge eingesetzt, um die Einrichtungsschicht aus Silizium nach unten und seitlich elektrisch zu isolieren.

[0010] Die JP 56012749 A offenbart eine Halbleitereinrichtung mit einem Siliziumsubstrat. Dieses Substrat wird mit einer ersten Maske strukturiert, um mehrere Öffnungen im Substrat zu erzeugen. Anschließend wird eine Oxidation durchgeführt, um getrennte Siliziuminselabschnitte zu erzeugen, die durch einen Siliziumoxidfilm vom leitenden Substrat getrennt sind. Hierdurch soll es ermöglicht werden, kleine elektronische Halbleiterelemente bzw. -bereiche getrennt in einer hohen Integrationsdichte zu erzeugen.

Aufgabenstellung

[0011] Es ist Aufgabe der vorliegenden Erfindung, die oben aufgezeigten Nachteile des Standes der Technik wenigstens teilweise Abhilfe zu verschaffen, und ein Verfahren zur Herstellung eines SOI-Substrats, daß eine Si-Einrichtungsschicht hat, bei der die Oberfläche nicht geschädigt wird, und mit einem vereinfachten Prozess unter gleichzeitiger Ausbildung einer Isolationsschicht und einer vergrabenen Oxidschicht herstellbar ist zur Verfügung zu stellen.

[0012] Die genannte Aufgabe wird durch ein Verfahren gemäß dem Anspruch 1 gelöst.

[0013] Vorteilhafte Ausführungsformen bzw. Verfahrensvarianten werden durch die abhängigen Ansprüche definiert.

Ausführungsbeispiel

[0014] Die Aufgaben und Merkmale der Erfindung können leichter unter Bezugnahme auf die folgende im einzelnen dargelegte Beschreibung, die beigefügten Ansprüche und die anliegenden Darstellungen verstanden werden, in denen:

[0015] Fig. 1A bis 1F querschnittliche Ansichten sind, die ein Verfahren zur Herstellung eines SOI-Substrats gemäß einer Ausführungsform der vorliegenden Erfindung darstellen;

[0016] Fig. 2 eine querschnittliche Ansicht ist, die ein Verfahren zur Fertigung eines SOI-Substrats gemäß einer anderen Ausführungsform der vorliegenden Erfindung darstellt;

[0017] Fig. 3 eine querschnittliche Ansicht ist, die ein Verfahren zur Fertigung eines SOI-Substrats gemäß einer weiteren anderen Ausführungsform der vorliegenden Erfindung darstellt;

[0018] Fig. 4A bis 4C querschnittliche Ansichten sind, die ein Verfahren zur Herstellung eines SOI-Substrats gemäß der herkömmlichen SIMOX-Technik darstellen; und

[0019] Fig. 5A bis 5C querschnittliche Ansichten sind, die ein Verfahren zur Herstellung eines SOI-Substrats gemäß dem herkömmlichen Wafer-Bond-Verfahren darstellen.

[0020] Bezugnehmend auf Fig. 1A werden gemäß einer Ausführungsform der vorliegenden Erfindung Gräben T durch ein anisotropes Ätzverfahren an dem Abschnitt des Si-Substrats 20 ausgebildet, wo eine Isolations- bzw. Trennschicht ausgebildet werden soll, wobei das Si-Substrat mit Verunreinigungen dotiert wird.

[0021] Bezugnehmend auf Fig. 1B wird die Siliziumnitridschicht 21, die als eine Schicht zur Verhinderung der Oxidation dient, bis zu einer vorbestimmten Dicke über bzw. auf dem Si-Substrat 20 einschließlich den Gräben T abgeschieden. Das Photoresistmuster 22 wird durch Abscheiden einer Photoresistschicht und anschließendes Freilegen von Abschnitten der Siliziumnitridschicht 21, die über bzw. auf dem Grund der Gräben T vorkommt, durch ein herkömmliches photolithographisches Verfahren ausgebildet. Hierbei wird eine (nicht gezeigte) Oxidfläche zwischen dem Si-Substrat 20 und der Siliziumnitridschicht 21 ausgebildet, um die Spannungen aufgrund eines Unterschiedes der thermischen Ausdehnungskoeffizienten zwischen dem Si-Substrat 20 und der Siliziumnitridschicht 21 zu verringern.

[0022] Bezugnehmend auf Fig. 1C wird die sich ergebende Struktur dann anisotrop geätzt, wobei das Photoresistmuster 22 und die freigelegten Abschnitte der Siliziumnitridschicht 21 entfernt werden, wodurch das Si-Substrat 20 an den Boden der Gräben freigelegt wird.

[0023] Bezugnehmend auf Fig. 1D wird das freigelegte Si-Substrat 20 mittels der Siliziumnitridschicht 21 als Maske isotrop geätzt, um Rillen H am Boden der Gräben T durch seitliches Ätzen auszubilden, so daß der Bodenbereich breiter geätzt wird, als der der ursprünglichen Gräben, um dadurch den Abstand zwischen benachbarten Gräben T zu schmälern.

[0024] Bezugnehmend auf Fig. 1E wird das Si-Substrat 20 thermisch oxidiert, um eine Oxidschicht 23 und eine Si-Einrichtungsschicht 20A auszubilden, die durch die Oxidschicht 23 isoliert ist.

[0025] Bezugnehmend auf Fig. 1F werden die Siliziumnitridschicht 21 und die Si-Einrichtungsschicht 20 weggeätzt, bis die Oberfläche der Oxidschicht 23 freigelegt ist. Das Ätzen wird durch chemisches und mechanisches Polieren oder Rückätzen vorgenommen, um ein SOI-Substrat 300 mit einer ebenen Oberfläche auszubilden. Hierbei dient der Abschnitt 23A der Oxidschicht 23, die zwischen der benachbarten Si-Einrichtungsschicht 20A vorkommt, als Feldoxid für eine Isolation des SOI-Substrats. Zusätzlich dient der Abschnitt 23B der Oxidschicht 23, die in dem Si-Substrat 20 vorkommt, das unter der Si-Einrichtungsschicht 20A liegt, als vergrabenes Oxid des SOI-Substrats. Gemäß der vorliegenden Erfindung werden das vergrabene Oxid 23B und das Feldoxid 23A zur Isolation gleichzeitig ausgebildet.

[0026] Bezugnehmend auf Fig. 2 werden gemäß einer anderen Ausführungsform der vorliegenden Erfindung, um eine thermische Oxidation zur Ausbildung des Oxides 23 zu beschleunigen, eine Polysiliziumschicht 30 an den Rillen H in dem Boden der Gräben T vor der thermischen Oxidation nach

Fig. 1D ausgebildet. Falls die thermische Oxidation anschließend durchgeführt wird, wobei die Polysiliziumschicht **30** als eine Silizium zur Verfügung stellende Schicht verwendet wird, wird die Oxidschicht **23** mit einer Dicke ausgebildet, die ausreicht, um an der Oberfläche des Si-Substrats **20**, wie in **Fig. 1E** gezeigt, anzulangen.

[0027] Bezugnehmend auf **Fig. 3** werden gemäß einer weiteren anderen Ausführungsform der vorliegenden Erfindung vor der thermischen Oxidation nach **Fig. 1D** Sauerstoffionen in das Si-Einrichtungssubstrat an den Gräben **H** implantiert, um eine thermische Oxidation zu beschleunigen.

[0028] Gemäß der vorliegenden Erfindung werden das Feldoxid für die Isolation und das vergrabene Oxid gleichzeitig durch eine thermische Oxidation unter Verwendung von Gräben ausgebildet, und dann wird die Oberfläche eines Si-Substrats rückgeätzt oder chemisch und mechanisch poliert, wodurch ein SOI-Substrat ausgebildet wird.

[0029] Während diese Erfindung unter Bezugnahme auf illustrative Ausführungsformen beschrieben worden ist, ist es nicht bezweckt, daß diese Beschreibung in einem einschränkenden Sinne ausgelegt wird. Verschiedene Modifikationen der dargestellten Ausführungsformen, wie auch andere Ausführungsformen der Erfindung werden dem Fachmann im Stand der Technik durch die Bezugnahme auf diese Beschreibung vor Augen geführt. Es ist deshalb verständlich, daß die beigefügten Ansprüche derartige Modifikationen oder Ausführungsformen abdecken werden, so daß diese in den tatsächlichen Bereich der Erfindung fallen.

[0030] Die Erfindung betrifft ein Verfahren zur Herstellung eines SOI-Substrats, das die folgenden Schritte umfaßt: Gräben **T** werden in dem Si-Substrat **20** ausgebildet; ein die Oxidation verhindernder Film **21** wird über dem Si-Substrat und an den Seitenwänden der Gräben **T** ausgebildet; Rillen **H** werden an den Böden der Gräben **T** durch Ätzen des Si-Substrats unter Verwendung des die Oxidation verhindernden Films als eine Maske ausgebildet; eine Oxidation wird ausgeführt, die verwendet wird, um eine Oxidschicht und eine Si-Einrichtungsschicht **20A** getrennt durch die Oxidschicht auszubilden; der die Oxidation verhindernde Film wird entfernt; und eine Einebnung bzw. Planarisierung wird vorgenommen, um das Silizium-auf-Isolator-Substrat mit einer ebenen Oberfläche zu schaffen.

Patentansprüche

1. Verfahren zur Fertigung eines Silizium-auf-Isolator-Substrats (**300**), das die folgenden Schritte umfaßt:
Gräben (**T**) werden in einem Si-Substrat (**20**) ausge-

bildet;

eine die Oxidation verhindernde Schicht (**21**) wird auf dem Si-Substrat (**20**) und den Seitenwänden der Gräben (**T**) ausgebildet;

Rillen (**H**) werden an den Böden der Gräben (**T**) durch Ätzen des Si-Substrats (**20**) ausgebildet, wobei der die Oxidation verhindernde Film (**21**) als Maske verwendet wird;

eine Polysiliziumschicht wird in den Gräben und Rillen ausgebildet;

eine Oxidation wird anschließend durchgeführt, um eine Oxidschicht (**23**) zu bilden, wobei eine Si-Einrichtungsschicht (**20A**) durch die Oxidschicht vollständig dielektrisch isoliert ist;

eine Einebnung bzw. Planarisierung wird mittels Rückätzen durchgeführt, wodurch die die Oxidation verhindernde Schicht (**21**) entfernt wird und das Silizium-auf-Isolator-Substrat (**300**) freigelegt wird, unter Ausbildung einer ebenen Oberfläche.

2. Verfahren nach Anspruch 1, bei dem die die Oxidation verhindernde Schicht (**21**) Siliziumnitrid ist.

3. Verfahren nach einem der Ansprüche 1 oder 2, bei dem der Schritt zum Ausbilden der die Oxidation verhindernden Schicht (**21**) die folgenden Schritte umfaßt:

ein Siliziumnitrid (**21**) wird über bzw. auf dem Si-Substrat (**20**) einschließlich den Gräben (**T**) erzeugt bzw. abgeschieden;

ein Fotoresistmuster (**22**) wird ausgebildet, um das Siliziumnitrid über den Boden der Gräben (**T**) freizulegen;

das Siliziumnitrid (**21**) wird unter Verwendung des Fotoresistmusters strukturiert, um die die Oxidation verhindernde Schicht auszubilden; und
das Fotoresistmuster wird entfernt.

4. Verfahren nach Anspruch 3, bei dem der Schritt zum Ausbilden der die Oxidation verhindernden Schicht ferner den Schritt umfaßt, dass eine Oxidfläche über dem Si-Substrat (**20**) mit den Gräben (**T**) vor der Abscheidung bzw. Erzeugung des Siliziumnitrids ausgebildet wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem ferner Sauerstoffionen in das unter den Rillen (**H**) liegenden Si-Substrat (**20**) zwischen der Ausbildung der Rillen (**H**) und dem Oxidationsschritt implantiert werden.

6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem der Planarisierungs- bzw. Einebnungsschritt durchgeführt wird, bis die Oberfläche der Oxidschicht freigelegt ist.

7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem der Planarisierungs- bzw. Einebnungsschritt durch chemisches und mechanisches Polieren durchgeführt wird.

8. Verfahren nach einem der Ansprüche 1 bis 7,
bei dem der Einebnungsschritt durch ein Rückätzen
bzw. Wegätzen durchgeführt wird.

Es folgen 5 Blatt Zeichnungen

FIG.1 A

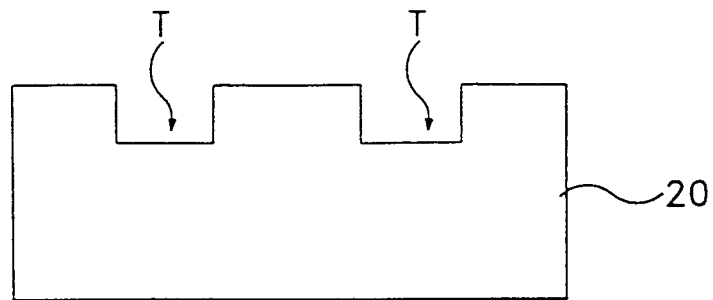


FIG.1 B

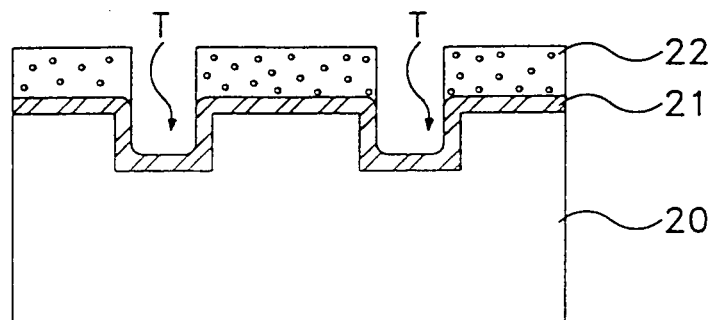


FIG.1 C

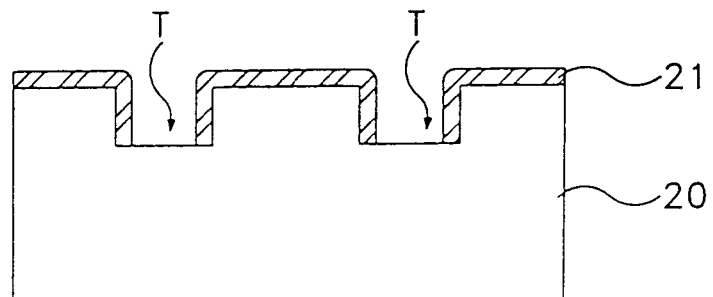


FIG. 1 D

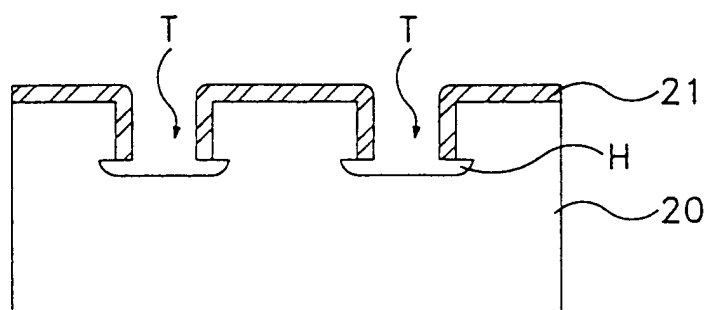


FIG. 1 E

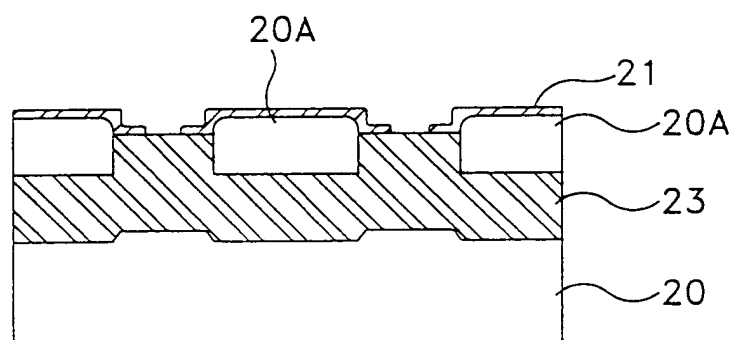


FIG. 1 F

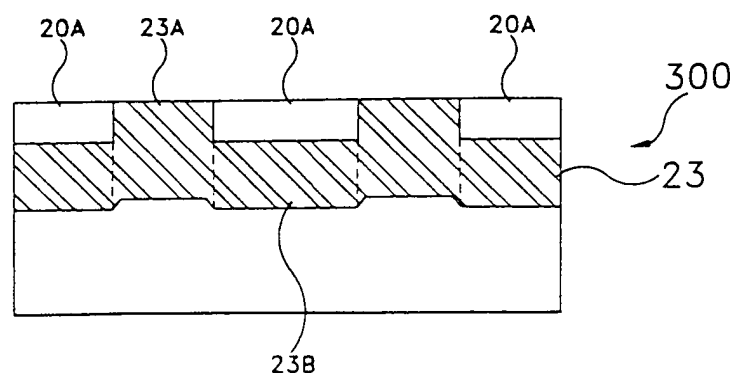


FIG. 2

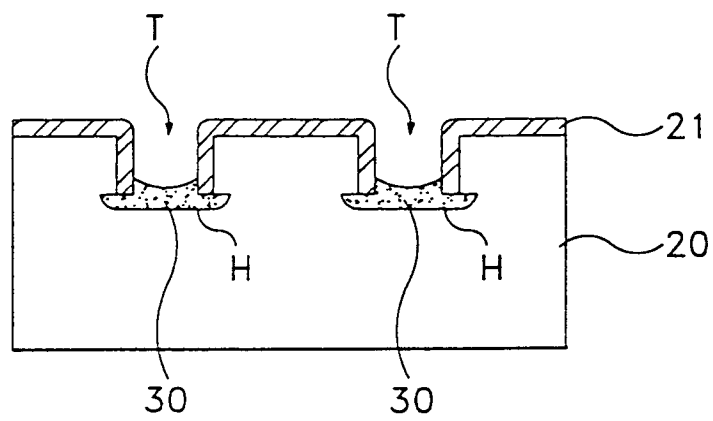


FIG. 3

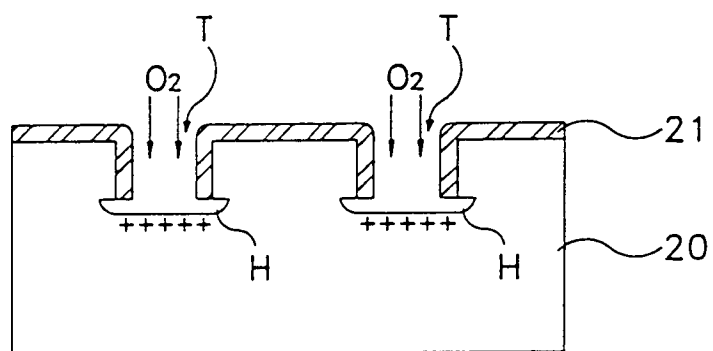


FIG.4 A

STAND DER TECHNIK

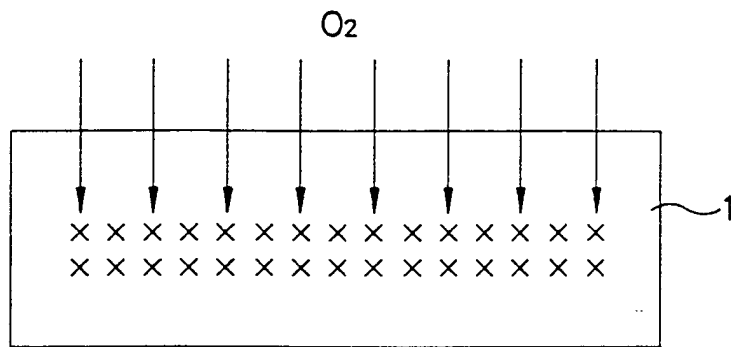


FIG.4 B

STAND DER TECHNIK

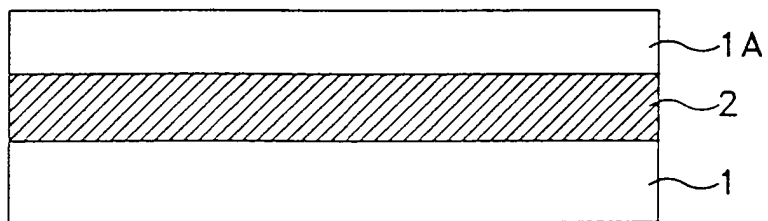


FIG.4 C

STAND DER TECHNIK

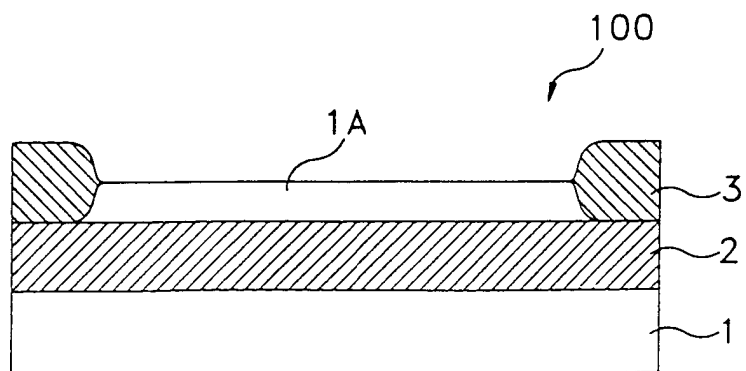


FIG.5A

STAND DER TECHNIK

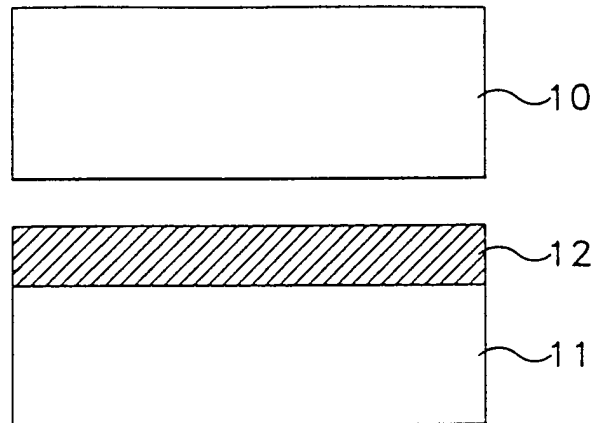


FIG.5B

STAND DER TECHNIK

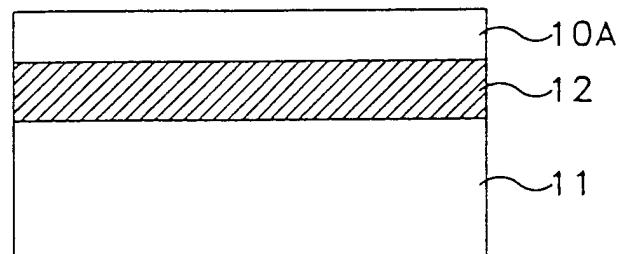


FIG.5C

STAND DER TECHNIK

