

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7174702号  
(P7174702)

(45)発行日 令和4年11月17日(2022.11.17)

(24)登録日 令和4年11月9日(2022.11.9)

(51)国際特許分類

F I

|         |        |           |         |       |         |
|---------|--------|-----------|---------|-------|---------|
| H 0 1 L | 29/78  | (2006.01) | H 0 1 L | 29/78 | 6 5 2 J |
| H 0 1 L | 29/06  | (2006.01) | H 0 1 L | 29/78 | 6 5 2 C |
| H 0 1 L | 29/12  | (2006.01) | H 0 1 L | 29/78 | 6 5 2 D |
| H 0 1 L | 29/739 | (2006.01) | H 0 1 L | 29/78 | 6 5 2 F |
| H 0 1 L | 21/336 | (2006.01) | H 0 1 L | 29/78 | 6 5 2 K |

請求項の数 8 (全37頁) 最終頁に続く

(21)出願番号 特願2019-530783(P2019-530783)  
 (86)(22)出願日 平成29年9月29日(2017.9.29)  
 (65)公表番号 特表2020-512682(P2020-512682 A)  
 (43)公表日 令和2年4月23日(2020.4.23)  
 (86)国際出願番号 PCT/US2017/054212  
 (87)国際公開番号 WO2018/106325  
 (87)国際公開日 平成30年6月14日(2018.6.14)  
 審査請求日 令和1年6月7日(2019.6.7)  
 審判番号 不服2021-17597(P2021-17597/J 1)  
 審判請求日 令和3年12月21日(2021.12.21)  
 (31)優先権主張番号 15/372,516  
 (32)優先日 平成28年12月8日(2016.12.8)  
 (33)優先権主張国・地域又は機関

最終頁に続く

(73)特許権者 592054856  
 ウルフスピード インコーポレイテッド  
 WOLF SPEED, INC.  
 アメリカ合衆国 ノースカロライナ州 2  
 7 7 0 3 ダラム シリコン ドライブ 4  
 6 0 0  
 (74)代理人 110000855弁理士法人浅村特許事務所  
 (72)発明者 リヒテンバルナー、ダニエル ジェイ.  
 アメリカ合衆国、ノースカロライナ、ロ  
 ーリー、ホライゾン ハイク コート 2  
 3 0 8  
 (72)発明者 バン ブラント、エドワード アール.  
 アメリカ合衆国、ノースカロライナ、ロ  
 ーリー、クレート ドライブ 1 4 1 3  
 (72)発明者 ハル、ブレット

最終頁に続く

(54)【発明の名称】 イオン注入側壁を有するゲート・トレンチを備えるパワー半導体デバイス及び関連方法

## (57)【特許請求の範囲】

## 【請求項1】

ワイド・バンドギャップ半導体材料を含むドリフト領域を備える半導体層構造であって、前記ドリフト領域は第1の導電型を有する、半導体層構造と、

前記半導体層構造の上部内のゲート・トレンチであって、前記ゲート・トレンチは、前記半導体層構造の前記上部における第1方向に延在する第1及び第2の対向する側壁を有する、ゲート・トレンチと、

前記ゲート・トレンチの底面下方の前記半導体層構造内の前記第1の導電型と反対の第2の導電型を有する深部遮蔽パターンと、

前記ゲート・トレンチの前記第1の側壁内に、前記第2の導電型を有する深部遮蔽接続パターンと、

前記第2の導電型を有するウェル領域であって、前記深部遮蔽接続パターンが、前記深部遮蔽パターンを前記ウェル領域に電氣的に接続する、前記ウェル領域と、

前記ゲート・トレンチの前記第2の側壁内に前記第2の導電型を有する半導体チャネル領域と、

複数の終端トレンチのそれぞれ<sup>1</sup>の下方に設けられる前記第2の導電型を有する複数の終端構造と、

前記半導体層構造の前記上部内の追加の複数のゲート・トレンチであって、前記追加の複数のゲート・トレンチの各々は、前記第1方向に延在するそれぞれの第1及び第2の対向する側壁を有する、追加の複数のゲート・トレンチと、

10

20

前記それぞれの追加の複数のゲート・トレンチの底面下方の前記半導体層構造内の前記第2の導電型を有する追加の複数の深部遮蔽パターンと、

前記それぞれの追加の複数のゲート・トレンチの第1の側壁内の前記第2の導電型を有する追加の複数の深部遮蔽接続パターンと、

前記それぞれの追加の複数のゲート・トレンチの前記第2の側壁内の前記第2の導電型を有する追加の複数の半導体チャネル領域と、  
を備え、

前記第1の側壁と前記ウェル領域との間の前記深部遮蔽接続パターンの一部が、前記ウェル領域よりもドーパント濃度が高く、

前記終端構造がまた、前記それぞれの終端トレンチの第1の部分の外側側壁ではなく、内側側壁内へ、且つ前記それぞれの終端トレンチの第2の部分の内側側壁でなく、外側側壁内へと延在する、半導体デバイス。

【請求項2】

前記半導体チャネル領域が、前記深部遮蔽接続パターンの一部分を含む第1の側壁の一部分の正反対の前記第2の側壁の一部分内に存在する、請求項1に記載の半導体デバイス。

【請求項3】

前記ゲート・トレンチが、前記半導体デバイスの活性領域内に位置し、前記半導体デバイスは、前記活性領域を囲む終端領域をさらに備え、前記終端領域は、前記複数の終端トレンチを備える、請求項1から2までのいずれか一項に記載の半導体デバイス。

【請求項4】

前記ゲート・トレンチの前記第1の側壁が、前記半導体層構造の前記上部に関して80度より小さい角度で傾けられる、請求項1から3までのいずれか一項に記載の半導体デバイス。

【請求項5】

前記深部遮蔽パターンが、前記ゲート・トレンチの下方の複数の間隔を空けられた深部遮蔽領域を備え、前記深部遮蔽接続パターンが、前記ゲート・トレンチの前記第1の側壁内の複数の間隔を空けられた深部遮蔽接続領域を備え、前記半導体チャネル領域が、第1及び第2の前記深部遮蔽接続領域間にある前記第1の側壁の一部分の反対側の前記第2の側壁の一部分内に存在する、請求項1から4までのいずれか一項に記載の半導体デバイス。

【請求項6】

前記深部遮蔽パターンが、前記ゲート・トレンチ下方で延在する連続した深部遮蔽領域を含み、前記深部遮蔽接続パターンが、前記ゲート・トレンチの前記第1の側壁内の連続した深部遮蔽接続領域を含む、請求項1から5までのいずれか一項に記載の半導体デバイス。

【請求項7】

前記半導体デバイスは、電流拡散層を含み、当該電流拡散層は、前記第1の導電型を有し、

前記第1の導電型を有する前記電流拡散層は、前記ドリフト領域上に配置され、前記電流拡散層は、前記ドリフト領域よりも高いドーパント濃度を有しており、

前記ドリフト領域と前記電流拡散層と基板とが一緒に、共通のドレイン領域として動作する、請求項1から6までのいずれか一項に記載の半導体デバイス。

【請求項8】

前記終端領域は、第1の部分と、第2の部分と、第3の部分と、第4の部分とを有し、  
前記第1の部分は、前記第2の部分の前記活性領域の反対側であり、

前記第3の部分は、前記第4の部分の前記活性領域の反対側であり、

前記複数の終端トレンチのそれぞれは、前記終端領域の前記第1の部分、前記第2の部分、前記第3の部分、前記第4の部分に延びており、

前記終端領域の前記第1の部分および前記第2の部分における前記複数の終端トレンチのそれぞれ隣接しているもの同士間の第1のギャップは、前記終端領域の前記第3の部分と前記第4の部分における前記複数の終端トレンチのそれぞれ隣接しているもの同士間の第2のギャップよりも小さく、

10

20

30

40

50

前記終端領域の前記第1の部分および前記第2の部分における前記複数の終端トレンチのそれぞれ隣接しているもの同士間の第1の幅は、前記終端領域の前記第3の部分および第4の部分における前記複数の終端トレンチのそれぞれ隣接しているもの同士間の第2の幅よりも大きい、請求項3に、または請求項3に従属する請求項4から7のいずれか一項に記載の半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

米国政府の利益に関する言明

本発明は、協力協定番号W911NF-12-2-0064の下で陸軍研究所から資金提供された政府の助成を受けてなされたものである。政府は、本発明について一定の権利を有する。

【0002】

本発明は、パワー半導体デバイスに関し、より詳細には、ゲート・トレンチを備えるパワー半導体デバイス及びそのようなデバイスの製造方法に関する。

【背景技術】

【0003】

パワー半導体デバイスは、大電流を伝送し、高電圧をサポートするために使用される。多種多様なパワー半導体デバイスが当技術分野で知られており、それは、例えば、パワー金属酸化膜半導体電界効果トランジスタ（「MOSFET: Metal Oxide Semiconductor Field Effect Transistor」）、バイポーラ接合トランジスタ（「BJT: bipolar junction transistor」）、絶縁ゲート・バイポーラ・トランジスタ（「IGBT: Insulated Gate Bipolar Transistor」）、接合障壁ショットキー・ダイオード、ゲート・ターンオフ・サイリスタ（「GTO: Gate Turn-Off Transistor」）、MOS制御サイリスタ、及び多様な他のデバイスを含む。これらのパワー半導体デバイスは通常、シリコン・カーバイド（「SiC」）又は窒化ガリウム（「GaN」）に基づく半導体材料などの、ワイド・バンドギャップ半導体材料から製造される。本明細書では、ワイド・バンドギャップ半導体材料は、1.40 eVを超えるバンドギャップ有する半導体材料を示す。

【0004】

パワー半導体デバイスは、横方向の構造又は垂直方向の構造を有し得る。横方向の構造を有するデバイスでは、デバイス（例えば、ドレイン、ゲート、及びソース）の端子は、半導体層構造の同一の主面（すなわち、上面又は底面）にある。それとは対照的に、垂直方向の構造を有するデバイスでは、少なくとも1つの端子が、半導体層構造の各主面上に（例えば、垂直方向のMOSFETでは、ソースは、半導体層構造の上面に存在し、ドレインは、半導体層構造の下面に存在し得る）設けられる。半導体層構造は、下地基板を含んでも、含まなくてもよい。本明細書では、用語「半導体層構造」は、半導体基板及び／又は半導体エピタキシャル層などの1つ又は複数の半導体層を含む構造を示す。

【0005】

従来のパワー半導体デバイスは通常、第1の導電型（例えば、n型の基板）を有するシリコン・カーバイドなどの半導体基板を有し、その上に第1の導電型（例えば、n型の）を有するエピタキシャル層構造が形成される。このエピタキシャル層構造の部分（1つ又は複数の別個の層を含み得る）は、パワー半導体デバイスのドリフト領域として機能する。デバイスは通常、pn接合などの接合を有する、1つ又は複数のパワー半導体デバイスを含む、「活性領域」を備える。活性領域は、ドリフト領域の上及び／又は中に形成され得る。活性領域は、逆バイアス方向の電圧を遮断し、正バイアス方向の電流を供給する主要接合として機能する。パワー半導体デバイスは、活性領域に隣接する終端領域にエッジ終端をさらに含み得る。1つ又は複数のパワー半導体デバイスが基板上に形成され得て、各パワー半導体デバイスは通常、各自のエッジ終端を含むことになる。基板が完全に処理

10

20

30

40

50

された後、完成した構造はダイシングされ、別個のエッジ終端されたパワー半導体デバイスを分離し得る。パワー半導体デバイスは、ユニット・セル構造を有し得て、その構造においては、各パワー半導体デバイスの活性領域は、互いに並行に配置され共に単一のパワー半導体デバイスとして機能する、複数の別個の「ユニット・セル」デバイスを備える。

【0006】

パワー半導体デバイスは、大電圧及び／又は電流を、（正の又は逆の遮断状態で）遮断する又は（正の動作状態で）通過させるように設計される。例えば、遮断状態では、パワー半導体デバイスは、数百又は数千ボルトの電位に耐えるように設計され得る。しかしながら、印加された電圧が、デバイスが遮断するように設計された電圧レベルに近づく又は超過すると、無視できないレベルの電流がパワー半導体デバイスを通り流れ始める可能性がある。通常「漏洩電流」と呼ばれるそのような電流は、著しく好ましくない可能性がある。漏洩電流は、デバイスの設計電圧遮断能力を超えて増大される場合、流れ始め得て、数ある中でも、ドリフト領域のドーピング及び厚さの関数であり得る。漏洩電流は、デバイスのエッジ終端及び／又は1次接合の不全などの他の理由のために発生し得る。デバイスに印加される電圧が破壊電圧を超えて危険なレベルまで増大される場合、増大する電界は、半導体デバイス内部で制御不可能で所望されない電荷キャリアの逃げが発生する原因となり、アバランシェ降伏として知られる状態をもたらし得る。

【0007】

パワー半導体デバイスはまた、無視できない量の漏洩電流がデバイスの設計破壊電圧より低い電圧レベルで流れることを許し始める可能性がある。特に、漏洩電流は、電界集中効果により高電界が発生し得る活性領域のエッジで、流れ始める可能性がある。この電界集中（及び付随する増大する漏洩電流）を低減するために、上述のエッジ終端が、パワー半導体デバイスの活性領域の一部又は全部を取り囲むように設けられ得る。これらのエッジ終端は、電界をより大きな面積へと展開させ、それにより電界の集中を低減させ得る。

【0008】

MOSFETトランジスタを含む垂直方向のパワー半導体デバイスは、トランジスタのゲート電極が、半導体層構造の上に形成される標準的ゲート電極設計を有し得、又は別法として半導体層構造内部のトレンチ内に埋め込まれたゲート電極を備え得る。埋め込みゲート電極を備えるMOSFETは通常、ゲート・トレンチMOSFETと呼ばれる。標準的ゲート電極設計により、各ユニット・セル・トランジスタのチャネル領域は、ゲート電極下方で水平方向に配置される。対照的に、ゲート・トレンチMOSFET設計では、チャネルは垂直方向に配置される。ゲート・トレンチMOSFETは、改良された性能を提供し得るが、通常、より複雑な製造工程を必要とする。

【発明の概要】

【課題を解決するための手段】

【0009】

本発明の実施例に従って、ワイド・バンドギャップ半導体材料を含み、第1の導電型を有するドリフト領域を備える半導体層構造を含む、半導体デバイスが、提供される。ゲート・トレンチが、半導体層構造の上部内に設けられ、そのゲート・トレンチは、半導体層構造の上部における第1の方向に延在する第1及び第2の対向する側壁を有する。ワイド・バンドギャップ半導体材料がシリコン・カーバイドであるいくつかの実施例では、ゲート・トレンチの側壁は、シリコン・カーバイドのシリコン面（0001）の結晶面に対して90度配向するA面{11-20}又はM面{1-100}の結晶面群などの、シリコン・カーバイドの結晶面に沿って配向し得て、そのシリコン面は、典型的なシリコン・カーバイド・ウェハ表面の結晶面から数度に存在する。又は、ゲート・トレンチは、これらの結晶面群から小角度で、又は結晶面のR面{0-33-8}群などの他の面の近傍に形成され得る。これらのデバイスは、ゲート・トレンチの底面下方の半導体層構造において、第1の導電型と反対の第2の導電型を有する深部遮蔽パターンと、ゲート・トレンチの第1の側壁内に、第2の導電型を有する深部遮蔽接続パターンとをさらに備え得る。最後に、デバイスは、ゲート・トレンチの第2の側壁内に第1の導電型を有する半導体チャネ

ル領域を備え得る。

【0010】

いくつかの実施例では、半導体チャネル領域は、深部遮蔽接続パターン的一部分を含む第1の側壁的一部分の正反対の第2側壁的一部分であり得る。

【0011】

いくつかの実施例では、半導体層構造半導体層構造は、第2の導電型を有するウェル領域をさらに備え得て、深部遮蔽接続パターンは、深部遮蔽パターンをウェル領域に電氣的に接続し得る。

【0012】

いくつかの実施例では、ゲート・トレンチは、半導体デバイスの活性領域内に位置し得て、半導体デバイスは、活性領域を囲む終端領域をさらに備え得る。終端領域は、半導体層構造の上部に複数の終端トレンチを備え得る。

【0013】

いくつかの実施例では、半導体デバイスは、それぞれの終端トレンチ下方に設けられる第2の導電型を有する複数の終端構造を更に備え得る。

【0014】

いくつかの実施例では、終端構造はさらに、それぞれの終端トレンチの第1の部分の外側側壁ではなく、内側側壁内へと延在し得て、それぞれの終端トレンチの第2の部分の内側側壁でなく、外側側壁内へと延在し得る。

【0015】

いくつかの実施例では、深部遮蔽パターンの底部は、各終端構造の底部として半導体層構造内でほぼ同一の深さであり得る。いくつかの実施例では、終端構造は、ガード・リングであり得る。

【0016】

いくつかの実施例では、ゲート・トレンチの第1の側壁は、半導体層構造の上部に関して80度より小さい角度で傾けられ得る。

【0017】

いくつかの実施例では、深部遮蔽パターンは、ゲート・トレンチ下方に複数の間隔を空けられた深部遮蔽領域を備え得て、深部遮蔽接続パターンは、ゲート・トレンチの第1の側壁内に複数の間隔を空けられた深部遮蔽接続を備え得る。半導体チャネル領域は、第1及び第2の深部遮蔽接続領域間にある第1の側壁的一部分の反対側の第2の側壁的一部分であり得る。

【0018】

いくつかの実施例では、深部遮蔽パターンは、ゲート・トレンチ下方で延在する連続した深部遮蔽領域であり得て、深部遮蔽接続パターンは、ゲート・トレンチの第1の側壁内の連続した深部遮蔽接続領域であり得る。

【0019】

いくつかの実施例では、ワイド・バンドギャップ半導体は、シリコン・カーバイドであり得る。

【0020】

本発明のさらなる実施例に従って、活性領域及び終端領域を有する半導体層構造を備える、半導体デバイスが提供される。半導体層構造は、第1の導電型を有するドーパントでドーピングされたワイド・バンドギャップ半導体材料を含むドリフト領域を含む。複数のゲート・トレンチは、半導体層構造の上部内に形成された活性領域内に設けられ、そのゲート・トレンチは、第1の方向に延在し、第1の方向と垂直な第2の方向で互いから間隔を空けられている。半導体デバイスは、第1の導電型と反対の第2の導電型を有するドーパントでドーピングされた複数の深部遮蔽パターンをさらに備え得て、その深部遮蔽パターンは、それぞれのゲート・トレンチ下方の半導体層構造内に配置される。デバイスは、半導体層構造の上部内に形成された終端領域内に複数の終端トレンチをさらに備える。最後に、半導体デバイスは、第2の導電型を有するドーパントでドーピングされた複数の終

10

20

30

40

50

端構造を備え、その終端構造は、それぞれの終端トレンチの下方の半導体層構造内に配置される。

【0021】

いくつかの実施例では、各終端構造はさらに、それぞれの終端トレンチの少なくとも1つの側壁内に延在し得る。

【0022】

いくつかの実施例では、半導体デバイスは、それぞれのゲート・トレンチの第1の側壁内で第2の導電型を有する複数の深部遮蔽接続パターンをさらに備え得る。各深部遮蔽接続パターンは、複数の深部遮蔽パターンのうちのそれぞれの1つを共通のソース・コンタクトに電氣的に接続し得る。

【0023】

いくつかの実施例では、半導体デバイスは、それぞれのゲート・トレンチの第2の側壁内で第1の導電型を有する複数の半導体チャネル領域をさらに備え得る。

【0024】

いくつかの実施例では、各半導体チャネル領域は、複数の深部遮蔽接続パターンのうちのそれぞれの1つの一部分を含む第1の側壁の正反対の部分であり得る。

【0025】

いくつかの実施例では、終端構造は、それぞれの終端トレンチの第1の部分の外側側壁ではなく、内側側壁内へ、それぞれの終端トレンチの第2の部分の内側側壁でなく、外側側壁内へと延在し得る。

【0026】

いくつかの実施例では、各深部遮蔽パターンの底部は、各終端構造の底部として半導体層構造内でほぼ同一の深さであり得る。

【0027】

いくつかの実施例では、ワイド・バンドギャップ半導体は、シリコン・カーバイドであり得る。

【0028】

やはり本発明のさらなる実施例に従って、半導体デバイスを形成する方法が提供され、ワイド・バンドギャップ半導体層構造は、基板上に形成され、その半導体層構造は、第1の導電型を有するドリフト領域を備える。複数のゲート・トレンチは、半導体層構造の上部内に形成され、そのゲート・トレンチは、第1の方向に延在し、第1の方向と垂直な第2の方向で互いから間隔を空けられており、各ゲート・トレンチは、底面と、第1の方向に延在する第1の側壁と、第1の方向に延在する第2の側壁とを備える。第1の導電型と反対の第2の導電型を有するドーパントは、ゲート・トレンチの底面及び第1の側壁内に注入される。

【0029】

いくつかの実施例では、第2の導電型を有するドーパントは、角度設定イオン注入を用いてゲート・トレンチの第1の側壁内に注入され得る。

【0030】

いくつかの実施例では、半導体デバイスは、半導体層構造の第1の主面上の第1のソース／ドレイン・コンタクトと、第1の主面と反対の半導体層構造の第2の主面上の第2のソース／ドレイン・コンタクトとを備える垂直方向の半導体デバイスであり得る。

【0031】

いくつかの実施例では、半導体層構造は、ゲート・トレンチ間に第2の導電型を有する複数のウェル領域を備え得る。

【0032】

いくつかの実施例では、ゲート・トレンチの底面内に注入される第2の導電型ドーパントは、それぞれのゲート・トレンチ下方に複数の深部遮蔽パターンを形成し得て、ゲート・トレンチの第1の側壁内に注入される第2の導電型ドーパントは、深部遮蔽領域をそれぞれのウェル領域に電氣的に接続する複数の深部遮蔽接続パターンを形成し得る。

10

20

30

40

50

【0033】

いくつかの実施例では、チャンネル領域は、ゲート・トレンチのそれぞれの第2の側壁内に形成され得る。

【0034】

いくつかの実施例では、各チャンネル領域は、複数の深部遮蔽接続パターンのうちのそれぞれの1つの一部分の正反対であり得る。

【0035】

いくつかの実施例では、ウェル領域は、半導体層構造内にあり得て、その半導体層構造は、単一のエピタキシャル成長工程で形成され得る。

【0036】

いくつかの実施例では、ゲート・トレンチの第1の側壁は、半導体層構造の上部に関して80度より小さい角度で傾けられ得る。

【0037】

いくつかの実施例では、終端構造は、半導体デバイスの終端領域内に形成され得る。終端構造は、深部遮蔽パターン及び深部遮蔽接続パターンと同時にイオン注入によって形成され得る。

【0038】

いくつかの実施例では、終端構造を形成するステップは、終端領域内に複数の終端トレンチを形成するステップと、第2の導電型を有するドーパントを用いて各終端トレンチの底面及び第1の側壁に注入するステップとを含む。

【0039】

いくつかの実施例では、終端トレンチの底面及び第1の側壁は、角度設定イオン注入により形成され得る。

【0040】

いくつかの実施例では、第2の角度設定イオン注入が、ゲート・トレンチの第2の側壁内に第2の導電型ドーパントを注入するために、実施され得る。

【0041】

いくつかの実施例では、各深部遮蔽パターンは、各ゲート・トレンチ下方に複数の間隔を空けられた深部遮蔽領域を備え得る。

【図面の簡単な説明】

【0042】

【図1】第1の従来のゲート・トレンチ・パワーMOSFETの概略断面図である。

【図2】第2の従来のゲート・トレンチ・パワーMOSFETの概略断面図である。

【図3】第3の従来のゲート・トレンチ・パワーMOSFETの概略断面図である。

【図4A】本発明の実施例による、ゲート・トレンチ・パワーMOSFETの一部分の概略平面図である。

【図4B】図4Aの線4B-4Bに沿ってとられた図4Aのゲート・トレンチ・パワーMOSFETの概略断面図である。

【図5】角度設定ゲート・トレンチを備える本発明のさらなる実施例による、ゲート・トレンチ・パワーMOSFETの概略断面図である。

【図6A】本発明の実施例による、p型チャンネルシリコン・カーバイド絶縁ゲート・バイポーラ・トランジスタ（「IGBT」）の簡易化した回路図である。

【図6B】図6AのIGBTのユニット・セルの概略断面図である。

【図7A】デバイスの終端領域内に形成されたエッジ終端を示す本発明のやはりさらなる実施例による、ゲート・トレンチ・パワーMOSFETの概略断面図である。

【図7B】デバイスのエッジ終端をさらに詳細に示す図7Aのゲート・トレンチ・パワーMOSFETの概略平面図である。

【図8】図4A～4BのパワーMOSFETの変更バージョンの平面図である。

【図9A】図4A～4Bのゲート・トレンチ・パワーMOSFETの製造方法を示す概略断面図である。

10

20

30

40

50

【図 9 B】図 4 A ～ 4 B のゲート・トレンチ・パワー MOS F E T の製造方法を示す概略断面図である。

【図 9 C】図 4 A ～ 4 B のゲート・トレンチ・パワー MOS F E T の製造方法を示す概略断面図である。

【図 9 D】図 4 A ～ 4 B のゲート・トレンチ・パワー MOS F E T の製造方法を示す概略断面図である。

【図 9 E】図 4 A ～ 4 B のゲート・トレンチ・パワー MOS F E T の製造方法を示す概略断面図である。

【図 9 F】図 4 A ～ 4 B のゲート・トレンチ・パワー MOS F E T の製造方法を示す概略断面図である。

10

【図 10 A】本発明のさらなる実施例による、ゲート・トレンチ・パワー MOS F E T の一部分の概略平面図である。

【図 10 B】図 10 A の線 10 B - 10 B に沿ってとられた図 10 A のゲート・トレンチ・パワー MOS F E T の概略断面図である。

【図 10 C】図 10 A の線 10 C - 10 C に沿ってとられた図 10 A のゲート・トレンチ・パワー MOS F E T の概略断面図である。

【図 10 D】図 10 A の線 10 D - 10 D に沿ってとられた図 10 A のゲート・トレンチ・パワー MOS F E T の概略断面図である。

【図 11】図 10 A ～ 10 D のパワー MOS F E T の変更バージョンの設計を示す図 10 A の線 10 C - 10 C に沿ってとられた概略断面図である。

20

【図 12】本発明の実施例による、ゲート・トレンチ・パワー半導体デバイスの製造方法を示すフローチャートである。

【図 13】メサ・エッチングを用いて形成されたガード・リング・エッジ終端を備える本発明のさらなる実施例による、ゲート・トレンチ・パワー MOS F E T の概略断面図である。

【図 14】メサ・エッチングを用いて形成された接合終端拡張エッジ終端を備える本発明のやはりさらなる実施例による、ゲート・トレンチ・パワー MOS F E T の概略断面図である。

【図 15】ガード・リング・エッジ終端を備える本発明の追加の実施例による、ゲート・トレンチ・パワー MOS F E T の概略平面図である。

30

【発明を実施するための形態】

【0043】

ワイド・バンドギャップ半導体パワーデバイスの製造における一課題は、パワー半導体デバイスのある一定の領域に n 型又は p 型の導電型を付与するために、ワイド・バンドギャップ半導体材料を不純物でドーピングすることがより困難であることである。これは、ゲート・トレンチを備える垂直方向のパワーデバイスに関して特にそうである、なぜなら例えばデバイスの上面から 1 ～ 5 マイクロメートル以上などのデバイス内部の深いレベルに第 2 の導電型を有する層の内部に第 1 の導電型を有する領域を形成することが、多くの場合必要であるからである。このことが、パワー半導体デバイスがシリコン・カーバイド又は他のワイド・バンドギャップ半導体材料内に製造される際に、課題を呈し得る。

40

【0044】

n 型及び／又は p 型のドーパントで半導体材料をドーピングする主要な方法には、（１）その成長中に半導体材料をドーピングする、（２）ドーパントを半導体材料内に拡散させる、及び（３）ドーパントを半導体材料内に選択的に注入するためにイオン注入を使用する、がある。シリコン・カーバイドがエピタキシャル成長中にドーピングされるとき、ドーパントは、不均一に蓄積する傾向があり、その結果ドーパントの濃度は、例えばデバイスの動作及び／又は信頼性に悪影響を与え得る、± 15 % で変動し得る。さらに、拡散によるドーピングは、シリコン・カーバイド、ガリウム窒化物、及び多様なワイド・バンドギャップ半導体デバイスにおいては選択肢とならない、なぜなら n 型及び p 型のドーパントは、それらの材料内に高温であっても、良好に（又は全く）拡散しない傾向があるか

50

らである。

#### 【0045】

上述の制限のため、多くの場合イオン注入が、シリコン・カーバイドなどのワイド・バンドギャップ半導体材料をドーピングするために使用される。しかしながら、ゲート・トレンチ垂直方向パワーデバイスでは、深部遮蔽パターンをデバイスのウェル領域及び／又はゲート電極の下方に形成することが所望され得て、これらの深部遮蔽パターンは、多くの場合デバイス内部に1～3マイクロメートル以上の深さまで延在する。イオンが注入される深さは、注入エネルギーに直接関係する、すなわち、半導体層内部に高エネルギーで注入されるイオンは、層内部により深く達する傾向がある。したがって、イオン注入により深部遮蔽パターンを形成することは、高エネルギー注入を必要とする。ドーパント・イオンが、半導体層内に注入されるとき、イオンは、半導体層の結晶格子に損傷を与え、この損傷は通常、熱アニールによって部分的にのみ修復され得る。その上、格子損傷の量も、より高いエネルギーでの注入がより低いエネルギーでの注入より多くの格子損傷を引き起こす傾向をもつことにより、注入エネルギーに直接関係し、イオン注入の均一性も、注入深さの増大と共に低下する傾向がある。したがって、深さにより良好なドーピング均一性及び／又は受容可能なレベルの格子損傷を有する注入領域を形成するために、複数の連続するエピタキシャル成長／イオン注入ステップを実行し、深部注入を形成することが不可欠であり得る。このことは、製造工程の複雑さとコストを著しく増大させ得て、多くの事例において商業的に実現可能な選択肢とならない可能性がある。

#### 【0046】

多様な方法が、ゲート・トレンチ垂直方向パワー半導体デバイス内に深部遮蔽パターンを形成するために、従来使用されてきた。図1～3は、いくつかの異なる方法を模式的に示す。

#### 【0047】

図1は、第1のワイド・バンドギャップパワーMOSFET100の概略断面図である。図1に示すように、パワーMOSFET100は、高濃度にドーピングされた( $n^+$ ) $n$ 型シリコン・カーバイド基板110を備える。低濃度にドーピングされた( $n^-$ )シリコン・カーバイド・ドリフト領域120が、基板110上に設けられている。シリコン・カーバイド・ドリフト領域120の上部は、 $n$ 型シリコン・カーバイド電流拡散層(「CSL」)130であり得る。 $n$ 型シリコン・カーバイド電流拡散層130は、 $n$ 型シリコン・カーバイド・ドリフト領域120の残りの部分と同一の処理において成長され得て、シリコン・カーバイド・ドリフト領域120の一部としてみなされ得る。 $n$ 型シリコン・カーバイド電流拡散層130は、より低濃度にドーピングされた $n^-$ シリコン・カーバイドであり得る $n$ 型シリコン・カーバイド・ドリフト領域120の残りの部分のドーピング濃度を超えるドーピング濃度を有する、中濃度にドーピングされた層であり得る。

#### 【0048】

間隔を空けられた高濃度にドーピングされた( $p^+$ ) $p$ 型シリコン・カーバイドの深部遮蔽パターン140は、 $n$ 型電流拡散層130の上面にイオン注入によって形成される。中濃度にドーピングされた $p$ 型シリコン・カーバイド層170が次に、 $n$ 型電流拡散層130の

上面と、 $p^+$ シリコン・カーバイドの深部遮蔽パターン140との上にエピタキシャル成長によって形成される。この中濃度にドーピングされた $p$ 型シリコン・カーバイド層170は、デバイス100のPウェル172として機能する。高濃度にドーピングされた $p^+$ シリコン・カーバイド領域174は、Pウェル172内にイオン注入により形成され、その下の深部遮蔽パターン140に電氣的に接続される。Pウェル172は、高濃度にドーピングされた領域174隣接する中濃度にドーピングされた $p$ 型領域176をさらに備える。 $p$ 型領域174、176は、共にPウェル172を形成する。トランジスタ・チャネルは、後述するように、Pウェル172の中濃度にドーピングされた領域176内に形成され得る。基板110、ドリフト領域120(電流拡散層130を備える)、及び中濃度にドーピングされた $p$ 型層170は、その内部に形成される多様な領域／パターンと共に、

MOSFET 100の半導体層構造106を構成する。

【0049】

ゲート・トレンチ180は、半導体層構造106内に形成される。ゲート・トレンチ180は、中濃度にドーピングされたp型層170を通り延在し、Pウェル172を画定する。ゲート絶縁層182は、各ゲート・トレンチ180の底面及び側壁上に形成される。ゲート電極184は、それぞれのゲート・トレンチ180を充填するために、各ゲート絶縁層182上に形成される。垂直方向のチャンネル領域178は、ゲート絶縁層182に隣接したPウェル172内に設けられる。

【0050】

高濃度にドーピングされた $n^+$ シリコン・カーバイド・ソース領域160は、Pウェル172の上部内にイオン注入により形成される。ソース・コンタクト190は、高濃度にドーピングされたn型ソース領域160及びPウェル172上に形成される。ドレイン・コンタクト192は、基板110の下面上に形成される。ゲート・コンタクト（図示せず）は、各ゲート電極184上に形成され得る。

【0051】

高濃度にドーピングされた $p^+$ シリコン・カーバイドの深部遮蔽パターン140は、Pウェル172の中濃度にドーピングされた部分176の下で延在する下部の横延在部142を備える。これらの横延在部142は、ゲート絶縁層182の角部を高電界から保護するための逆阻止動作中に、電界を遮断することを支援し得る。通常シリコン酸化物層として実装されるゲート絶縁層182が、過度に高電界を受ける場合、時間とともに劣化し、最終的にゲート電極184を下層の電流拡散層130から絶縁できなくなり得て、そのことがデバイス故障という結果をもたらす得る。

【0052】

上述のパワーMOSFET 100の設計は、いくつかの潜在的な短所を有する。第1に、Pウェル172は通常、エピタキシャル成長中にドーピングされ、その結果、その領域174、176は、これらの領域を形成するために2回の別のp型ドーパント・イオン注入を必要とせずに、異なるドーピング濃度を有し得る。上述したように、ワイド・バンドギャップ半導体材料でのエピタキシャル成長中のドーピング時に、一貫したドーピング濃度を維持することは、困難であり得て、ドーピング・レベルの不均一性が、デバイス性能の低下及び／又はデバイス不良の可能性の増大という結果をもたらす得る。第2に、さらなるイオン注入ステップが、Pウェル172内の高濃度にドーピングされた $p^+$ 領域174を形成するために必要となり、このことが製造時間及びコストを増大させる。第3に、ゲート・トレンチ180及びPウェル172の高濃度にドーピングされた $p^+$ 部分174が、その下の深部遮蔽パターン140に対して正確に位置合わせされることを保証するために、高精度な位置合せが、深部遮蔽パターン140の形成後に発生するゲート・トレンチ180の形成及び多様な他の処理ステップ中に必要となる。そのような高精度なアライメントを、製造環境において一貫して達成することは困難であり得て、達成されない場合、デバイス不良という結果をもたらす得る。

【0053】

図2は、第2の従来のワイド・バンドギャップパワーMOSFET 200の概略断面図である。図1及び2を比較することによって分かるように、パワーMOSFET 100及び200は、設計が類似している。その結果、2つのパワーMOSFET 100、200の同一の又は同様の構成要素は、同一の参照符号で示されており、これらの同一の／同様の構成要素は、それらが既に上述されているので、パワーMOSFET 200に関して全体的に省略することにする。パワーMOSFET 100及び200間の主要な差異は、パワーMOSFET内に備えられる高濃度にドーピングされた $p^+$ 深部遮蔽パターン240が、パワーMOSFET 100の深部遮蔽パターン140内に備えられる横延在部142を有さないことである。

【0054】

パワーMOSFET 200は、単一のエピタキシャル成長工程で層120、130、及

10

20

30

40

50

び170を成長させることによって、製造され得る。一連のトレンチは、続いてデバイスの上面に形成される。これらのトレンチの一つおきのものが、完成したデバイス200でゲート・トレンチ180として機能する。マスク層が次に、デバイス上にゲート・トレンチとして機能しないことになるトレンチ（すなわち、一つおきのトレンチ）を露出させたままにして形成され得て、イオン注入処理が、複数の高濃度にドーピングされた $p^+$ 深部遮蔽パターン240を形成するために、これらの露出されたトレンチの底部内に実施され得る。さらなるエピタキシャル成長処理が、ゲート・トレンチとして機能しないことになるトレンチを半導体材料で充填するために実行され、Pウェル172の高濃度にドーピングされた $p^+$ 領域174を形成し得る。イオン注入ステップが次に、高濃度にドーピングされた $n^+$ ソース領域160を形成するために実行され得る。次に、ゲート絶縁層182及びゲート電極184は、パワーMOSFET100を用いて上述した同じ手法で形成され得る。

#### 【0055】

パワーMOSFET200の設計は、上述したパワーMOSFET100の多様な潜在的な問題を克服する。具体的には、MOSFET200は、MOSFET100の製造に存在した位置合せ問題を回避し、Pウェル172の高濃度にドーピングされた $p^+$ 領域174を形成するために別個のイオン注入ステップを必要としない。しかしながら、パワーMOSFET200の1つの課題は、2倍多いトレンチの形成を必要とすることである。さらに、パワーMOSFET200内の深部遮蔽パターン240が、MOSFET100の深部遮蔽パターン140では備えられていた横延在部142を備えないので、パワーMOSFET200の電界遮断性能は、パワーMOSFET100の電界遮断性能ほど良好でない可能性がある。

#### 【0056】

図3は、第3の従来のワイド・バンドギャップパワーMOSFET300の概略断面図である。パワーMOSFET300は、上述したパワーMOSFET100、200と設計は同様である。その結果、3つのパワーMOSFET100、200、300の同一の又は同様の構成要素は、同一の参照符号で示されており、これらの同一の／同様の構成要素の説明は、パワーMOSFET300に関して全体的に省略することにする。

#### 【0057】

パワーMOSFET100、200とパワーMOSFET300との間の主要な差異は、パワーMOSFET300が、パワーMOSFET100、200のPウェル172の下に設けられた深部遮蔽パターン140、240とは対照的に、各ゲート・トレンチ180の下に設けられた深部遮蔽パターン340を備えることである。深部遮蔽パターン340は、逆阻止動作中にゲート絶縁層182の角部を高電界から保護することに非常に有効であり得る。しかしながら、深部遮蔽パターン340を提供することに伴う一つの潜在的な問題は、それらがPウェル372に電氣的に接続される必要があるということであり、深部遮蔽パターン340とPウェル372との間に良好な電氣的接続を形成することが、課題となり得る。その上、この電氣的接続を形成することは通常、追加の処理ステップを必要とし、且つ／又はデバイス構造内に、例えば、デバイス内に備えられ得るユニット・セルの数を減少させる、追加の「面積」を専有し得る。

#### 【0058】

本発明の実施例に従って、一般に製造が簡単であるウェル領域に対して良好な電氣的接続を有する、ゲート・トレンチの下層に深部トレンチ遮蔽パターンを有する、パワーMOSFET及びパワーIGBTなどのゲート・トレンチ・ワイド・バンドギャップ・パワー半導体デバイスが、提供される。いくつかの実施例では、ゲート・トレンチ・ワイド・バンドギャップ・パワー半導体デバイスは、単一の注入工程で、（1）ゲート・トレンチ下の深部遮蔽パターン、及び（2）その深部遮蔽パターンをデバイスのウェル領域に電氣的に接続する深部遮蔽接続パターンの両方を形成する、角度設定イオン注入を用いて形成され得る。本発明の実施例による技術はさらに、例えば、デバイスの終端領域内のガード・リングなどの終端構造を形成するために使用され得て、その結果、終端構造は、デバイス

の活性領域内に形成される深部遮蔽パターンとして、半導体層構造内部で同一の深さへと延在することになる。このことが、デバイスの性能をさらに改善し得る。

【0059】

実例の実施例では、本発明の実施例による深部遮蔽パターンは、ゲート・トレンチが形成された後に、角度設定イオン注入を実施することによって形成され得る。角度設定イオン注入ステップは、ドーパント・イオンを、各ゲート・トレンチの底面と片方の側壁との両方の少なくとも一部分内に注入し、一方で、各ゲート・トレンチのもう一方の側壁内にはイオンを注入しない。ドーパント・イオンが、各ゲート・トレンチの底面内に注入され、それが既に半導体層構造内で1〜2マイクロメートルよりも深い可能性があるので、深部遮蔽パターンは、容易に所望の深さに注入され得て、通常比較的低い注入エネルギーを用いて注入され得る。このことは、格子構造への損傷を低減し、深部遮蔽パターン内のより高精度で均一なドーピング濃度を提供し得る。その上、ドーパント・イオンが、各ゲート・トレンチの片方の側壁内に注入され、その内部に深部遮蔽接続パターンを形成するので、電氣的接続が、各深部遮蔽パターンから近傍のウェル領域へと形成される。ゲート・トレンチの反対側の側壁は、注入され得ず、したがってデバイスのチャンネルはやはり、各ゲート・トレンチの片方の側面に設けられる。

【0060】

さらなる実施例に従って、一对の角度設定イオン注入ステップが、上述の深部遮蔽パターン及び深部遮蔽接続パターンを形成するために実施され得る。第1の角度設定注入は、ドーパント・イオンをゲート・トレンチの第1の側壁及び底面内に注入し得て、第2の角度設定注入は、ドーパント・イオンをゲート・トレンチの第2の側壁及び底面に注入し得る。したがって、これらの実施例では、深部遮蔽接続パターンは、各ゲート・トレンチの両方の側壁上に形成され得る。これらの実施例では、各ゲート・トレンチの横及び下に延在する深部遮蔽パターン及び深部遮蔽接続パターンは、各ゲート・トレンチ下の複数の間隔を空けられた深部遮蔽領域及び深部遮蔽接続領域を有するようにセグメント化され得る。チャンネル領域は、セグメント化された深部遮蔽領域と、深部遮蔽接続領域との間の中間に設けられ得る。

【0061】

やはりさらなる実施例では、ゲート・トレンチは、傾斜した側壁を有し得る。ゲート・トレンチが、傾斜した側壁を備えるとき、深部遮蔽パターン及び深部遮蔽接続パターンは、ゲート・トレンチの片方又は両方の側壁が角度設定イオン注入を用いることなしに注入され得るので、垂直方向の（すなわち、角度設定されない）イオン注入処理を用いて形成され得る。角度設定イオン注入は、これらの実施例でも使用されてもよい。

【0062】

本明細書で開示される深部遮蔽パターンを形成する新たな方法により、深部遮蔽パターン240が一つおきのトレンチの底部にだけ形成されるので、上述のパワーMOSFET 200内に備えられる深部遮蔽パターン240と比較して少なくとも2倍互いに近接した深部遮蔽パターンの形成が可能になる。したがって、本発明の実施例によるデバイスは、図2のパワーMOSFET 200に関して上述した技術を用いて形成されたデバイスと比較して、より良好な電界遮断とオン抵抗性能を示し得る。その上、深部遮蔽パターンを形成するために用いられる同一の注入ステップで、ゲート・トレンチ下の深部遮蔽パターンと、ウェル領域との間の電氣的接続を形成することによって、この電氣的接続の形成における図3のパワーMOSFET 300に関して上で説明した問題は、回避され得る。本発明の実施例による方法はまた、図1のパワーMOSFET 100の製造上必要な追加のエピタキシャル成長の必要性、及び関連する、複数のエピタキシャル成長ステップが実施されるときに発生する位置合せ問題を回避する。さらに、本発明の実施例によるデバイスは、より効果的であるゲート・トレンチ直下に深部遮蔽パターンを形成するが、上述した図1〜2のパワーMOSFET 100、200ではそうはならない。

【0063】

以下、本発明の実施の形態について図4A〜12を参照して説明する。本明細書で開示

された異なる実施例の特徴は、多くの追加の実施例を提供するために、任意の方法で組み合わせられ得ることが理解されよう。したがって、例えば、本明細書で説明される任意のMOSFETの実施例の特徴は、任意のIGBTの実施例に組み込まれ得て、その逆もあり得る。別の実例として、本明細書で説明した各エッジ終端は、任意の実施例に使用されてよく、特定のエッジ終端を備える実施例に限定されない。したがって、本発明の技術概念の多様な特徴は、特定の事例に関して以下に説明されるが、これらの特徴は、多くの追加の実施例を提供するために、他の実施例に付加され、且つ／又は他の実施例の実例に代えて使用され得ることが理解されよう。したがって、本発明は、これらの異なる組合せを包含すると理解されるべきである。

#### 【0064】

図4Aは、本発明の実施例による、ゲート・トレンチ・パワーMOSFET400の概略平面図である。図4Aの平面図では、ソース・コンタクト490は、下層の半導体層をより良好に示すために省略されている。図4Bは、図4Aの線4B-4Bに沿ってとられたゲート・トレンチ・パワーMOSFET400の概略断面図である。図4A及び4Bでは、ゲート・トレンチの外側に延在する任意のゲート電極／コンタクト材料は、MOSFETの他の特徴をより明確に示すために、且つ図面を単純化するために、図面から省略されている。

#### 【0065】

まず図4Aを参照すると、パワーMOSFET400は、活性領域402と、活性領域402を囲む終端領域（図示せず）を備える。図4A～4Bは、並列に配置された複数のユニット・セル408を備える単一のパワーMOSFET400を示す。ある実例のユニット・セル408が、図4Bの破線の四角によって示されている。パワーMOSFET400は、図4Bで示したほぼ3つのユニット・セル408よりも多くのユニット・セルを備え得る。複数のパワーMOSFET400は、単一のウェハ上に成長され得ることがさらに理解されよう。

#### 【0066】

図4A～4Bに示すように、パワーMOSFET400は、高濃度にドーピングされた（ $n^+$ ） $n$ 型ワイド・バンドギャップ半導体基板410を備える。基板410は、例えば単結晶4H-シリコン・カーバイド半導体基板を含み得る。基板410は、 $n$ 型不純物でドーピングされ得る（例えば、 $n^+$ シリコン・カーバイド基板）。不純物は、例えば、窒素又はリンを含み得る。基板410のドーピング濃度は、他のドーピング濃度が使用されてもよいが、例えば、 $1 \times 10^{18} \text{ atoms/cm}^3$ から $1 \times 10^{21} \text{ atoms/cm}^3$ の間であり得る。基板410は、任意の適切な厚さ（例えば、いくつかの実施例では、厚さ100から500マイクロメートルの間）であり得る。

#### 【0067】

低濃度にドーピングされた（ $n^-$ ）シリコン・カーバイド・ドリフト領域420が、基板410上に設けられている。シリコン・カーバイド・ドリフト領域420は、シリコン・カーバイド基板410上のエピタキシャル成長によって形成され得る。シリコン・カーバイド・ドリフト領域420は、例えば3～100マイクロメートルの基板410上の垂直方向の高さを有する厚い領域であり得る。シリコン・カーバイド・ドリフト層420の上部は、 $n$ 型シリコン・カーバイド電流拡散層430を含み得る。電流拡散層430は、例えば、より低濃度にドーピングされた $n^-$ シリコン・カーバイド・ドリフト領域420の残りの部分のドーピング濃度を超える、ドーピング濃度を有する中濃度にドーピングされた電流拡散層430を提供するために、エピタキシャル成長によって、形成され得る。シリコン・カーバイド・ドリフト領域420のより低濃度にドーピングされた部分は、他のドーピング濃度が使用されてもよいが、例えば、 $1 \times 10^{16} \text{ atoms/cm}^3$ から $5 \times 10^{17} \text{ atoms/cm}^3$ の間のドーピング濃度を有し得る。電流拡散層430は、他のドーピング濃度が使用されてもよいが、例えば、 $1 \times 10^{17} \text{ atoms/cm}^3$ から $5 \times 10^{18} \text{ atoms/cm}^3$ の間のドーピング濃度を有し得る。いくつかの実施例では、電流拡散層430のドーピング濃度は、シリコン・カーバイド・ドリフト領域420のよ

10

20

30

40

50

り低濃度にドーピングされた部分のドーピング濃度よりも、少なくとも1桁大きい濃度であり得る。

#### 【0068】

中濃度にドーピングされたp型シリコン・カーバイド470は、電流拡散層430の上に形成される。中濃度にドーピングされたp型シリコン・カーバイド層470は、n型電流拡散層430を形成するために用いられる同一のエピタキシャル成長ステップ中に、n型ドーパント・ソース・ガスが停止され、p型ドーパント・ソース・ガスが開始されることで、形成され得る。他の実施例では、ドーピングされていない（又はわずかにドーピングされた）エピタキシャル層が、電流拡散層430上にエピタキシャル成長により成長され得て、次に中濃度にドーピングされたp型シリコン・カーバイド層470が、この層内にp型ドーパント・イオンを注入することによって形成され得る。イオン注入手法は、追加の処理ステップを必要とするが、中濃度にドーピングされたp型シリコン・カーバイド層470全体により一貫したドーピング・レベルを提供し得る。中濃度にドーピングされたp型シリコン・カーバイド層470は、例えば、 $5 \times 10^{16} / \text{cm}^3$ から $5 \times 10^{17} / \text{cm}^3$ の間のドーピング濃度を有し得る。層410、420、430、470は、半導体層構造406を形成するために、n型ドーピングからp型ドーピングの間で処理を停止し切り替えることで、全て単一のエピタキシャル成長処理内で成長され得る。

10

#### 【0069】

高濃度にドーピングされた( $n^+$ ) n型シリコン・カーバイド・ソース領域460は、中濃度にドーピングされたp型シリコン・カーバイド層470の上部内に形成され得る。n型ソース領域460は、例えばイオン注入によって形成され得る。高濃度にドーピングされた( $n^+$ ) n型シリコン・カーバイド領域460は、MOSFET400のソース領域として機能する。ドリフト領域420／電流拡散層430及び基板410は共に、パワーMOSFET400の共通のドレイン領域として機能する。

20

#### 【0070】

ゲート・トレンチ480は、 $n^+$ シリコン・カーバイド領域460を通り（又はその脇を）、中濃度にドーピングされたp型シリコン・カーバイド層470を通り、n型シリコン・カーバイド電流拡散層430の上側面内へとエッチングされる。ゲート・トレンチ480は、中濃度にドーピングされたp型シリコン・カーバイド層470を、ゲート・トレンチ480間に設けられる複数のp型ウェル領域（「Pウェル」）472へと転換させ得る。ゲート・トレンチ480は、図4Bに示すように、いくつかの実施例では、U字型断面を有し得る。ゲート・トレンチ480の底部エッジの丸みは、ゲート・トレンチ480の底部角部において、電界を低減することを支援し得る。丸みのある角部は、いくつかの実施例では、省略され得る。

30

#### 【0071】

各ゲート・トレンチ480は、第1の側壁481と、第1の側壁481に対向する第2の側壁483とを備える。第1及び第2の側壁481、483は各々、半導体層構造406の上面に沿った第1の方向に延在する。各側壁481、483は、ゲート・トレンチ480の側面部分（すなわち、わずかに傾斜した側壁）を画定する半導体層構造406の一部分を含む。第1及び第2の側壁481、483は、いくつかの実施例では、実質的に垂直方向の側壁であり、他の実施例では、第1及び第2の側壁481、483は、ゲート・トレンチ480の底面に対して、90度よりわずかに大きい角度を有し得る。この増大された角度は、例えば、ゲート・トレンチ480を形成するために用いられるエッチング処理の結果であり得る（側壁の上部が、底部よりもエッチングで減らされ得る）。やはり他の実施例では、ゲート・トレンチの第1及び第2の側壁は、図5を用いて説明するような、より顕著な傾斜を有する側壁を備えるよう、意図的に設計され得る。

40

#### 【0072】

ゲート・トレンチ480が形成された後、高濃度にドーピングされた $n^+$ ソース領域を保護するために、マスクが形成される。次に、p型ドーパントが、複数の高濃度にドーピングされた深部遮蔽パターン440及び複数の高濃度にドーピングされた深部遮蔽接続パ

50

ターン４４４を形成するために、デバイスの上面内へ注入される。当業者に知られているように、 $n$ 型又は $p$ 型ドーパントなどのイオンは、所望のイオン種をイオン化し、そのイオンを所定の運動エネルギーで、イオン注入ターゲット・チャンバ内の半導体層の表面に向かうイオンビームとして加速することによって、半導体層又は領域内に注入され得る。所定の運動エネルギーに基づいて、所望のイオン種は、半導体層内へ、ある一定の深さに浸透し得る。

#### 【００７３】

深部遮蔽パターン４４０は、 $n$ 型ドリフト領域４２０／電流拡散層４３０の上面内でそれぞれのゲート・トレンチ４８０の下層に形成され、深部遮蔽接続パターン４４４は、ゲート・トレンチ４８０の第１の側壁４８１内に形成される。各深部遮蔽接続パターン４４４は、複数の深部遮蔽パターン４４０のうちのそれぞれの１つから、 $P$ ウェル４７２を貫通し、半導体層構造４０６の上面へと延在する。各深部遮蔽接続パターン４４４は、複数の深部遮蔽パターン４４０のうちのそれぞれの１つをそれぞれの $P$ ウェル４７２に電氣的に接続し得る。 $p$ 型シリコン・カーバイド遮蔽パターン４４０は、例えば、ドリフト層４２０／電流拡散層４３０内の約１～２マイクロメートルの深さへと延在し得る、しかしながら他のドーピング深さが使用されてもよい（例えば、０．５～３マイクロメートル又は１～３．５マイクロメートル）。各深部遮蔽パターン４４０は、付随する深部遮蔽接続パターン４４４を有し得る。深部遮蔽パターン４４０及びその付随する深部遮蔽接続パターン４４４は、ゲート・トレンチが半導体層構造４０６の上面に沿って延在する第１の方向に延在し得る。深部遮蔽パターン４４０及びその付随する深部遮蔽接続パターン４４４は、第１の方向と垂直である第２の方向において、互いから間隔を空けられ得る。

#### 【００７４】

深部遮蔽パターン４４０及び深部遮蔽接続パターン４４４は、いくつかの実施例では、角度設定イオン注入を用いて形成され得る。注入角度 $\alpha$ は、イオンがデバイスの上面と垂直である軸から注入される角度として定義される（図９Ｃを参照のこと）。いくつかの実施例では、注入角度 $\alpha$ は、２から１５度の間程度に小さい角度であり得る。他の実施例では、注入角度 $\alpha$ は、１５から４５度の間であり得る。やはり他の実施例では、注入角度 $\alpha$ は、４５から８０度の間であり得る。これにより、ほとんどの各ゲート・トレンチ４８０の下層の深部 $p$ 型注入が可能になり、一方、各ゲート・トレンチ４８０の片方の側壁４８１が注入されると共にもう一方の側壁４８３は注入されない。いくつかの実施例では、ゲート・トレンチ４８０のエッチングに用いられる同一のマスク層は、深部遮蔽パターン４４０及び深部遮蔽接続パターン４４４の形成中に、イオン注入マスクとして使用され得る。注入の角度 $\alpha$ 及び／又は注入のエネルギーは、ゲート・トレンチ４８０の下層へ且つゲート・トレンチ４８０の第１の側壁４８１内への両方、所望のドーピング・レベル及びドーピング深さを実現するために、角度設定イオン注入の間変更され得ることが理解されよう。例えば、注入は、より低い注入角度でより高エネルギーを、より高い注入角度でより低いエネルギーを有し得る。

#### 【００７５】

シリコン酸化物層などのゲート絶縁層４８２は、各ゲート・トレンチ４８０の底面及び側壁上に形成され得る。ゲート電極４８４は、各ゲート絶縁層４８２上に形成される。各ゲート電極４８４は、そのそれぞれのゲート・トレンチ４８０の残りの部分を充填し得る。ゲート電極４８４は、例えば、半導体ゲート電極又は金属ゲート電極を含み得る。ゲート・トレンチ４８０の向き、サイズ及び形状は、オン状態でのチャネル抵抗と、オフ状態での遮断性能との間の所望のバランスを提供するために、選択され得る。

#### 【００７６】

ソース・コンタクト４９０は、高濃度にドーピングされた $n$ 型ソース領域４６０及び高濃度にドーピングされた深部遮蔽接続パターン４４４の上面上に形成され得る。ソース・コンタクト４９０は全て、単一のソース・コンタクトを形成するために、電氣的に接続され得る。ドレイン・コンタクト４９２は、基板４１０の下面上に形成される。ソース及びドレイン・コンタクト４９０、４９２は、例えば、金属コンタクトを含み得る。ゲート・

コンタクト（図示せず）は、各ゲート電極４８４に電氣的に接続され得る。

【００７７】

高濃度にドーピングされたｐ型領域４７５は、深部遮蔽接続パターンと、ソース領域４６０との間の各Ｐウェル４７２の上部内に形成され得る（ソース領域４６０の幅を減少させる）。高濃度にドーピングされたｐ型領域４７５が、図４Ａ～４Ｂの実施例に含まれないのに対して、破線の四角で示した４７５は、この領域が含まれるとき各ユニット・セル内に配置され得る位置を説明するために、図４Ｂのユニット・セル４０８のうちの１つ内に含まれた。そのような高濃度にドーピングされたｐ型領域４７５は、例えば、各深部遮蔽接続パターン４４４が付随するソース・コンタクト４９０と直接接触するようになることを保証するには深部遮蔽接続パターン４４４の幅が十分でない場合、提供され得る。

10

【００７８】

垂直方向チャンネル領域４７８は、各ゲート・トレンチ４８０の片方の側面（すなわち、各ゲート・トレンチ４８０の第２の側壁４８３）に沿ったゲート絶縁層４８２に隣接したＰウェル４７２内に形成される。電流は、電圧がゲート電極４８４に印加されるとき、ｎ型ソース領域４６０から、チャンネル領域４７８を通り、ドリフト領域ドリフト領域４２０／電流拡散層４３０へと流れ得る。チャンネルは、その代わりとして、各ゲート電極４８４のもう一方の側面上に（例えば、各ゲート・トレンチ４８０の第１の側壁４８１内に）提供され、ｐ型深部遮蔽接続パターン４４４は、それぞれのｐ型深部遮蔽パターン４４０をＰウェル４７２及びソース・コンタクト４９０に電氣的に接続する第１の側壁４８１内に形成される。

20

【００７９】

ｐ型シリコン・カーバイド深部遮蔽パターン４４０は、デバイスが逆阻止状態（すなわち、デバイスがオフされているとき）で動作するとき、ドリフト領域４２０内で形成される電界が、ゲート絶縁層４８２へ向かって上方に広がる範囲を抑制することを支援し得る。電界は、過剰に高い場合、ゲート絶縁層４８２の下部を時間とともに劣化させ得て、それが最終的にデバイス故障という結果をもたらし得る。

【００８０】

パワーＭＯＳＦＥＴ４００は、図１～３を用いて上で説明した、パワーＭＯＳＦＥＴ設計などの従来のパワーＭＯＳＦＥＴ設計を超えて、いくつかの利点を示し得る。第１に、ＭＯＳＦＥＴ４００は、ゲート・トレンチ４８０下の深部ｐ型遮蔽パターン４４０を備える。このことは、ゲート・トレンチの下でなくＰウェルの下にある深部遮蔽パターンを備える、図１及び２のパワーＭＯＳＦＥＴと比較して、改善された電界遮断を提供する。第２に、パワーＭＯＳＦＥＴ４００は、ｐ型深部遮蔽パターン４４０と、Ｐウェル４７２と、ソース電極４９０との間に延在する深部遮蔽接続パターン４４４の形態で、良好な電氣的接続を有し得て、これらの接続は、ｐ型深部遮蔽パターン４４０を形成するために用いられる同一の処理ステップ内で形成され得る。第３に、エピタキシャル層の全てが、同一のステップ内で形成され得て、このことが、例えば上述の図１のパワーＭＯＳＦＥＴ１００と比較してＭＯＳＦＥＴ４００の製造を単純化し得る。第４に、パワーＭＯＳＦＥＴ４００は、デバイス４００の活性領域４０２内で、深部遮蔽パターン４４０への高導電率のｐ型接続を有する。第５に、パワーＭＯＳＦＥＴ４００は、図２のパワーＭＯＳＦＥＴ２００で必要とされるトレンチ数の半分のみを必要とする。第６に、パワーＭＯＳＦＥＴ４００は、パワーＭＯＳＦＥＴ１００が必要とするような高精度な位置合せを必要としない。

30

40

【００８１】

パワーＭＯＳＦＥＴ４００の構造は、Ａ面{１１－２０}及びＭ面{１－１００}などのＣ軸と垂直な高い電子移動度を有する、シリコン・カーバイド結晶面上に形成される、シリコン・カーバイドに基づくＭＯＳＦＥＴに関して、特に有利であり得る。

【００８２】

図５Ａは、本発明のさらなる実施例による、ゲート・トレンチ・パワーＭＯＳＦＥＴ５００の概略断面図である。パワーＭＯＳＦＥＴ５００は、ほぼ垂直の側壁を有するパワーＭＯＳＦＥＴ４００のゲート・トレンチ４８０とは対照的に、Ｖ字形状のゲート・トレン

50

チ 580 を備える。パワー MOSFET 500 は、図 4A ~ 4B を用いて上で説明したパワー MOSFET 400 と類似しているため、パワー MOSFET の同様の要素は、同一の参照符号を用いて番号をつけられ、それらは既に上で説明済みなので、下でさらに説明しないことにする。続く説明は、パワー MOSFET 500 とパワー MOSFET 400 との間の差異に焦点を当てることにする。

#### 【0083】

図 4B と 5 とを比較することによって、理解できるように、パワー MOSFET 400 と 500 との間の主要な違いは、パワー MOSFET 500 が傾斜した第 1 及び第 2 の側壁 581、583 を有する V 字形のゲート・トレンチ 580 を備えることである。各側壁の角度は、ゲート・トレンチ 580 と側壁との間の角度  $\beta$  として、本明細書では定義する。ゲート絶縁層 582 及びゲート電極 584 は、ゲート・トレンチ 580 内に形成される。ゲート絶縁層 582 及びゲート電極 584 は、MOSFET 400 に関して上述したゲート絶縁層 482 及びゲート電極 484 と、それらがゲート・トレンチ 580 と合致するように異なる形状を有する以外は、同一であり得る。トレンチ 580 は、底部で幅がより狭く、上部で幅がより広い。パワー MOSFET 500 を形成するために、深部遮蔽パターン 540 及び深部遮蔽接続パターン 544 を形成するイオン注入ステップ中に使用される、イオン注入角度  $\alpha$  は、ゲート・トレンチ 580 の第 1 の側壁 581 に沿ったシリコン・カーバイド層がデバイスの上面まで全て十分に注入されることを保証するために、より大きくされることがある。さらに、深部遮蔽パターン 540 及び深部遮蔽接続パターン 544 は、パワー MOSFET 400 内に備えられる深部遮蔽パターン 440 及び深部遮蔽接続パターン 444 の事例より多く片方の側面に逸られ得る。より大きい注入角度  $\alpha$  のため、より良好な電氣的接続が、深部遮蔽領域 540 にもたらされ得る。

#### 【0084】

パワー MOSFET 500 は、角度設定注入を用いて形成され得るが、他の実施例では、注入角度  $\alpha$  が 0 である直交注入が使用され得る。ゲート・トレンチ 580 の角度を有する側壁 581、583 により、各ゲート・トレンチ 580 の第 1 の側壁 581 を形成するシリコン・カーバイド内への注入が可能になる。マスクが、各ゲート・トレンチ 580 の第 2 の側壁 583 内への注入を防止するために使用され得る。深部遮蔽パターン 540 及び深部遮蔽接続パターン 544 を形成するために角度設定イオン注入を用いる 1 つの利点は、角度設定イオン注入が用いられる場合、ゲート・トレンチ 580 を形成するエッチング・ステップ中に用いられるものと同一のマスクが、イオン注入マスクとして使用され得ることである。しかしながら、角度設定注入が、図 7A ~ 7B を用いて下で説明するエッジ終端の形成に関して有し得る複雑さは、直交注入が角度設定注入の代わりに実施される場合、通常回避され得る。

#### 【0085】

パワー MOSFET 500 の構造は、54.7 度の角度を有する R 面などの、C 軸と垂直でない高い電子移動度を有する、シリコン・カーバイド結晶面上に形成される、シリコン・カーバイドに基づく MOSFET に関して、特に有利であり得る。

#### 【0086】

図 4A ~ 4B 及び 5 の本実施例において、イオン注入角度  $\alpha$  は、深部遮蔽パターン 440、540 の幅と、深部遮蔽接続パターン 444、544 の幅との間のトレードオフを包含し得る。注入角度  $\alpha$  が、デバイスの上面と垂直な軸に対するゲート・トレンチ 480、580 の側壁の角度よりわずかに大きくなるように選択される場合、このとき、深部遮蔽パターン 440、540 の幅は、最大化され得るが、ゲート・トレンチ 480、580 の側壁内へほとんど発生しないことになる。したがって、注入角度  $\alpha$  は、深部遮蔽接続パターン 444、544 を形成するために、増大され側壁内への十分な注入を獲得するが、深部遮蔽パターン 440、540 の幅を減少させる。

#### 【0087】

図 6A は、本発明の実施例による、p 型チャネルシリコン・カーバイド IGBT 600 の簡易化した回路図である。図 6B は、図 6A の IGBT 600 の概略断面図である。

## 【0088】

図6Aに示すように、IGBT600は、ベース、エミッタ及びコレクタを有するnpnシリコン・カーバイド・パワーBJT607を備える。IGBT600は、ゲート、ソース及びドレインを有するシリコン・カーバイドMOSFET609をさらに備える。シリコン・カーバイドMOSFET609のソースは、シリコン・カーバイド・パワーBJT607のベースに電氣的に接続され、シリコン・カーバイドMOSFET609のドレインは、シリコン・カーバイド・パワーBJT607のコレクタに電氣的に接続される。慣例により、BJT607のコレクタがIGBT600のエミッタ603であり、BJT607のエミッタがIGBT600のコレクタ605であり、MOSFET609のゲート684がIGBT600のゲート601である。

10

## 【0089】

IGBT600は、以下のように動作し得る。外部駆動回路（図示せず）が、ゲート・バイアス電圧をMOSFET609に印加するIGBT600のゲート601に接続される。この外部駆動回路が、MOSFET609のしきい値電圧よりも大きい電圧を、IGBT600のゲート601へ印加するとき、反転層が、IGBT600の $p^+$ エミッタ603をBJT607のベースに電氣的に接続するチャンネル678として機能する、ゲート601の近傍の半導体層内に形成される。なお、IGBT600のゲート601は、MOSFET609のゲート684であることに留意されたい。正孔は、 $p^+$ エミッタ領域603から、チャンネル676を通り、BJT607のベース内に注入される。この正孔流が、BJT607を駆動するベース電流として役割を果たす。この正孔流に応じて、電子がIGBT600のコレクタ605から、BJT607のベースを横断して、IGBT600のエミッタ603に注入される。したがって、シリコン・カーバイドMOSFET609は、シリコン・カーバイド・パワーBJT607を、電流駆動デバイスから電圧駆動デバイスへ変換し、これにより簡易化された外部駆動回路を可能にし得る。シリコン・カーバイドMOSFET609は、駆動トランジスタとしての役割を果たし、シリコン・カーバイド・パワーBJT607は、IGBT600の出力トランジスタとしての役割を果たす。

20

## 【0090】

図6Bは、パワーIGBT600のいくつかのユニット・セルを示す、図6AのIGBT600の一部分の概略断面図である。パワーIGBT600を形成するために、通常、多数のユニット・セルが、並列に実装されることが理解されよう。IGBT600は、終端領域をさらに備え得る。本発明の実施例によるパワー半導体デバイス用の好適な終端領域の一例の実施例を、図7A～7Bを用いて以下で説明する。図7A～7Bで示した終端領域は、図6A及び6BのIGBT600含まれ得ることが理解されよう。

30

## 【0091】

図6Bに示すように、IGBT600は、例えば、高濃度にドーピングされた( $n^+$ ) $n$ 型シリコン・カーバイド層610上に形成され得る。この $n^+$ シリコン・カーバイド層610は、IGBT600のコレクタ605としての役割を果たす（したがってBJT607のエミッタとしても）。 $p^+$ シリコン・カーバイド電界ストッパ層615は、任意選択で層610上に設けられる。低濃度にドーピングされた( $p^+$ ) $p$ 型シリコン・カーバイド・ドリフト層620は、電界ストッパ層615上に設けられる。中濃度にドーピングされた $p$ 型シリコン・カーバイド電流拡散層630は、ドリフト領域620の上部に設けられる。 $p$ 型シリコン・カーバイド層615、620、630は、BJT607のベースとして、且つMOSFET609のソース領域としての役割を果たす。シリコン・カーバイド層610、615、620、630は、後に除去される基板（図示せず）上に、エピタキシャル成長により形成され得る。

40

## 【0092】

中濃度にドーピングされた $n$ 型シリコン・カーバイド層670は、エピタキシャル成長により、 $p$ 型シリコン・カーバイド電流拡散層630の上に形成され得る。この中濃度にドーピングされた $n$ 型シリコン・カーバイド層670は、デバイス内の複数のウェル67

50

2を形成するために使用されることになる。ゲート・トレンチ680は、ウェル672を画定するために、中濃度にドーピングされたn型シリコン・カーバイド層670内に形成される。ゲート・トレンチ680はまた、p型電流拡散層630の上面内に延在し得る。ゲート・トレンチ680は各々、U字型断面を有し得る。

#### 【0093】

高濃度にドーピングされたn型シリコン・カーバイド深部遮蔽パターン640は、ゲート・トレンチ680の各々の下層に形成され、高濃度にドーピングされたn型シリコン・カーバイド深部遮蔽接続パターン644は、ゲート・トレンチ680の第1の側壁内に形成される。領域640、644は、パワーMOSFET400の領域440、444が形成される同じ手法で（領域640、644が、p型の代わりにn型をドーピングされること以外は）、本発明の実施例による角度設定イオン注入技術を用いて、形成され得る。ゲート・トレンチ680が、代わりに傾斜した（非垂直の）側壁を有するように形成される場合、そのとき深部遮蔽パターン640及び深部遮蔽接続パターン644は、MOSFET500を用いて上で説明した角度設定イオン注入の代わりに垂直方向イオン注入を用いて形成され得る。

#### 【0094】

次に、各ウェル672の上部が、高濃度にドーピングされた $n^+$ シリコン・カーバイド・エミッタ領域662（BJT607のコレクタとしての役割も果たす）を形成するためにイオン注入によってドーピングされ得る。高濃度にドーピングされた（ $p^+$ ）p型シリコン・カーバイド・ドレイン領域660は、イオン注入によって、それぞれの高濃度にドーピングされたn型シリコン・カーバイド・エミッタ領域662に隣接するウェル672上部内に形成され得る。各p型ドレイン領域660は、さらに高濃度にドーピングされたn型シリコン・カーバイド・エミッタ領域662のうちのそれぞれの1つに直接隣接し接触していることがある。 $p^+$ シリコン・カーバイド・ドレイン領域660は、IGBT600の共通ドレインとしての役割を果たす。オーム接触690は、 $n^+$ シリコン・カーバイド・エミッタ領域662と $p^+$ シリコン・カーバイド・ドレイン領域660とを接触させるために形成され、オーム接触692は、 $n^+$ シリコン・カーバイド基板610の裏面上に形成される。

#### 【0095】

シリコン酸化物層などのゲート絶縁層682は、各ゲート・トレンチ680の底面及び側壁上に形成される。IGBT600のゲート601としての役割を果たす、ゲート電極684は、それぞれのゲート・トレンチ680を充填するために、各ゲート絶縁層682上に形成される。ゲート電極684は、例えば、半導体ゲート電極又は金属ゲート電極を含み得る。ゲート・コンタクト（図示せず）は、各ゲート電極684に電氣的に接続され得る。

#### 【0096】

MOSFET609の垂直方向チャネル領域678は、各ゲート電極684の片方の側面に隣接するウェル672内に設けられる。これらの垂直方向チャネル678は、 $p^+$ ドレイン領域660とp型電流拡散層630との間に延在する。

#### 【0097】

ここから、IGBT600の動作を説明していく。MOSFET609のしきい値電圧を超えるバイアス電圧が、ゲート601に印加されるとき、正孔流は、図6B内の実太線矢印によって示されるように、MOSFET609のチャネル678を横断して、BJT607のベース内に流れる。このベース電流に応答して、電子流（図6B内の破線矢印によって示されている）が、IGBT600の高濃度にドーピングされたn型エミッタ領域から、ウェル670を通り、IGBT600のコレクタ605に流れる。

#### 【0098】

図6A～6Bが、pチャネルIGBTを示すのに対し、nチャネルIGBTもまた、本発明の実施例に従って提供され得ることが理解されよう。例えば、図4A～4Bで示すMOSFET400は、単純に $n^+$ 基板410をp型半導体層（例えば、高濃度にドーピン

10

20

30

40

50

グされたp型半導体層)で置き換えることによって、本発明の実施例によるnチャネルIGBTへと転換され得る。

【0099】

図7Aは、デバイスの終端領域704内に形成されたエッジ終端を示す本発明のさらなる実施例による、ゲート・トレンチ・パワーMOSFET700の概略断面図である。パワーMOSFET700は、パワーMOSFET700が複数のガード・リング750を備える終端領域704を有すること以外は、上述したパワーMOSFET400と同一であり得る。ガード・リング750は、MOSFET700の終端領域704内に形成される終端トレンチ780の底面と、終端トレンチ780の第1の側壁781内とに形成され得る。パワーMOSFET700の活性領域702は、図4A~4Bを用いて上述したパワーMOSFET400の活性領域402と同一であり得るので、以後の説明は、MOSFET700の終端領域704に焦点を当てることにする。ガード・リング750は、この特定の実施例では、終端トレンチ780の下層及び側壁に形成されているのに対し、本明細書で示すように、このことは、他の実施例ではそうになっている必要はない。

【0100】

図7Aに示すように、パワーMOSFET700は、デバイスの終端領域704内に形成される複数のガード・リング750を備える。図7Bの平面図では、ガード・リング750の下部は、終端トレンチ780内に形成された保護絶縁層782の下層であり、したがって各終端トレンチ780の第1の側壁781内に形成された各ガード・リング750の上部のみが確認できる。終端トレンチ780は、ゲート・トレンチ480と同時に形成され得て、ガード・リング750は、深部遮蔽パターン440及び深部遮蔽接続パターン444と同時に形成され得る。結果的に、ガード・リング750は、深部遮蔽パターン440として、電流拡散層430内に同じ深さで延在する。ガード・リング750(又は他の終端構造)を同じ深さでドリフト領域420/電流拡散層430内に、デバイスの活性領域702内の深部遮蔽パターン440として延在させることは、反転バイアス動作中の改善された遮断性能を提供し得る。図7Aに示すように、終端領域704内では、活性領域702内に設けられたゲート電極484及びソース・コンタクト490は、省略される。

【0101】

ガード・リング750は、活性領域702を取り囲むために、終端領域704内に形成される。したがって、図7Bに示すように、各ガード・リング750は、上から見たとき、例えば、概して環状又は概して矩形形状を有し得る。ガード・リング750は、概して矩形形状を有し、角部は、電界集中を抑制するために丸みを帯びさせられ得る。そのような丸みを帯びた角部を有するガード・リング750を形成するために、終端トレンチ780は、ガード・リング750が終端トレンチ780の底面及び側壁内に注入することによって形成されるので、丸みを帯びた角部を有するように形成され得る。ガード・リング750は、終端構造を有し得る。パワーMOSFET700などのパワー半導体デバイスが、遮断状態で動作されるとき、漏洩電流は、電圧が増大されるにつれて、活性領域のエッジで流れ始め得る。デバイスのエッジでの電界集中効果が、これらの領域内に増大された電界をもたらし得るので、漏洩電流は、これらのエッジ領域内を流れる傾向にある。デバイス上の電圧が破壊電圧を超えて危険なレベルまで増大される場合、増大する電界は、半導体デバイス内部での電荷キャリア逃散発生の原因となり、アバランシェ降伏をもたらし得る。アバランシェ降伏が発生すると、電流が急峻に増大し、制御不可能になり得て、アバランシェ降伏事象は、半導体デバイスを損傷させ又は破壊し得る。

【0102】

この電界集中(及び付随する増大する漏洩電流)を低減するために、ガード・リング750などの終端構造が、パワーMOSFET700の活性領域702の周囲部又は全てに設けられ得る。これらのエッジ終端構造は、電界をより大きな面積へと展開させるように設計され得て、それにより電界の集中を低減させる。ガード・リングは、エッジ終端構造の周知の種類の1つである。図7A~7Bに示すように、ガード・リング750は、n型電流拡散層430内で間隔を空けられたp型領域を備え得る。図7は、エッジ終端構造と

して2つのガード・リング750を使用するパワーMOSFET700を示しているのに対して、異なる数のガード・リング750が使用され得て、他のエッジ終端構造が使用され得ることが理解されよう。例えば、他の実施例では、ガード・リング750は、接合終端拡張で置き換えられ得る。丸みのあるエッジ終端構造は、いくつかの実施例では、省略され得ることがさらに理解されよう。

#### 【0103】

いくつかの実施例では、第2のイオン注入ステップが、エッジ終端を調整するために、実施され得る。2次イオン注入ステップは、MOSFET700の終端領域704の上面内にイオンを注入し得る。2次イオン注入は、調整の必要性によって、n型又はp型ドーパント・イオンの何れかをデバイス内に注入し得る。図7Aに示すように、ガード・リング750間の半導体領域776は、n型領域を備え得る。図7Aにさらに示すように、保護絶縁層782が、終端領域704内に適用され得る。保護絶縁層782は、ゲート絶縁層482と同時に形成され得る。いくつかの実施例では、各保護絶縁層782は、そのそれぞれの終端トレンチ780を充填し得る。高濃度にドーピングされたp型遷移領域752は、活性領域702と終端領域704との間に設けられ得る。p型遷移領域752は、深部遮蔽領域440及びガード・リング750を形成するために実行されるイオン注入ステップ中にマスクの一部分を除去することによって、形成され得る。それはまた、いくつかの実施例では、別個の注入によって形成され得る。

#### 【0104】

図7Bは、デバイスの終端領域704の構造を示す図7Aのゲート・トレンチ・パワーMOSFET700の概略平面図である。図7Bでは、活性領域702の構造的特徴は示されず、活性領域702は、終端領域704の詳細をより良好に示すために、通常存在し得るよりも小さく存在するように示されている。

#### 【0105】

図7Bに示すように、2つの終端トレンチ780は、活性領域702を取り囲む。終端トレンチ780は、半導体層構造の上面内に形成され得る。半導体層構造の上部は、例えば、ドーピングされていない半導体材料又は低濃度にドーピングされたn型若しくはp型半導体材料を含み得る。示した実施例では、半導体層構造の最上部は、成長時に低濃度にドーピングされたn型である。

#### 【0106】

図7Bでさらに示したように、保護絶縁層782は、示した実施例内の各終端トレンチ780の側壁及び底面上に形成される。保護絶縁層782は、他の実施例では省略され得る又は異なる材料で置き換えられ得る。図7Aの左側に示したように、2つの終端トレンチ780の右側の側壁は、角度設定イオン注入により、p型ドーパントで注入される。図7Bの左側に示すように、図7Aで示した右側の側壁は、それぞれの終端トレンチ780の内側側壁に対応する。示すように、しかしながら、図7Bの右側では、活性領域702の反対側上に、角度設定イオン注入が、終端トレンチ780の右側の側壁内にp型ドーパントを再び注入するが、図7Bのデバイスの左側上では、右側の側壁が、終端トレンチ780の外側の側壁である。さらに、図7Bの上部及び底部の終端トレンチ780の側壁は、角度設定イオン注入ステップによって何れの側にも注入され得ない。この側壁の不均一な注入は、活性領域402を取り囲むトレンチ上への角度設定イオン注入の結果である。

#### 【0107】

ガード・リング750を適切に動作させるために、活性領域702の異なる側面上にある終端トレンチ780の一部の位置は、それらが活性領域702の4つの側面の各々上で同一でないように変更され得る。例えば、図7A～7Bの実施例では、図7Bの右側での終端トレンチ780の部分は、活性領域702に、図7Bの左側での終端トレンチ780の部分よりわずかに近くあり得て、終端トレンチ780の部分の外側の側壁が、図7Bの右側上に注入され、終端トレンチ780の部分の内側の側壁が、図7Bの左側上に注入されることの事実を説明する。図7Bの平面図内の活性領域702の上下の終端トレンチ780の部分の距離及び／又は終端トレンチ780のこれらの部分の幅は、図7Bの左右の

10

20

30

40

50

側面の終端トレンチ 780 の部分の距離及び幅と異なって作製され、図 7 B 内の活性領域の上下の終端トレンチ 780 の部分の側壁が、注入されないという事実を説明する。例えば、活性領域 780 の上下の終端トレンチ 780 の部分は、終端領域 704 全体の電荷平衡を実現するために、図 7 B の左右の終端トレンチ 780 の部分よりも広くされ得る。

#### 【0108】

他の実施例では、終端領域 704 内に終端トレンチ 780 を形成する代わりに、メサ・エッチが、終端領域 704 全体に実施され得て、その結果、図 7 A で 776 と示された領域及びガード・リング 750 の上部が、終端領域 704 全体から除去される（活性領域 702 は、終端領域 704 上に延在するメサ形である）。終端領域 704 でのメサ・エッチは、活性領域 702 でのゲート・トレンチ 480 のエッチと同じ深さになり得る。この手法がとられるとき、終端領域 704 は、ガード・リング 750 が所望の領域に形成されるように、イオン注入ステップ中、マスクパターンでマスクされ得る。マスク内の開口幅は、イオン注入ステップによって形成されるガード・リング 750 が、活性領域 702 の周縁部周りで平衡して帯電されることになるように、活性領域 702 に関して対称でない場合がある。

#### 【0109】

図 13 ~ 14 は、本発明のさらなる実施例による 2 つの実例の、デバイスが終端領域でのメサ・エッチを実施することによって形成される、パワー MOSFET を示す。具体的には、図 13 及び 14 は、メサ・エッチがデバイスの終端領域全体に実施された後に形成される、ガード・リング及び接合終端拡張エッジ終端をそれぞれ有するゲート・トレンチ・パワー MOSFET の概略断面図である。

#### 【0110】

図 13 をまず参照すると、本発明の実施例によるパワー MOSFET 1000 が示され、図 7 A ~ 7 B を用いて上述したパワー MOSFET 700 と同様であり得る。しかしながら、パワー MOSFET 1000 では、デバイス 1000 の活性領域 1002 内にゲート・トレンチ 480 を形成するために使用されるエッチング・ステップ中、終端領域 1004 内の半導体層構造 1006 の上部を完全にエッチング除去するために使用され得る、いわゆる「メサ・エッチ」が、デバイス 1000 の終端領域 1004 内で実施される。そのようなエッチング処理は、エッチが完了した後の活性領域 1002 が周囲の終端領域 1004 上に立ち上がるメサ形であるので、メサ・エッチと呼ばれる。

#### 【0111】

パワー MOSFET 1000 の活性領域 1002 は、パワー MOSFET 700 の活性領域 702 と同一であり得て、したがって、そのさらなる説明は、本明細書では省略することにする。MOSFET 1000 の終端領域 1004 は、しかしながら、それが終端トレンチ 780 を含まない、又はそれが、活性領域 1002 が形成されるメサ形の側壁の例外を伴う注入された側壁を有する構造を含まないので、MOSFET 700 の終端領域 704 と異なる。

#### 【0112】

図 13 に示すように、エッジ終端は、活性領域 1002 を取り囲むように形成される複数のガード・リング 1050 を備え得る。ガード・リング 1050 は、ガード・リング 1050 が、活性領域 1002 を取り囲み得る、丸みを帯びた角部を有し得る、且ついくつかの実施や例では、概して正方形又は長方形の形状を有し得る（丸みを帯びた角部を伴って）という点で、図 15 に示されたガード・リング 1150 の概略の形状を有し得る（下記の説明参照）。例えば、シリコン酸化物層又は窒化シリコン層などのパッシベーション層 1078 が、ガード・リング 1050 を保護するために、終端領域 1004 内でガード・リング 1050 を覆って形成され得る。

#### 【0113】

パワー MOSFET 700 と比較してパワー MOSFET 1000 の 1 つの潜在的な利点は、適切な電荷平衡をもたらすことになる、ガード・リング 1050 の配置を決定することが、より容易であり得ることである。MOSFET 700 内の終端トレンチ 780 の

注入された側壁が、電荷平衡に関して著しい影響を有さないとはいえ、それらはいくらかの影響を有し、このことは、ガード・リング750の設計において考慮されなければならない。さらに、パワーMOSFET700内の終端トレンチ780内への角度設定イオン注入は、注入領域の底部の幅に影響を与え、且つ終端領域704の異なる領域で異なった影響を与える（終端構造が、角度設定イオン注入の傾斜の方向と並行又は垂直であるか否かに基づいて）。その上、図7Bを用いて上述したように、終端トレンチ780のいくつかの部分だけの側壁が注入され、このことが設計を複雑にする。MOSFET1000の終端領域1004内に終端トレンチ及び／又は側壁の不在が、したがって、その設計を単純化し得る。このように、メサ・エッチが終端領域内で実施されるとき、完全に対称なエッジ終端（例えば、ガード・リング又は接合終端拡張の何れか）を使用し、受容可能な電荷平衡をやはり達成することが可能であり得る。

10

#### 【0114】

図14は、図13のパワーMOSFET1000のわずかに変更されたバージョンである、パワーMOSFET1000'の概略断面図である。図13と14とを比較することによって分かるように、差異は、MOSFET1000'が、パワーMOSFET1000内に備えられるガード・リング・エッジ終端に代えて、終端領域1004'内に接合終端拡張エッジ終端を備えることである。当業者に知られるように、接合終端拡張は、デバイスの終端領域内の第2の導電型（ここではn型半導体）の半導体層構造の上面内に形成される第1の導電型材料（ここではp型半導体）の一連のリング（例えば、上から見たとき丸みを帯びた角部を有する正方形又は長方形のリング）として形成され得る。リングは、活性領域からの距離が増大すると共に、減少する第1の導電型ドーパントの濃度を有し得る。示した実施例では、接合終端拡張は、半導体層構造1006の上面内に、全部で3つのp型注入されたリング1052、1054、1056を備え、内側リング1052は、p型ドーパントの最も高い濃度を有し、外側リング1056は、p型ドーパントの最も低い濃度を有する。より多くの、又はより少ないリングが、設けられ得る。MOSFET1000'は、他の点では、パワーMOSFET1000と同一であるので、そのさらなる説明は、省略することにする。

20

#### 【0115】

図15は、本発明のさらなる実施例によるパワーMOSFET1100の水平断面図である。パワーMOSFET1100は、上の図7A～7BのパワーMOSFET700の概略の設計を有し得て、したがって終端トレンチ1180の下部及び内部に形成されるガード・リング1150を有する。図15の水平断面は、終端トレンチ1180の下部にあるガード・リング1150の部分を通して選択される。パワーMOSFET1100は、深部遮蔽パターン（図示せず）及びそのガード・リング1150を形成するために、単一の角度設定イオン注入を用いて形成される。

30

#### 【0116】

図15は、ガード・リング1150の幅が、角度設定イオン注入に付随する非対称性に配慮するために、どれだけ変更され得るのかを示す。具体的には、角度設定イオン注入は、終端トレンチ780の底面に注入するために使用されるので、イオン注入が傾けられた方向と垂直なガード・リング1150の部分の幅は、わずかに減少させられ得る。図15に示すように、図15の図内の活性領域の上下にある終端トレンチ1180の部分は、幅W3を有し、終端領域1104のこれらの部分内で隣接するトレンチ1180に間のギャップは、幅W4を有する。イオン注入が傾けられる方向と垂直であるガード・リング1150の部分の幅でのわずかな減少に配慮するために、活性領域1102の左右の側面上にある終端トレンチ1180の部分は、わずかに大きい幅W2（ $W2 = W3 + \delta$ 、ここで $\delta$ は、正の数である）を有するようにエッチングされ、活性領域1102の左右の側面上の隣接する終端トレンチ1180間のギャップは、わずかに小さい幅 $W1 = W4 - \delta$ を有する。この手法は、終端領域1104の全周で隣接するガード・リング1150間で、同距離を提供するために使用され得る。

40

#### 【0117】

50

単一の角度設定イオン注入の代わりに、一対の角度設定イオン注入が実施される場合（反対方向に傾けられる角度設定注入を用いて）、図10A～10Cの実施例を用いて以下で説明するように、このとき、二重角度設定注入の効果は、イオン注入が傾けられる方向と垂直である、ガード・リング1150の部分の幅をわずかに増大させることである。結果的に、二重角度設定注入が使用されるとき、終端トレンチ1180は、 $\delta$ が負の数であることを除き、図15で示した幅W2及びW3を有するように形成され得る。

【0118】

図4A～7Bを用いて上述したパワー半導体デバイス400、500、600、及び700は、デバイス全体に直線状に延在する、深部遮蔽パターンと付随する深部遮蔽接続パターンとを有する。このことは、例えば、深部遮蔽接続パターン444が各々、ゲート・トレンチ480と共に直線状に活性領域402を横断して延在する、図4で見ることができ。しかしながら、他の実施例では、パワー半導体デバイス400、500、600、及び700の各々は、セグメント化された深部遮蔽パターン及び付随する深部遮蔽接続パターンを有するように変更され得ることが理解されよう。

【0119】

一例として、図8は、図4A～4BのパワーMOSFET400の変更バージョンであるパワーMOSFET400'の平面図である。パワーMOSFET400とパワーMOSFET400'との間の1つの違いは、追加のマスクパターンが、深部遮蔽パターン及び深部遮蔽接続パターンを形成するために用いられるイオン注入ステップ中に、使用されることである。追加される追加のマスクパターンは、図8に追加マスク808として、破線内に示されている。容易に分かるように、追加のマスク材料を含めることが、深部遮蔽パターン及び深部遮蔽接続パターンを、図8内の番号付けされた深部遮蔽パターン440'及び深部遮蔽接続パターン444'であるセグメントに分割する。この設計が用いられるとき、各深部遮蔽パターン440'の側面上のPウェル472の部分は、デバイスの全体のオン抵抗を低減することを支援し得る、追加の導電性チャネル領域478'として使用され得る。すなわち、図8のMOSFET400'では、チャネル478は、MOSFET400内と全く同様にゲート・トレンチ480の第2の側壁483に沿って形成され、追加のチャネル領域478'は、深部遮蔽パターン440'と深部遮蔽接続パターン444'との間の領域内のゲート・トレンチ480の側壁481、483の両方に沿って形成される。チャネル478、478'は、図8内の参照符号478、478'の直下に存在し得る。全く同様の変更が、上述したパワー半導体デバイス500、600、及び700にもなされ得る。

【0120】

図9A～9Fは、図4A～4Bのゲート・トレンチ・パワーMOSFETの製造方法を示す概略断面図である。まず図9A参照すると、高濃度にドーピングされた( $n^+$ ) $n$ 型シリコン・カーバイド基板410は、活性領域402を備える（活性領域402のみが示されている）ように提供される。低濃度にドーピングされた( $n^-$ )シリコン・カーバイド・ドリフト領域420は、エピタキシャル成長により、基板410上に形成される。 $n$ 型シリコン・カーバイド電流拡散層430は、 $n^-$ シリコン・カーバイド・ドリフト層420の上部を含むように形成される。中濃度にドーピングされた $p$ 型シリコン・カーバイド470は、 $n$ 型シリコン・カーバイド電流拡散層430の上面に形成される。シリコン・カーバイド層464は、中濃度にドーピングされた $p$ 型層470の上部に形成される。シリコン・カーバイド層464は、いくつかの実施例では、ドーピングされていない層であり得る。層410、420、430、470、464は、半導体層構造406を形成するために、 $n$ 型ドーピングから $p$ 型ドーピングの間で処理を停止し切り替えることで、全て単一のエピタキシャル成長処理内で成長され得る。

【0121】

図9B参照すると、ゲート・トレンチ480は、半導体層構造406の上面内にエッチングされ得る。ゲート・トレンチ480は各々第1の方向に延在し、第2の方向で互いから間隔を空けられ得る。ゲート・トレンチ480は、互いに並行に延在する。各ゲート・トレンチ480は、シリコン・カーバイド層464を、パワーMOSFET400のソー

10

20

30

40

50

ス領域 460 としての役割を最終的に果たすことになる、複数の間隔を空けられた領域 464' に転換させるために、高濃度にドーピングされた n 型シリコン・カーバイド層 464 を貫通して延在し得る。各ゲート・トレンチ 480 はまた、層 470 を複数の P ウェル 472 に転換させるために、中濃度にドーピングされた p 型シリコン・カーバイド層 470 を貫通して延在する。各ゲート・トレンチ 480 はまた、n 型電流拡散層 430 の上面内に延在する。ゲート・トレンチ 480 は、いくつかの実施例では、U 字型断面を有し得る。

#### 【0122】

図 9C を参照すると、角度設定イオン注入ステップが、複数の間隔を空けられた高濃度にドーピングされた p 型シリコン・カーバイド深部遮蔽パターン 440 を、それぞれのゲート・トレンチ 480 の下層に形成し、高濃度にドーピングされた p 型深部遮蔽接続パターン 444 を、ゲート・トレンチ 480 の第 1 の側壁内に形成するために、実施され得る。深部遮蔽接続パターン 444 は、p 型シリコン・カーバイド深部遮蔽パターン 440 を（他にもある中の）P ウェル 472 に電氣的に接続する。高濃度にドーピングされた p 型深部遮蔽接続パターン 444 は、デバイスの上面に延在し得る。

#### 【0123】

次に、図 9D を参照すると、シリコン酸化物層などのゲート絶縁層 482 は、各ゲート・トレンチ 480 の底面及び側壁上に形成される。ゲート電極 484 は、各ゲート絶縁層 482 上に形成される。各ゲート電極 484 は、そのそれぞれのゲート・トレンチ 480 として残る部分を充填し得る。

#### 【0124】

次に、図 9E を参照すると、別のイオン注入ステップが、ドーピングされていない領域 464' を高濃度にドーピングされた ( $n^+$ ) n 型シリコン・カーバイド・ソース領域 460 に転換するために、実施される。垂直方向チャネル領域 478 は、ゲート・トレンチ 480 の片方の側面に隣接する P ウェル 472 内に設けられる。チャネル領域 478 は、高濃度にドーピングされた ( $n^+$ ) n 型シリコン・カーバイド・ソース領域 460 と、n 型シリコン・カーバイド電流拡散層 430 との間に延在する。

#### 【0125】

図 9F を参照すると、ソース・コンタクト 490 は、高濃度にドーピングされた n 型ソース領域 460 上と、高濃度にドーピングされた p 型深部遮蔽接続パターン 444 上に形成される。ドレイン・コンタクト 492 は、デバイスを完成させるために、基板 410 の下面上に形成される。

#### 【0126】

製造ステップが上の説明では 1 つの実例の順序で記載されているが、製造ステップは、異なる順序で実施されることが理解されよう。例えば、多様なエッチング及びイオン注入ステップは、上述したものから変更され得る。

#### 【0127】

図 10A ~ 10D は、本発明のさらなる実施例によるパワー MOSFET 800 を示す。具体的には、図 10A は、パワー MOSFET 800 の一部分の概略平面図であり、図 10B、10C、及び 10D は、それぞれ図 10A の線 10B-10B、10C-10C、10D-10D に沿ってとられたパワー MOSFET 800 の概略断面図である。

#### 【0128】

図 10A ~ 10D を参照すると、パワー MOSFET 800 は、図 8 のパワー MOSFET 400' に類似している。具体的には、パワー MOSFET 800 は、デバイスを横断して（デバイスが図 10A に示すように向けられているとき）水平方向のストライプ状に形成された深部遮蔽パターン 840 を備える。深部遮蔽パターン 840 を形成するために用いられるイオン注入ステップ中、MOSFET 400 内の各ゲート・トレンチ 480 の下層に／と並んで延在する深部遮蔽パターン 440 及び深部遮蔽接続パターン 444 が、代わってセグメント化されるように、水平方向のストライプを含むマスクが活性領域上に配置され、その結果、複数の深部遮蔽領域 840 及び深部遮蔽接続パターン 844 が、各ゲート・トレンチ 480 の下層に／と並んで設けられる。さらに、一対の角度設定イオン

10

20

30

40

50

注入が実施され、その結果、深部遮蔽接続パターン８４４が各ゲート・トレンチ４８０の両方の側壁内に形成される。ＭＯＳＦＥＴ８００のチャンネルは、図１０Ｃ及び１０Ｄを用いて以下でより詳細に説明するように、これらのマスクされた領域（すなわち、ゲート・トレンチ４８０の方向に沿って互いに隣接する、深部遮蔽パターン８４０と深部遮蔽接続パターン８４４との間の領域内）の下層に形成される。

#### 【０１２９】

上述したように、パワーＭＯＳＦＥＴ８００とパワーＭＯＳＦＥＴ４００'との間の主要な違いのうちの１つは、一対の角度設定注入が、パワーＭＯＳＦＥＴ８００の製造中に実施されることである。このことは、図１０Ｂで概略的に示されており、８０１と番号付けされた矢印は、深部遮蔽パターン８４０及び深部遮蔽接続パターン８４４の第１の部分形成するために用いられる第１の注入を表し（本明細書での「第１の深部注入」）、８０３と番号付けされた矢印は、深部遮蔽パターン８４０及び深部遮蔽接続パターン８４４の第２の部分形成するために用いられる第２の注入を表す（本明細書での「第２の深部注入」）。第１の深部注入は、ｐ型ドーパントを各ゲート・トレンチ４８０の右側下の電流拡散層４３０の部分内に、且つ各ゲート・トレンチ４８０の右側壁内に注入するために使用され得て、一方、第２の深部注入は、ｐ型ドーパントを各ゲート・トレンチ４８０の左側下の電流拡散層４３０の部分内に、且つ各ゲート・トレンチ４８０の右側壁内に注入するために使用され得る。各深部遮蔽パターン８４０内に含まれる垂直方向の破線は、それぞれの第１及び第２の深部注入によって形成された深部遮蔽パターン８４０のそれぞれの部分をおおよそ分割するために用いられる。

#### 【０１３０】

上述したように、深部遮蔽パターン８４０は、図４Ａ～４Ｂの実施例での事例のようにゲート・トレンチ４８０に沿って連続的に延在する代わりに、間隔を空けられた領域にセグメント化される。チャンネル領域８７８は、図１０Ｃの断面で見ることができるよう、深部遮蔽パターン８４０間のデバイス内に形成される。チャンネル８７８は、示したように、ゲート・トレンチ４８０の両側に形成される。深部遮蔽パターン８４０は、チャンネル８７８が形成されるデバイスの領域内のゲート・トレンチ４８０下方に延在しないとはいえ、ゲート・トレンチ４８０の他の部分の下方に深部遮蔽パターン８４０を設けることで、逆阻止動作中の過大な電界からゲート絶縁層４８２を保護し得る。なお、ことに留意されたい。第１及び第２の注入は、ゲート・トレンチ４８０の第１及び第２の側壁に注入するために、ゲート・トレンチ４８０（図１０Ｂを参照のこと）と垂直に延在する第１の方向で角度設定されルノに対して、注入は、ゲート・トレンチ４８０と平行に延在する直交方向に角度設定されない。

#### 【０１３１】

パワーＭＯＳＦＥＴ８００の１つの利点は、注入がゲート・トレンチ４８０の底面内になされるので、深部遮蔽パターン８４０は、容易に所望の深さに形成され得ることであり、一方で、深部遮蔽接続パターン８４４を形成するために、ゲート・トレンチ４８０の選択された部分の側壁に注入することによって、深部遮蔽パターン８４０とＰウェル４７２との間に良好な電氣的接続をさらに提供する。この手法により、深部遮蔽パターン８４０が、上述の図２のパワーＭＯＳＦＥＴ２００と比較して、互いにより近接した間隔となり、このことは、デバイスの遮断性能及びオン抵抗の制御に有益である。さらに、角度設定注入は、深部遮蔽パターン８４０とＰウェル４７２との間に電氣的接続を提供するので、上述の図３のパワーＭＯＳＦＥＴ３００の不利な点の１つである、別個の電氣的接続の必要性が取り除かれる。さらに、パワーＭＯＳＦＥＴ８００の製造は、位置合せの難しさと追加の製造ステップとをもたらし得る、図１のパワーＭＯＳＦＥＴの製造で用いられる、第２のエピタキシャル成長ステップを必要としない。

#### 【０１３２】

図１１は、図１０Ａ～１０ＤのパワーＭＯＳＦＥＴ８００の変更バージョン８００'の設計を示す図１０Ａの線１０Ｃ－１０Ｃに沿ってとられた概略断面図である。図１１に示すように、パワーＭＯＳＦＥＴ８００'とパワーＭＯＳＦＥＴ８００との間の１つの違いは、

パワーMOSFET 800'内のPウェル872が、注入されていないn型シリコン・カーバイド874の細いストライプ（例えば、幅0.5マイクロメートル未満）をさらに備えることである。Pウェル872内に備えられるn型シリコン・カーバイドのストライプ874は、例えば、いくつかの実施例では $1 \times 10^{17} / \text{cm}^3$ 未満のドーピング濃度を有し得る。Pウェル872の残部は、より高濃度にドーピングされたp型であり得て、少なくとも $1 \times 10^{17} / \text{cm}^3$ より高いドーピング濃度を有する。n型シリコン・カーバイド874の配置は、チャンネル領域を通過する電流を増大させ得て、それらが低いドーピング濃度を有するので、n型シリコン・カーバイドストライプ874は、通常のオフ状態動作中は空乏化され得る。

【0133】

図12は、本発明の実施例による、埋設エッジ終端を有するゲート・トレンチ・パワー半導体デバイスの製造方法を示すフローチャートである。

【0134】

図12及び図9A～9Fを参照すると、工程は、ワイド・バンドギャップ半導体層構造を用いて開始され得る（ブロック900）。半導体層構造は、基板と、エピタキシャル成長によって基板上に成長される複数の半導体層とを備え得る。半導体層構造は、第1の導電型を有するドリフト領域を備え得る。半導体層構造は、ドリフト領域上に第2の導電型を有するウェル領域をさらに備え得る。複数のゲート・トレンチが、半導体層構造の上面内に形成される（ブロック910）。ゲート・トレンチは、第1の方向に延在し得て、第1の方向と垂直である第2の方向で互いから間隔を空けられ得る。各ゲート・トレンチは、底面と、第1の方向に延在する第1の側壁と、第1の方向に延在する第2の側壁とを備え得る。第1の導電型と反対の第2の導電型を有するドーパントが、それぞれのゲート・トレンチの底面及び第1の側壁内に注入され得る（ブロック920）。いくつかの実施例では、第2の導電型を有するドーパントは、角度設定イオン注入を用いてゲート・トレンチの第1の側壁内に注入され得る。角度設定イオン注入は、いくつかの実施例では、例えば、2から15度の間の注入角度であり得る。ゲート・トレンチの底面内に注入される第2の導電型ドーパントは、それぞれのゲート・トレンチ下方に複数の深部遮蔽パターンを形成し得て、ゲート・トレンチの第1の側壁内に注入される第2の導電型ドーパントは、深部遮蔽領域をそれぞれのウェル領域に電気的に接続する複数の深部遮蔽接続パターンを形成し得る。ゲート絶縁層及びゲート電極が、ゲート・トレンチ内に形成され得る（ブロック930）。第1の導電型を有するソース領域が、イオン注入によりウェル領域上に形成され得る（ブロック940）。コンタクトが、デバイスを完成させるために、半導体層構造の上面及び底面上に形成され得る（ブロック950）。

【0135】

完成したデバイスは、ゲート・トレンチのそれぞれの第2の側壁内に形成されたチャンネル領域を備え得る。いくつかの実施例では、各チャンネル領域は、ゲート・トレンチの第1の側壁内に形成された、複数の深部遮蔽接続パターンのうちのそれぞれの1つの一部分の正反対であり得る。

【0136】

上の説明で、各実例の実施例は、ある導電型を有する。反対の導電型デバイスが、上述の実施例の各々のn型及びp型の導電型を、単に反転させることによって形成され得ることが理解されよう。したがって、本発明は、異なるデバイス構造（例えば、MOSFET、IGBTなど）毎にnチャンネル及びpチャンネルデバイスの両方を対象とすることが理解されよう。本明細書では、コンタクトは、ソース・コンタクト又はドレイン・コンタクトの何れかであり得て、それは「ソース／ドレイン・コンタクト」と呼ばれ得る。

【0137】

本発明は、パワーMOSFET及びパワーIGBTの実施態様に関して上述したが、一方、本明細書で説明した技術は、ゲート・トレンチを有する他の類似する垂直方向パワーデバイスに、同じように良好に適合することが理解されよう。したがって、本発明の実施例は、MOSFET及びIGBTに限定されず、本明細書で開示された技術は、任意の適

10

20

30

40

50

切なゲート・トレンチデバイスに関して使用され得る。

【0138】

本発明は主に、シリコン・カーバイドに基づくパワー半導体デバイスに関して上述してきた。しかしながら、シリコン・カーバイドは、本明細書で一例として用いられたこと、及び本明細書で説明したデバイスは、任意の適切なワイド・バンドギャップ半導体材料装置内で形成され得ることが理解されよう。一例として、ガリウム窒化物に基づく半導体材料（例えば、ガリウム窒化物、アルミニウム・ガリウム窒化物など）が、上述の任意の本実施例のシリコン・カーバイドの代わりに使用され得る。

【0139】

本明細書で説明された異なる実施例の異なる特徴は、追加の実施例を提供するために、組み合わされ得ることがさらに理解されよう。例えば、接合終端拡張がガード・リングに代えて使用され得ることが、1つの実施例に関して上で説明された。このことは、本明細書で開示された各実施例に当てはまる。同様に、ゲート・トレンチ下方のシールド領域は、任意の本実施例内で、包含され得る又は省略され得る。本実施例の任意のものはまた、より低くドーピングされたチャネル領域を含めて、ドーパント濃度を変更されたウェル領域を備え得る。

【0140】

本発明の実施例は、本発明の実施例を示す、添付図面を参照して上述された。しかしながら、本発明は、しかしながら、多くの異なる形態で実施され得て、上で表明された実施例に限定されないと解釈されるべきであることが理解されよう。むしろ、これらの実施例は、本開示が、完全になり完成し、本発明の範囲を当業者に完全に伝えることになるように、提供される。全体にわたって、類似の番号は、類似の要素を参照する。

【0141】

用語である第1の、第2の、などが多様な要素を説明するために、本明細書全体で使用されるが、これらの要素は、これらの用語によって限定されるべきでないことを理解されたい。これらの用語は、1つの要素を別の要素と区別するためだけに使用される。例えば、本発明の範囲から逸脱することなく、第1の要素は、第2の要素と呼ばれ得て、同様に、第2の要素は、第1の要素と呼ばれ得る。用語「及び／又は」は、1つ又は複数の関連する列挙された事項のいずれか及び全ての組合せを包含する。

【0142】

本明細書で使用された専門用語は、具体的な実施例を説明する目的のためだけのものであり、本発明を限定することを意図するものではない。本明細書で使ったように、単数形の「a」、「an」、及び「the」は、文脈が明確にそうでないこと示さない限り、複数形も同様に含めることを意図する。さらに、用語「備える」（“comprises”）、「備えている」（“comprising”）、「含む」（“includes”）、及び／又は「含んでいる」（“including”）は、本明細書中で使用されているとき、具体的な特徴、整数、ステップ、動作、要素、及び／又は構成要素の存在を特定するが、1つ又は複数の他の特徴、整数、ステップ、動作、要素、構成要素、及び／又はそれらの組み合わせの存在又は付加を排除しないことを理解されたい。

【0143】

層、領域、又は基板などの要素が、別の要素の「上に」ある、又は「上へ」延在すると記述された場合、他の要素の直上にある、又は直上へ延在し、又は介在要素がさらに存在し得ることを理解されたい。対照的に、要素が、別の要素の「直上に」ある、又は「直上へ」延在すると記述された場合、介在要素は存在しない。ことをさらに理解されたい。要素が、別の要素に「接続される」又は「結合される」と記述された場合、それは、直接的に接続され又は結合され得て、或いは介在要素が存在し得る。対照的に、要素が、別の要素の「直接接続される」、又は「直接連結される」と記述された場合、介在要素は存在しない。

【0144】

「の下に」又は「の上に」又は「上側」又は「下側の」又は「上部」又は「底部」など

の相対的用語は、本明細書では、図中で示すように、1つの要素、層、又は領域の、別の要素、層、又は領域に対する関係を説明するために使用され得る。これらの用語は、図内で示される配置に加え、デバイスの異なる配置を包含することが意図されることを理解されたい。

【0145】

本発明の実施例は、本明細書では、本発明の理想化された実施例（及び中間構造）の概略図である、断面図解を用いて説明した。図面内の層及び領域の厚さは、明確のため強調され得る。さらに、例えば、製造技術及び／又は公差の結果として、図解の形状からの変化量が期待されるべきである。本発明の実施例は、フローチャートを用いてさらに説明される。フローチャート内で示されたステップは、示された順序で実施される必要はないことが理解されたい。

10

【0146】

本発明のいくつかの実施例は、層及び／又は領域内の多数キャリア濃度を示す、 $n$ 型又は $p$ 型などの導電型を有することで特徴づけられる、半導体層及び／又は領域を用いて説明される。したがって、 $n$ 型材料は、負に帯電した電子の多数キャリア平衡濃度を有し、一方、 $p$ 型材料は、正に帯電した正孔の多数キャリア平衡濃度を有する。いくつかの材料は、別の層又は領域と比較して相対的に大きい（「+」）又は小さい（「-」）多数キャリアの濃度を示すために、「+」又は「-」を用いて（ $n^+$ 、 $n^-$ 、 $p^+$ 、 $p^-$ 、 $n^{++}$ 、 $n^-$ 、 $p^{++}$ 、 $p^{--}$ 、などの表現として）指定され得る。しかしながら、そのような表現法は、層又は領域内の多数又は少数キャリアの特定の濃度の存在を暗示しない。

20

【0147】

図面及び明細書において、本発明の典型的な実施例が開示され、特定の用語が使用されているが、それらは単に、汎用的且つ記述的な意味で使用され、限定を目的とせず、本発明の範囲は、以下の請求項において表明される。

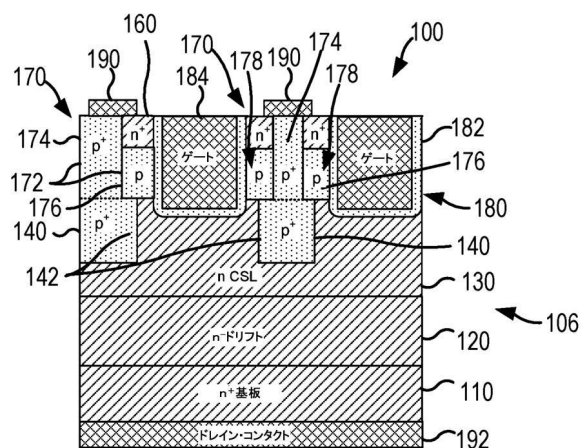
30

40

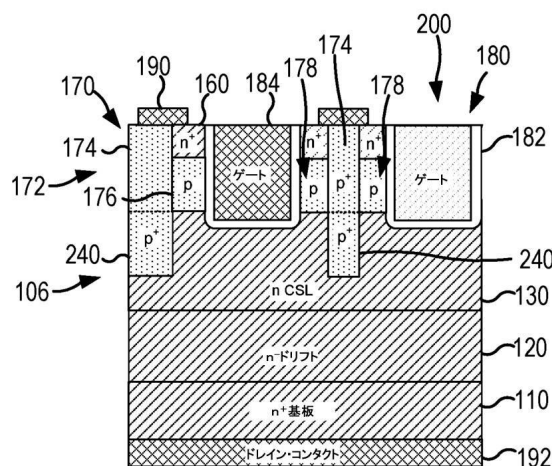
50

【図面】

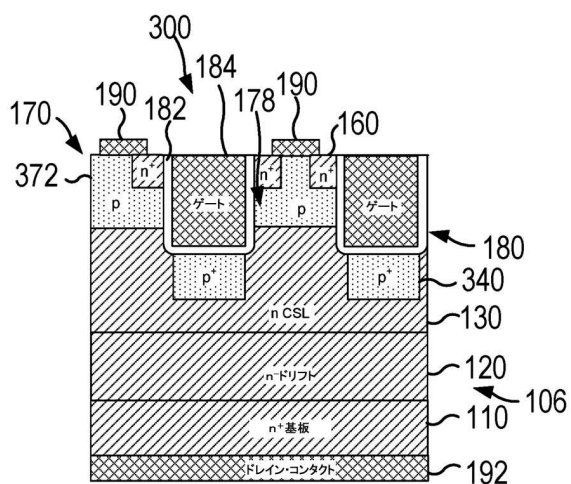
【図 1】



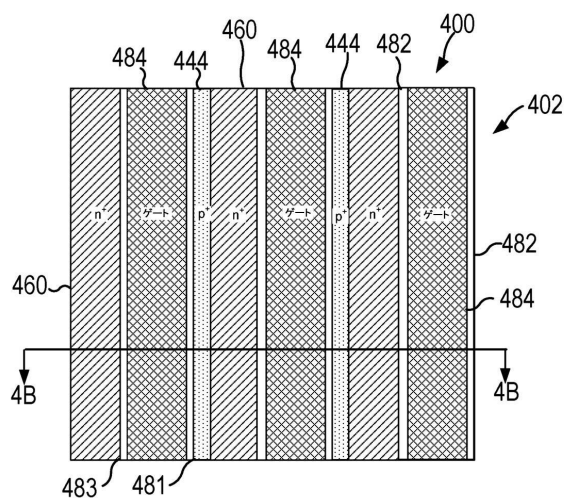
【図 2】



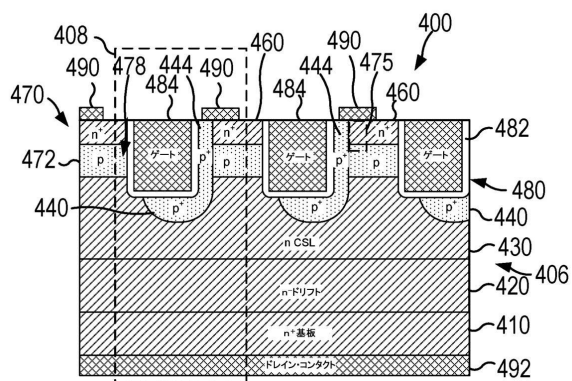
【図 3】



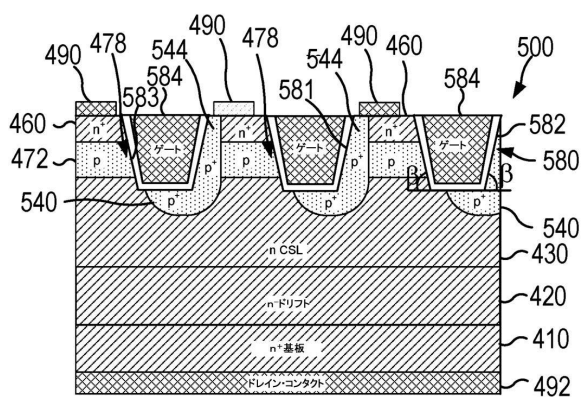
【図 4 A】



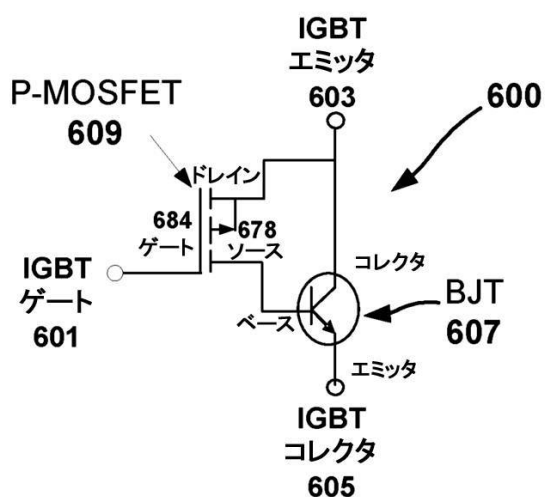
【図 4 B】



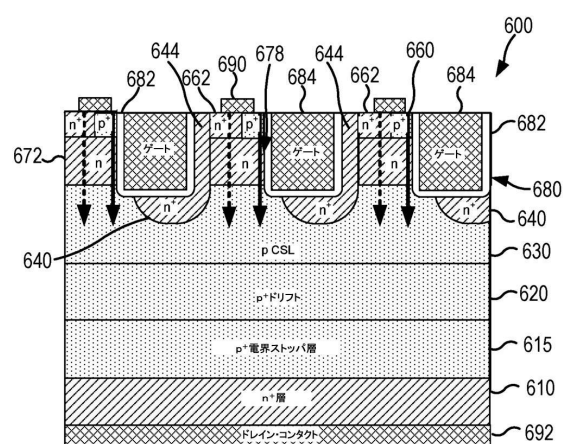
【図 5】



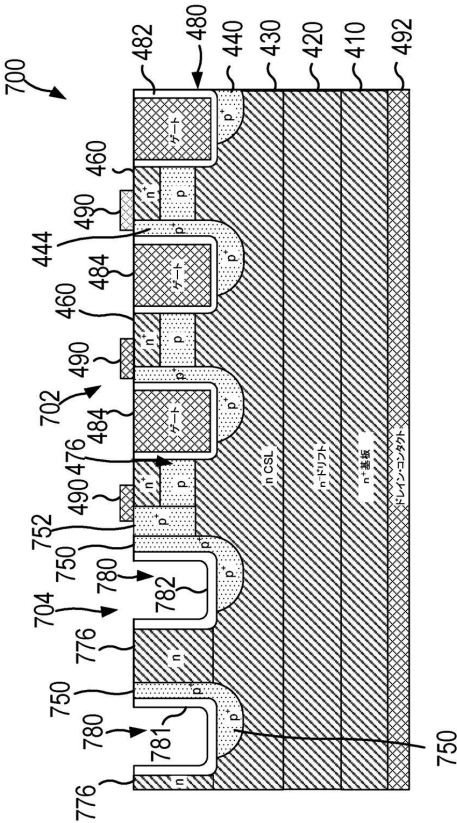
【図 6 A】



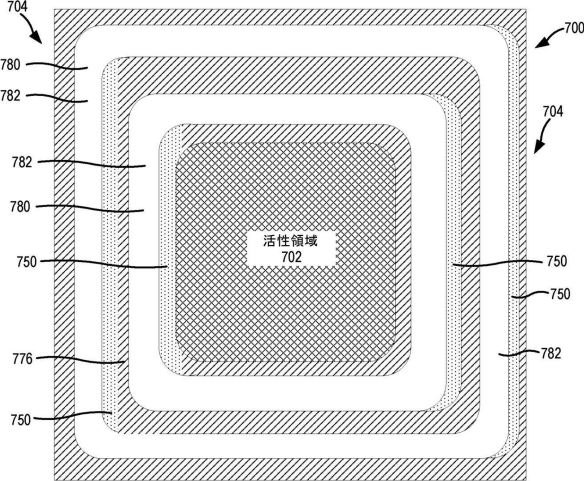
【図 6 B】



【図 7 A】



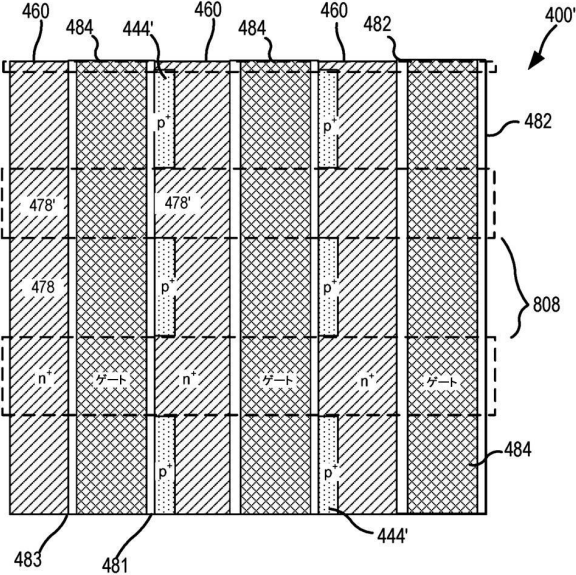
【図 7 B】



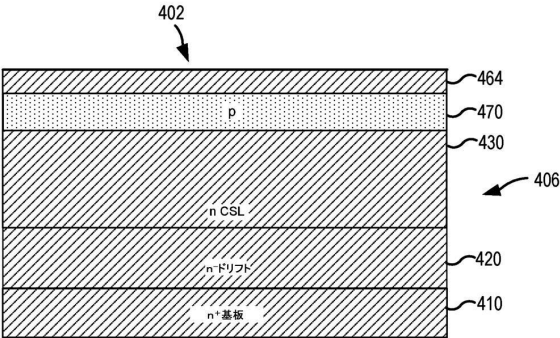
10

20

【図 8】



【図 9 A】

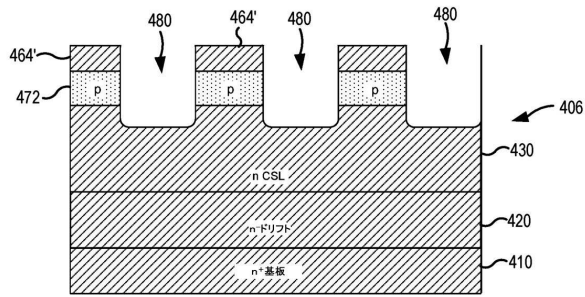


30

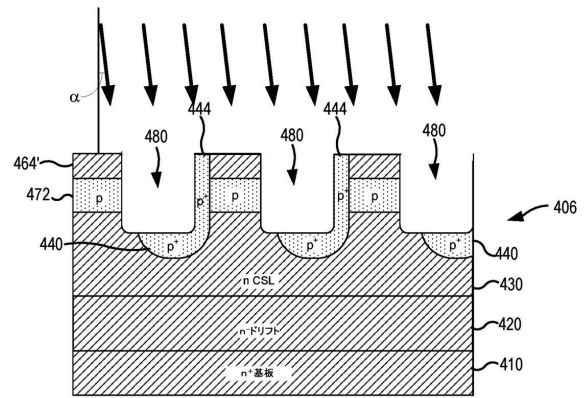
40

50

【図 9 B】

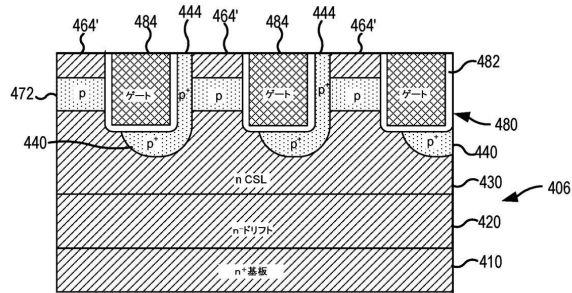


【図 9 C】

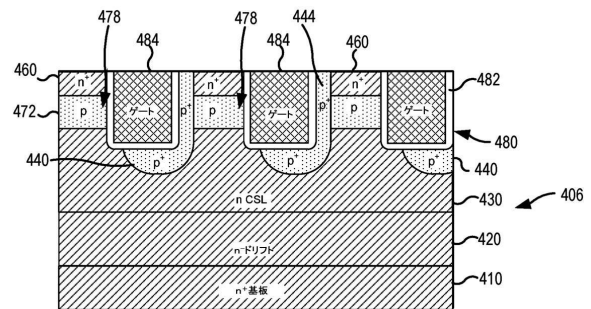


10

【図 9 D】



【図 9 E】



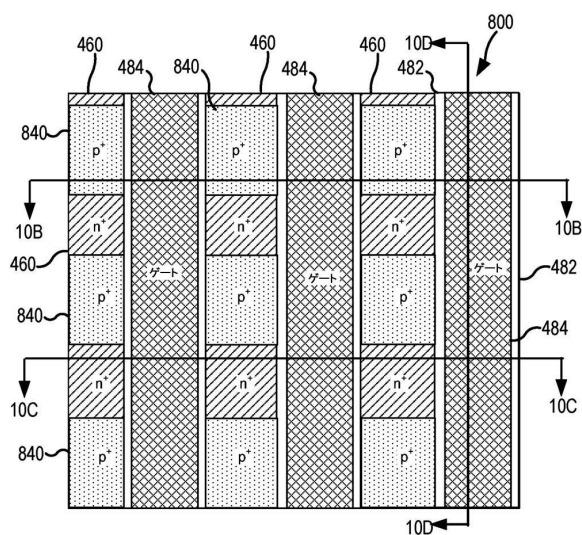
20

30

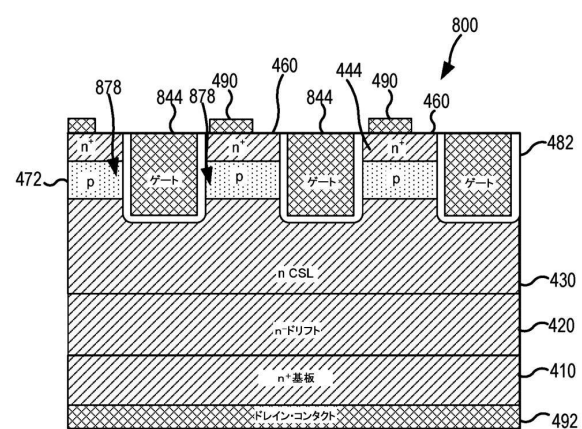
40

50

【図 10 A】

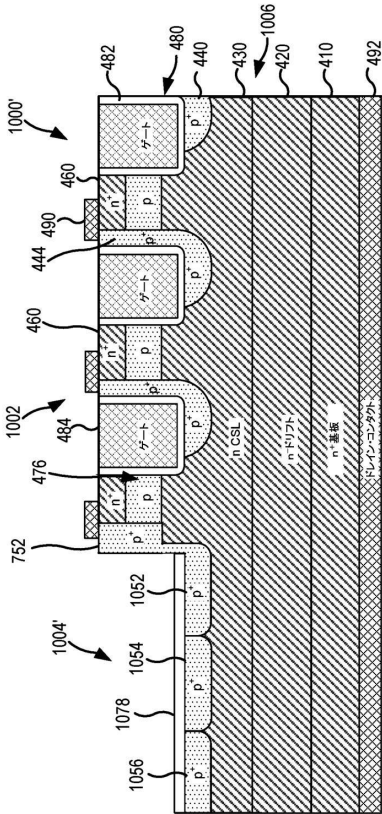


【図 10 C】

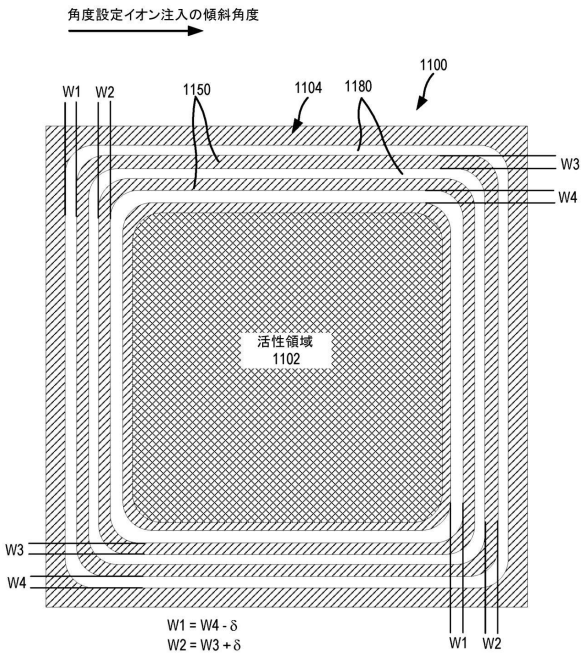




【図 1 4】



【図 1 5】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

## F I

|         |       |         |
|---------|-------|---------|
| H 0 1 L | 29/78 | 6 5 2 P |
| H 0 1 L | 29/78 | 6 5 2 T |
| H 0 1 L | 29/78 | 6 5 3 A |
| H 0 1 L | 29/78 | 6 5 5 A |
| H 0 1 L | 29/78 | 6 5 5 G |
| H 0 1 L | 29/78 | 6 5 8 A |
| H 0 1 L | 29/06 | 3 0 1 G |
| H 0 1 L | 29/06 | 3 0 1 M |
| H 0 1 L | 29/06 | 3 0 1 V |

## 米国(US)

アメリカ合衆国、ノースカロライナ、ローリー、ケイツブリッジ レイン 2 1 0 1

(72)発明者 スポロフ、アレクサンダー ブイ、

アメリカ合衆国、ノースカロライナ、ダーラム、ウィンドコート プレイス 5

(72)発明者 カペル、クレイグ

アメリカ合衆国、ノースカロライナ、ヒルズボロ、バーウィック プレイス 1 1 1

## 合議体

審判長 瀧内 健夫

審判官 松永 稔

審判官 鈴木 聡一郎

(56)参考文献 特開 2 0 0 7 - 2 4 2 8 5 2 (J P, A)

特開 2 0 1 4 - 1 0 7 5 7 1 (J P, A)

特開 2 0 0 5 - 3 3 3 0 6 8 (J P, A)

国際公開第 2 0 1 5 / 1 5 6 0 2 4 (W O, A 1)

特開 2 0 1 0 - 2 1 9 2 2 4 (J P, A)

(58)調査した分野 (Int.Cl., D B名)

H01L21/336, H01L27/04, H01L29/739, H01L29/78