



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I720648 B

(45)公告日：中華民國 110 (2021) 年 03 月 01 日

(21)申請案號：108136711

(22)申請日：中華民國 108 (2019) 年 10 月 09 日

(51)Int. Cl. : *H01L45/00 (2006.01)**G11C13/00 (2006.01)*

(71)申請人：華邦電子股份有限公司(中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市 428 大雅區科雅一路 8 號

(72)發明人：林志曜 LIN, CHIH-YAO (TW)；許博硯 HSU, PO-YEN (TW)；吳伯倫 WU, BO-LUN (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW 201828516A

TW 201924024A

TW 201926438A

TW 201937497A

US 2015/0140777A1

審查人員：王安邦

申請專利範圍項數：18 項 圖式數：3 共 24 頁

(54)名稱

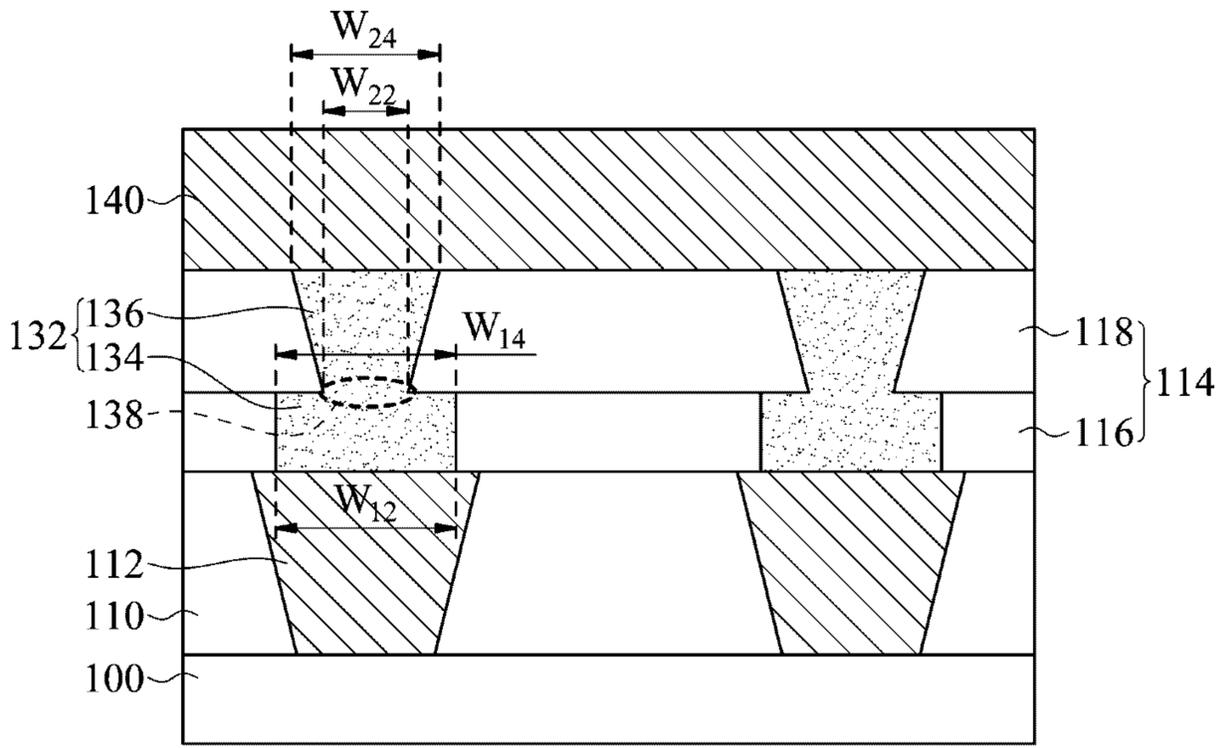
電橋式隨機存取記憶體及其製造方法

(57)摘要

本發明提供一種電橋式隨機存取記憶體及其製造方法。此電橋式隨機存取記憶體包括底電極、金屬間介電質、電阻轉態組件以及頂電極。其中底電極位於基板上，金屬間介電質位於底電極上。電阻轉態組件位於底電極上和位於金屬間介電質中，且具有倒 T 型的剖面。頂電極位於電阻轉態組件以及金屬間介電質上。

A conductive bridge random access memory and its manufacturing method are provided. The conductive bridge random access memory includes a bottom electrode, an inter-metal dielectric, a resistance switching assembly and a top electrode. The bottom electrode is formed on a substrate, and the inter-metal dielectric is formed above the bottom electrode. The resistance switching assembly is formed on the bottom electrode and positioned in the inter-metal dielectric. The resistance switching assembly has a reverse T-shape cross-section. The top electrode is formed on the resistance switching assembly and the inter-metal dielectric.

指定代表圖：



符號簡單說明：

- 100:基板
- 110:層間介電層
- 112:底電極
- 114:金屬間介電質
- 116、118:介電層
- 132:電阻轉態組件
- 134、136:電阻轉態層
- 138:頸部
- 140:頂電極
- W_{12} 、 W_{14} 、 W_{22} 、 W_{24} :寬度

第 1E 圖



I720648

【發明摘要】

【中文發明名稱】電橋式隨機存取記憶體及其製造方法

【英文發明名稱】CONDUCTIVE BRIDGE RANDOM ACCESS MEMORY AND METHOD OF MANUFACTURING THE SAME

【中文】

本發明提供一種電橋式隨機存取記憶體及其製造方法。此電橋式隨機存取記憶體包括底電極、金屬間介電質、電阻轉態組件以及頂電極。其中底電極位於基板上，金屬間介電質位於底電極上。電阻轉態組件位於底電極上和位於金屬間介電質中，且具有倒T型的剖面。頂電極位於電阻轉態組件以及金屬間介電質上。

【英文】

A conductive bridge random access memory and its manufacturing method are provided. The conductive bridge random access memory includes a bottom electrode, an inter-metal dielectric, a resistance switching assembly and a top electrode. The bottom electrode is formed on a substrate, and the inter-metal dielectric is formed above the bottom electrode. The resistance switching assembly is formed on the bottom electrode and positioned in the inter-metal dielectric. The resistance switching assembly has a reverse T-shape cross-section. The top electrode is formed on the resistance switching assembly and the inter-metal dielectric.

【指定代表圖】 第 1E 圖

【代表圖之符號簡單說明】

100~基板；

110~層間介電層；

112~底電極；

114~金屬間介電質；

116、118~介電層；

132~電阻轉態組件；

134、136~電阻轉態層；

138~頸部；

140~頂電極；

W_{12} 、 W_{14} 、 W_{22} 、 W_{24} ~寬度。

【特徵化學式】

無。

【發明說明書】

【中文發明名稱】電橋式隨機存取記憶體及其製造方法

【英文發明名稱】CONDUCTIVE BRIDGE RANDOM ACCESS MEMORY AND METHOD OF MANUFACTURING THE SAME

【技術領域】

【0001】 本發明係有關於一種記憶體裝置，且特別係有關於一種導電橋式電阻記憶體及其製造方法。

【先前技術】

【0002】 電橋式隨機存取記憶體 (Conductive Bridge Random Access Memory ; CBRAM) 具有低操作電壓、寫入及擦除時間短、記憶時間長、多狀態記憶、低功率消耗、結構及製法簡單、以及可擴充等優點。因此電橋式隨機存取記憶體極有潛力取代目前的快閃式記憶體，成為下世代的非揮發性記憶體主流。

【0003】 電橋式隨機存取記憶體包括多個記憶胞，其中各記憶胞主要包含兩電極及夾置於其中的電阻轉態層。當對記憶胞進行設定 (set) 操作時，電極的金屬離子可擴散至電阻轉態層中而構成兩電極之間的導電路徑，而形成低電阻狀態 (low resistance state , LRS)。當進行重置 (reset) 操作時，導電路徑會斷開或破裂，而使記憶胞由低電阻狀態轉換為高電阻狀態 (high resistance state , HRS)。而低電阻狀態和高電阻狀態可分別用於指示 "1" 與 "0" 的數位訊號，從而提供對應的記憶狀態。

【0004】 然而每次將記憶胞轉換到低電阻狀態時，電阻轉態層中所產生的導電路徑的位置及粗細皆不相同也無法控制，導致記憶胞的操作電壓的變異性很大，且裝置穩定性差。再者，習知記憶胞的電極之間的電阻轉態層中所形成的導電路徑除了連接上下電極的主要部分，還包含有一些由主要部分向側向擴散的枝狀部分，因此相鄰的記憶胞容易互相干擾。例如對某一個記憶胞進行讀取時，可能受到因相鄰記憶胞的導電路徑的枝狀部分互相連接而導致讀取的電阻值產生錯誤，進而降低記憶體的良率及可靠度。因此，如何避免上述情形的發生，實為一重要議題。

【發明內容】

【0005】 本發明揭示一種電橋式隨機存取記憶體，包括底電極、金屬間介電質、電阻轉態組件以及頂電極。其中底電極位於基板上，金屬間介電質位於底電極上。電阻轉態組件位於底電極上和位於金屬間介電質中，且具有倒T型的剖面。頂電極位於電阻轉態組件以及金屬間介電質上。

【0006】 本發明揭示一種電橋式隨機存取記憶體的製造方法，包括：形成底電極於基板上；形成金屬間介電質於底電極上；形成一電阻轉態組件於底電極上和位於金屬間介電質中；以及形成一頂電極於電阻轉態組件以及金屬間介電質上。其中所形成的電阻轉態組件具有倒T型的剖面。

【圖式簡單說明】

【0007】

第1A-1E圖為根據本揭露的一些實施例之製造電橋式隨機存取記憶體的各步驟中所對應的剖面示意圖。

第2A圖為本揭露的一些實施例之電橋式隨機存取記憶體在進行設定(set)操作後的剖面示意圖。

第2B圖為本揭露的一些實施例之電橋式隨機存取記憶體在進行重置(reset)操作後的剖面示意圖。

第3圖為根據本揭露的另一些實施例之電橋式隨機存取記憶體的剖面示意圖。

【實施方式】

【0008】 以下參照本發明實施例之圖式以更全面地闡述本發明。然而，本發明亦可以各種不同的形式體現，而不應限於本文中所述之實施例。圖式中的層與區域的厚度會為了清楚起見而放大。相同或相似之元件標號表示相同或相似之元件，以下段落將不再一一贅述。

【0009】 本揭露實施例提供一種電橋式隨機存取記憶體及其製造方法，可以限制導電路徑的形成位置以及控制導電路徑的斷開位置。因此可以穩定地轉換記憶體的電阻狀態，並降低操作電壓的變異性及增加裝置穩定性，進而提升最終產品的良率及可靠度。

【0010】 另外，文中提出的電橋式隨機存取記憶體可包含一個或多個記憶胞。而實施例所配合之圖式係繪製兩個記憶胞。一個記憶胞包含底電極、頂電極以及設置於底電極與頂電極之間的電阻轉換組件，各個記憶胞的電阻轉換組件是以金屬間介電質相隔開

來，其細節將敘述於後。為簡化敘述，以下係說明製造單個記憶胞的相關部件的製造方法與結構。

【0011】 第1A-1E圖為根據本揭露的一些實施例之製造電橋式隨機存取記憶體的各步驟中所對應的剖面示意圖。請參照第1A圖，提供一基板100，並在基板100上方形成層間介電層110及底電極112。

【0012】 一些實施例中，基板100例如包括一半導體基底(未顯示)、設置於半導體基底之上的主動元件例如電晶體(未顯示)、以及設置於電晶體上的接觸件(未顯示)。底電極112例如是設置於基板100上的內連線結構的一層金屬層。底電極112可透過內連線結構的導孔以及/或金屬線電性連接至基板100內的接觸件以及電晶體。一些實施例中，底電極112的材料可包括銅、鎢、鎳、鋁、鉑、鈦、鈹、氮化鎢、氮化鈦、氮化鈹、其他合適的導電材料或上述之組合。底電極112可為由單層結構或多層結構所構成。

【0013】 一些實施例中，層間介電層110圍繞底電極112。在一實施例中，例如可通過沉積一層間介電材料於基板100上，接著對層間介電材料進行圖案化以形成孔洞，之後沉積一底電極材料於層間介電材料上方並填滿孔洞，並對底電極材料進行回蝕刻或平坦化製程(例如化學機械研磨)，以於孔洞處形成底電極112。在一些實施例中，層間介電層110例如是氧化矽、氮化矽、氮氧化矽、四乙氧基矽烷、磷矽酸鹽玻璃、硼磷矽酸鹽玻璃、氟化矽酸鹽玻璃、低介電常數介電材料、其他合適的介電材料或前述之組合。

【0014】 接著，形成一金屬間介電質114於底電極112上。在一些實施例中，金屬間介電質114包含介電層116和介電層118。

在一些實施例中，介電層116和介電層118皆使用對於金屬離子擴散的阻擋能力佳的材料，例如可包括碳氮化矽、碳化矽、氮化矽、氧化矽、其他合適的介電材料或前述之組合。此外，在其他實施例中，介電層116與介電層118可選擇不同的材料使得介電層118對於電極的金屬離子擴散的阻擋能力大於介電層116對於金屬離子擴散的阻擋能力。

【0015】 之後，對金屬間介電質114進行圖案化製程，以形成暴露出底電極的貫孔(through hole)。在一些實施例中，透過形成具有倒T形剖面形狀的貫孔，可使後續形成於其中的電阻轉態組件具有例如倒T形的剖面而在構型上形成窄縮的頸部。當對電橋式隨機存取記憶體進行重置操作時，導電路徑會先自頸部處斷開而破壞導電路徑，藉此做為使記憶體由低電阻狀態轉換至高電阻狀態的一控制部。

【0016】 請參照第1B圖，對介電層118進行圖案化製程，以形成第一孔洞122。在一些實施例中，以第一蝕刻劑對介電層118進行第一蝕刻步驟，而形成第一孔洞122。其中第一孔洞122暴露介電層116的上表面並例如具有傾斜的側壁(tapered sidewall)。第一孔洞122的位置係對應於底電極112的位置，例如位於底電極112的正上方。

【0017】 請參照第1C圖，接著，對介電層116繼續進行圖案化製程(例如蝕刻)，以於第一孔洞122中形成第二孔洞124。其中第二孔洞124暴露出底電極112的上表面112a。在一些實施例中，以第二蝕刻劑對介電層116進行第二蝕刻步驟。在一實施例中，第一

蝕刻步驟與第二蝕刻步驟可於相同的蝕刻腔室中原位(*in-situ*)實施。

【0018】 第一孔洞122與第二孔洞124連接而形成貫孔126。在一些實施例中，第一孔洞122的頂部開口大於底部開口，使得第一孔洞122具有傾斜的側壁。此外，第一孔洞的122底部開口小於第二孔洞124的頂部開口，故貫孔126呈現倒T形(*reverse T-shaped*)的輪廓。如第1C圖所示，第一孔洞122的頂部開口的寬度 W_{1U} 大於第一孔洞122的底部開口的寬度 W_{1B} ，第一孔洞122的底部開口的寬度 W_{1B} 小於第二孔洞124的頂部開口的寬度 W_{2U} 。於此示例中，第二孔洞124的底部開口的寬度 W_{2B} 小於底電極112的上表面112a的寬度 W_B 。再者，在一些實施例中，第二孔洞124的底部開口的面積大抵等於第一孔洞122的頂部開口的面積。例如，第二孔洞124的底部開口的寬度 W_{2B} 大抵等於第一孔洞122的頂部開口的寬度 W_{1U} 。文中使用「大抵」類似的用語來描述一個物理量之數值或一個數值範圍時，除非有另外指明，則此用語是用於表示包含此數值及與此數值相差 $\pm 10\%$ 的數值範圍。

【0019】 值得一提的是，在本實施例中是在相同的蝕刻腔室中使用不同的蝕刻劑原位進行第一及第二蝕刻步驟，以形成具倒T形剖面的貫孔126，但本發明不限於此。在其他實施例中，也可通過改變第一及第二蝕刻步驟的偏壓功率、使用不同的蝕刻劑搭配不同的蝕刻偏壓功率的方式、或其他合適的製程方法以形成具倒T形剖面的貫孔126。

【0020】 請參照第1D圖，於貫孔126內形成電阻轉態組件132。在一些實施例中，電阻轉態組件132的材料可包括過渡金屬氧

化物，例如三氧化二鋁(Al_2O_3)、二氧化鈦(TiO_2)、二氧化鈺(HfO_2)、二氧化鋯(ZrO_2)、二氧化鉭(TaO_2)、五氧化二鉭(Ta_2O_5)或其他合適的材料。電阻轉態組件132的材料可為由單一材料所形成的單層結構或由多種不同材料所形成的多層結構。形成電阻轉態組件132的步驟例如是沿著金屬間介電質114的上表面和貫孔126的側壁和底面順應性沉積過渡金屬氧化物，接著進行回蝕刻或平坦化製程(例如化學機械研磨)，以移除金屬間介電質114上多餘的過渡金屬氧化物，以暴露出金屬間介電質114的上表面。在一些實施例中，所形成的電阻轉態組件132的上表面與金屬間介電質114的上表面共平面。

【0021】 在一些實施例中，電阻轉態組件132包含第二孔洞124中的電阻轉態層134，以及第一孔洞122中的電阻轉態層136。電阻轉態層134位於底電極112上，並接觸底電極112的上表面112a。電阻轉態層136位於電阻轉態層134上。再者，在一些實施例中，電阻轉態層136的下表面136b的面積小於電阻轉態層134的上表面134a的面積。如第1D圖所示，電阻轉態層136的下表面136b的寬度 W_{22} 小於電阻轉態層134的上表面134a的寬度 W_{14} ，而形成窄縮的頸部(neck portion)138。在本實施例中，電阻轉態層134與電阻轉態層136是在同時形成的，但本發明不限於此，在其他實施例中，電阻轉態層134與電阻轉態層136也可以分開形成。

【0022】 值得一提的是，由於電阻轉態層136的上表面136a的面積大於下表面136b的面積，因此電阻轉態層136具有傾斜的側壁，而呈現倒梯形剖面。如第1D圖所示，電阻轉態層136的上表面136a的寬度 W_{24} 大於下表面136b的寬度 W_{22} 。因此，電阻轉態組件

132在電阻轉態層136的下表面136b與電阻轉態層134的上表面134a的交界處中形成頸部138。在一些實施例中，包含電阻轉態層134以及電阻轉態層136的電阻轉態組件132在底電極112上形成一倒T形的剖面。由於此倒T形剖面的頸部138會限制通過此處的導電路徑的金屬離子的數量，當對電橋式隨機存取記憶體進行重置操作時，頸部138處的導電路徑會最先斷開而使導電路徑消失，因此電阻轉態組件132的頸部138可視為轉換電橋式隨機記憶體的電阻狀態的控制部。

【0023】 另外，在一些實施例中，電阻轉態層134的下表面134b的寬度 W_{12} 可大抵等於電阻轉態層136的上表面136a的寬度 W_{24} 。

【0024】 請參照第1E圖，形成一頂電極140於電阻轉態組件132以及金屬間介電質114上。頂電極140例如包含可擴散至電阻轉態組件132中的金屬材料，進而在進行設定操作時，自頂電極140擴散的金屬離子可於電阻轉態組件132中形成導電路徑。在一些實施例中，形成頂電極140的材料可包括鈦、鉭、鎢、鋁、銅、氮化鈦、氮化鉭、其他合適的導電材料或上述之組合。藉由對底電極112與頂電極140施加電壓，可將電阻轉態組件132轉換成不同的電阻狀態。

【0025】 在一些實施例中，頂電極140形成於介電層118上並與其直接接觸，當對底電極112與頂電極140施加電壓以進行設定操作時，頂電極140會提供金屬離子進入電阻轉態組件132。因此與頂電極140接觸的介電層118可選擇對於金屬離子擴散的阻擋能力優良的介電材料，例如碳氮化矽、碳化矽、氮化矽或前述之組合，

以避免頂電極140所包含的金屬材料或金屬離子擴散而進入介電層118中。

【0026】 以下係舉例說明實施例的記憶體結構在進行設定操作和重置操作時電阻轉態組件的阻值轉換。請參照第2A圖，其為本揭露的一些實施例之電橋式隨機存取記憶體在進行設定操作後的剖面示意圖。第2B圖為本揭露的一些實施例之電橋式隨機存取記憶體在進行重置操作後的剖面示意圖。

【0027】 當對電橋式隨機存取記憶體進行設定操作時，施加設定電壓於底電極112與頂電極140，則頂電極140產生的金屬離子在電阻轉態組件132中自頂電極140朝向底電極112排列和連接，而形成導電路徑。當導電路徑觸及底電極112時，可構成頂電極140和底電極112之間的導電路徑，供電流通過，如第2A圖所示。此時電阻轉態組件132呈現低電阻狀態。第2A圖中兩個電阻轉態組件132的位置分別對應兩個記憶胞的位置並以金屬間介電質114分隔開來，因此可以侷限導電路徑的形成位置，而控制各個記憶胞的導電路徑。

【0028】 當對電橋式隨機存取記憶體進行重置操作時，施加相反電壓於底電極112與頂電極140，則在電阻轉態組件132中的金屬離子還原，導致原本連接的導電路徑斷開或破裂，如第2B圖所示。此時電阻轉態組件132自低電阻狀態轉換成高電阻狀態。

【0029】 根據一些實施例所提出的電阻轉態組件132，其具有例如倒T形剖面，而在構型上包含了窄縮的頸部138。當對電橋式隨機存取記憶體進行設定操作而使金屬離子排列成導電路徑時，窄縮的頸部138限制了通過此處的金屬離子的數量，亦即通過頸部138

的金屬離子的數量最少。當對電橋式隨機存取記憶體進行重置操作時，頸部138處的導電路徑更容易斷開而使導電路徑消失。因此頸部設計可作為記憶胞從低電阻狀態轉換至高電阻狀態的控制部。因此，如上述一些實施例所提出的電阻轉態組件132的頸部138可以有效控制電橋式隨機存取記憶體由低電阻狀態轉換至高電阻狀態。而電橋式隨機存取記憶體中不同的記憶胞亦可藉由其電阻轉態組件的頸部設計而降低它們在電阻狀態轉換上的差異性。

【0030】 根據上述本揭露的一些實施例所提出的電橋式隨機存取記憶體具有許多優點。例如，在金屬間介電質114中各電阻轉態組件132的位置是對應各個記憶胞的位置，因此可以侷限導電路徑(e.g.金屬離子)的形成位置，控制各個記憶胞在低電阻狀態下的導電路徑，以避免讀取記憶胞時受到相鄰記憶胞的干擾而影響了電阻值的判讀。因此，實施例所提出的電橋式隨機存取記憶體可以準確讀取各個記憶胞的電阻值，以分辨所指示的數位訊號0或1。並且，如上述說明，一些實施例的電阻轉態組件132具有例如倒T形剖面，其窄縮的頸部138設計減少了通過此處的導電路徑的金屬離子的數量，而可做為電橋式隨機存取記憶體進行重置操作時低電阻到高電阻狀態轉換的控制部。

【0031】 此外，特別說明的是，由於電橋式隨機存取記憶體是通過擴散至電阻轉態組件中的金屬離子形成/斷開導電路徑，因此本揭露通過在相鄰記憶胞的電阻轉態組件132間形成對金屬離子擴散的阻擋能力佳的金屬間介電質114，可確保金屬離子在操作時，僅會在電阻轉態組件的垂直方向移動，進而防止金屬離子在操作時往電阻轉態組件的水平方向擴散而散失，以確保記憶體的可靠性。

【0032】 再者，在一些實施例中，以一個記憶胞為例，電阻轉態層134與底電極112具有第一接觸面積，電阻轉態層136與頂電極140具有第二接觸面積，第一接觸面積與第二接觸面積大抵相等（例如第1E圖中的寬度 W_{12} 可大抵等於寬度 W_{24} ），如此可使電阻轉態組件132與底電極112和頂電極140之間的接觸電阻大抵相等，以使電橋式隨機存取記憶體不論是從高阻態轉換到低阻態（設定操作）或是從低高阻態轉換到高阻態（重置操作）都可穩定且平衡地進行操作。另外，對於電橋式隨機存取記憶體中多個記憶胞而言，亦可藉由形成相同構型的實施例的電阻轉態組件，而降低不同記憶胞在操作上的變異性。

【0033】 另外，如上述實施例所提出之電橋式隨機存取記憶體，電阻轉態層134的下表面的面積小於底電極112的上表面112a的面積。然而本揭露並不僅限於此，電阻轉態層134的下表面的面積可以等於、或者大於底電極112的上表面112a的面積。以下說明電阻轉態層134的下表面大於底電極112的上表面的另一種電橋式隨機存取記憶體。

【0034】 第3圖為根據本揭露的另一些實施例之電橋式隨機存取記憶體的剖面示意圖。相同於前述第1A-1E至2A-2B圖的實施例的部件係使用相同或類似的標號並省略其說明。在第3圖之實施例中，電橋式隨機存取記憶體更包括一擴散阻障層111位於層間介電層110上，且擴散阻障層111圍繞底電極112。由於電阻轉態層234的下表面會接觸部分的擴散阻障層111的上表面，此實施例可優選地採用對於金屬離子擴散的阻擋能力優良的介電材料來製作擴散阻障層111，以避免金屬離子擴散進入層間介電層110中。一些實施例

中，擴散阻障層111包含碳氮化矽、碳化矽、氮化矽、其他合適的介電材料或前述之組合。

【0035】 如第3圖所示，介電層116位於擴散阻障層111上，而電阻轉態層234的下表面則覆蓋底電極112並接觸部分的擴散阻障層111。擴散阻障層111的製法例如是沉積一層間介電材料於基板100上、沉積一擴散阻障材料於層間介電材料上、以及對擴散阻障材料和層間介電材料進行圖案化以形成孔洞。接著沉積一底電極材料於擴散阻障材料上方並填滿孔洞，並對底電極材料進行回蝕刻或平坦化製程(例如化學機械研磨)，以形成底電極112於孔洞處。為了簡化說明，關於相同或類似於前述第1A圖至第1E圖所繪示的元件及其形成製程步驟，在此不再詳述。

【0036】 綜合上述，實施例所提出的電橋式隨機存取記憶體，其電阻轉態組件對應記憶胞的底電極的位置且電阻轉態組件具有窄縮的頸部，以做為電阻狀態轉換的控制部。因此實施例的電橋式隨機存取記憶體除了可限制導電路徑形成位置，還可以良好控制高電阻狀態和低電阻狀態之間的轉換，並且降低電橋式隨機存取記憶體中不同的記憶胞的操作變異性，進而提高最終產品的良率及可靠度。

【0037】 雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0038】

100~基板；	132、232~電阻轉態組件；
110~層間介電層；	134、136、234、236~電阻轉
111~擴散阻障層；	態層；
112~底電極；	112a、134a、136a~上表面；
114~金屬間介電質；	134b、136b~下表面；
116、118~介電層；	138~頸部；
122~第一孔洞；	140~頂電極；
124~第二孔洞；	W_{1B} 、 W_{1U} 、 W_{2B} 、 W_{2U} 、 W_{12} 、
126~貫孔；	W_{14} 、 W_{22} 、 W_{24} ~寬度。

【發明申請專利範圍】

【第1項】 一種電橋式隨機存取記憶體，包括：

一底電極，位於一基板上；

一金屬間介電質，位於該底電極上；

一電阻轉態組件，位於該底電極上和位於該金屬間介電質中，該電阻轉態組件具有倒T型的剖面，其中該電阻轉態組件包括：

一第一電阻轉態層，位於該底電極上；及

一第二電阻轉態層，位於該第一電阻轉態層上，其中該第二電阻轉態層的上表面的面積大於該第二電阻轉態層的下表面的面積；以及

一頂電極，位於該電阻轉態組件以及該金屬間介電質上。

【第2項】 如申請專利範圍第1項所述之電橋式隨機存取記憶體，其中該第二電阻轉態層的該下表面的面積小於該第一電阻轉態層的上表面的面積。

【第3項】 如申請專利範圍第1項所述之電橋式隨機存取記憶體，其中該第一電阻轉態層的下表面的面積大於該第二電阻轉態層的該下表面的面積。

【第4項】 如申請專利範圍第1項所述之電橋式隨機存取記憶體，其中該第一電阻轉態層與該底電極具有第一接觸面積，該第二電阻轉態層與該頂電極具有第二接觸面積，該第一接觸面積與該第二接觸面積相等。

【第5項】 如申請專利範圍第1項所述之電橋式隨機存取記憶體，其中該金屬間介電質包括：

一第一介電層，位於該底電極上，且該第一電阻轉態層位於該第一介電層中；以及

一第二介電層，位於該第一介電層上，且該第二電阻轉態層位於該第二介電層中。

【第6項】如申請專利範圍第5項所述之電橋式隨機存取記憶體，其中該第二介電層的材料不同於該第一介電層的材料，並且該第二介電層對於金屬離子擴散的阻擋能力大於該第一介電層對於金屬離子擴散的阻擋能力。

【第7項】如申請專利範圍第5項所述之電橋式隨機存取記憶體，其中該第一介電層包括碳氮化矽、碳化矽、氮化矽、氧化矽或前述之組合，該第二介電層包括碳氮化矽、碳化矽、氮化矽或前述之組合。

【第8項】如申請專利範圍第1項所述之電橋式隨機存取記憶體，其中該第一電阻轉態層的下表面的面積等於或小於該底電極之頂表面的面積。

【第9項】如申請專利範圍第1項所述之電橋式隨機存取記憶體，更包括一層間介電層位於該基板上且圍繞該底電極，其中該金屬間介電質位於該層間介電層上方。

【第10項】如申請專利範圍第9項所述之電橋式隨機存取記憶體，更包括一擴散阻障層位於該層間介電層上且圍繞該底電極，其中該金屬間介電質位於該擴散阻障層上，該第一電阻轉態層的下表面覆蓋該底電極並接觸部分之該擴散阻障層。

【第11項】如申請專利範圍第2項所述之電橋式隨機存取記憶體，其中該底電極和該電阻轉態組件分別為第一底電極和第一電阻轉態組件，該電橋式隨機存取記憶體更包括：

第二底電極，位於該基板上並與該第一底電極相隔開來；以及
第二電阻轉態組件，位於該第二底電極上，且該第二電阻轉態組件和該第一電阻轉態組件以該金屬間介電質相隔開來，其中該第二電阻轉態組件包括：

一第三電阻轉態層，位於該第二底電極上；

一第四電阻轉態層，位於該第三電阻轉態層上，其中該第四電阻轉態層的下表面的面積小於該第三電阻轉態層的上表面的面積。

【第12項】一種電橋式隨機存取記憶體的製造方法，包括：

形成一底電極於一基板上；

形成一金屬間介電質於該底電極上；

形成一電阻轉態組件於該底電極上和位於該金屬間介電質中，其中該電阻轉態組件具有倒T型的剖面，其中該電阻轉態組件包括：

一第一電阻轉態層，位於該底電極上；及

一第二電阻轉態層，位於該第一電阻轉態層上，其中該第二電阻轉態層的上表面的面積大於該第二電阻轉態層的下表面的面積；以及

形成一頂電極於該電阻轉態組件以及該金屬間介電質上。

【第13項】 如申請專利範圍第12項所述之電橋式隨機存取記憶體之製造方法，其中該第二電阻轉態層的該下表面的面積小於該第一電阻轉態層的上表面的面積。

【第14項】 如申請專利範圍第12項所述之電橋式隨機存取記憶體之製造方法，其中該第一電阻轉態層的下表面的面積大於該第二電阻轉態層的該下表面的面積。

【第15項】 如申請專利範圍第12項所述之電橋式隨機存取記憶體之製造方法，其中該第一電阻轉態層與該底電極具有第一接觸面積，該第二電阻轉態層與該頂電極具有第二接觸面積，該第一接觸面積與該第二接觸面積相等。

【第16項】 如申請專利範圍第12項所述之電橋式隨機存取記憶體之製造方法，其中形成該金屬間介電質包括：

形成一第一介電層於該底電極上；以及

形成一第二介電層於該第一介電層上，

其中該第二介電層對於金屬離子擴散的阻擋能力大於該第一介電層對於金屬離子擴散的阻擋能力。

【第17項】 如申請專利範圍第16項所述之電橋式隨機存取記憶體之製造方法，其中該形成該電阻轉態組件於該底電極上和位於該金屬間介電質中的步驟包括：

以第一蝕刻劑對該第二介電層進行第一蝕刻步驟，以形成一第一孔洞；

以第二蝕刻劑對該第一介電層進行第二蝕刻步驟，以形成一第二孔洞於該第一孔洞下方，其中該第二孔洞暴露該底電極，且該第一孔洞及該第二孔洞共同形成一貫孔；以及

填入一電阻轉態材料於該貫孔中以形成該電阻轉態組件；

其中該第二蝕刻劑與第一蝕刻劑不同，該第一蝕刻步驟與該第二蝕刻步驟於相同的蝕刻腔室中原位(*in-situ*)實施。

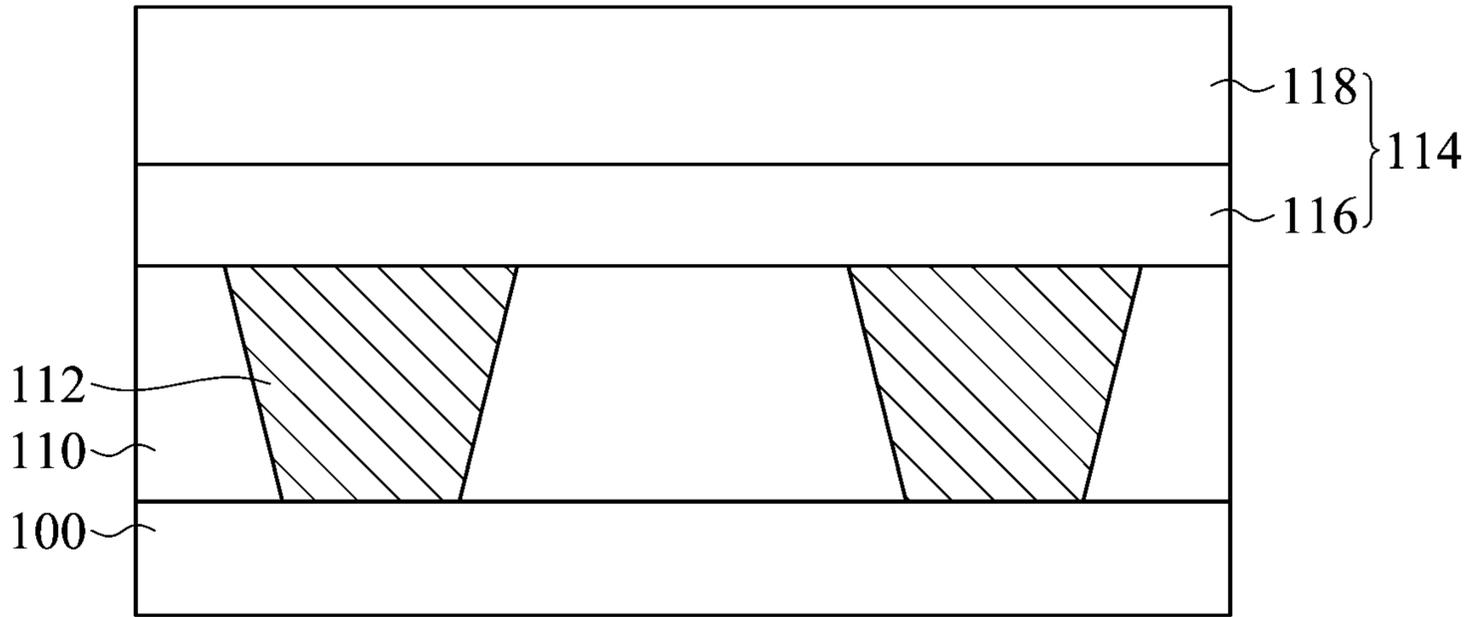
【第18項】如申請專利範圍第17項所述之電橋式隨機存取記憶體之製造方法，其中該基板上更包括：

一層間介電層形成於該基板上且圍繞該底電極；以及

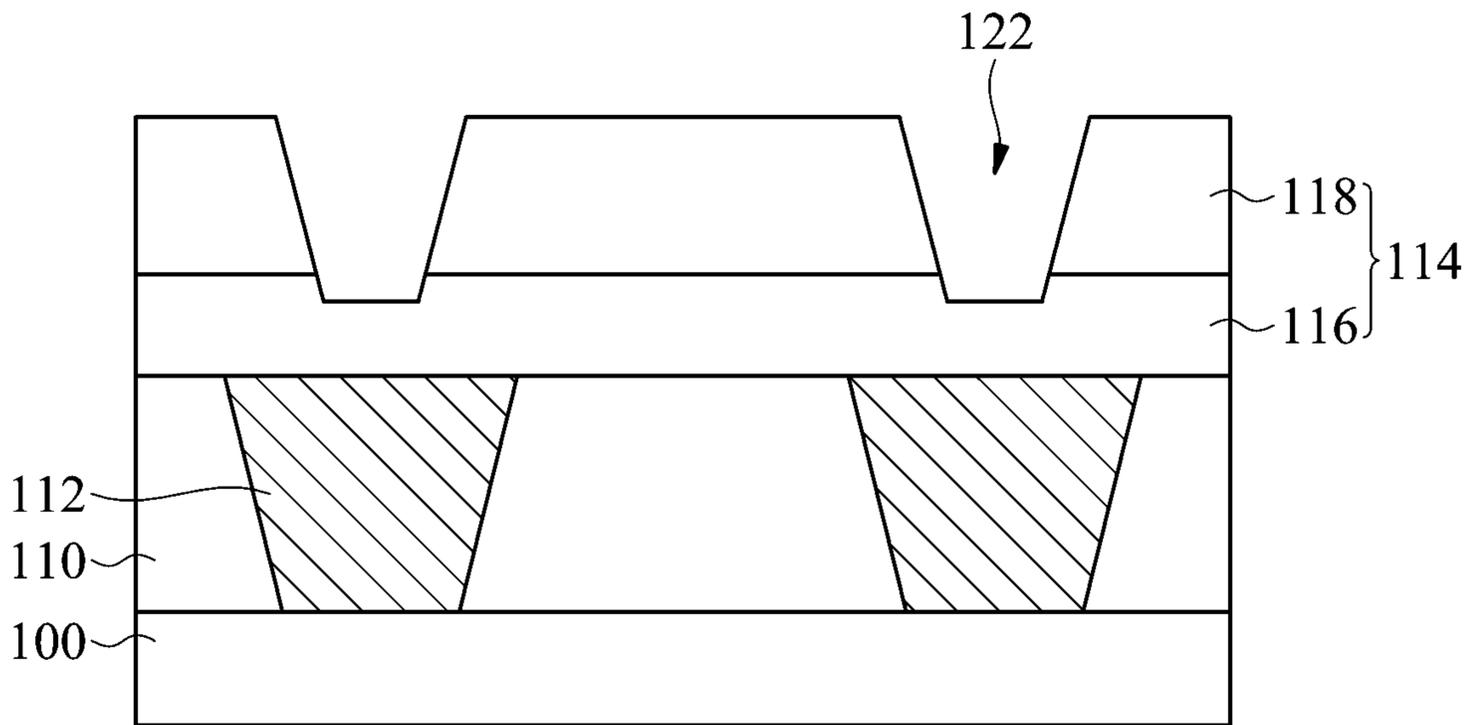
一擴散阻障層形成於該層間介電層上且圍繞該底電極；

在形成該貫孔的該第二孔洞時，該第二孔洞的底部開口暴露出該底電極的上表面以及部分的該擴散阻障層的上表面。

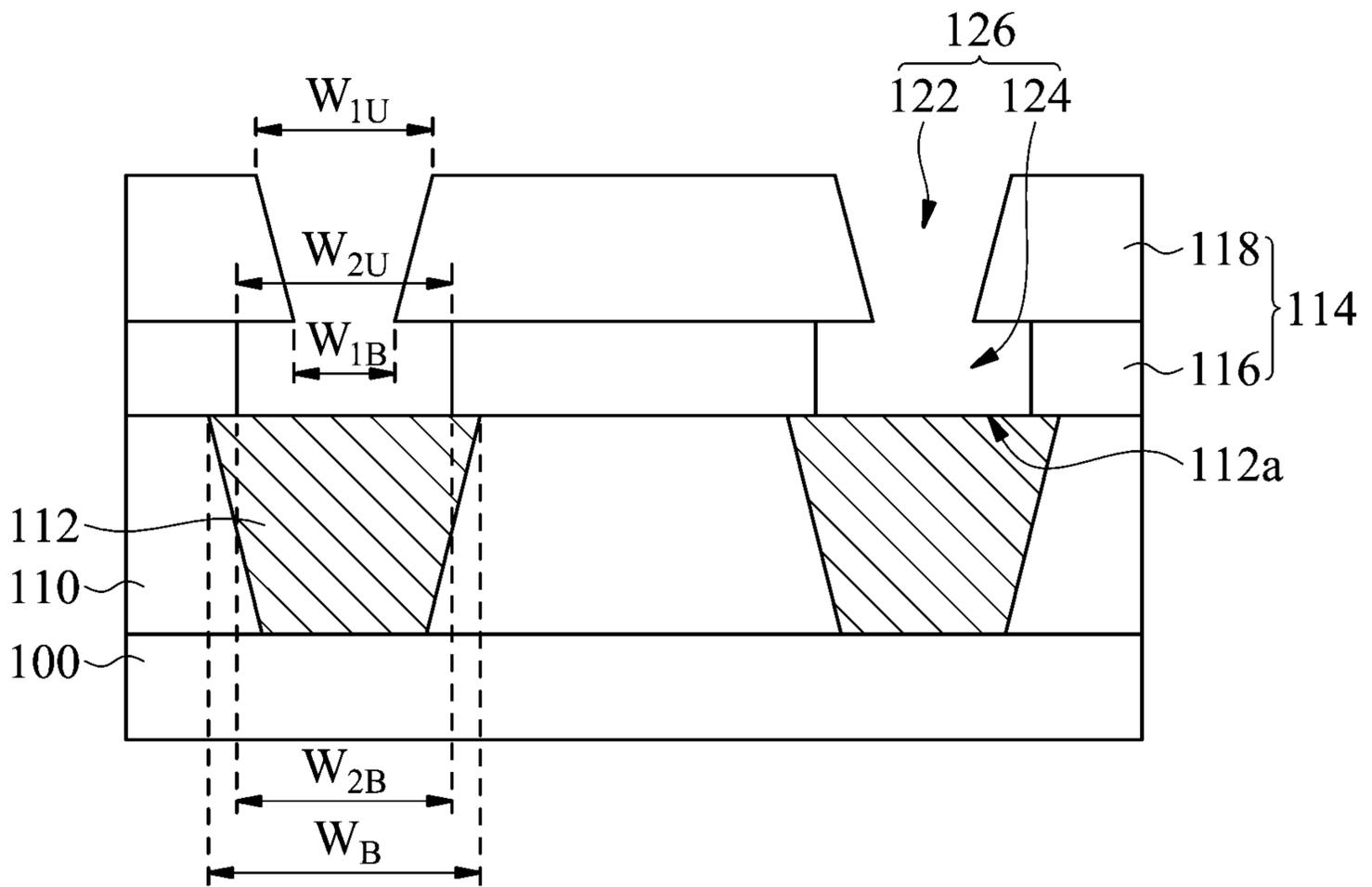
【發明圖式】



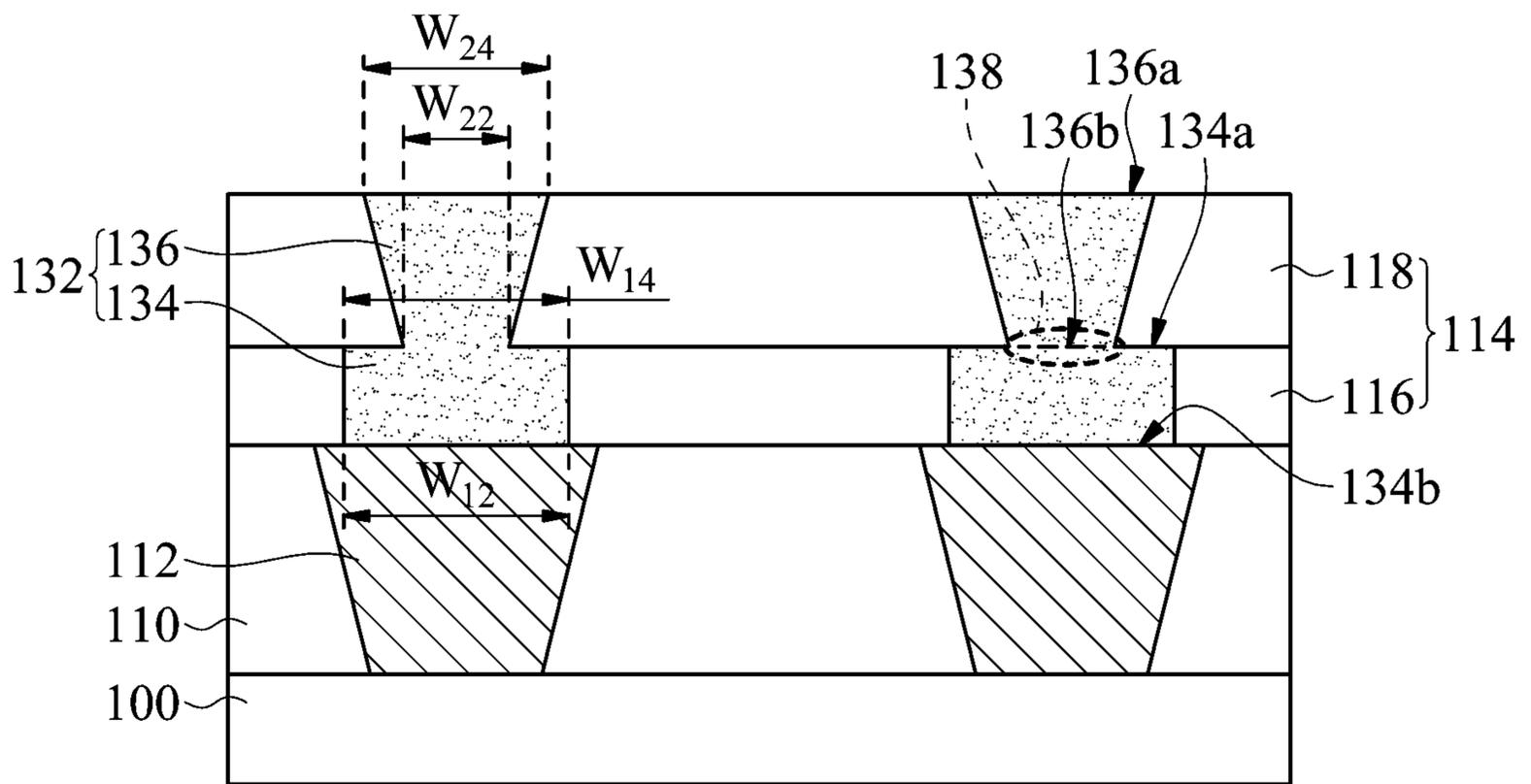
第 1A 圖



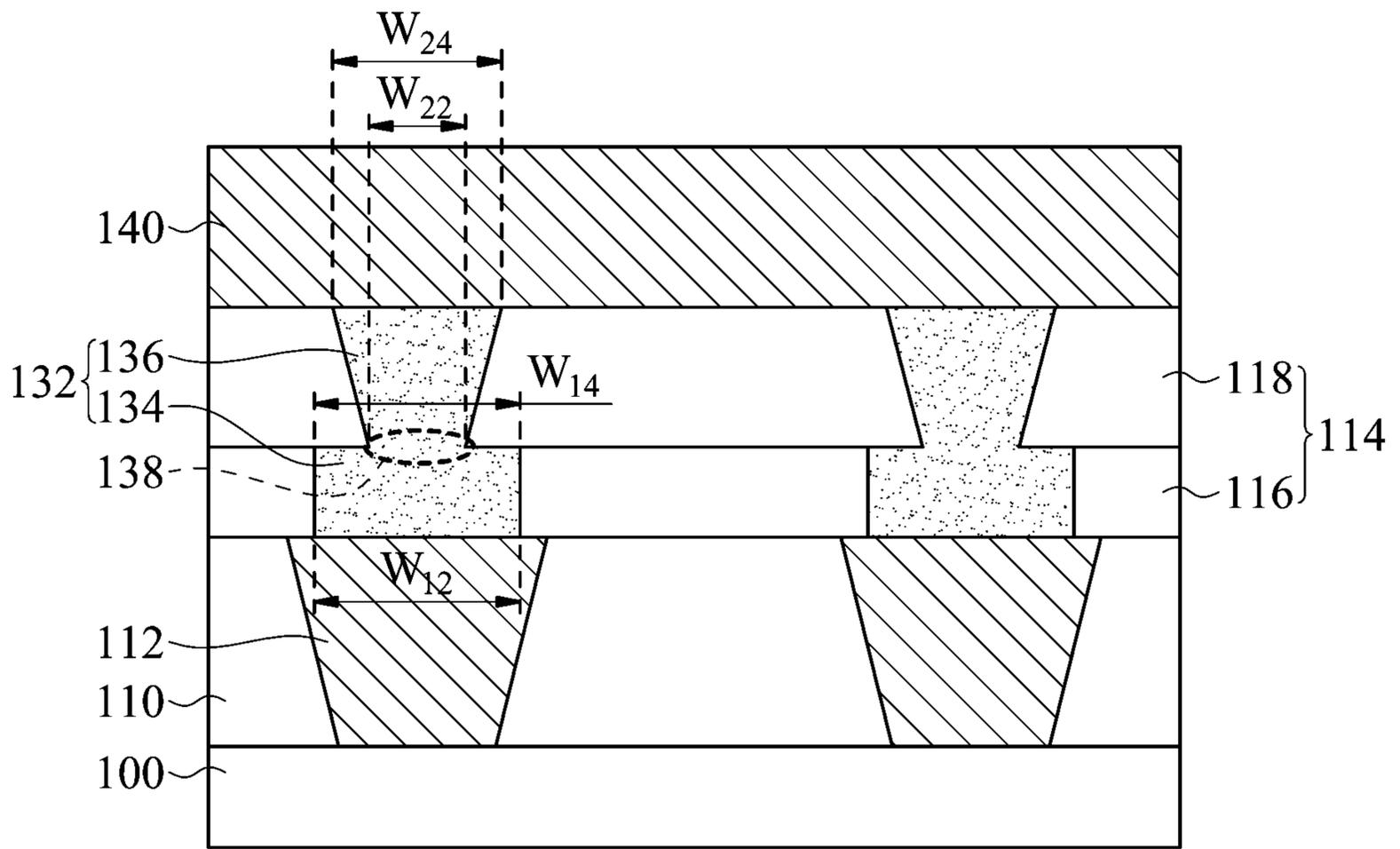
第 1B 圖



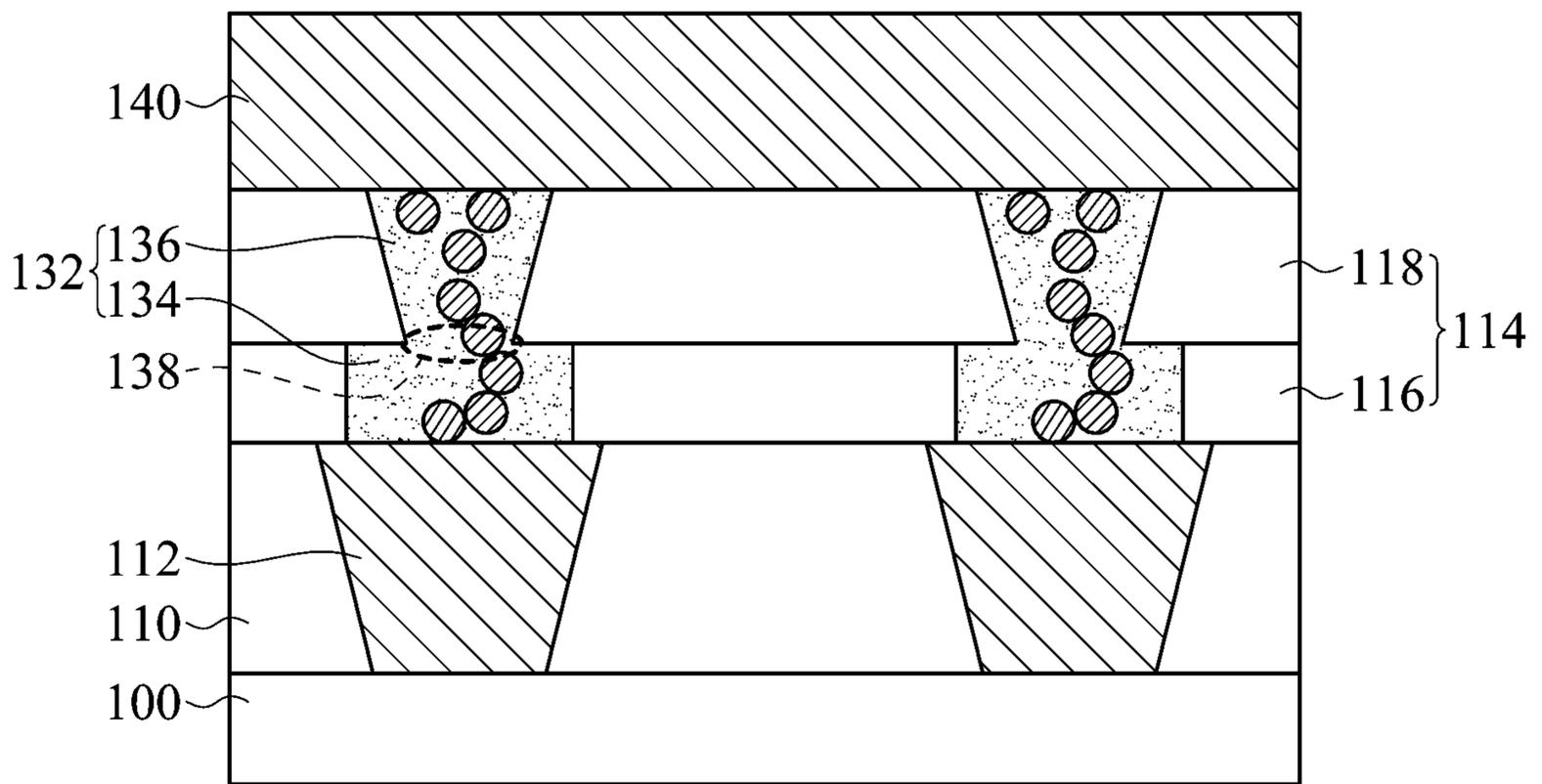
第 1C 圖



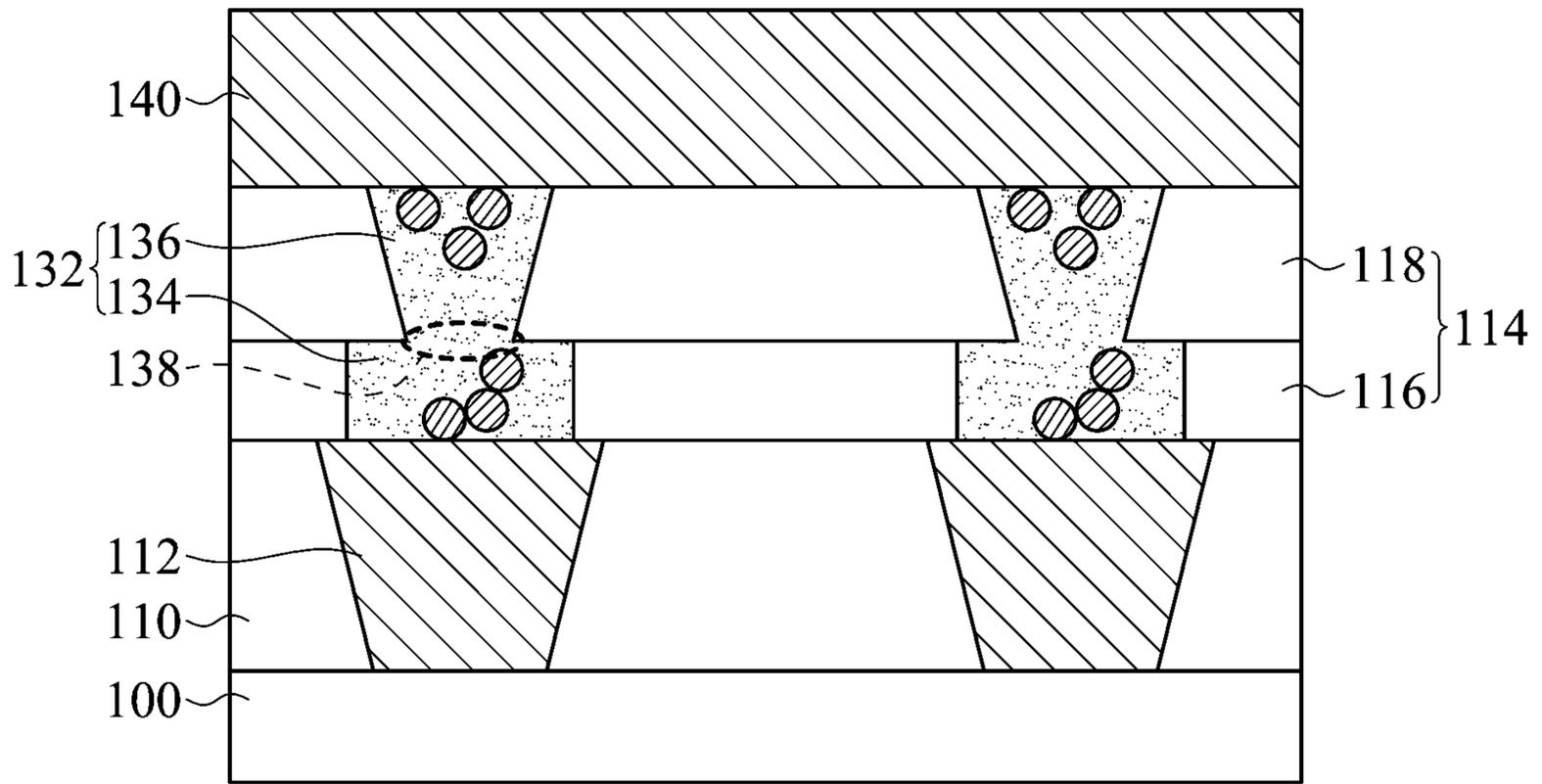
第 1D 圖



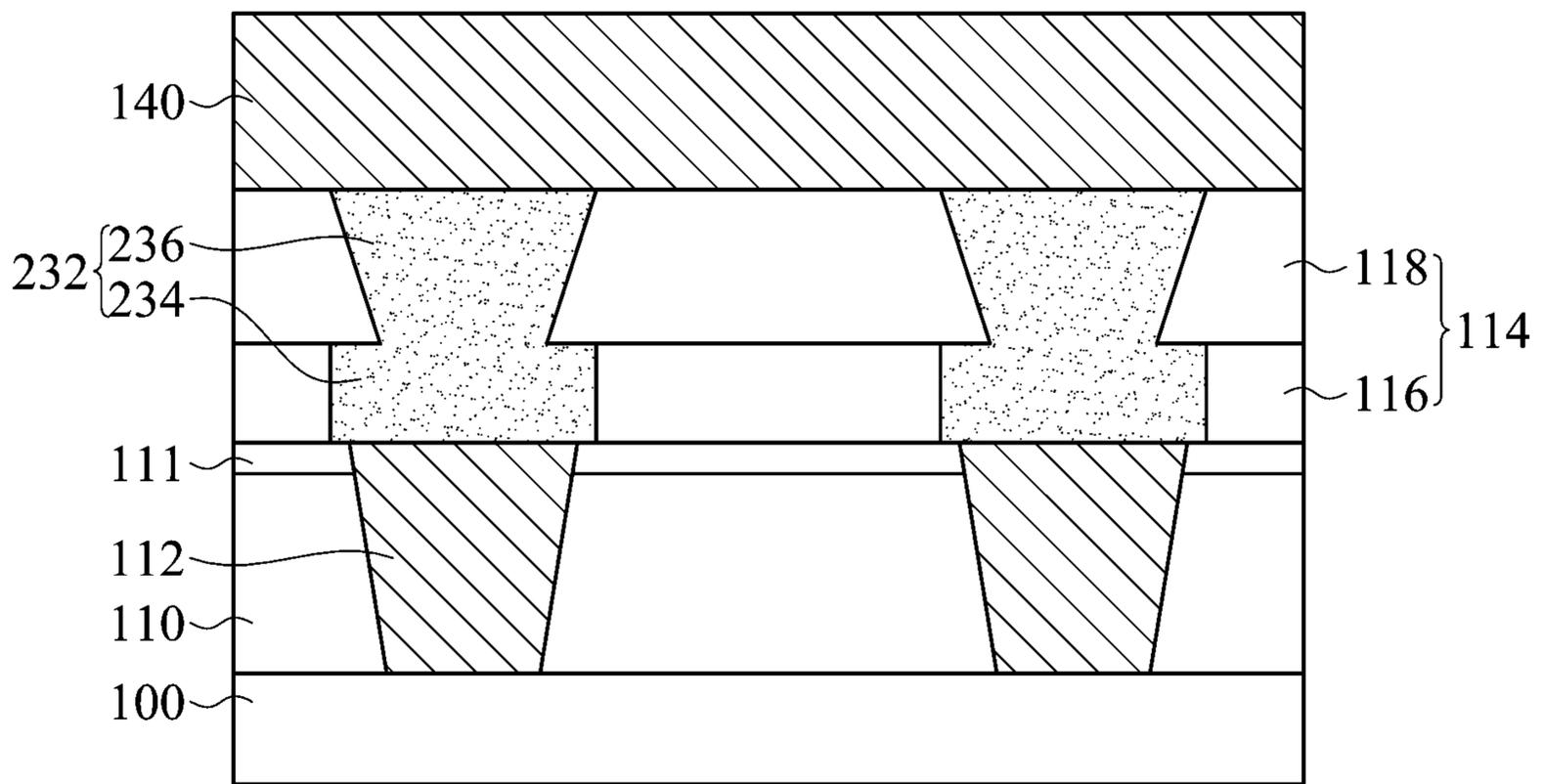
第 1E 圖



第 2A 圖



第 2B 圖



第 3 圖