

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2014年9月25日(25.09.2014)

(10) 国際公開番号

WO 2014/148171 A1

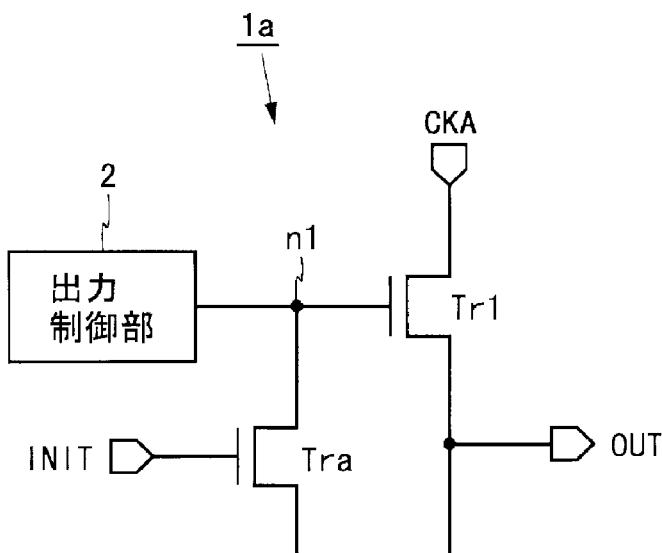
- (51) 国際特許分類:
G11C 19/28 (2006.01) *G09G 3/36* (2006.01)
G09G 3/20 (2006.01) *G11C 19/00* (2006.01)
- (21) 国際出願番号: PCT/JP2014/053621
- (22) 国際出願日: 2014年2月17日(17.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2013-059181 2013年3月21日(21.03.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町22番22号 Osaka (JP).
- (72) 発明者: 佐々木 寧(SASAKI, Yasushi). 村上 祐一郎 (MURAKAMI, Yuhichiro). 西 修司 (NISHI, Shuji). 山口 尚宏(YAMAGUCHI, Takahiro). 横山 真(YOKOYAMA, Makoto).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告 (条約第21条(3))

(54) Title: SHIFT REGISTER

(54) 発明の名称: シフトレジスタ



2 OUTPUT CONTROL UNIT

レベル電位を有し、かつ、ハイレベル電位を有するクロック信号を出力するときにはクロック信号と同じレベルの電位を有する節点に接続する。これにより、ハイレベル電位を有するクロック信号を出力するときに、*Tr_a*のソースードレイン間に高電圧が印加されることを防止し、初期化トランジスタの劣化や破壊を防止する。

(57) Abstract: A shift register is configured by connecting unit circuits (1) in a multitude of stages. An output transistor (Tr1) switches between whether or not to output a clock signal (CKA) in accordance with the gate potential. The drain terminal of an initialization transistor (Tra) is connected to the gate terminal of said Tr1, and the source terminal is connected to an output terminal (OUT) or a clock terminal (CKA). At the time of outputting a clock signal that initially has a low-level potential and that also has a high-level potential, the source terminal of said Tra is connected to a nodal point having a potential at the same level as that of the clock signal. Thus, at the time of outputting a clock signal having a high-level potential, the application of high voltage between the source and the drain of said Tra is prevented, and the degradation/breakdown of the initialization transistor is prevented.

(57) 要約: 単位回路1を多段接続してシフトレジスタを構成する。出力トランジスタTr1は、ゲート電位に応じて、クロック信号CKAを出力するか否かを切り替える。初期化トランジスタTr_aのドレン端子をTr1のゲート端子に接続し、ソース端子を出力端子OUTまたはクロック端子CKAに接続する。Tr_aのソース端子を初期時にはロー

明 細 書

発明の名称：シフトレジスタ

技術分野

[0001] 本発明は、シフトレジスタに関し、特に、表示装置の駆動回路などに好適に使用されるシフトレジスタに関する。

背景技術

[0002] アクティブマトリクス型の表示装置は、2次元状に配置された画素回路を行単位で選択し、選択した画素回路に表示データに応じた電圧を書き込むことにより、画像を表示する。画素回路を行単位で選択するためには、走査線駆動回路として、クロック信号に基づき出力信号を順にシフトするシフトレジスタが用いられる。また、点順次駆動を行う表示装置では、データ線駆動回路の内部に同様のシフトレジスタが設けられる。

[0003] 液晶表示装置などでは、画素回路内のTFT (Thin Film Transistor) を形成するための製造プロセスを用いて、画素回路の駆動回路を画素回路と一体に形成することがある。この場合には、製造コストを削減するために、シフトレジスタを含む駆動回路をTFTと同じ導電型のトランジスタで形成することが好ましい。

[0004] シフトレジスタについては、従来から各種の回路が提案されている。図6-3は、特許文献1に記載されたシフトレジスタの構成を示すブロック図である。図6-3に示すシフトレジスタは、図6-4に示す単位回路9-1を多段接続して構成され、図6-5に示すタイミングチャートに従い動作する。このシフトレジスタでは、ブーストストラップ方式が採用されている。以下、トランジスタの閾値電圧をV_{t-h}、ハイレベル電位をV_{DD}とする。

[0005] 単位回路9-1には、入力信号INとして、前段の単位回路9-1の出力信号OUT（または、スタートパルスST）が与えられる。入力信号INがハイレベルになると、トランジスタQ2がオンし、節点N1の電位は（V_{DD}-V_{t-h}）まで上昇する。次にクロック信号CKがローレベルからハイレベル

に変化すると、トランジスタQ 1のゲート－チャネル間の容量および容量C 1によって、節点N 1の電位は突き上げられて ($V_{DD} - V_{th} + \alpha$) まで上昇する（ただし、 α はクロック信号CKの振幅にほぼ等しい）。通常は $V_{DD} - V_{th} + \alpha > V_{DD} + V_{th}$ が成立するので、クロック信号CKがトランジスタQ 1を通過するときに、クロック信号CKのハイレベル電位はトランジスタQ 1の閾値電圧分だけ低下しない。したがって、閾値落ちのないハイレベル電位 V_{DD} を出力信号OUTとして出力することができる。また、出力信号OUTのハイレベル期間では、トランジスタQ 1のゲート－ソース間の電圧は $(V_{DD} - V_{th} + \alpha) - V_{DD} = \alpha - V_{th}$ になる。トランジスタQ 1のゲート端子にクロック信号CKのハイレベル電位よりも十分に高い電位を与えることにより、出力信号OUTのなまりを小さくすることができる。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第2009/34750号

発明の概要

発明が解決しようとする課題

[0007] ここで、上記従来のシフトレジスタを非アクティブ状態に初期化することを考える。初期化を行うためには、単位回路91に対して図66に示すトランジスタQ3、Q4を追加すればよい。トランジスタQ3、Q4のゲート端子にハイレベルの初期化信号INITを与えることにより、シフトレジスタを非アクティブ状態に初期化することができる。

[0008] しかしながら、上述したように、節点N1の電位は、突き上げによって最高で ($V_{DD} - V_{th} + \alpha$) になる。一方、トランジスタQ3のソース電位はゼロであるので、トランジスタQ3のソース－ドレイン間の電圧は最高で ($V_{DD} - V_{th} + \alpha$) になる。トランジスタのソース－ドレイン間にこのような高電圧を印加すると、トランジスタの劣化や破壊が起こることがある

。この問題を解決する方法として、トランジスタQ3としてデュアルゲートトランジスタを用いる方法や、トランジスタQ3のL長を長くする方法が考えられる。しかし、これらの方法には、シフトレジスタのレイアウト面積が増大するという問題がある。

[0009] それ故に、本発明は、従来とは異なる方法で、初期化トランジスタの劣化や破壊を防止したシフトレジスタを提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の局面は、複数の単位回路を多段接続した構成を有するシフトレジスタであって、

前記単位回路は、

第1導通端子がクロック信号を入力するためのクロック端子に接続され、第2導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、

前記出力トランジスタの制御端子にオン電位とオフ電位を切り換えて印加する出力制御部と、

第1導通端子が前記出力トランジスタの制御端子に接続され、制御端子に初期化信号が与えられた初期化トランジスタとを備え、

前記初期化トランジスタの第2導通端子は、初期化時にはオフ電位を有し、かつ、前記出力端子からオン電位を有するクロック信号が出力されるときには前記クロック信号と同じレベルのオン電位を有する節点に接続されていることを特徴とする。

[0011] 本発明の第2の局面は、複数の単位回路を多段接続した構成を有するシフトレジスタであって、

前記単位回路は、

第1導通端子がクロック信号を入力するためのクロック端子に接続され、第2導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、

第1導通端子が第1節点に接続され、第2導通端子が前記出力トランジ

スタの制御端子に接続され、制御端子にオン電位が固定的に印加された耐圧用トランジスタと、

前記第1節点にオン電位とオフ電位を切り換えて印加する出力制御部と、

第1導通端子が前記第1節点または前記出力トランジスタの制御端子に接続され、制御端子に初期化信号が与えられた初期化トランジスタとを備え、

前記初期化トランジスタの第2導通端子は、初期化時にはオフ電位を有し、かつ、前記出力端子からオン電位を有するクロック信号が出力されるときには前記クロック信号と同じレベルのオン電位を有する節点に接続されていることを特徴とする。

[0012] 本発明の第3の局面は、本発明の第1または第2の局面において、
前記初期化トランジスタの第2導通端子は、前記出力端子に接続されていることを特徴とする。

[0013] 本発明の第4の局面は、本発明の第3の局面において、
前記単位回路は、第1導通端子が前記出力端子に接続され、第2導通端子にオフ電位が固定的に印加され、制御端子に前記初期化信号が与えられた出力初期化トランジスタをさらに含むことを特徴とする。

[0014] 本発明の第5の局面は、本発明の第1または第2の局面において、
前記初期化トランジスタの第2導通端子は、前記クロック端子に接続されていることを特徴とする。

[0015] 本発明の第6の局面は、本発明の第1の局面において、
前記出力制御部は、
第1導通端子に前記単位回路に対する入力信号が与えられ、第2導通端子が前記出力トランジスタの制御端子に接続されたセットトランジスタと、
前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するセット制御部と、
第1導通端子が前記セットトランジスタの制御端子に接続され、制御端

子に前記初期化信号が与えられた第2初期化トランジスタとを含み、

前記第2初期化トランジスタの第2導通端子は、初期化時にはオフ電位を有し、かつ、前記出力トランジスタの制御端子にオン電位が印加される期間の少なくとも一部で前記出力トランジスタの制御端子と同じレベルのオン電位を有する節点に接続されていることを特徴とする。

- [0016] 本発明の第7の局面は、本発明の第2の局面において、
前記出力制御部は、
 第1導通端子に前記単位回路に対する入力信号が与えられ、第2導通端子が前記第1節点に接続されたセットトランジスタと、
 前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するセット制御部と、
 第1導通端子が前記セットトランジスタの制御端子に接続され、制御端子に前記初期化信号が与えられた第2初期化トランジスタとを含み、
 前記第2初期化トランジスタの第2導通端子は、初期化時にはオフ電位を有し、かつ、前記第1節点にオン電位が印加される期間の少なくとも一部で前記第1節点と同じレベルのオン電位を有する節点に接続されていることを特徴とする。
- [0017] 本発明の第8の局面は、本発明の第6または第7の局面において、
前記第2初期化トランジスタの第2導通端子は、前記単位回路に対する第2入力信号を入力するための第2入力端子に接続されていることを特徴とする。
- [0018] 本発明の第9の局面は、表示装置であって、
互いに平行に配置された複数の走査線と、
前記走査線と直交するように互いに平行に配置された複数のデータ線と、
前記走査線および前記データ線の交点に対応して配置された複数の画素回路と、
前記走査線を駆動する走査線駆動回路として、第1または第2の発明に係るシフトレジスタとを備える。

発明の効果

- [0019] 本発明の第1または第2の局面によれば、初期化トランジスタの第2導通端子を、初期化時にはオフ電位を有し、かつ、オン電位を有するクロック信号を出力するときにはクロック信号と同じレベルのオン電位を有する節点に接続することにより、初期化時に出力トランジスタをオフ状態に制御し、シフトレジスタの状態と出力信号を初期化することができる。また、オン電位を有するクロック信号を出力するときでも、初期化トランジスタの導通端子間にトランジスタの駆動電圧を超える高電圧は印加されない。したがって、動作時に初期化トランジスタの導通端子間に高電圧を印加することなく、シフトレジスタの初期化を行うことができる。
- [0020] 本発明の第2の局面によれば、耐圧用トランジスタの作用により、オン電位を有するクロック信号を出力するときに、第1節点の電位は出力制御部によって印加されたオン電位から変化しない。したがって、第1節点に接続されたトランジスタの端子間に高電圧を印加することを防止することができる。
- [0021] 本発明の第3の局面によれば、初期化時に出力端子の電位をオフ電位に制御することにより、出力トランジスタをオフ状態に制御し、シフトレジスタの状態と出力信号を初期化することができる。また、初期化トランジスタの第2導通端子は出力されるクロック信号と常に同じ電位を有するので、オン電位を有するクロック信号を出力するときでも、初期化トランジスタの導通端子間に高電圧は印加されない。したがって、動作時に初期化トランジスタの導通端子間に高電圧を印加することなく、初期化を行うことができる。
- [0022] 本発明の第4の局面によれば、出力初期化トランジスタを設けることにより、初期化時に出力端子の電位をオフ電位に制御することができる。
- [0023] 本発明の第5の局面によれば、初期化時にクロック端子の電位をオフ電位に制御することにより、出力トランジスタをオフ状態に制御し、シフトレジスタの状態と出力信号を初期化することができる。また、初期化トランジスタの第2導通端子は入力されるクロック信号と常に同じ電位を有するので、

オン電位を有するクロック信号を出力するときでも、初期化トランジスタの導通端子間に高電圧は印加されない。したがって、動作時に初期化トランジスタの導通端子間に高電圧を印加することなく、初期化を行うことができる。

- [0024] 本発明の第6の局面によれば、初期化時にはセットトランジスタをオフ状態に制御し、入力信号と出力トランジスタの制御端子を電気的に切り離して、出力トランジスタを確実にオフ状態に制御することができる。また、出力トランジスタの制御端子にオン電位を印加する期間の少なくとも一部で、第2初期化トランジスタの第2導通端子の電位を出力トランジスタの制御端子と同じレベルのオン電位に制御することにより、第2初期化トランジスタの導通端子間に高電圧が印加される時間を短くすることができる。
- [0025] 本発明の第7の局面によれば、初期化時にはセットトランジスタをオフ状態に制御し、入力信号と第1節点を電気的に切り離して、出力トランジスタを確実にオフ状態に制御することができる。また、第1節点にオン電位を印加する期間の少なくとも一部で、第2初期化トランジスタの第2導通端子の電位を出力トランジスタの制御端子と同じレベルのオン電位に制御することにより、第2初期化トランジスタの導通端子間に高電圧が印加される時間を短くすることができる。
- [0026] 本発明の第8の局面によれば、好適な第2入力信号を用いることにより、第2初期化トランジスタの導通端子間に高電圧が印加される時間を短くすることができる。
- [0027] 本発明の第9の局面によれば、上記第1または第2の局面に係るシフトレジスタを走査線駆動回路として用いることにより、動作時に初期化トランジスタの導通端子間に高電圧を印加することなく、走査線駆動回路の初期化を行うことができる。

図面の簡単な説明

- [0028] [図1]本発明の実施形態に係るシフトレジスタの単位回路の基本構成を示す図である。

[図2]本発明の実施形態に係るシフトレジスタの単位回路の他の基本構成を示す図である。

[図3]第1の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図4]第1の実施形態に係るシフトレジスタの単位回路の回路図である。

[図5]第1の実施形態に係るシフトレジスタの他の単位回路の回路図である。

[図6]第1の実施形態に係るシフトレジスタのタイミングチャートである。

[図7]第1の実施形態に係るシフトレジスタの信号波形図である。

[図8]第2の実施形態に係るシフトレジスタの単位回路の回路図である。

[図9]第2の実施形態に係るシフトレジスタの他の単位回路の回路図である。

[図10]第3の実施形態に係るシフトレジスタの単位回路の回路図である。

[図11]第3の実施形態に係るシフトレジスタの他の単位回路の回路図である

。

[図12]第4の実施形態に係るシフトレジスタの単位回路の回路図である。

[図13]第4の実施形態に係るシフトレジスタの他の単位回路の回路図である

。

[図14]第5の実施形態に係るシフトレジスタの構成を示すブロック図である

。

[図15]第5の実施形態に係るシフトレジスタの単位回路の回路図である。

[図16]第5の実施形態に係るシフトレジスタの他の単位回路の回路図である

。

[図17]第5の実施形態に係るシフトレジスタのタイミングチャートである。

[図18]第5の実施形態に係るシフトレジスタの信号波形図である。

[図19]第6の実施形態に係るシフトレジスタの単位回路の回路図である。

[図20]第6の実施形態に係るシフトレジスタの他の単位回路の回路図である

。

[図21]第6の実施形態に係るシフトレジスタの信号波形図である。

[図22]第7の実施形態に係るシフトレジスタの単位回路の回路図である。

[図23]第7の実施形態に係るシフトレジスタの他の単位回路の回路図である

。

[図24]第7の実施形態に係るシフトレジスタの信号波形図である。

[図25]第8の実施形態に係るシフトレジスタの構成を示すブロック図である

。

[図26]第8の実施形態に係るシフトレジスタの単位回路の回路図である。

[図27]第8の実施形態に係るシフトレジスタの他の単位回路の回路図である

。

[図28]第8の実施形態に係るシフトレジスタの逆方向スキャンのときのタイミングチャートである。

[図29]第8の実施形態に係るシフトレジスタのスキャン切替回路の第1例の回路図である。

[図30]第8の実施形態に係るシフトレジスタのスキャン切替回路の第2例の回路図である。

[図31]第8の実施形態に係るシフトレジスタのスキャン切替回路の第3例の回路図である。

[図32]第9の実施形態に係るシフトレジスタの単位回路の回路図である。

[図33]第9の実施形態に係るシフトレジスタの他の単位回路の回路図である

。

[図34]第9の実施形態に係るシフトレジスタの信号波形図である。

[図35]第10の実施形態に係るシフトレジスタの単位回路の回路図である。

[図36]第10の実施形態に係るシフトレジスタの他の単位回路の回路図である。

[図37]第10の実施形態に係るシフトレジスタの信号波形図である。

[図38]第11の実施形態に係るシフトレジスタの単位回路の回路図である。

[図39]第11の実施形態に係るシフトレジスタの他の単位回路の回路図である。

[図40]第12の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図41]第1 2の実施形態に係るシフトレジスタの単位回路の回路図である。

[図42]第1 2の実施形態に係るシフトレジスタの他の単位回路の回路図である。

[図43]第1 2の実施形態に係るシフトレジスタの信号波形図である。

[図44]第1 3の実施形態に係るシフトレジスタの単位回路の回路図である。

[図45]第1 3の実施形態に係るシフトレジスタの他の単位回路の回路図である。

[図46]第1 3の実施形態に係るシフトレジスタの信号波形図である。

[図47]第1 4の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図48]第1 4の実施形態に係るシフトレジスタのタイミングチャートである。

[図49]第1 5の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図50]第1 5の実施形態に係るシフトレジスタの単位回路の回路図である。

[図51]第1 5の実施形態に係るシフトレジスタの他の単位回路の回路図である。

[図52]第1 5の実施形態に係るシフトレジスタの信号波形図である。

[図53]第1 5の実施形態の変形例に係るシフトレジスタの構成を示すブロック図である。

[図54]図5 3に示すシフトレジスタのタイミングチャートである。

[図55]第1 6の実施形態に係るシフトレジスタの単位回路の回路図である。

[図56]第1 6の実施形態に係るシフトレジスタの他の単位回路の回路図である。

[図57]本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第1の構成例を示すブロック図である。

[図58]本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第2の構成例を示すブロック図である。

[図59]本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第3の構成例を示すブロック図である。

[図60]図59に示す液晶表示装置のタイミングチャートである。

[図61]本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第4の構成例を示すブロック図である。

[図62]図61に示す液晶表示装置のタイミングチャートである。

[図63]従来のシフトレジスタの構成を示すブロック図である。

[図64]従来のシフトレジスタの単位回路の回路図である。

[図65]従来のシフトレジスタのタイミングチャートである。

[図66]初期化機能を有する単位回路の回路図である。

発明を実施するための形態

[0029] 以下、図面を参照して、本発明の実施形態に係るシフトレジスタについて説明する。以下の説明では、トランジスタの導通端子がソース端子にもドレン端子にもなる場合には、一方の導通端子を固定的にソース端子と呼び、他方の導通端子を固定的にドレン端子と呼ぶ。また、ある端子経由で入力または出力される信号を当該端子と同じ名称で呼ぶ（例えば、クロック端子CKA経由で入力される信号をクロック信号CKAという）。また、ゲート端子に与えたときにトランジスタがオンする電位をオン電位、トランジスタがオフする電位をオフ電位という。例えば、Nチャネル型トランジスタについては、ハイレベル電位がオン電位、ローレベル電位がオフ電位である。また、トランジスタの閾値電圧をV_{t h}、ハイレベル電位をVDD、ローレベル電位をVSSとする。

[0030] なお、以下に示す各トランジスタを直列接続された2個以上のトランジスターで構成してもよい。また、以下に示す各トランジスタをTFTで構成してもよい。特に、TFTとして、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）を主成分とする酸化物半導体であるInGaZnO_x（「IGZO」とも呼ばれる）を用いてチャネル層を形成したIGZO-TFTを用いてもよい。

[0031] 図1および図2は、本発明の実施形態に係るシフトレジスタに含まれる単位回路の基本構成を示す図である。図1に示す単位回路1aは、トランジスタTr1、Tra、および、出力制御部2を含んでいる。トランジスタTr1のドレイン端子はクロック端子CKAに接続され、トランジスタTr1のソース端子は出力端子OUTに接続され、トランジスタTr1のゲート端子には出力制御部2の出力が与えられる。トランジスタTraのドレイン端子はトランジスタTr1のゲート端子に接続され、トランジスタTraのソース端子は出力端子OUTに接続され、トランジスタTraのゲート端子は初期化端子INITに接続される。トランジスタTr1、Traは、それぞれ、出力トランジスタ、および、初期化トランジスタとして機能する。出力制御部2は、トランジスタTr1のゲート端子にハイレベル電位VDDとローレベル電位VSSを切り替えて印加する。図2に示す単位回路1bは、単位回路1aについて、トランジスタTraのソース端子の接続先をクロック端子CKAに変更したものである。

[0032] 以下、図1および図2に示す基本構成を有する単位回路を多段接続して構成したシフトレジスタについて説明する。以下の各実施形態では、トランジスタTraの第2導通端子を出力端子OUTに接続した単位回路と、トランジスタTraの第2導通端子をクロック端子CKAに接続した単位回路とを示す。2種類の単位回路は同様に動作し、どちらの単位回路を備えたシフトレジスタも同じ効果を奏する。そこで、以下では、主に前者の単位回路について説明し、後者の単位回路については説明を省略する。なお、単位回路1a、1bではトランジスタTr1、Tr2はNチャネル型であるとしたが、トランジスタTr1、Tr2はPチャネル型でもよい。

[0033] (第1の実施形態)

図3は、本発明の第1の実施形態に係るシフトレジスタの構成を示すプロック図である。図3に示すシフトレジスタ10は、n個(nは2以上の整数)の単位回路11を多段接続して構成されている。単位回路11は、クロック端子CKA、CKB、入力端子IN、初期化端子INIT、および、出力

端子OUTを有する。シフトレジスタ10には外部から、スタートパルスST、2相のクロック信号CK1、CK2、および、初期化信号INITが供給される。初期化信号INITは、n個の単位回路11の初期化端子INITに与えられる。スタートパルスSTは、1段目の単位回路11の入力端子INに与えられる。クロック信号CK1は、奇数段目の単位回路11のクロック端子CKAと偶数段目の単位回路11のクロック端子CKBに与えられる。クロック信号CK2は、偶数段目の単位回路11のクロック端子CKAと奇数段目の単位回路11のクロック端子CKBに与えられる。単位回路11の出力信号OUTは、出力信号O1～Onとして外部に出力されると共に、次段の単位回路11の入力端子INに与えられる。

[0034] 単位回路11には、図4に示す単位回路11a、または、図5に示す単位回路11bが用いられる。単位回路11aは、5個のNチャネル型トランジスタTr1～Tr3、Tra、Trbを含んでいる。トランジスタTr1のドレイン端子はクロック端子CKAに接続され、トランジスタTr1のソース端子は出力端子OUTに接続される。トランジスタTr2のゲート端子とドレイン端子は入力端子INに接続され、トランジスタTr2のソース端子はトランジスタTr1のゲート端子とトランジスタTr3のドレイン端子に接続される。トランジスタTr3のソース端子は入力端子INに接続され、トランジスタTr3のゲート端子はクロック端子CKBに接続される。トランジスタTraのドレイン端子はトランジスタTr1のゲート端子に接続され、トランジスタTraのソース端子は出力端子OUTに接続される。トランジスタTrbのドレイン端子は出力端子OUTに接続され、トランジスタTrbのソース端子にはローレベル電位VSSが印加される。トランジスタTra、Trbのゲート端子は、初期化端子INITに接続される。トランジスタTr1、Tra、Trbは、それぞれ、出力トランジスタ、初期化トランジスタ、および、出力初期化トランジスタとして機能し、トランジスタTr2、Tr3は出力制御部として機能する。単位回路11bは、単位回路11aについて、トランジスタTraのソース端子の接続先をクロック端子

C K Aに変更したものである。以下、トランジスタT r 1のゲート端子が接続された節点をn 1という。

- [0035] 図6は、シフトレジスタ10のタイミングチャートである。図6に示すように、クロック信号C K 1は、所定の周期でハイレベルとローレベルになる。ただし、クロック信号C K 1のハイレベル期間は、クロック信号C K 1のローレベル期間よりも短い。クロック信号C K 2は、クロック信号C K 1を半周期遅延させた信号である。スタートパルスS Tは、シフト開始時にクロック信号C K 2のハイレベル期間でハイレベルになる。
- [0036] 図7は、シフトレジスタ10の信号波形図である。なお、単位回路11aを備えたシフトレジスタ10の信号波形図と単位回路11bを備えたシフトレジスタ10の信号波形図は同じである。以下に示す各実施形態でも、これと同様である。
- [0037] 図7を参照して、単位回路11の動作を説明する。時刻t aより前では、節点n 1の電位と出力信号O U Tは不定である。時刻t aにおいて、初期化信号I N I Tはローレベルからハイレベルに変化する。これに伴い、トランジスタT r a、T r bはオンする。トランジスタT r bがオンすることにより、出力信号O U Tはローレベルに初期化される。単位回路11aでは、トランジスタT r aがオンすると、節点n 1はトランジスタT r aを介して出力端子O U Tに電気的に接続される。このとき出力信号O U Tはローレベルであるので、節点n 1の電位はローレベルに初期化される。単位回路11bでは、トランジスタT r aがオンすると、節点n 1はトランジスタT r aを介してクロック端子C K Aに電気的に接続される。初期化時にクロック信号C K 1、C K 2をローレベルに制御することにより、節点n 1の電位はローレベルに初期化される。時刻t bにおいて、初期化信号I N I Tはローレベルに変化する。これに伴い、トランジスタT r a、T r bはオフする。
- [0038] 時刻t 1より前では、節点n 1の電位と出力信号O U Tはローレベルである。時刻t 1において、入力信号I Nとクロック信号C K Bはローレベルからハイレベルに変化する。これに伴い、トランジスタT r 2、T r 3はオン

する。このとき入力端子 IN から節点 n 1 に向けて、トランジスタ Tr 2 を通過する電流とトランジスタ Tr 3 を通過する電流が流れ、節点 n 1 の電位はハイレベルになる（節点 n 1 のチャージ）。節点 n 1 の電位は、（V DD - V th）まで上昇する。節点 n 1 の電位が所定レベルを超えると、トランジスタ Tr 1 はオンする。このときクロック信号 CK A はローレベルであるので、トランジスタ Tr 1 がオンした後も、出力信号 OUT はローレベルを保つ。時刻 t 2 において、入力信号 IN とクロック信号 CK B はローレベルに変化する。これに伴い、トランジスタ Tr 2、Tr 3 はオフし、節点 n 1 はフローティング状態になる。トランジスタ Tr 2、Tr 3 がオフした後も、節点 n 1 の電位はハイレベルを保ち、トランジスタ Tr 1 はオン状態を保つ。

- [0039] 時刻 t 3 において、クロック信号 CK A はローレベルからハイレベルに変化する。これに伴い、時刻 t 3 以降、クロック信号 CK A のハイレベル電位が出力信号 OUT として出力される。また、出力信号 OUT の電位が上昇すると、トランジスタ Tr 1 のゲート-チャネル間の容量によって、節点 n 1 の電位は突き上げられて α だけ（ただし、 α はクロック信号 CK A の振幅にほぼ等しい）上昇する（節点 n 1 の突き上げ）。 α は、クロック信号 CK A の振幅を（トランジスタ Tr 1 のゲート-チャネル間の容量の容量値）／（節点 n 1 に付随するすべての容量の容量値の合計）倍したものである。このとき節点 n 1 の電位は（V DD + V th）以上になるので、クロック信号 CK A がトランジスタ Tr 1 を通過するときに、クロック信号 CK A のハイレベル電位はトランジスタ Tr 1 の閾値電圧分だけ低下しない。したがって、閾値落ちのないハイレベル電位 V DD を出力信号 OUT として出力することができる。時刻 t 4 において、クロック信号 CK A はローレベルに変化する。これに伴い、出力信号 OUT はローレベルに変化する。また、節点 n 1 の突き上げが終了するので、節点 n 1 の電位は（V DD - V th）に下降する。

- [0040] 時刻 t 5 において、クロック信号 CK B はハイレベルに変化する。これに

伴い、トランジスタ T_{r3} はオンする。このとき入力信号 I_N はローレベルであるので、節点 n₁ から入力端子 I_N に向けてトランジスタ T_{r3} を通過する電流が流れ、節点 n₁ の電位は下降してローレベルになる（節点 n₁ のディスチャージ）。このように単位回路 1₁ の出力信号 O_{UT} は、入力信号 I_N がハイレベルとなった後のクロック信号 CKA のハイレベル期間でハイレベルになる。このとき出力信号 O_{UT} の電位は、閾値落ちのないハイレベル電位 VDD になる。

- [0041] 図 6 に示すように、1 段目の単位回路 1₁ の出力信号 O₁ は、スタートパルス ST がハイレベルになった後のクロック信号 CK₁ のハイレベル期間でハイレベルになる。2 段目の単位回路 1₁ の出力信号 O₂ は、出力信号 O₁ がハイレベルになった後のクロック信号 CK₂ のハイレベル期間でハイレベルになる。同様に、単位回路 1₁ の出力信号 O_i は、前段の単位回路 1₁ の出力信号 O_{i-1} がハイレベルになった後のクロック信号 CK₁ または CK₂ のハイレベル期間でハイレベルになる。したがって、シフトレジスタ 1₀ の出力信号 O₁～O_n は、クロック信号 CK₁ の半周期ずつ遅れて昇順に（O₁、O₂、…、O_n の順に）ハイレベルになる。
- [0042] 単位回路 1_{1a} では動作時に、節点 n₁ の電位は、突き上げによって最高で (VDD - Vth + α) になる。節点 n₁ の突き上げ期間では、出力信号 O_{UT} の電位は VDD であるので、トランジスタ T_{ra} のソースードレイン間には電圧 ($\alpha - Vth$) が印加される。 α は最大でもクロック信号 CKA の振幅にしかならないので、この電圧はトランジスタの駆動電圧よりも低い。したがって、単位回路 1_{1a} を備えたシフトレジスタ 1₀ によれば、動作時にトランジスタ T_{ra} のソースードレイン間に高電圧を印加することなく、初期化を行うことができる。
- [0043] 単位回路 1_{1b} でも動作時に、節点 n₁ の電位は、突き上げによって最高で (VDD - Vth + α) になる。節点 n₁ の突き上げ期間では、クロック信号 CKA の電位は VDD であるので、トランジスタ T_{ra} のソースードレイン間には電圧 ($\alpha - Vth$) が印加され。したがって、単位回路 1_{1b} を

備えたシフトレジスタ 10によれば、単位回路 11aを備えたシフトレジスタ 10と同様に、動作時にトランジスタ Tr aのソースードレイン間に高電圧を印加することなく、初期化を行うことができる。

- [0044] なお、単位回路 11では、節点 n1の突き上げ期間では、トランジスタ Tr aのゲートードレイン間に高電圧 ($VDD - Vth + \alpha - VSS$) が印加される。しかし、トランジスタのゲートードレイン間に高電圧を印加したときには、トランジスタのソースードレイン間に高電圧を印加したときほど、トランジスタの劣化や破壊は起こらない。したがって、本実施形態に係るシフトレジスタ 10によれば、トランジスタ Tr aのゲートードレイン間に高電圧が印加されるものの、有効な耐圧対策を行うことができる。
- [0045] このように単位回路 11aは、第1導通端子がクロック端子CKAに接続され、第2導通端子が出力端子OUTに接続された出力トランジスタTr 1と、出力トランジスタTr 1の制御端子にオン電位（ハイレベル電位）とオフ電位（ローレベル電位）を切り換えて印加する出力制御部（トランジスタTr 2、Tr 3）と、第1導通端子が出力トランジスタTr 1の制御端子に接続され、第2導通端子が出力端子OUTに接続され、制御端子に初期化信号INITが与えられた初期化トランジスタTr aと、第1導通端子が出力端子OUTに接続され、第2導通端子にオフ電位が固定的に印加され、制御端子に初期化信号INITが与えられた出力初期化トランジスタTr bとを含んでいる。単位回路 11bでは、初期化トランジスタTr aの第2導通端子は、クロック端子CKAに接続される。
- [0046] 出力初期化トランジスタTr bを設けることにより、初期化時に出力端子OUTの電位をオフ電位に制御することができる。このため、単位回路 11aでは、初期化時に出力トランジスタTr 1をオフ状態に制御し、シフトレジスタの状態と出力信号を初期化することができる。また、単位回路 11aでは、初期化トランジスタTr aの第2導通端子は出力されるクロック信号と常に同じ電位を有するので、オン電位を有するクロック信号を出力するときでも、初期化トランジスタTr aの導通端子間に高電圧は印加されない。

単位回路 11 b では、初期化時にクロック端子 CKA の電位をオフ電位に制御することにより、出力トランジスタ Tr1 をオフ状態に制御し、シフトレジスタの状態と出力信号を初期化することができる。また、単位回路 11 b では、初期化トランジスタ Tr a の第 2 導通端子は入力されるクロック信号と常に同じ電位を有するので、オン電位を有するクロック信号を出力するときでも、初期化トランジスタ Tr a の導通端子間に高電圧は印加されない。したがって、本実施形態に係るシフトレジスタ 10 によれば、動作時に初期化トランジスタ Tr a の導通端子間に高電圧を印加することなく、初期化を行うことができる。

[0047] (第 2 の実施形態)

本発明の第 2 の実施形態に係るシフトレジスタは、図 3 に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 11 に代えて、図 8 に示す単位回路 12 a、または、図 9 に示す単位回路 12 b を備えている。単位回路 12 a は、単位回路 11 a (図 4) に容量 C1 を追加したものである。容量 C1 は、トランジスタ Tr1 のゲート－ソース間に設けられる。単位回路 12 b は、単位回路 12 a について、トランジスタ Tr a のソース端子の接続先をクロック端子 CKA に変更したものである。

[0048] 容量 C1 を設けることにより、出力信号 OUT がローレベルからハイレベルに変化したときの節点 n1 の突き上げ効果を大きくすることができる。したがって、本実施形態に係るシフトレジスタによれば、節点 n1 の突き上げ効果を大きくすることにより、出力信号 OUT として閾値落ちのないハイレベル電位 VDD をより確実に出力し、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができます。

[0049] (第 3 の実施形態)

本発明の第 3 の実施形態に係るシフトレジスタは、図 3 に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 11 に代えて、図 10 に示す単位回路 13 a、または、図 11 に示す単位回路 13 b を備えている。単位回路 13 a は、単位回路 12 a (図 8) に N チャネル型トラン

ジスタ T_r4 を追加したものである。トランジスタ T_r4 のドレイン端子は出力端子 O_{UT} に接続され、トランジスタ T_r4 のソース端子にはローレベル電位 V_{SS} が印加され、トランジスタ T_r4 のゲート端子はクロック端子 C_{KB} に接続される。単位回路 13b は、単位回路 13a について、トランジスタ T_ra のソース端子の接続先をクロック端子 C_{KA} に変更したものである。

[0050] 出力信号 O_{UT} は、ハイレベルからローレベルに変化した後は、次に入力信号 I_N がハイレベルになるまでローレベルを保つ必要がある。しかし、トランジスタ T_r1 のオフリーク電流や出力端子 O_{UT} に接続される回路におけるリーク電流などによって、出力信号 O_{UT} がローレベルを保つことができず、シフトレジスタが誤動作することがある。単位回路 13a、13b では、トランジスタ T_r4 を用いて、出力信号 O_{UT} はトランジスタ T_r1 のオフ期間ではローレベルに固定される。したがって、本実施形態に係るシフトレジスタによれば、出力信号 O_{UT} の電位上昇に起因する誤動作を防止することができる。

[0051] (第4の実施形態)

本発明の第4の実施形態に係るシフトレジスタは、図3に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 11 に代えて、図12に示す単位回路 14a、または、図13に示す単位回路 14b を備えている。単位回路 14a は、単位回路 13a (図10) にNチャネル型トランジスタ T_r5 を追加したものである。トランジスタ T_r5 のドレイン端子はトランジスタ T_r1 のゲート端子に接続され、トランジスタ T_r5 のソース端子は出力端子 O_{UT} に接続され、トランジスタ T_r5 のゲート端子はクロック端子 C_{KA} に接続される。単位回路 14b は、単位回路 14a について、トランジスタ T_ra のソース端子の接続先をクロック端子 C_{KA} に変更したものである。

[0052] 単位回路 14a、14b では、クロック信号 C_{KA} がハイレベルのときには、トランジスタ T_r5 がオンし、節点 n1 はトランジスタ T_r5 を介して

出力端子OUTに電気的に接続される。したがって、本実施形態に係るシフトレジスタによれば、節点n1の電位を安定化することができる。

[0053] (第5の実施形態)

図14は、本発明の第5の実施形態に係るシフトレジスタの構成を示すブロック図である。図14に示すシフトレジスタ20は、n個の単位回路21を多段接続して構成されている。単位回路21は、クロック端子CKA、CKB、入力端子INA、INB、初期化端子INIT、および、出力端子OUTを有する。シフトレジスタ20には外部から、スタートパルスSTA、STB、4相のクロック信号CK1～CK4、および、初期化信号INITが供給される。初期化信号INITは、n個の単位回路21の初期化端子INITに与えられる。スタートパルスSTAは、1段目の単位回路21の入力端子INAと2段目の単位回路21の入力端子INBに与えられる。スタートパルスSTBは、1段目の単位回路21の入力端子INBに与えられる。単位回路21の出力信号OUTは、出力信号O1～Onとして外部に出力されると共に、次段の単位回路21の入力端子INAと2段後の単位回路21の入力端子INBに与えられる。

[0054] 1以上n/4以下の整数をkとしたとき、クロック信号CK1は、(4k-3)段目の単位回路21のクロック端子CKAと(4k-1)段目の単位回路21のクロック端子CKBに与えられる。クロック信号CK2は、(4k-2)段目の単位回路21のクロック端子CKAと4k段目の単位回路21のクロック端子CKBに与えられる。クロック信号CK3は、(4k-1)段目の単位回路21のクロック端子CKAと(4k-3)段目の単位回路21のクロック端子CKBに与えられる。クロック信号CK4は、4k段目の単位回路21のクロック端子CKAと(4k-2)段目の単位回路21のクロック端子CKBに与えられる。

[0055] 単位回路21には、図15に示す単位回路21a、または、図16に示す単位回路21bが用いられる。単位回路21aは、単位回路14a(図12)にNチャネル型トランジスタTr6、Tr7、Trcと容量C2を追加し

、トランジスタTr2のゲート端子の接続先を変更したものである。トランジスタTr6のゲート端子とドレイン端子は入力端子INbに接続され、トランジスタTr6のソース端子はトランジスタTr2のゲート端子に接続される。トランジスタTr7、Trcのドレイン端子はトランジスタTr2のゲート端子に接続され、トランジスタTr7、Trcのソース端子は入力端子INbに接続される。トランジスタTr7、Trcのゲート端子は、それぞれ、クロック端子CKA、および、初期化端子INITに接続される。容量C2は、トランジスタTr2のゲートードレイン間に設けられる。トランジスタTr2、Tr3、Tr6、Tr7、Trcは、出力制御部として機能する。トランジスタTr2、Trcは、それぞれ、セットトランジスタ、および、第2初期化トランジスタとして機能し、トランジスタTr6、Tr7はセット制御部として機能する。単位回路21bは、単位回路21aについて、トランジスタTraのソース端子の接続先をクロック端子CKAに変更したものである。

[0056] 図17は、シフトレジスタ20のタイミングチャートである。図17に示すように、クロック信号CK1は、所定の周期でハイレベルとローレベルになる。ただし、クロック信号CK1のハイレベル期間は、クロック信号CK1のローレベル期間よりも短い。クロック信号CK2～CK4は、それぞれ、クロック信号CK1を1/4周期、半周期、および、3/4周期遅延させた信号である。スタートパルスSTbは、シフト開始時にクロック信号CK3のハイレベル期間でハイレベルになる。スタートパルスSTAは、スタートパルスSTbをクロック信号CK1の1/4周期遅延させた信号である。

[0057] 図18は、シフトレジスタ20の信号波形図である。図18を参照して、単位回路21の動作を説明する。時刻taより前では、節点n1、n2の電位と出力信号OUTは不定である。時刻taにおいて、初期化信号INITはローレベルからハイレベルに変化する。これに伴い、トランジスタTra～Trcはオンする。トランジスタTra、Trbがオンすることにより、節点n1の電位と出力信号OUTはローレベルに初期化される。トランジ

タ T_{rc} がオンすることにより、節点 n_2 はトランジスタ T_{rc} を介して入力端子 IN_b に接続される。このとき $3 \sim n$ 段目の単位回路 2_1 では、入力信号 IN_b (2 段前の単位回路 2_1 の出力信号 OUT) はローレベルであるので、節点 n_2 の電位はローレベルに初期化される。また、初期化時にスタートパルス ST_a 、 ST_b をローレベルに制御することにより、 1 段目および 2 段目の単位回路 2_1 についても節点 n_2 の電位をローレベルに初期化することができる。時刻 t_b において初期化信号 $INIT$ がローレベルに変化すると、トランジスタ $T_{ra} \sim T_{rc}$ はオフする。

[0058] 時刻 t_1 より前では、節点 n_1 、 n_2 の電位と出力信号 OUT はローレベルである。時刻 t_1 において、入力信号 IN_b とクロック信号 CK_B はローレベルからハイレベルに変化する。これに伴い、トランジスタ T_{r6} はオンし、入力端子 IN_b から節点 n_2 に向けてトランジスタ T_{r6} を通過する電流が流れ、節点 n_2 の電位は上昇する（節点 n_2 のチャージ）。節点 n_2 の電位が $(VDD - Vth)$ まで上昇すると、トランジスタ T_{r6} はオフし、節点 n_2 はこれ以降フローティング状態になる。節点 n_2 の電位が所定レベルを超えると、トランジスタ T_{r2} はオンする。また、時刻 t_1 において、トランジスタ T_{r3} はオンする。このように時刻 t_1 からしばらく経つと、トランジスタ T_{r2} 、 T_{r3} は共にオン状態になる。このとき入力信号 IN_a はローレベルであるので、トランジスタ T_{r2} 、 T_{r3} がオンした後も節点 n_1 の電位はローレベルを保つ。

[0059] 時刻 t_2 において、入力信号 IN_a はローレベルからハイレベルに変化する。このときトランジスタ T_{r2} 、 T_{r3} はオン状態であるので、入力端子 IN_a から節点 n_1 に向けてトランジスタ T_{r2} を通過する電流とトランジスタ T_{r3} を通過する電流が流れ、節点 n_1 の電位は上昇する（節点 n_1 のチャージ）。節点 n_1 の電位が所定レベルを超えると、トランジスタ T_{r1} はオンする。また、節点 n_1 の電位が上昇すると、トランジスタ T_{r2} のゲート-チャネル間の容量および容量 C_2 によって、節点 n_2 の電位は突き上げられて上昇する（節点 n_2 の突き上げ）。容量 C_2 を設けることにより、

入力信号INaがローレベルからハイレベルに変化したときの節点n2の突き上げ効果を大きくすることができる。節点n2の電位が(VDD+Vth)以上になると、節点n1の電位はハイレベル電位VDDになる。時刻t3において、入力信号INbとクロック信号CKBはローレベルに変化する。これに伴い、トランジスタTr3はオフする。トランジスタTr3がオフした後も、節点n1、n2の電位はハイレベルを保ち、トランジスタTr1はオン状態を保つ。

[0060] 時刻t4において、クロック信号CKAはローレベルからハイレベルに変化する。これに伴い、時刻t4以降、クロック信号CKAのハイレベル電位が出力信号OUTとして出力される。また、出力信号OUTの電位が上昇すると、トランジスタTr1のゲート-チャネル間の容量および容量C1によって、節点n1の電位は突き上げられて α だけ（ただし、 α はクロック信号CKAの振幅にほぼ等しい）上昇する（節点n1の突き上げ）。このとき節点n1の電位は(VDD+Vth)以上になるので、閾値落ちのないハイレベル電位VDDを出力信号OUTとして出力することができる。また、時刻t4において、トランジスタTr7はオンする。このとき入力信号INbはローレベルであるので、節点n2から入力端子INbに向けてトランジスタTr7を通過する電流が流れ、節点n2の電位は下降してローレベルになる（節点n2のディスチャージ）。このため、トランジスタTr2はオフする。また、時刻t4において、トランジスタTr5はオンする。このため、出力端子OUTは、トランジスタTr5を介してクロック端子CKAに電気的に接続される。

[0061] 時刻t5において、入力信号INaはローレベルに変化する。このときトランジスタTr2、Tr3はオフ状態であるので、節点n1、n2の電位は変化しない。時刻t6において、クロック信号CKAはローレベルに変化する。これに伴い、出力信号OUTはローレベルに変化し、トランジスタTr5、Tr7はオフする。また、節点n1の突き上げが終了するので、節点n1の電位はハイレベル電位VDDに下降する。時刻t7において、クロック

信号CKBはハイレベルに変化する。これに伴い、トランジスタTr3はオンする。このとき入力信号INaはローレベルであるので、節点n1から入力端子INaに向けてトランジスタTr2を通過する電流が流れ、節点n1の電位は下降してローレベルになる（節点n1のディスチャージ）。

[0062] 図17に示すように、1段目の単位回路21の出力信号O1は、スタートパルスSTAがハイレベルになった後のクロック信号CK1のハイレベル期間でハイレベルになる。2段目の単位回路21の出力信号O2は、出力信号O1がハイレベルになった後のクロック信号CK2のハイレベル期間でハイレベルになる。3段目の単位回路21の出力信号O3は、出力信号O2がハイレベルになった後のクロック信号CK3のハイレベル期間でハイレベルになる。4段目の単位回路21の出力信号O4は、出力信号O3がハイレベルになった後のクロック信号CK4のハイレベル期間でハイレベルになる。同様に、単位回路21の出力信号O_iは、前段の単位回路21の出力信号O_{i-1}がハイレベルになった後のクロック信号CK1～CK4のいずれかのハイレベル期間でハイレベルになる。したがって、シフトレジスタ20の出力信号O1～Onは、クロック信号CK1の1/4周期ずつ遅れて昇順にハイレベルになる。

[0063] 単位回路21aでは動作時に、節点n1、n2の電位は、突き上げによって最高で（VDD-Vth+α）になる。節点n1の突き上げ期間では、出力信号OUTの電位はVDDであるので、トランジスタTr_aのソースードレイン間には電圧（α-Vth）が印加される。節点n2の突き上げ期間の多くの部分（図18に示す時刻t2～t3）では、入力信号INbの電位はVDDであるので、トランジスタTr7、Trcのソースードレイン間には同じ電圧（α-Vth）が印加される。電圧（α-Vth）は、トランジスタの駆動電圧よりも低い。単位回路21bでも、これと同様である。

[0064] このように単位回路21a、21bでは、トランジスタTr_aのソースードレイン間に高電圧は印加されず、トランジスタTr7、Trcのソースードレイン間に高電圧が印加される時間は短い。このため、トランジスタTr

7、Tr_a、Tr_cには従来の耐圧対策（複数のトランジスタや長いトランジスタを用いる方法）を行う必要がない。したがって、本実施形態に係るシフトレジスタによれば、レイアウト面積を増大させずにトランジスタの劣化や破壊を防止することができる。

[0065] なお、図18に示す時刻t₃～t₄では、節点n₂の電位が(VDD-V_{t_h}+ α)になり、クロック信号CKBがローレベルになる。この期間では、トランジスタTr7、Tr_cのソースードライン間に高電圧(VDD-V_{t_h}+ α -VSS)が印加される。これを防止するためには、クロック信号CK1～CK4のデューティ比を50%にし、スタートパルスSTA、STbのハイレベル期間をクロック信号CK1～CK4のハイレベル期間と同じ長さにすればよい。

[0066] このように単位回路21aは、第1導通端子がクロック端子CKAに接続され、第2導通端子が出力端子OUTに接続された出力トランジスタTr1と、出力トランジスタTr1の制御端子にオン電位（ハイレベル電位）とオフ電位（ローレベル電位）を切り換えて印加する出力制御部（トランジスタTr2、Tr3、Tr6、Tr7、Tr_c）と、第1導通端子が出力トランジスタTr1の制御端子に接続され、第2導通端子が出力端子OUTに接続され、制御端子に初期化信号INITが与えられた初期化トランジスタTr_aと、第1導通端子が出力端子OUTに接続され、第2導通端子にオフ電位が固定的に印加され、制御端子に初期化信号INITが与えられた出力初期化トランジスタTr_bとを含んでいる。単位回路21bでは、初期化トランジスタTr_aの第2導通端子は、クロック端子CKAに接続される。したがって、本実施形態に係るシフトレジスタ20によれば、動作時に初期化トランジスタTr_aの導通端子間に高電圧を印加することなく、初期化を行うことができる。

[0067] また、単位回路21a、21bの出力制御部は、第1導通端子に単位回路に対する入力信号INAが与えられ、第2導通端子が出力トランジスタTr1の制御端子に接続されたセットトランジスタTr2と、セットトランジ

タTr2の制御端子にオン電位とオフ電位を切り換えて印加するセット制御部（トランジスタTr6、Tr7）と、第1導通端子がセットトランジスタTr2の制御端子に接続され、第2導通端子が第2入力端子INbに接続され、制御端子に初期化信号INITが与えられた第2初期化トランジスタTrcとを含んでいる。第2入力信号INbは、出力トランジスタTr1の制御端子にオン電位を印加する期間の少なくとも一部で、出力トランジスタTr1の制御端子と同じレベルのオン電位になる。

[0068] 初期化時に入力信号INbをオフレベルに制御することにより、セットトランジスタTr2をオフ状態に制御し、入力信号INAと出力トランジスタTr1の制御端子を電気的に切り離して、出力トランジスタTr1を確実にオフ状態に制御することができる。また、出力トランジスタTr1の制御端子にオン電位を印加する期間の少なくとも一部で、第2初期化トランジスタTrcの第2導通端子の電位を出力トランジスタTr1の制御端子と同じレベルのオン電位に制御することにより、第2初期化トランジスタTrcの導通端子間に高電圧が印加される時間を短くすることができる。

[0069] (第6の実施形態)

本発明の第6の実施形態に係るシフトレジスタは、図3に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路11に代えて、図19に示す単位回路15a、または、図20に示す単位回路15bを備えている。単位回路15aは、9個のNチャネル型トランジスタTr1、Tr4、Tr11～Tr14、Tr'a、Tr'b、Tr'd、容量C1、および、抵抗R1を含んでいる。トランジスタTr1のドレイン端子はクロック端子CKAに接続され、トランジスタTr1のソース端子は出力端子OUTとトランジスタTr4のドレイン端子に接続される。トランジスタTr11のゲート端子とドレイン端子は入力端子INに接続され、トランジスタTr11のソース端子はトランジスタTr1のゲート端子とトランジスタTr12のドレイン端子に接続される。トランジスタTr13のドレイン端子にはハイレベル電位VDDが印加され、トランジスタTr13のソース端子は抵抗R1

の一端に接続される。抵抗R1の他端は、トランジスタTr14のドレイン端子とトランジスタTr4、Tr12のゲート端子に接続される。トランジスタTr4、Tr12、Tr14のソース端子には、ローレベル電位VSSが印加される。トランジスタTr13、Tr14のゲート端子は、それぞれ、クロック端子CKB、および、入力端子INTに接続される。容量C1は、トランジスタTr1のゲート－ソース間に設けられる。以下、トランジスタTr4のゲート端子が接続された節点をn3という。

[0070] トランジスタTr_aのドレイン端子はトランジスタTr1のゲート端子に接続され、トランジスタTr_aのソース端子は出力端子OUTに接続される。トランジスタTr_bのドレイン端子は出力端子OUTに接続され、トランジスタTr_bのソース端子にはローレベル電位VSSが印加される。トランジスタTr_dのドレイン端子にはハイレベル電位VDDが印加され、トランジスタTr_dのソース端子は節点n3に接続される。トランジスタTr_a、Tr_b、Tr_dのゲート端子は、初期化端子INITに接続される。トランジスタTr11、Tr12は、出力制御部として機能する。単位回路15bは、単位回路15aについて、トランジスタTr_aのソース端子の接続先をクロック端子CKAに変更したものである。

[0071] 本実施形態に係るシフトレジスタのタイミングチャートは、図6に示すタイミングチャートと同じである。図21は、本実施形態に係るシフトレジスタの信号波形図である。図21を参照して、単位回路15a、15bの動作を説明する。時刻t_aより前では、節点n1、n3の電位と出力信号OUTは不定である。時刻t_aにおいて、初期化信号INITはローレベルからハイレベルに変化する。これに伴い、トランジスタTr_a、Tr_b、Tr_dはオンする。トランジスタTr_a、Tr_bがオンすることにより、節点n1の電位と出力信号OUTはローレベルに初期化される。トランジスタTr_dがオンすることにより、節点n3の電位はハイレベルに初期化される。時刻t_bにおいて初期化信号INITがローレベルに変化すると、トランジスタTr_a、Tr_b、Tr_dはオフする。

[0072] 時刻 t_1 より前では、節点 n_1 の電位と出力信号 OUT はローレベルであり、節点 n_3 の電位は ($VDD - V_{th}$) である。時刻 t_1 において、入力信号 IN とクロック信号 CKB はローレベルからハイレベルに変化する。これに伴い、トランジスタ T_{r11} はオンし、入力端子 IN から節点 n_1 に向けてトランジスタ T_{r11} を通過する電流が流れ、節点 n_1 の電位は上昇する（節点 n_1 のチャージ）。節点 n_1 の電位が ($VDD - V_{th}$) まで上昇すると、トランジスタ T_{r11} はオフし、節点 n_1 はこれ以降フローティング状態になる。また、節点 n_1 の電位が所定レベルを超えると、トランジスタ T_{r1} はオンする。このときクロック信号 CKA はローレベルであるので、トランジスタ T_{r1} がオンした後も、出力信号 OUT はローレベルを保つ。また、時刻 t_1 において、トランジスタ T_{r13} 、 T_{r14} はオンする。このとき抵抗 R_1 による電流制限によって、節点 n_3 の電位は VSS に近いローレベル電位に下降する。このため、トランジスタ T_{r12} はオフする。時刻 t_2 において、クロック信号 CKB と入力信号 IN はローレベルに変化する。これに伴い、トランジスタ T_{r13} 、 T_{r14} はオフする。トランジスタ T_{r13} 、 T_{r14} がオフした後も、節点 n_3 の電位はローレベルを保つ。

[0073] 時刻 t_3 において、クロック信号 CKA はローレベルからハイレベルに変化する。これに伴い、節点 n_1 の突き上げが行われ、閾値落ちのないハイレベル電位 VDD が出力信号 OUT として出力される。時刻 t_4 において、クロック信号 CKA はローレベルに変化する。これに伴い、出力信号 OUT はローレベルに変化する。また、節点 n_1 の突き上げが終了するので、節点 n_1 の電位はハイレベル電位 VDD に下降する。時刻 t_5 において、クロック信号 CKB はハイレベルに変化する。これに伴い、トランジスタ T_{r13} はオンし、節点 n_3 の電位は ($VDD - V_{th}$) まで上昇する。このため、トランジスタ T_{r4} 、 T_{r12} はオンする。トランジスタ T_{r4} がオンすることにより、出力信号 OUT はローレベルになる。トランジスタ T_{r12} がオンすることにより、節点 n_1 の電位はローレベルになる（節点 n_1 のディス

チャージ)。

[0074] 単位回路 15 a では動作時に、節点 n 1 の電位は、突き上げによって最高で ($V_{DD} - V_{th} + \alpha$) になる。節点 n 1 の突き上げ期間では、出力信号 OUT の電位は V_{DD} であるので、トランジスタ Tr a のソースードレイン間に電圧 ($\alpha - V_{th}$) が印加される。電圧 ($\alpha - V_{th}$) は、トランジスタの駆動電圧よりも低い。単位回路 15 b でも、これと同様である。したがって、本実施形態に係るシフトレジスタによれば、動作時にトランジスタ Tr a のソースードレイン間に高電圧を印加することなく、初期化を行うことができる。また、単位回路 15 a、15 b では、クロック信号 CKB は周期的にハイレベルになり、トランジスタ Tr 13 は周期的にオンする。このため、トランジスタ Tr 14 のオフリーカ電流によって節点 n 3 の電位が下降しても、節点 n 3 の電位は周期的に ($V_{DD} - V_{th}$) になる。したがって、本実施形態に係るシフトレジスタによれば、トランジスタ Tr 1 のオフ期間では節点 n 3 の電位をハイレベルに保つことができる。

[0075] なお、単位回路 15 a、15 b に代えて、トランジスタ Tr 13 と抵抗 R 1 を逆の順序で接続した単位回路（抵抗 R 1 の一端にハイレベル電位 V_{DD} を印加し、抵抗 R 1 の他端をトランジスタ Tr 13 のドレイン端子に接続し、トランジスタ Tr 13 のソース端子をトランジスタ Tr 14 のドレイン端子とトランジスタ Tr 4、Tr 12 のゲート端子とトランジスタ Tr d のソース端子に接続した回路）を用いてもよい。この単位回路を備えたシフトレジスタによれば、単位回路 15 a、15 b を備えたシフトレジスタと同様の効果が得られる。

[0076] (第 7 の実施形態)

本発明の第 7 の実施形態に係るシフトレジスタは、図 3 に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 11 に代えて、図 22 に示す単位回路 16 a、または、図 23 に示す単位回路 16 b を備えている。単位回路 16 a は、単位回路 15 a (図 19) にトランジスタ Tr 15、Tr 16 と容量 C 2 を追加し、トランジスタ Tr 11 のゲート端子の

接続先を変更したものである。トランジスタTr11のドレイン端子は入力端子INに接続され、トランジスタTr11のソース端子はトランジスタTr12、Tr16のドレイン端子に接続される。トランジスタTr15のドレイン端子はクロック端子CKBに接続され、トランジスタTr15のソース端子はトランジスタTr11のゲート端子に接続され、トランジスタTr15のゲート端子にはハイレベル電位VDDが印加される。容量C2はトランジスタTr11のゲートードレイン間に設けられる。トランジスタTr16のソース端子はトランジスタTr1のゲート端子に接続され、トランジスタTr16のゲート端子にはハイレベル電位VDDが印加される。トランジスタTr11、Tr12、Tr15は出力制御部として機能し、トランジスタTr16は耐圧用トランジスタとして機能する。以下、トランジスタTr11のゲート端子が接続された節点をn4、トランジスタTr16のドレイン端子が接続された節点をn5、トランジスタTr16のソース端子が接続された節点をn6という。単位回路16bは、単位回路16aについて、トランジスタTr'aのソース端子の接続先をクロック端子CKAに変更したものである。

[0077] 本実施形態に係るシフトレジスタのタイミングチャートは、図6に示すタイミングチャートと同じである。図24は、本実施形態に係るシフトレジスタの信号波形図である。図24を参照して、単位回路16a、16bの動作を説明する。時刻taより前では、節点n3、n5、n6の電位と出力信号OUTは不定である。このときクロック信号CK1、CK2をローレベルに制御することにより、節点n4の電位はローレベルになる。時刻taにおいて、初期化信号INITはローレベルからハイレベルに変化する。これに伴い、トランジスタTr'a、Tr'b、Tr'dはオンする。トランジスタTr'a、Tr'bがオンすることにより、節点n6の電位と出力信号OUTはローレベルに初期化される。このとき、節点n5の電位もローレベルに初期化される。トランジスタTr'dがオンすることにより、節点n3の電位はハイレベルに初期化される。

[0078] 時刻 t_1 より前では、節点 $n_4 \sim n_6$ の電位と出力信号 $O\ U\ T$ はローレベルであり、節点 n_3 の電位は ($V_{DD} - V_{th}$) である。時刻 t_1 において、入力信号 $I\ N$ とクロック信号 $C\ K\ B$ はローレベルからハイレベルに変化する。これに伴い、クロック端子 $C\ K\ B$ から節点 n_4 に向けてトランジスタ T_{r15} を通過する電流が流れ、節点 n_4 の電位は上昇する（節点 n_4 のチャージ）。節点 n_4 の電位が所定レベルを超えると、トランジスタ T_{r11} はオンする。このとき入力信号 $I\ N$ はハイレベルであるので、入力端子 $I\ N$ から節点 n_5 に向けてトランジスタ T_{r11} を通過する電流が流れ、節点 n_5 の電位は上昇する。節点 n_4 の電位が ($V_{DD} - V_{th}$) まで上昇すると、トランジスタ T_{r15} はオフし、節点 n_4 はこれ以降フローティング状態になる。トランジスタ T_{r15} がオフした後も、節点 n_5 の電位は上昇し続ける。節点 n_5 の電位が上昇すると、トランジスタ T_{r11} のゲート－チャネル間の容量および容量 C_2 によって、節点 n_4 の電位は突き上げられて上昇する（節点 n_4 の突き上げ）。節点 n_4 の電位が ($V_{DD} + V_{th}$) 以上になると、節点 n_5 の電位はハイレベル電位 V_{DD} になる。

[0079] このときトランジスタ T_{r16} はオン状態であるので、節点 n_5 の電位がローレベルからハイレベルに変化すると、節点 n_6 の電位も同じように変化する（節点 n_6 のチャージ）。ただし、節点 n_6 の電位が ($V_{DD} - V_{th}$) まで上昇すると、トランジスタ T_{r16} はオフし、節点 n_5 と節点 n_6 は電気的に切り離される。したがって、節点 n_6 の電位は、この時点では ($V_{DD} - V_{th}$) までしか上昇しない。節点 n_6 の電位が所定レベルを超えると、トランジスタ T_{r1} はオンする。また、時刻 t_1 において、トランジスタ T_{r13} 、 T_{r14} はオンする。このため、節点 n_3 の電位は V_{SS} に近いローレベル電位に下降し、トランジスタ T_{r12} はオフする。

[0080] 時刻 t_2 において、クロック信号 $C\ K\ B$ と入力信号 $I\ N$ はローレベルに変化する。これに伴い、トランジスタ T_{r15} はオンし、節点 n_4 からクロック端子 $C\ K\ B$ に向けてトランジスタ T_{r15} を通過する電流が流れ、節点 n_4 の電位は下降してローレベルになる（節点 n_4 のディスチャージ）。節点

n_4 の電位が所定以下になると、トランジスタ T_{r11} はオフする。トランジスタ T_{r11} がオフした後も、節点 n_5 、 n_6 の電位は変化せず、トランジスタ T_{r1} はオン状態を保つ。また、時刻 t_2 において、トランジスタ T_{r13} 、 T_{r14} はオフする。トランジスタ T_{r13} 、 T_{r14} がオフした後も、節点 n_3 の電位はローレベルを保つ。

- [0081] 時刻 t_3 において、クロック信号 CKA はローレベルからハイレベルに変化する。これに伴い、時刻 t_3 以降、節点 n_6 の突き上げが行われ、閾値落ちのないハイレベル電位 VDD が出力信号 OUT として出力される。時刻 t_4 において、クロック信号 CKA はローレベルに変化する。これに伴い、出力信号 OUT はローレベルに変化する。また、節点 n_6 の突き上げが終了するので、節点 n_6 の電位は $(VDD - Vth)$ に下降する。
- [0082] 時刻 t_5 において、クロック信号 CKB はハイレベルに変化する。これに伴い、節点 n_4 の電位は $(VDD - Vth)$ まで上昇し、トランジスタ T_{r11} はオンする。このとき入力信号 IN はローレベルであるので、節点 n_6 から入力端子 IN に向けてトランジスタ T_{r11} 、 T_{r16} を通過する電流が流れる。また、時刻 t_5 において、トランジスタ T_{r13} はオンする。このため、節点 n_3 の電位は $(VDD - Vth)$ まで上昇し、トランジスタ T_{r12} はオンする。したがって、節点 n_5 、 n_6 の電位はローレベルになる（節点 n_6 のディスチャージ）。
- [0083] 単位回路 $16a$ では動作時に、節点 n_6 の電位は、突き上げによって最高で $(VDD - Vth + \alpha)$ になる。節点 n_6 の突き上げ期間では、出力信号 OUT の電位は VDD であるので、トランジスタ T_{ra} のソースードレイン間に電圧 $(\alpha - Vth)$ が印加される。電圧 $(\alpha - Vth)$ は、トランジスタの駆動電圧よりも低い。単位回路 $16b$ でも、これと同様である。したがって、本実施形態に係るシフトレジスタによれば、動作時にトランジスタ T_{ra} のソースードレイン間に高電圧を印加することなく初期化を行うことができる。
- [0084] また、単位回路 $16a$ では、節点 n_6 の突き上げ期間では、節点 n_5 の電

位はVDDであるので、トランジスタTr11のゲート－ソース間およびソース－ドレイン間には、トランジスタの駆動電圧よりも低い電圧（VDD－VSS）が印加される。トランジスタTr12のゲート－ドレイン間およびソース－ドレイン間にも同じ電圧が印加される。また、トランジスタTr16のゲート－ソース間およびソース－ドレイン間には電圧（ $\alpha - V_{th}$ ）が印加される。このようにトランジスタTr16を用いて、トランジスタTr11、Tr12の端子間に駆動電圧よりも低い電圧を与えることにより、トランジスタTr11、Tr12の劣化や破壊を防止することができる。

[0085] また、単位回路16aでは、トランジスタTr15の作用により、入力信号INがハイレベルである期間の一部において、節点n4がフローティング状態になる。このため、節点n4の電位はハイレベル電位VDDよりも高くなり、節点n5の電位は閾値落ちのないハイレベル電位VDDまで上昇する。このため、出力信号OUTがハイレベルになると、節点n6の電位は突き上げによって（VDD－Vth+ α ）まで上昇する。単位回路16bでも、これと同様である。したがって、本実施形態に係るシフトレジスタによれば、トランジスタTr1のゲート端子にクロック信号CKAのハイレベル電位よりも十分に高い電位を与えて、出力信号OUTのなまりを小さくすることができる。また、トランジスタの閾値電圧が元々高い場合や、温度変化やトランジスタの劣化によって高くなる場合でも、波形なまりの影響を抑えて、トランジスタの閾値電圧の変動に対する動作マージンを大きくすることができる。

[0086] このように単位回路16aは、第1導通端子がクロック端子CKAに接続され、第2導通端子が出力端子OUTに接続された出力トランジスタTr1と、第1導通端子が第1節点（節点n5）に接続され、第2導通端子が出力トランジスタTr1の制御端子に接続され、制御端子にオン電位（ハイレベル電位）が固定的に印加された耐圧用トランジスタTr16と、第1節点にオン電位とオフ電位（ローレベル電位）を切り換えて印加する出力制御部（トランジスタTr11、Tr12、Tr15）と、第1導通端子が出力トラ

ンジスタ Tr 1 の制御端子に接続され、第 2 導通端子が output 端子 OUT に接続され、制御端子に初期化信号 INT が与えられた初期化トランジスタ Tr a と、第 1 導通端子が output 端子 OUT に接続され、第 2 導通端子にオフ電位が固定的に印加され、制御端子に初期化信号 INT が与えられた出力初期化トランジスタ Tr b とを含んでいる。単位回路 16 b では、初期化トランジスタ Tr a の第 2 導通端子は、クロック端子 CK A に接続される。したがって、本実施形態に係るシフトレジスタによれば、第 1 の実施形態と同様に、動作時に初期化トランジスタ Tr a の導通端子間に高電圧を印加することなく、初期化を行うことができる。

[0087] また、耐圧用トランジスタ Tr 16 の作用により、オン電位を有するクロック信号を出力するときに、第 1 節点の電位は出力制御部によって印加されたオン電位から変化しない。したがって、第 1 節点に接続されたトランジスタ Tr 11、Tr 12 の端子間に高電圧を印加することを防止することができる。

[0088] (第 8 の実施形態)

図 25 は、本発明の第 8 の実施形態に係るシフトレジスタの構成を示すブロック図である。図 25 に示すシフトレジスタ 30 は、n 個の単位回路 31 を多段接続して構成されている。単位回路 31 は、クロック端子 CK A、CK B、入力端子 IN 1、IN 2、初期化端子 INT、制御端子 UD、UD B (図示せず)、および、出力端子 OUT を有する。シフトレジスタ 30 には外部から、スタートパルス ST、2 相のクロック信号 CK 1、CK 2、初期化信号 INT、および、制御信号 UD、UD B (図示せず) が供給される。クロック信号 CK 1、CK 2 は、第 1 の実施形態に係るシフトレジスタ 10 (図 3) と同様に各端子に与えられる。初期化信号 INT と制御信号 UD、UD B は、それぞれ、n 個の単位回路 31 の初期化端子 INT と制御端子 UD、UD B に与えられる。スタートパルス ST は、1 段目の単位回路 31 の入力端子 IN 1 と n 段目の単位回路 31 の入力端子 IN 2 に与えられる。単位回路 31 の出力信号 OUT は、出力信号 O 1 ~ O n として外部に

出力されると共に、次段の単位回路31の入力端子IN1と前段の単位回路31の入力端子IN2に与えられる。

- [0089] 単位回路31には、図26に示す単位回路31a、または、図27に示す単位回路31bが使用される。単位回路31aは、単位回路16a(図22)にスキャン切替回路32を追加したものである。制御信号UDは、順方向スキャンのときにはハイレベルに制御され、逆方向スキャンのときにはロー レベルに制御される。制御信号UDBは、制御信号UDの反転信号である。スキャン切替回路32は、制御信号UD、UDBに従い、順方向スキャンのときには入力信号IN1を出力し、逆方向スキャンのときには入力信号IN2を出力する。スキャン切替回路32の出力信号Osは、トランジスタTr11のドレイン端子に与えられる。単位回路31bは、単位回路31aについて、トランジスタTr1aのソース端子の接続先をクロック端子CKAに変更したものである。以下、スキャン切替回路32の出力端子Osが接続された節点をn7という。
- [0090] 順方向スキャンのときには、単位回路31は、前段の単位回路31の出力信号OUTを入力信号として動作する。このときシフトレジスタ30の出力信号O1～Onは、昇順にハイレベルになる(図6を参照)。逆方向スキャンのときには、単位回路31は、次段の単位回路31の出力信号OUTを入力信号として動作する。このときシフトレジスタ30の出力信号O1～Onは、降順に(On、On-1、…、O1の順に)ハイレベルになる(図28を参照)。
- [0091] 図29～図31は、スキャン切替回路32の例を示す回路図である。図29に示すスキャン切替回路32pでは、順方向スキャンのときには、トランジスタTr21はオンし、トランジスタTr22はオフする。このときスキャン切替回路32pは、入力端子IN1に与えられた前段の単位回路31の出力信号OUTを節点n7に与える。逆方向スキャンのときには、トランジスタTr21はオフし、トランジスタTr22はオンする。このときスキャン切替回路32pは、入力端子IN2に与えられた次段の単位回路31の出

力信号 OUT を節点 n 7 に与える。スキャン切替回路 32p を用いて入力信号を選択することにより、図 6 および図 28 に示すようにスキャン方向を切り替えることができる。

- [0092] スキャン切替回路 32p では、出力端子 Os から出力されるハイレベル電位は ($V_{DD} - V_{th}$) であるので、動作マージンが小さい。そこで動作マージンを大きくするために、スキャン切替回路 32p に代えて、図 30 に示すスキャン切替回路 32q、または、図 31 に示すスキャン切替回路 32r を使用してもよい。
- [0093] スキャン切替回路 32rにおいて、トランジスタ Tr34 のゲート端子が接続された節点を n8 という。スキャン切替回路 32r では、順方向スキャンのときには、トランジスタ Tr32 の作用により、節点 n8 の電位は ($V_{DD} - V_{th}$) になり、節点 n8 はフローティング状態になる。入力信号 IN1 がローレベルからハイレベルに変化すると、トランジスタ Tr34 のゲート-チャネル間の容量によって、節点 n8 の電位は突き上げられて上昇する。したがって、出力端子 Os から閾値落ちのないハイレベル電位 V_{DD} を出力することができる。トランジスタ Tr33 は、このときにトランジスタ Tr31 に高電圧が印加されることを防止する。逆方向スキャンのときには、トランジスタ Tr31、Tr33 がオンするので、節点 n8 の電位は制御信号 UD と同じくローレベルになり、トランジスタ Tr34 はオフする。スキャン切替回路 32r を用いることにより、動作マージンを大きくしながらスキャン方向を切り替えることができる。
- [0094] スキャン切替回路 32q を用いた場合、順方向スキャンのときには、トランジスタ Tr24、Tr26 のゲート端子には、それぞれ、($V_{DD} - V_{th}$)、および、VSS が与えられる。逆方向スキャンのときには、トランジスタ Tr24、Tr26 のゲート端子には、それぞれ、VSS、および、($V_{DD} - V_{th}$) が与えられる。したがって、スキャン切替回路 32q でも、スキャン切替回路 32r と同様の効果が得られる。
- [0095] 本実施形態に係るシフトレジスタによれば、スキャン方向を切り替えるシ

フレジスタについて、動作時にトランジスタ T_{r a} のソースードレイン間に高電圧を印加することなく初期化を行うことができる。また、図 30 および図 31 に示すスキャン切替回路 32q、32r を用いることにより、入力信号 IN1、IN2 が通過するトランジスタのゲート端子に閾値落ちのないハイレベル電位 VDD を与え、動作マージンを大きくすることができる。

[0096] (第 9 の実施形態)

本発明の第 9 の実施形態に係るシフトレジスタは、図 3 に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路 11 に代えて、図 32 に示す単位回路 17a、または、図 33 に示す単位回路 17b を備えている。単位回路 17a は、単位回路 16a (図 22) を P チャネル型トランジスタを用いて構成したものである。単位回路 17a は、11 個の P チャネル型トランジスタ T_{r p 1}、T_{r p 4}、T_{r p 11}～T_{r p 16}、T_{r p a}、T_{r p b}、T_{r p d}、容量 C1、C2、および、抵抗 R1 を含んでいる。単位回路 17b は、単位回路 17a について、トランジスタ T_{r p a} のドレイン端子の接続先をクロック端子 CKA に変更したものである。

[0097] 一般に、N チャネル型トランジスタを用いて構成された回路を P チャネル型トランジスタを用いて構成するためには、N チャネル型トランジスタを P チャネル型トランジスタに置換し、電源の極性を入れ替え (ハイレベル電位 VDD とローレベル電位 VSS を逆にする)、入力信号の極性を反転させればよい (ハイレベルとローレベルを逆にする)。図 34 は、本実施形態に係るシフトレジスタの信号波形図である。図 34 に示す信号波形図は、図 24 に示す信号波形図について、信号と節点の電位の極性を反転させたものである。

[0098] 本実施形態に係るシフトレジスタによれば、P チャネル型トランジスタを用いて構成されたシフトレジスタについて、動作時にトランジスタ T_{r p a} のソースードレイン間に高電圧を印加することなく初期化を行うことができる。なお、ここでは、例として、第 7 の実施形態に係る単位回路 16a、16b を P チャネル型トランジスタを用いて構成する場合について説明したが

、第1～第6および第8の実施形態、および、後述する第10～第16の実施形態に係る単位回路についても同様の方法を適用することができる。

[0099] (第10の実施形態)

本発明の第10の実施形態に係るシフトレジスタは、図14に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路21に代えて、図35に示す単位回路22a、または、図36に示す単位回路22bを備えている。単位回路22aは、単位回路21a(図15)から容量C1を削除し、Nチャネル型トランジスタTr17を追加し、トランジスタTr1aのドレイン端子の接続先を変更したものである。トランジスタTr17、Tr1aのドレイン端子はトランジスタTr2のソース端子に接続され、トランジスタTr17のソース端子はトランジスタTr1のゲート端子に接続され、トランジスタTr17のゲート端子にはハイレベル電位VDDが印加される。トランジスタTr17は、耐圧用トランジスタとして機能する。単位回路22bは、単位回路22aについて、トランジスタTr1aのソース端子の接続先をクロック端子CKAに変更したものである。以下、トランジスタTr17のドレイン端子が接続された節点をn9、トランジスタTr17のソース端子が接続された節点をn10という。

[0100] 図37は、本実施形態に係るシフトレジスタの信号波形図である。図37に示す信号波形図は、図18に示す信号波形図から節点n1の電位の変化を削除し、節点n9、n10の電位の変化を追加したものである。トランジスタTr16を含む単位回路16a(図22)と同様に、トランジスタTr17を含む単位回路22a、22bでは、節点n10の突き上げ期間でも、トランジスタTr2、Tr3、Tr1aの端子間にはトランジスタの駆動電圧よりも低い電圧が与えられる。したがって、本実施形態に係るシフトレジスタによれば、トランジスタの劣化や破壊を防止することができる。

[0101] また、単位回路22a、22bでは、トランジスタTr6の作用により、入力信号INAがハイレベルである期間の一部において、節点n2がフローティング状態になる。このため、節点n2の電位はハイレベル電位VDDよ

りも高くなり、トランジスタ T_r 2 の出力インピーダンスは低くなるので、節点 n₁₀ のチャージを高速に行うことができる。したがって、動作周波数が高い場合でも、節点 n₁₀ の電位は所定時間内に (V_{DD} - V_{t h}) に到達する。よって、本実施形態に係るシフトレジスタによれば、トランジスタ T_r 6 を含まないシフトレジスタに耐圧対策を行った場合と比べて、トランジスタの劣化や破壊を防止しながら動作マージンを大きくすることができる。

[0102] このように単位回路 22a は、第 1 導通端子がクロック端子 CKA に接続され、第 2 導通端子が出力端子 OUT に接続された出力トランジスタ T_r 1 と、第 1 導通端子が第 1 節点（節点 n₉）に接続され、第 2 導通端子が出力トランジスタ T_r 1 の制御端子に接続され、制御端子にオン電位（ハイレベル電位）が固定的に印加された耐圧用トランジスタ T_r 17 と、第 1 節点にオン電位とオフ電位（ローレベル電位）を切り換えて印加する出力制御部（トランジスタ T_r 2、T_r 3、T_r 6、T_r 7、T_r c）と、第 1 導通端子が出力トランジスタ T_r 1 の制御端子に接続され、第 2 導通端子が出力端子 OUT に接続され、制御端子に初期化信号 INT が与えられた初期化トランジスタ T_r a と、第 1 導通端子が出力端子 OUT に接続され、第 2 導通端子にオフ電位が固定的に印加され、制御端子に初期化信号 INT が与えられた出力初期化トランジスタ T_r b とを含んでいる。単位回路 22b では、初期化トランジスタ T_r a の第 2 導通端子は、クロック端子 CKA に接続される。したがって、本実施形態に係るシフトレジスタによれば、第 1 の実施形態と同様に、動作時に初期化トランジスタ T_r a の導通端子間に高電圧を印加することなく、初期化を行うことができる。

[0103] また、単位回路 22a、22b の出力制御部は、第 1 導通端子に単位回路に対する入力信号 INa が与えられ、第 2 導通端子が第 1 節点に接続されたセットトランジスタ T_r 2 と、セットトランジスタ T_r 2 の制御端子にオン電位とオフ電位を切り換えて印加するセット制御部（トランジスタ T_r 6、T_r 7）と、第 1 導通端子がセットトランジスタ T_r 2 の制御端子に接続さ

れ、第2導通端子が第2入力端子INbに接続され、制御端子に初期化信号INITが与えられた第2初期化トランジスタTrcとを含んでいる。第2入力信号INbは、第1節点にオン電位を印加する期間の少なくとも一部で、出力トランジスタTr1の制御端子と同じレベルのオン電位になる。

- [0104] 初期化時に入力信号INbをオフレベルに制御することにより、セットトランジスタTr2をオフ状態に制御し、入力信号INAと第1節点を電気的に切り離して、出力トランジスタTr1を確実にオフ状態に制御することができる。また、第1節点にオン電位を印加する期間の少なくとも一部で、第2初期化トランジスタTrcの第2導通端子の電位を第1節点と同じレベルのオン電位に制御することにより、第2初期化トランジスタTrcの導通端子間に高電圧が印加される時間を短くすることができる。
- [0105] また、耐圧用トランジスタTr17の作用により、オン電位を有するクロック信号を出力するときに、第1節点の電位は出力制御部によって印加されたオン電位から変化しない。したがって、第1節点に接続されたトランジスタTr2、Tr3、Trαの端子間に高電圧を印加することを防止することができる。

[0106] (第11の実施形態)

本発明の第11の実施形態に係るシフトレジスタは、図14に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路21に代えて、図38に示す単位回路23a、または、図39に示す単位回路23bを備えている。単位回路23aは、単位回路21a(図15)から容量C1を削除し、トランジスタTr7のゲート端子の接続先を出力端子OUTに変更したものである。単位回路23bは、単位回路23aについて、トランジスタTrαのソース端子の接続先をクロック端子CKAに変更したものである。

- [0107] 本実施形態に係るシフトレジスタの信号波形図は、図18に示す信号波形図と同じである。時刻t4より前では、単位回路23a、23bは単位回路21aと同様に動作する。時刻t4においてクロック信号CKAがローレベ

ルからハイレベルに変化すると、時刻 t_4 以降、クロック信号 CKA のハイレベル電位が出力信号 OUT として出力される。また、出力信号 OUT がハイレベルになると、トランジスタ Tr7 はオンする。このとき入力信号 INb はローレベルであるので、節点 n2 の電位は下降してローレベルになる（節点 n2 のディスチャージ）。このため、トランジスタ Tr2 はオフする。

[0108] 単位回路 21a では、トランジスタ Tr7 のゲート端子はクロック端子 CKA に接続される。これに対して単位回路 23a、23b では、トランジスタ Tr7 のゲート端子は出力端子 OUT に接続される。出力信号 OUT が変化する頻度は、クロック信号 CKA が変化する頻度よりも小さい。したがって、本実施形態に係るシフトレジスタによれば、トランジスタ Tr7 のゲート端子に付随する寄生容量の充放電を減らし、消費電力を削減することができる。

[0109] (第 12 の実施形態)

図 40 は、本発明の第 12 の実施形態に係るシフトレジスタの構成を示すブロック図である。図 40 に示すシフトレジスタ 40 は、n 個の単位回路 41 を多段接続して構成されている。単位回路 41 は、クロック端子 CKA、CKB、入力端子 INA、初期化端子 INIT、および、出力端子 OUT を有する。シフトレジスタ 40 には外部からスタートパルス STA、4 相のクロック信号 CK1～CK4、および、初期化信号 INIT が供給される。クロック信号 CK1～CK4 と初期化信号 INIT は、第 5 の実施形態に係るシフトレジスタ 20（図 14）と同様に各端子に与えられる。スタートパルス STA は、1 段目の単位回路 41 の入力端子 INA に与えられる。単位回路 41 の出力信号 OUT は、出力信号 O1～On として外部に出力されると共に、次段の単位回路 41 の入力端子 INA に与えられる。

[0110] 単位回路 41 には、図 41 に示す単位回路 41a、または、図 42 に示す単位回路 41b が使用される。単位回路 41a は、単位回路 21a（図 15）から容量 C1 を削除し、トランジスタ Tr6 のゲート端子およびドレイン端子、並びに、トランジスタ Tr7、Trc のソース端子の接続先をクロッ

ク端子CKBに変更したものである。単位回路41bは、単位回路41aについて、トランジスタTr6のソース端子の接続先をクロック端子CKAに変更したものである。

- [0111] 図43は、シフトレジスタ60の信号波形図である。図43に示す信号波形図は、入力信号INbの電位の変化が削除されている点、および、時刻t7以降において節点n2の電位が周期的に所定レベル(VDD-Vth)になる点を除き、図18に示す信号波形図と同じである。時刻t1より前では、節点n1、n2の電位と出力信号OUTはローレベルである。時刻t1においてクロック信号CKBがハイレベルに変化すると、トランジスタTr6はオンし、クロック端子CKBから節点n2に向けてトランジスタTr6を通過する電流が流れ、節点n2の電位は上昇する(節点n2のチャージ)。時刻t1からしばらく経つと、トランジスタTr2、Tr3は共にオン状態になる。
- [0112] 時刻t2において入力信号INaがハイレベルに変化すると、節点n1のチャージと節点n2の突き上げが行われる。時刻t3においてクロック信号CKBがローレベルに変化すると、トランジスタTr3はオフする。トランジスタTr3がオフした後も、節点n1、n2の電位は変化せず、トランジスタTr1はオン状態を保つ。時刻t3～t7では、単位回路41a、41bは単位回路21aと同様に動作する。
- [0113] 時刻t7においてクロック信号CKBがハイレベルに変化すると、トランジスタTr3はオンし、節点n1のディスチャージが行われる。また、時刻t7において、トランジスタTr6はオンする。このため、クロック端子CKBから節点n2に向けてトランジスタTr6を通過する電流が流れ、節点n2の電位は上昇する。時刻t7以降において、節点n2の電位は、クロック信号CKBがハイレベルに変化すると(VDD-Vth)に変化し、クロック信号CKAがハイレベルに変化するとローレベルに変化する。
- [0114] シフトレジスタ40にはスタートパルスSTbを供給する必要がなく、単位回路41a、41bには2段前の単位回路41a、41bの出力信号OUT

Tを与える必要がない。したがって、本実施形態に係るシフトレジスタ40によれば、単位回路間の配線を削減し、回路のレイアウト面積を削減することができる。

[0115] (第13の実施形態)

本発明の第13の実施形態に係るシフトレジスタは、図40に示す構成を有する。ただし、本実施形態に係るシフトレジスタは、単位回路41に代えて、図44に示す単位回路42a、または、図45に示す単位回路42bを備えている。単位回路42aは、単位回路41a(図41)について、トランジスタTr7のゲート端子の接続先を出力端子OUTに変更したものである。単位回路42bは、単位回路42aについて、トランジスタTr2のソース端子の接続先をクロック端子CKAに変更したものである。

[0116] 図46は、本実施形態に係るシフトレジスタの信号波形図である。図46に示す信号波形図は、節点n2の電位の変化を除いて、図18に示す信号波形図と同じである。時刻t2よりも前では、節点n1の電位と出力信号OUTはローレベル、節点n2の電位は(VDD-Vth)であり、節点n2はフローティング状態であり、トランジスタTr2はオン状態である。

[0117] 時刻t2において入力信号INaがハイレベルに変化すると、節点n1のチャージと節点n2の突き上げが行われる。時刻t3においてクロック信号CKBがローレベルに変化すると、トランジスタTr3はオフする。トランジスタTr3がオフした後も、節点n1、n2の電位は変化せず、トランジスタTr1、Tr2はオン状態を保つ。時刻t4においてクロック信号CKAがローレベルからハイレベルに変化すると、節点n1の突き上げが行われ、閾値落ちのないハイレベル電位VDDが出力信号OUTとして出力される。また、出力信号OUTがハイレベルになると、トランジスタTr7はオンする。このときクロック信号CKBはローレベルであるので、節点n2の電位は下降してローレベルになる(節点n2のディスチャージ)。このため、トランジスタTr2はオフする。

[0118] 時刻t5において、入力信号INaはローレベルに変化する。このときト

ランジスタTr2、Tr3はオフ状態であるので、節点n1、n2の電位は変化しない。時刻t6においてクロック信号CKAがローレベルに変化すると、出力信号OUTはローレベルに変化し、トランジスタTr7はオフする。また、節点n1の突き上げが終了するので、節点n1の電位はハイレベル電位VDDに下降する。時刻t7においてクロック信号CKBがハイレベルに変化すると、節点n1のディスチャージが行われる。また、時刻t7においてトランジスタTr6はオンするので、節点n2の電位は上昇して(VDD-Vth)になる(節点n2のチャージ)。

[0119] 本実施形態に係るシフトレジスタによれば、第11の実施形態と同様に、トランジスタTr7のゲート端子に付随する寄生容量の充放電を減らし、消費電力を削減することができる。また、節点n2のディスチャージは、出力信号OUTがハイレベルのときにだけ行われる。したがって、本実施形態に係るシフトレジスタによれば、節点n2に付随する寄生容量の充放電を減らし、消費電力を削減することができる。

[0120] (第14の実施形態)

図47は、本発明の第14の実施形態に係るシフトレジスタの構成を示すブロック図である。図47に示すシフトレジスタ50は、n個の単位回路51を多段接続し、その前段にダミー単位回路52を接続したものである。単位回路51は、クロック端子CKA、CKB、入力端子INa、INb、初期化端子INIT、および、出力端子OUTを有する。ダミー単位回路52は、クロック端子CKA、CKB、入力端子INa、初期化端子INIT、および、出力端子OUTを有する。例えば、単位回路51には単位回路22a(図35)が用いられ、ダミー単位回路52には単位回路41a(図41)が用いられる。

[0121] シフトレジスタ50には外部から、スタートパルスSTA、4相のクロック信号CK1～CK4、および、初期化信号INITが供給される。クロック信号CK1～CK4は、第5の実施形態に係るシフトレジスタ20(図14)と同様に各端子に与えられる。これに加えて、クロック信号CK2はダ

ミー単位回路52のクロック端子CKBに与えられ、クロック信号CK4はダミー単位回路52のクロック端子CKAに与えられる。スタートパルスSTAは、ダミー単位回路52の入力端子INAと1段目の単位回路51の入力端子INbに与えられる。初期化信号INITは、n個の単位回路51とダミー単位回路52の初期化端子INITに与えられる。ダミー単位回路52の出力信号OUTは、外部に出力されることなく、1段目の単位回路51の入力端子INAと2段目の単位回路51の入力端子INbに与えられる。単位回路51の出力信号OUTは、出力信号O1～Onとして外部に出力されると共に、次段の単位回路51の入力端子INAと2段後の単位回路51の入力端子INbに与えられる。

[0122] 図48は、シフトレジスタ50のタイミングチャートである。図48に示すように、スタートパルスSTAとクロック信号CK1～CK4は、第5の実施形態と同じタイミングで変化する（図17を参照）。ダミー単位回路52の出力信号OUT（以下、ダミー出力信号ODMYという）は、スタートパルスSTAをクロック信号CK1の1/4周期遅延させた信号となる。スタートパルスSTAとダミー出力信号ODMYは、それぞれ、第5の実施形態に係るシフトレジスタ20におけるスタートパルスSTb、STAと同じ役割を有する。

[0123] このようにシフトレジスタ50は、スタートパルスSTAをクロック信号の1/4周期遅延させた信号を出力するダミー単位回路52を備えている。このため、シフトレジスタ50に供給するスタートパルスは1本でよい。したがって、本実施形態に係るシフトレジスタ50によれば、スタートパルスを供給する入力端子とスタートパルスを伝搬する配線の分だけ、レイアウト面積を削減することができる。

[0124] （第15の実施形態）

図49は、本発明の第15の実施形態に係るシフトレジスタの構成を示すブロック図である。図49に示すシフトレジスタ60は、n個の単位回路61と2個のダミー単位回路62、63を多段接続して構成されている。単位

回路61は、クロック端子CKA、CKB、入力端子INa、INb、初期化端子INIT、リセット端子R、および、出力端子OUTを有する。ダミー単位回路62、63は、クロック端子CKA、CKB、入力端子INa、INb、初期化端子INIT、および、出力端子OUTを有する。

[0125] シフトレジスタ60には外部から、スタートパルスSTA、STb、4相のクロック信号CK1～CK4、および、初期化信号INITが供給される。スタートパルスSTA、STbとクロック信号CK1～CK4は、第5の実施形態に係るシフトレジスタ20(図14)と同様に各端子に与えられる。これに加えて、クロック信号CK1～CK4は、それぞれ、ダミー単位回路62のクロック端子CKA、ダミー単位回路63のクロック端子CKA、ダミー単位回路62のクロック端子CKB、および、ダミー単位回路63のクロック端子CKBに与えられる。初期化信号INITは、n個の単位回路61とダミー単位回路62、63の初期化端子INITに与えられる。単位回路61の出力信号OUTは、出力信号O1～Onとして外部に出力されると共に、次段の単位回路61(または、ダミー単位回路62)の入力端子INa、2段後の単位回路61(または、ダミー単位回路62、63)の入力端子INb、および、2段前の単位回路61のリセット端子Rに与えられる。ダミー単位回路62の出力信号OUT(以下、ダミー出力信号Outy1という)は、ダミー単位回路63の入力端子INa、および、(n-1)段目の単位回路61のリセット端子Rに与えられる。ダミー単位回路63の出力信号OUT(以下、ダミー出力信号Outy2という)は、n段目の単位回路61のリセット端子Rに与えられる。

[0126] 単位回路61には、図50に示す単位回路61a、または、図51に示す単位回路61bが使用される。単位回路61aは、単位回路42a(図44)について、トランジスタTr3のゲート端子の接続先をリセット端子Rに変更したものである。単位回路61bは、単位回路61aについて、トランジスタTr3のソース端子の接続先をクロック端子CKAに変更したものである。ダミー単位回路62には、リセット端子Rを有しない単位回路(例え

ば、単位回路4 2 a) が用いられる。

[0127] シフトレジスタ6 0では、2段後の単位回路6 1の出力信号O U Tがゲート端子に与えられたトランジスタT r 3を用いて、節点n 1のディスチャージが行われる。(n - 1)段目およびn段目の単位回路6 1に2段後の単位回路6 1の出力信号O U Tを与えるために、シフトレジスタ6 0はダミー単位回路6 2、6 3を備えている。(n - 1)段目の単位回路6 1のトランジスタT r 3のゲート端子には、ダミー出力信号O d m y 1が与えられる。n段目の単位回路6 1のトランジスタT r 3のゲート端子には、ダミー出力信号O d m y 2が与えられる。

[0128] 図5 2は、シフトレジスタ6 0の信号波形図である。図5 2に示す信号波形図は、図1 8に示す信号波形図にリセット信号Rの変化を追加したものである。出力信号O U Tは、時刻t 4においてハイレベルに変化し、時刻t 6においてローレベルに変化する。これよりもクロック信号C K 1の半周期遅れて、リセット信号Rは、時刻t 7においてハイレベルに変化し、時刻t 8においてローレベルに変化する。時刻t 6においてクロック信号C K Aがローレベルに変化すると、節点n 1の突き上げが終了し、節点n 1の電位はハイレベル電位V D Dに下降する。時刻t 7においてリセット信号Rがハイレベルに変化すると、トランジスタT r 3はオンし、節点n 1の電位は下降してローレベルになる(節点n 1のディスチャージ)。

[0129] 単位回路4 2 aでは、クロック信号C K Bがハイレベルのときに、トランジスタT r 3がオンし、節点n 1のディスチャージが行われる。これに対して単位回路6 1 a、6 1 bでは、リセット信号Rがハイレベルのときに、トランジスタT r 3がオンし、節点n 1のディスチャージが行われる。リセット信号Rが変化する頻度は、クロック信号C K Bが変化する頻度よりも小さい。したがって、本実施形態に係るシフトレジスタ6 0によれば、トランジスタT r 3のゲート端子に付随する寄生容量の充放電を減らし、消費電力を削減することができる。

[0130] 本実施形態に係るシフトレジスタ6 0については、図5 3に示す変形例を

構成することができる。図53に示すシフトレジスタ64は、(n+2)個の単位回路61を多段接続して構成されている。(n+1)段目および(n+2)段目の単位回路61は、ダミー単位回路として機能する。シフトレジスタ64には外部からスタートパルスSTA、STB、4相のクロック信号CK1～CK4、初期化信号INIT、および、リセット信号Rが供給される。リセット信号Rは、(n+1)段目および(n+2)段目の単位回路61のリセット端子Rに与えられる。それ以外の信号は、シフトレジスタ60と同様に各端子に与えられる。

[0131] シフトレジスタ64では、シフトレジスタ60と同様に、2段後の単位回路61の出力信号OUTがゲート端子に与えられたトランジスタTr3を用いて、節点n1のディスチャージが行われる。(n-1)段目およびn段目の単位回路61に2段後の単位回路61の出力信号OUTを与えるために、シフトレジスタ64は(n+1)段目およびn段目の単位回路61を備えている。(n-1)段目の単位回路61のトランジスタTr3のゲート端子には、(n+1)段目の単位回路61の出力信号OUT(以下、ダミー出力信号Odm y1という)が与えられる。n段目の単位回路61のトランジスタTr3のゲート端子には、(n+2)段目の単位回路61の出力信号OUT(以下、ダミー出力信号Odm y2という)が与えられる。

[0132] 図54は、シフトレジスタ64のタイミングチャートである。図54に示すように、ダミー出力信号Odm y1は、n段目の単位回路61の出力信号OUTがハイレベルになった後のクロック信号CK1のハイレベル期間でハイレベルになる。ダミー出力信号Odm y2は、ダミー出力信号Odm y1がハイレベルになった後のクロック信号CK2のハイレベル期間でハイレベルになる。リセット信号Rは、ダミー出力信号Odm y2のハイレベル期間の後にハイレベルになる。リセット信号Rがハイレベルになると、(n+1)段目およびn段目の単位回路61において、トランジスタTr3はオンし、節点n1の電位はローレベルになる。

[0133] シフトレジスタ64でも、シフトレジスタ60と同様に、トランジスタT

T_{r3} のゲート端子に付随する寄生容量の充放電を減らし、消費電力を削減することができる。なお、シフトレジスタ 64 には、初期化信号 INIT とリセット信号 R に代えて、初期化時とリセット時にハイレベルになる制御信号を供給してもよい。この場合、単位回路 61 からトランジスタ T_{r3} 、 T_{ra} のうち一方を削除してもよい。

[0134] (第 16 の実施形態)

本発明の第 16 の実施形態に係るシフトレジスタは、図 49 または図 53 に示す構成を有する。本実施形態に係るシフトレジスタは、単位回路 61 に代えて、図 55 に示す単位回路 65a、または、図 56 に示す単位回路 65b を備えている。単位回路 65a は、単位回路 61a (図 50) にトランジスタ T_{r18} を追加したものである。トランジスタ T_{r18} のドレイン端子は出力端子 OUT に接続され、トランジスタ T_{r18} のソース端子にはローレベル電位 VSS が印加され、トランジスタ T_{r18} のゲート端子はリセット端子 R に接続される。本実施形態に係るシフトレジスタの信号波形図は、第 15 の実施形態に係る信号波形図と同じである。

[0135] 単位回路 21a (図 15) では、出力信号 OUT がローレベルになる前にトランジスタ T_{r1} がオフした場合、出力信号 OUT はローレベルにならずに中間電位になる。単位回路 61a は、出力信号 OUT をローレベルにするために、ゲート端子がクロック端子 CKB に接続されたトランジスタ T_{r4} を含んでいる。しかし、出力信号 OUT を確実にローレベルにするためにトランジスタ T_{r4} のサイズを大きくすると、消費電力が増大する。この問題を解決するために、単位回路 65a、65b はゲート端子がリセット端子 R に接続されたトランジスタ T_{r18} を含んでいる。

[0136] 単位回路 65a、65b では、リセット信号 R がハイレベルになると、トランジスタ T_{r18} がオンするので、出力信号 OUT は確実にローレベルになる。このため、単位回路 65a、65b では、トランジスタ T_{r18} のサイズを大きくする必要はない。また、出力信号 OUT が変化する頻度は、クロック信号 CKB が変化する頻度よりも小さい。このため、トランジスタ T

T_{r18} のサイズを大きくしても、トランジスタ T_{r4} を大きくしたときほど、消費電力は増大しない。したがって、本実施形態に係るシフトレジスタによれば、消費電力を増大させずに、出力信号OUTを確実にローレベルにすることができる。

[0137] また、トランジスタ T_{r4} は、クロック信号CKBに基づき周期的にオンする。したがって、トランジスタ T_{r1} のリーク電流などによって出力信号OUTの電位が上昇しても、トランジスタ T_{r4} を用いて出力信号OUTの電位を周期的にローレベルにすることができる。なお、単位回路65a、65bはトランジスタ T_{r4} 、 T_{r18} を含むこととしたが、トランジスタ T_{r18} を含めば、必ずしもトランジスタ T_{r4} を含む必要はない。

[0138] 以下、本発明の実施形態に係るシフトレジスタを備えた表示装置の例を説明する。図57は、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第1の構成例を示すブロック図である。図57に示す液晶表示装置は、n本の走査線GL1～GLn、m本（mは2以上の整数）のデータ線SL1～SLm、（m×n）個の画素回路101、データ線駆動回路111、および、シフトレジスタ121、122を備えている。

[0139] 走査線GL1～GLnは互いに平行に配置され、データ線SL1～SLmは走査線GL1～GLnと直交するように互いに平行に配置される。（m×n）個の画素回路101は、走査線GL1～GLnとデータ線SL1～SLmの交点に対応して配置される。画素回路101は、トランジスタTw、液晶容量C1c、および、補助容量Ccsを含んでいる。トランジスタTwのゲート端子は1本の走査線に接続され、トランジスタTwのソース端子は1本のデータ線に接続される。以下、画素回路101の配置領域を領域Aという。

[0140] データ線駆動回路111は、領域Aの一辺（図57では上辺）に沿って配置される。データ線駆動回路111は、データ線SL1～SLmの一端（図57では上端）に接続され、データ線SL1～SLmを駆動する。

[0141] シフトレジスタ121、122は、それぞれn個の出力端子O1～Onを

有し、走査線駆動回路として機能する。シフトレジスタ121、122には、例えば、第1～第4および第6～第9の実施形態に係るシフトレジスタが用いられる。シフトレジスタ121、122には同じ回路が用いられ、同じ信号が供給される。シフトレジスタ121は領域Aの一辺（図57では左辺）に沿って配置され、シフトレジスタ122は領域Aの対向する辺（図57では右辺）に沿って配置される。シフトレジスタ121の出力端子O1～Onは、それぞれ、走査線GL1～GLnの一端（図57では左端）に接続される。シフトレジスタ121は、走査線GL1～GLnを一端側から駆動する。シフトレジスタ122の出力端子O1～Onは、それぞれ、走査線GL1～GLnの他端（図57では右端）に接続される。シフトレジスタ122は、走査線GL1～GLnを他端側から駆動する。このように図57に示す液晶表示装置では、走査線GL1～GLnは、2個のシフトレジスタ121、122を用いて両側から駆動される。

[0142] 図58は、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第2の構成例を示すブロック図である。図58に示す液晶表示装置は、図57に示す液晶表示装置においてシフトレジスタ121、122を、それぞれ、シフトレジスタ123、124に置換したものである。シフトレジスタ123、124は、それぞれn個の出力端子O1～Onを有し、走査線駆動回路として機能する。シフトレジスタ123、124には、例えば、第5および第10～第16の実施形態に係るシフトレジスタが用いられる。

[0143] なお、図57および図58に示す液晶表示装置は、領域Aの対向する2辺に沿って配置された2個のシフトレジスタを用いて、走査線GL1～GLnを両側から駆動することとした。これに代えて、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置は、領域Aの一辺に沿って配置された1個のシフトレジスタを用いて、走査線GL1～GLnを片側から駆動してもよい。

[0144] 図59は、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第3の構成例を示すブロック図である。図59に示す液晶表示装置は、2

n 本の走査線 $GL_1 \sim GL_{2n}$ 、 m 本のデータ線 $SL_1 \sim SL_m$ 、 $(m \times 2n)$ 個の画素回路 101、データ線駆動回路 111、および、シフトレジスタ 121、122 を備えている。走査線 $GL_1 \sim GL_{2n}$ 、データ線 $SL_1 \sim SL_m$ 、 $(m \times 2n)$ 個の画素回路 101、および、データ線駆動回路 111 は、図 5 7 に示す液晶表示装置と同様に配置される。

[0145] シフトレジスタ 121、122 には同じ回路が用いられ、初期化信号 INIT を除いて異なる信号が与えられる。シフトレジスタ 121、122 には、例えば、第 1～第 4 および第 6～第 9 の実施形態に係るシフトレジスタが用いられる。シフトレジスタ 121 の出力端子 $O_1 \sim O_n$ は、それぞれ、奇数番目の走査線 GL_1 、 GL_3 、…、 GL_{2n-1} の一端（図 5 9 では左端）に接続される。シフトレジスタ 121 は、奇数番目の走査線 GL_1 、 GL_3 、…、 GL_{2n-1} を一端側から駆動する。シフトレジスタ 122 の出力端子 $O_1 \sim O_n$ は、それぞれ、偶数番目の走査線 GL_2 、 GL_4 、…、 GL_{2n} の他端（図 5 9 では右端）に接続される。シフトレジスタ 122 は、偶数番目の走査線 GL_2 、 GL_4 、…、 GL_{2n} を他端側から駆動する。このように図 5 9 に示す液晶表示装置では、奇数番目の走査線 GL_1 、 GL_3 、…、 GL_{2n-1} はシフトレジスタ 121 を用いて一端側から駆動され、偶数番目の走査線 GL_2 、 GL_4 、…、 GL_{2n} はシフトレジスタ 122 を用いて他端側から駆動される。

[0146] 図 6 0 は、図 5 9 に示す液晶表示装置のタイミングチャートである。シフトレジスタ 121 に供給されるクロック信号 CK1L は、所定の周期でハイレベルとローレベルになる。ただし、クロック信号 CK1L のハイレベル期間は、クロック信号 CK1L の 1/4 周期よりも短い。クロック信号 CK2L は、クロック信号 CK1L を半周期遅延させた信号である。シフトレジスタ 122 に供給されるクロック信号 CK1R、CK2R は、それぞれ、クロック信号 CK1L を 1/4 周期、および、3/4 周期遅延させた信号である。シフトレジスタ 121 に供給されるスタートパルス STL は、シフト開始時にクロック信号 CK2R のハイレベル期間でハイレベルになる。シフト

ジスタ122に供給されるスタートパルスSTRは、スタートパルスSTLをクロック信号CK1Lの1/4周期遅延させた信号である。シフトレジスタ121の出力信号O1のハイレベル期間は、スタートパルスSTLのハイレベル期間からクロック信号の1/4周期遅れる。シフトレジスタ121の出力信号O2～Onのハイレベル期間は、それぞれ、シフトレジスタ121の出力信号O1～On-1のハイレベル期間からクロック信号の半周期遅れる。シフトレジスタ122の出力信号O1のハイレベル期間は、シフトレジスタ121の出力信号O1のハイレベル期間からクロック信号の1/4周期遅れる。シフトレジスタ122の出力信号O2～Onのハイレベル期間は、それぞれ、シフトレジスタ122の出力信号O1～On-1のハイレベル期間からクロック信号の半周期遅れる。したがって、図60に示すように、走査線GL1～GL2nの電位は、クロック信号の1/4周期ずつ遅れて昇順にハイレベルになる。

[0147] 図61は、本発明の実施形態に係るシフトレジスタを備えた液晶表示装置の第4の構成例を示すブロック図である。図61に示す液晶表示装置は、図59に示す液晶表示装置においてシフトレジスタ121、122を、それぞれ、シフトレジスタ123、124に置換したものである。シフトレジスタ123、124には同じ回路が用いられ、初期化信号INITを除いて異なる信号が与えられる。シフトレジスタ123、124には、例えば、第5および第10～第16の実施形態に係るシフトレジスタが用いられる。

[0148] 図62は、図61に示す液晶表示装置のタイミングチャートである。シフトレジスタ123に供給されるスタートパルスSTA L、STA Lおよびクロック信号CK1L～CK4Lは、それぞれ、図17に示すスタートパルスSTA、STA Lおよびクロック信号CK1～CK4と同じタイミングで変化する。シフトレジスタ124に供給されるスタートパルスSTA R、STA Rおよびクロック信号CK1R～CK4Rは、シフトレジスタ123に供給される信号よりもクロック信号の1/8周期遅れて変化する。シフトレジスタ123の出力信号O1のハイレベル期間は、スタートパルスSTA Lのハ

イレベル期間からクロック信号の1／4周期遅れる。シフトレジスタ123の出力信号O₂～O_nのハイレベル期間は、それぞれ、シフトレジスタ123の出力信号O₁～O_{n-1}のハイレベル期間からクロック信号の1／4周期遅れる。シフトレジスタ124の出力信号O₁のハイレベル期間は、シフトレジスタ123の出力信号O₁のハイレベル期間からクロック信号の1／8周期遅れる。シフトレジスタ124の出力信号O₂～O_nのハイレベル期間は、それぞれ、シフトレジスタ124の出力信号O₁～O_{n-1}のハイレベル期間からクロック信号の1／4周期遅れる。したがって、図62に示すように、走査線GL₁～GL_nの電位は、クロック信号の1／8周期ずつ遅れて昇順にハイレベルになる。

[0149] 以上に示す液晶表示装置によれば、第1～第16の実施形態に係るシフトレジスタを走査線駆動回路として用いることにより、動作時に初期化トランジスタの導通端子間に高電圧を印加することなく、走査線駆動回路の初期化を行うことができる。また、図57および図58に示す液晶表示装置では、走査線1本分の幅に対応した領域にシフトレジスタの単位回路を1個配置する必要がある。これに対して図59および図61に示す液晶表示装置では、走査線2本分の幅に対応した領域にシフトレジスタの単位回路を1個配置すればよい。したがって、図59および図61に示す液晶表示装置によれば、画素回路の配置領域の外周部分に設けるシフトレジスタのレイアウト領域の幅を小さくすることができる。また、図57および図58に示す液晶表示装置によれば、走査線GL₁～GL_nを両側から駆動することにより、片側から駆動する場合と比べて出力信号のなまりをさらに小さくすることができる。

[0150] 以上に示すように、本発明のシフトレジスタによれば、初期化トランジスタの第2導通端子を、初期化時にはオフ電位を有し、かつ、オン電位を有するクロック信号が出力されるときにはクロック信号と同じレベルのオン電位を有する節点に接続することにより、動作時に初期化トランジスタの導通端子間に高電圧を印加することなく、初期化を行うことができる。

[0151] なお、以上に述べたシフトレジスタについては、複数の単位回路の特徴をその性質に反しない限り任意に組み合わせて、各種の変形例に係るシフトレジスタを構成することができる。例えば、耐圧用トランジスタを含む単位回路から耐圧用トランジスタを削除し、得られた単位回路を多段接続してシフトレジスタを構成してもよい。あるいは、耐圧用トランジスタを含まない単位回路に耐圧用トランジスタを追加し、得られた単位回路を多段接続してシフトレジスタを構成してもよい。また、耐圧用トランジスタを含む単位回路については、初期化トランジスタの導通端子を出力トランジスタの制御端子に接続してもよく、耐圧用トランジスタの第1導通端子に接続してもよい。

産業上の利用可能性

[0152] 本発明のシフトレジスタは、初期化トランジスタの劣化や破壊を防止できるという特徴を有するので、表示装置の駆動回路など、各種の回路に利用することができる。

符号の説明

[0153] 10、20、30、40、50、60、64、121～124…シフトレジスタ

1、11～17、21～23、31、41、42、51、61、65…単位回路

2…出力制御部

32…スキャン切替回路

52、62、63…ダミー単位回路

T_r1～T_r7、T_r11～T_r18、T_r21～T_r26、T_r31～T_r38、T_{ra}～T_{rc}、T_{rp}1、T_{rp}4、T_{rp}11～T_{rp}16、T_{rp}a、T_{rp}b、T_{rp}d…トランジスタ

請求の範囲

[請求項1] 複数の単位回路を多段接続した構成を有するシフトレジスタであつて、

前記単位回路は、

第1導通端子がクロック信号を入力するためのクロック端子に接続され、第2導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、

前記出力トランジスタの制御端子にオン電位とオフ電位を切り換えて印加する出力制御部と、

第1導通端子が前記出力トランジスタの制御端子に接続され、制御端子に初期化信号が与えられた初期化トランジスタとを備え、

前記初期化トランジスタの第2導通端子は、初期化時にはオフ電位を有し、かつ、前記出力端子からオン電位を有するクロック信号が出力されるときには前記クロック信号と同じレベルのオン電位を有する節点に接続されていることを特徴とする、シフトレジスタ。

[請求項2] 複数の単位回路を多段接続した構成を有するシフトレジスタであつて、

前記単位回路は、

第1導通端子がクロック信号を入力するためのクロック端子に接続され、第2導通端子が前記クロック信号を出力するための出力端子に接続された出力トランジスタと、

第1導通端子が第1節点に接続され、第2導通端子が前記出力トランジスタの制御端子に接続され、制御端子にオン電位が固定的に印加された耐圧用トランジスタと、

前記第1節点にオン電位とオフ電位を切り換えて印加する出力制御部と、

第1導通端子が前記第1節点または前記出力トランジスタの制御端子に接続され、制御端子に初期化信号が与えられた初期化トランジ

スタとを備え、

前記初期化トランジスタの第2導通端子は、初期化時にはオフ電位を有し、かつ、前記出力端子からオン電位を有するクロック信号が 출력されるときには前記クロック信号と同じレベルのオン電位を有する節点に接続されていることを特徴とする、シフトレジスタ。

[請求項3]

前記初期化トランジスタの第2導通端子は、前記出力端子に接続されていることを特徴とする、請求項1または2に記載のシフトレジスタ。

[請求項4]

前記単位回路は、第1導通端子が前記出力端子に接続され、第2導通端子にオフ電位が固定的に印加され、制御端子に前記初期化信号が与えられた出力初期化トランジスタをさらに含むことを特徴とする、請求項3に記載のシフトレジスタ。

[請求項5]

前記初期化トランジスタの第2導通端子は、前記クロック端子に接続されていることを特徴とする、請求項1または2に記載のシフトレジスタ。

[請求項6]

前記出力制御部は、

第1導通端子に前記単位回路に対する入力信号が与えられ、第2導通端子が前記出力トランジスタの制御端子に接続されたセットトランジスタと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するセット制御部と、

第1導通端子が前記セットトランジスタの制御端子に接続され、制御端子に前記初期化信号が与えられた第2初期化トランジスタとを含み、

前記第2初期化トランジスタの第2導通端子は、初期化時にはオフ電位を有し、かつ、前記出力トランジスタの制御端子にオン電位が印加される期間の少なくとも一部で前記出力トランジスタの制御端子と同じレベルのオン電位を有する節点に接続されていることを特徴とす

る、請求項 1 に記載のシフトレジスタ。

[請求項7] 前記出力制御部は、

第 1 導通端子に前記単位回路に対する入力信号が与えられ、第 2 導通端子が前記第 1 節点に接続されたセットトランジスタと、

前記セットトランジスタの制御端子にオン電位とオフ電位を切り換えて印加するセット制御部と、

第 1 導通端子が前記セットトランジスタの制御端子に接続され、制御端子に前記初期化信号が与えられた第 2 初期化トランジスタとを含み、

前記第 2 初期化トランジスタの第 2 導通端子は、初期化時にはオフ電位を有し、かつ、前記第 1 節点にオン電位が印加される期間の少なくとも一部で前記第 1 節点と同じレベルのオン電位を有する節点に接続されていることを特徴とする、請求項 2 に記載のシフトレジスタ。

[請求項8] 前記第 2 初期化トランジスタの第 2 導通端子は、前記単位回路に対する第 2 入力信号を入力するための第 2 入力端子に接続されていることを特徴とする、請求項 6 または 7 に記載のシフトレジスタ。

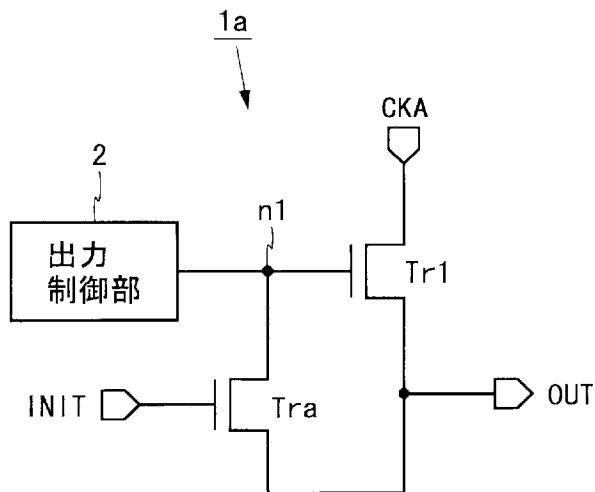
[請求項9] 互いに平行に配置された複数の走査線と、

前記走査線と直交するように互いに平行に配置された複数のデータ線と、

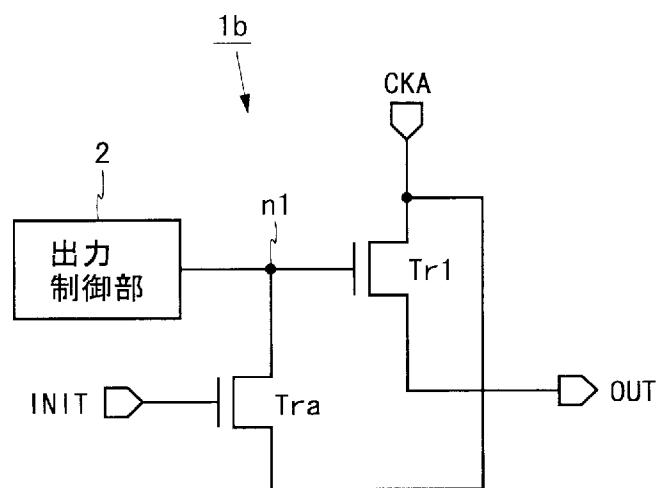
前記走査線および前記データ線の交点に対応して配置された複数の画素回路と、

前記走査線を駆動する走査線駆動回路として、請求項 1 または 2 に記載のシフトレジスタとを備えた、表示装置。

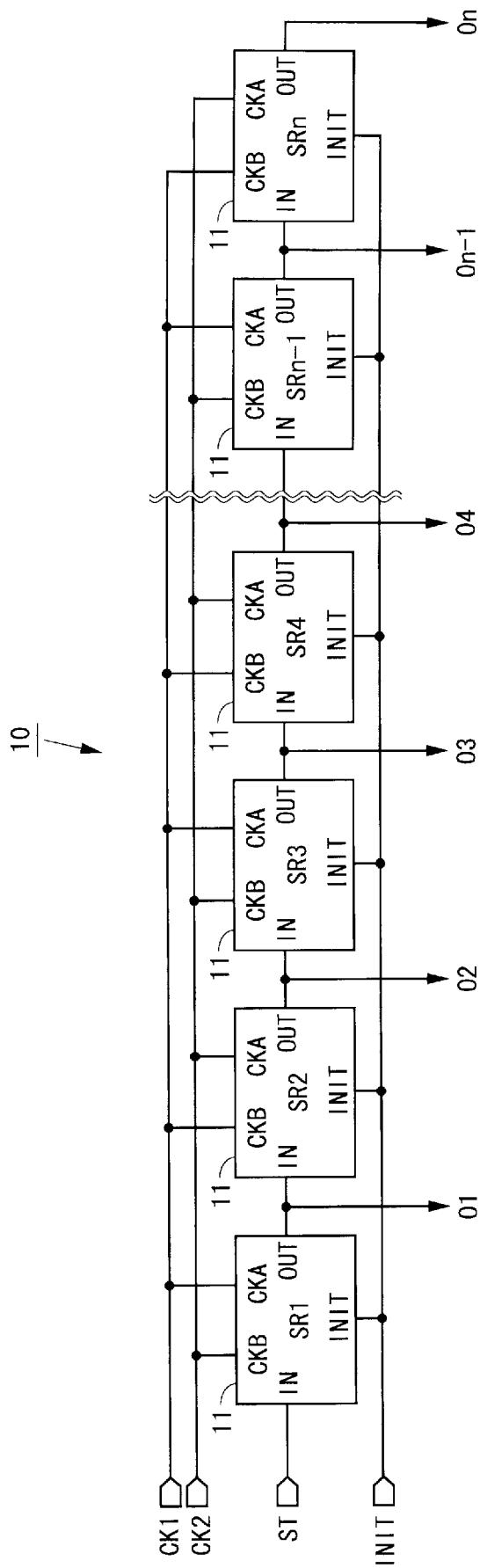
[図1]



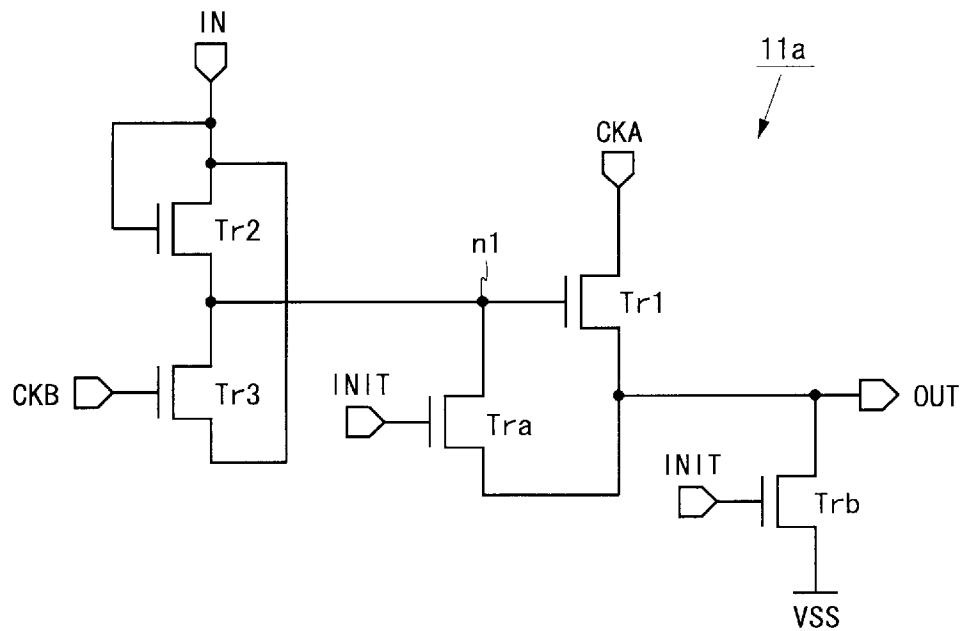
[図2]



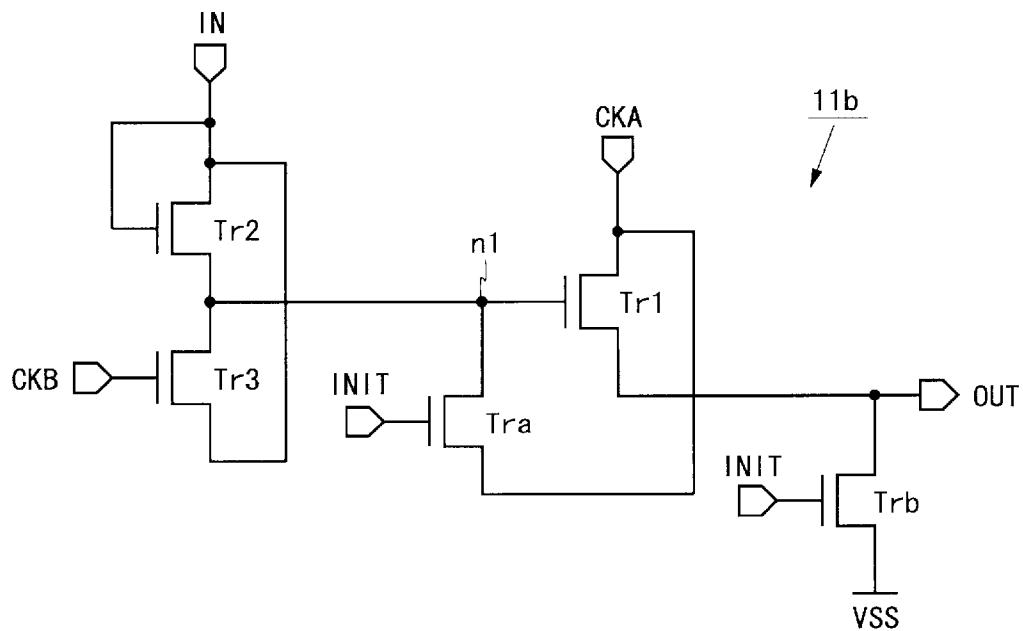
[図3]



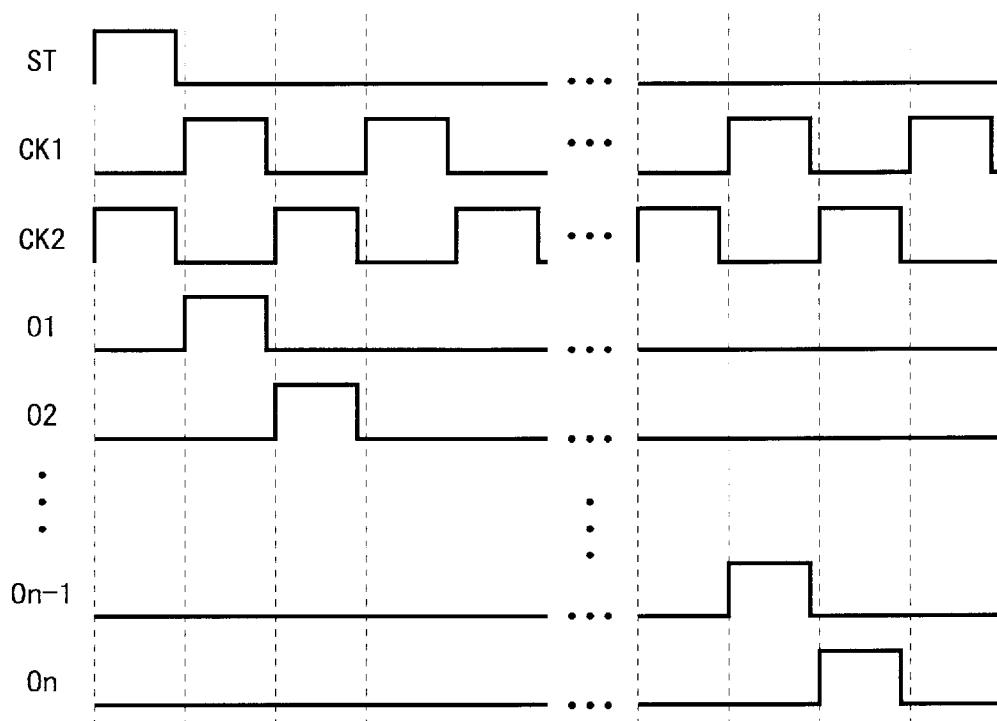
[図4]



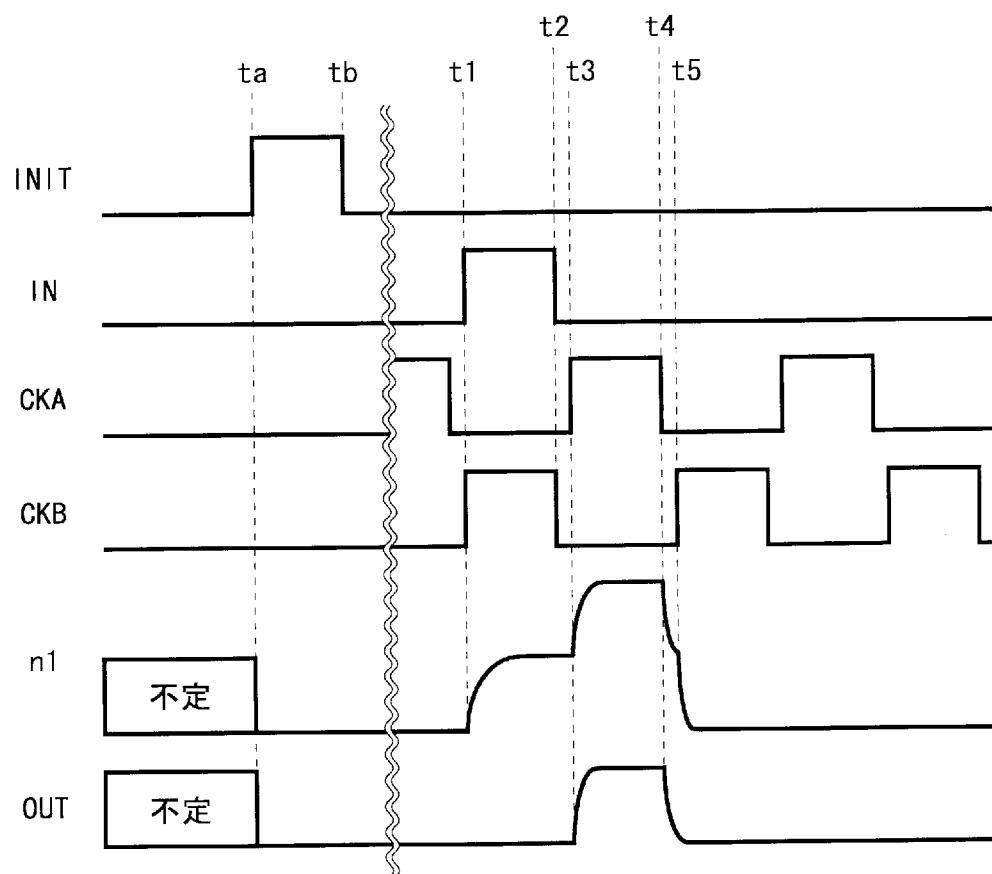
[図5]



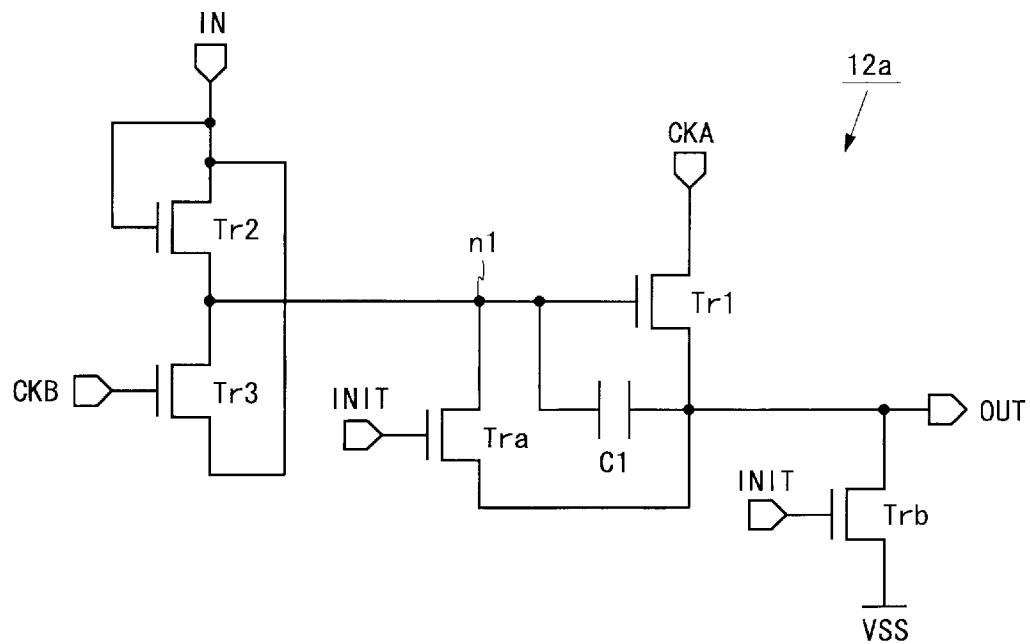
[図6]



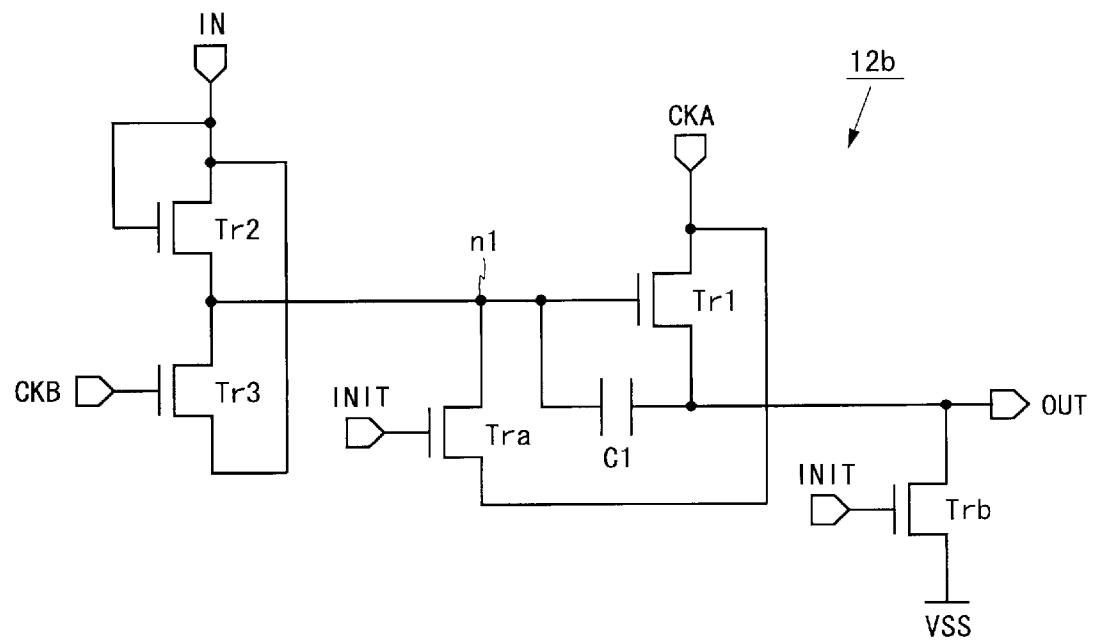
[図7]



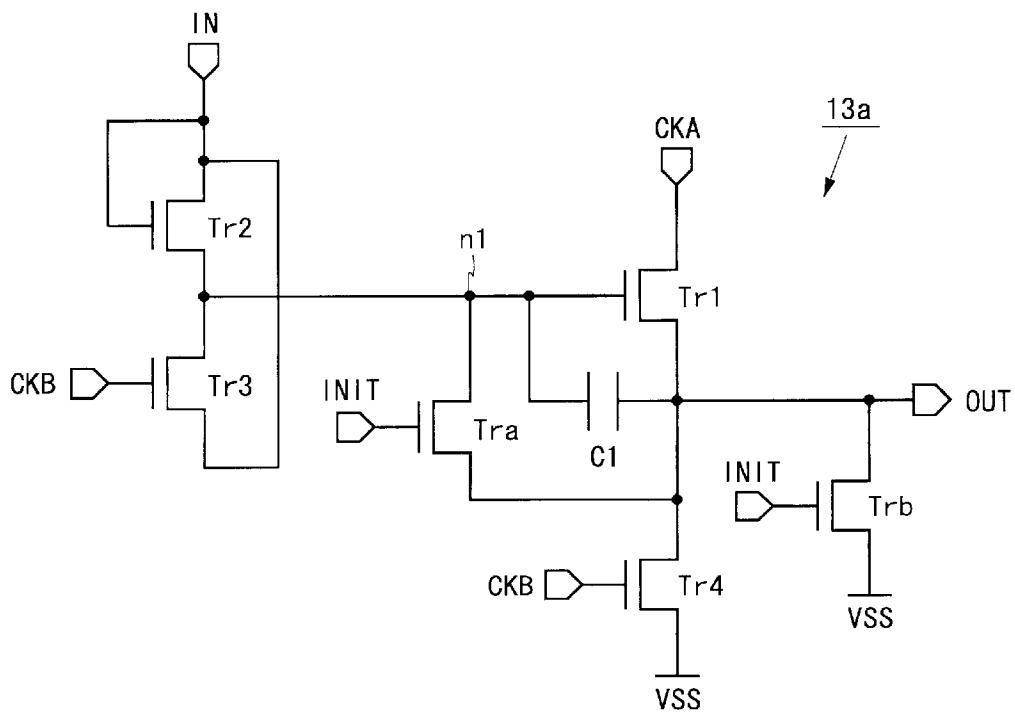
[図8]



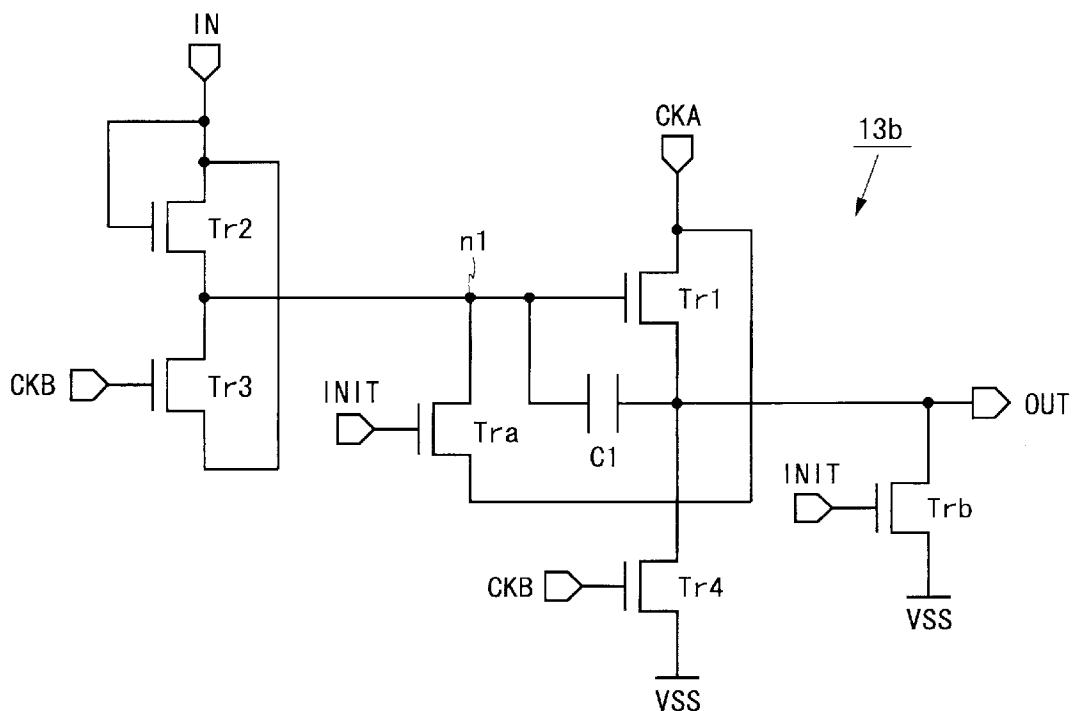
[図9]



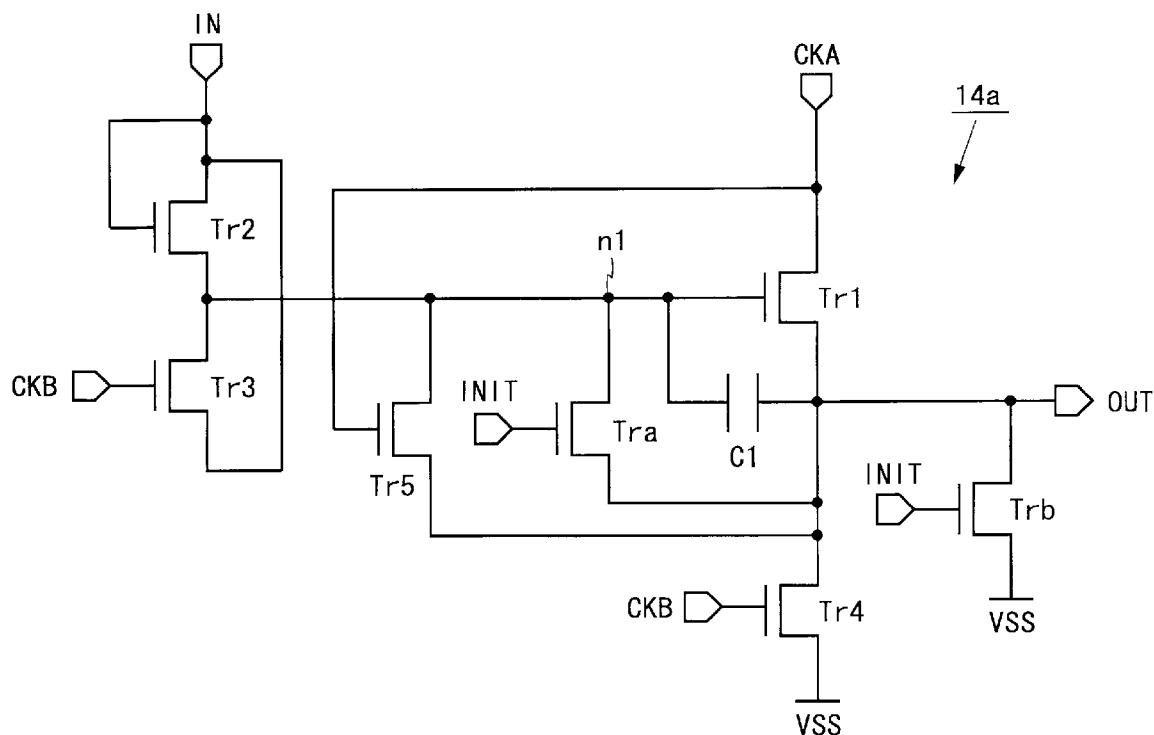
[図10]



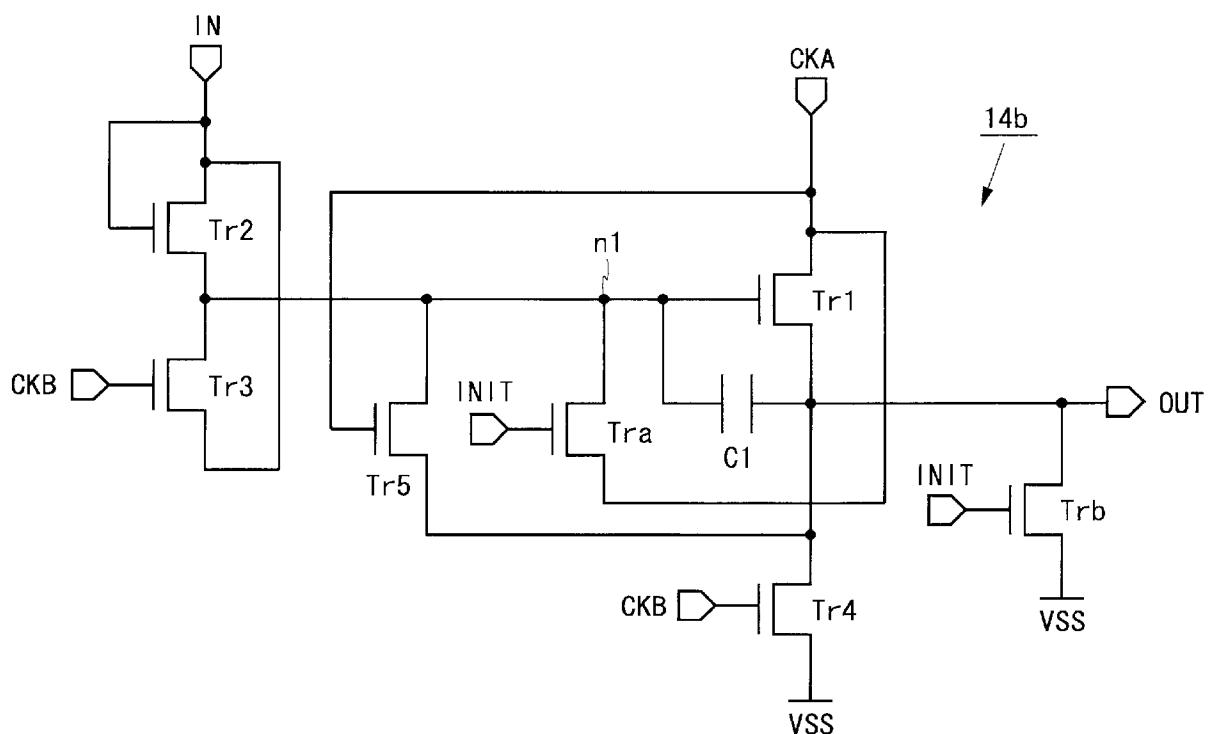
[図11]



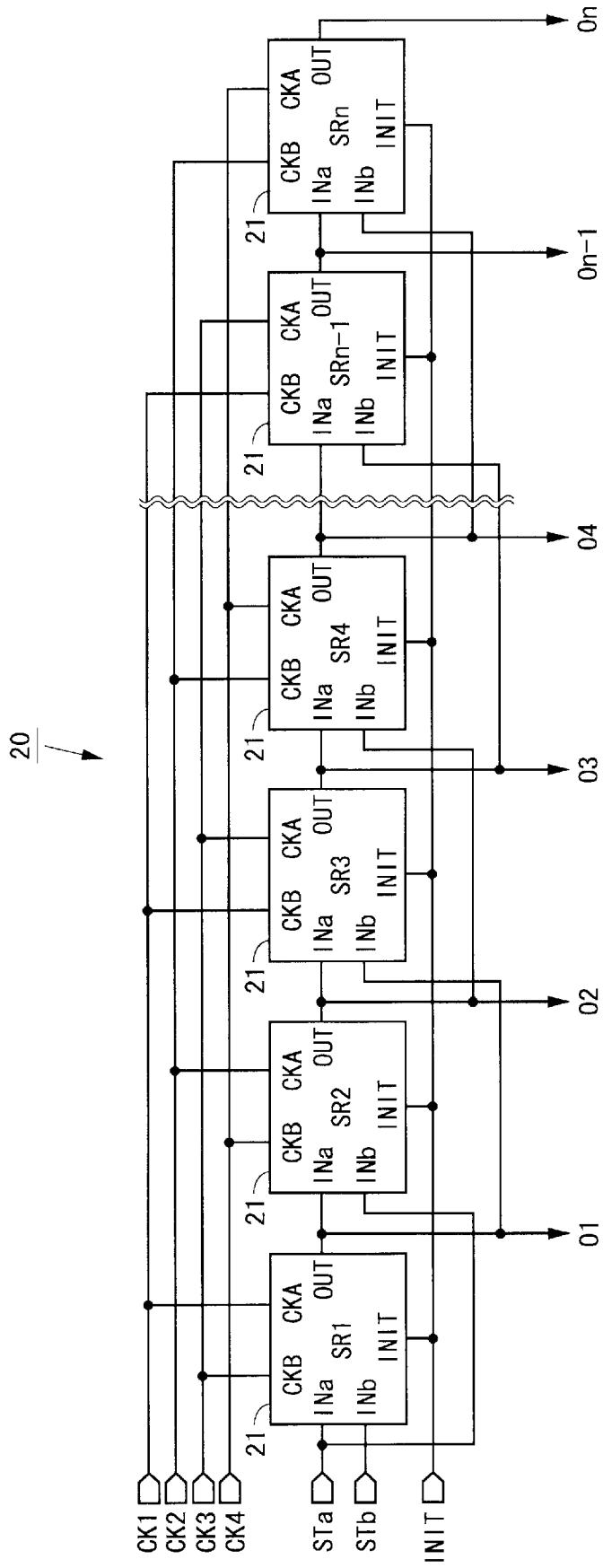
[図12]



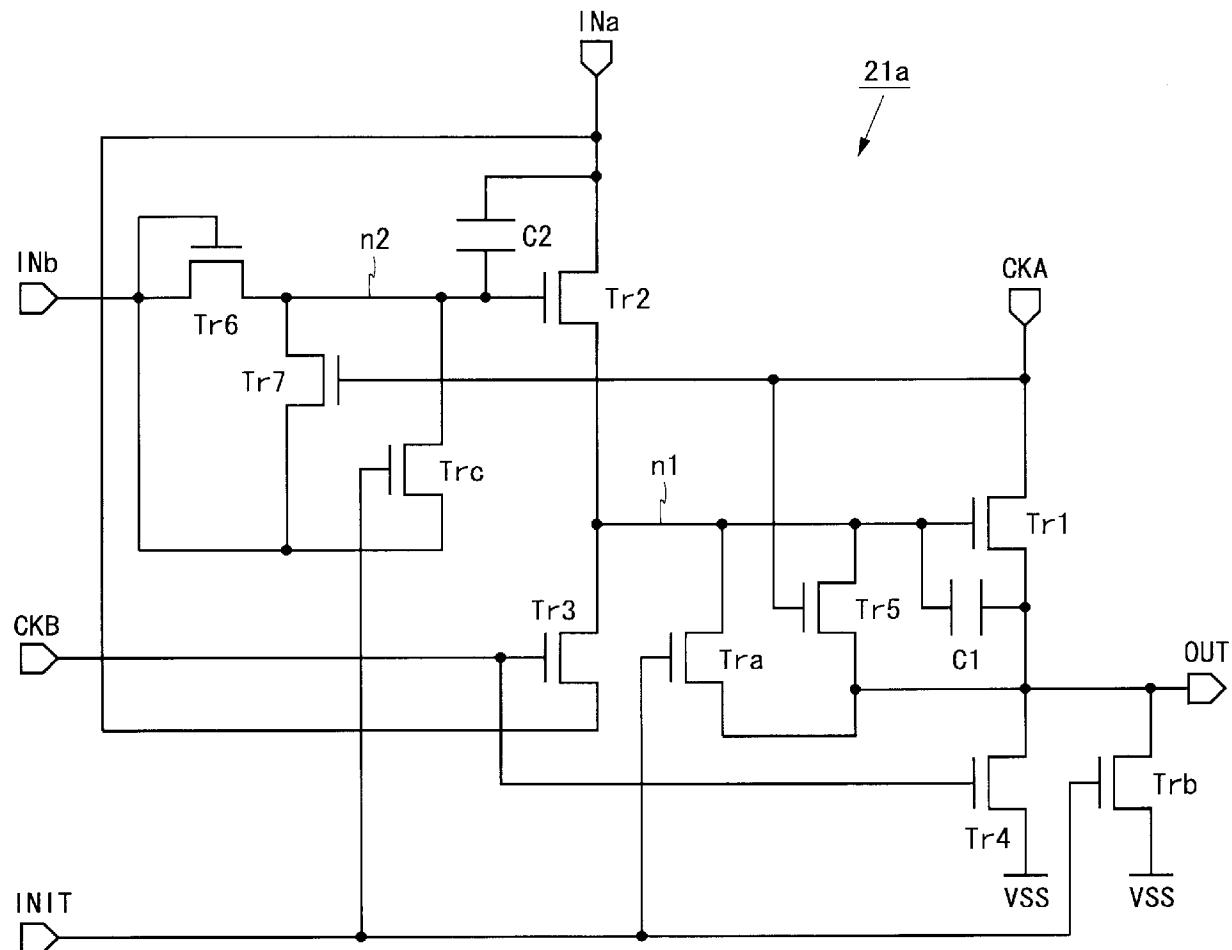
[図13]



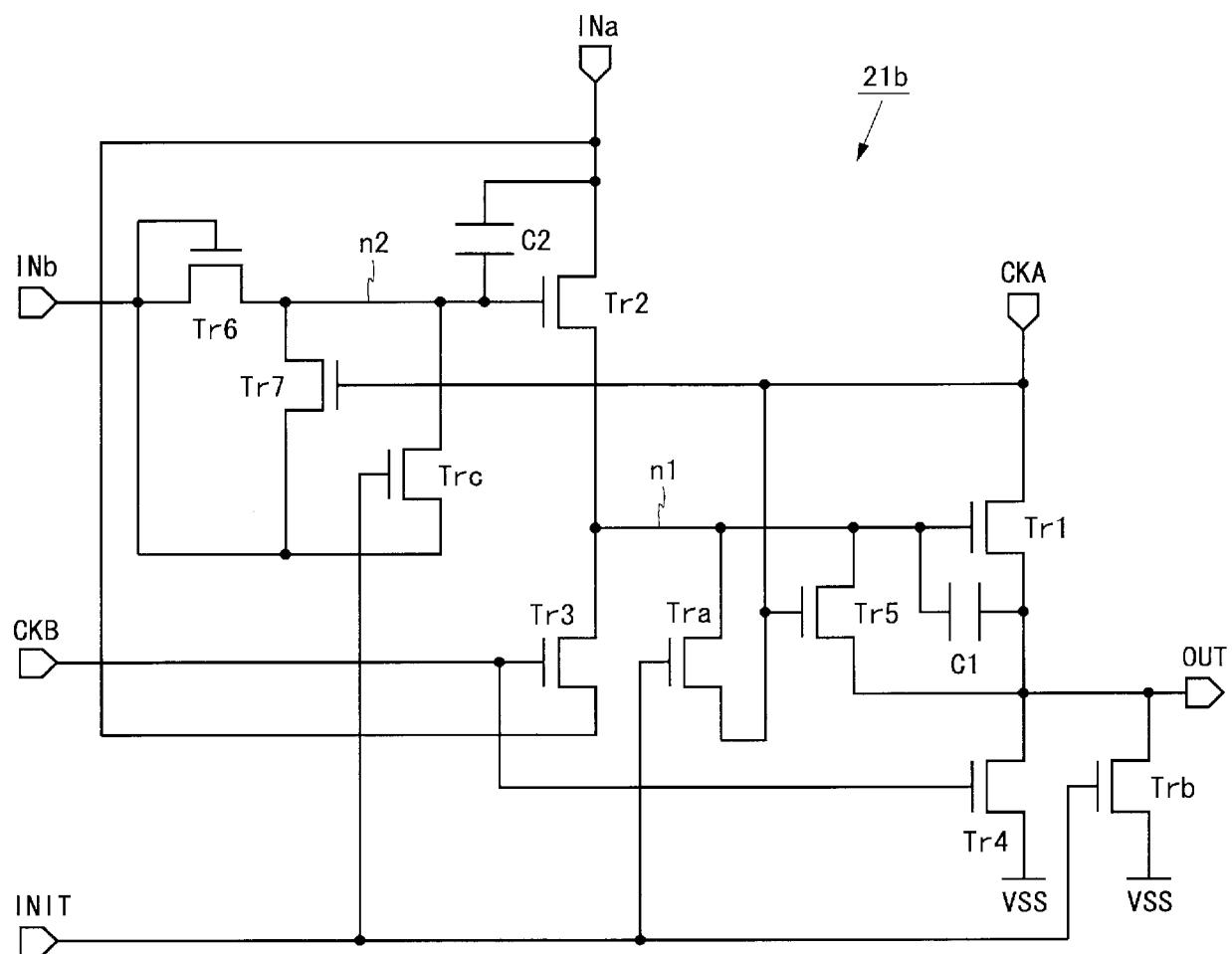
[図14]



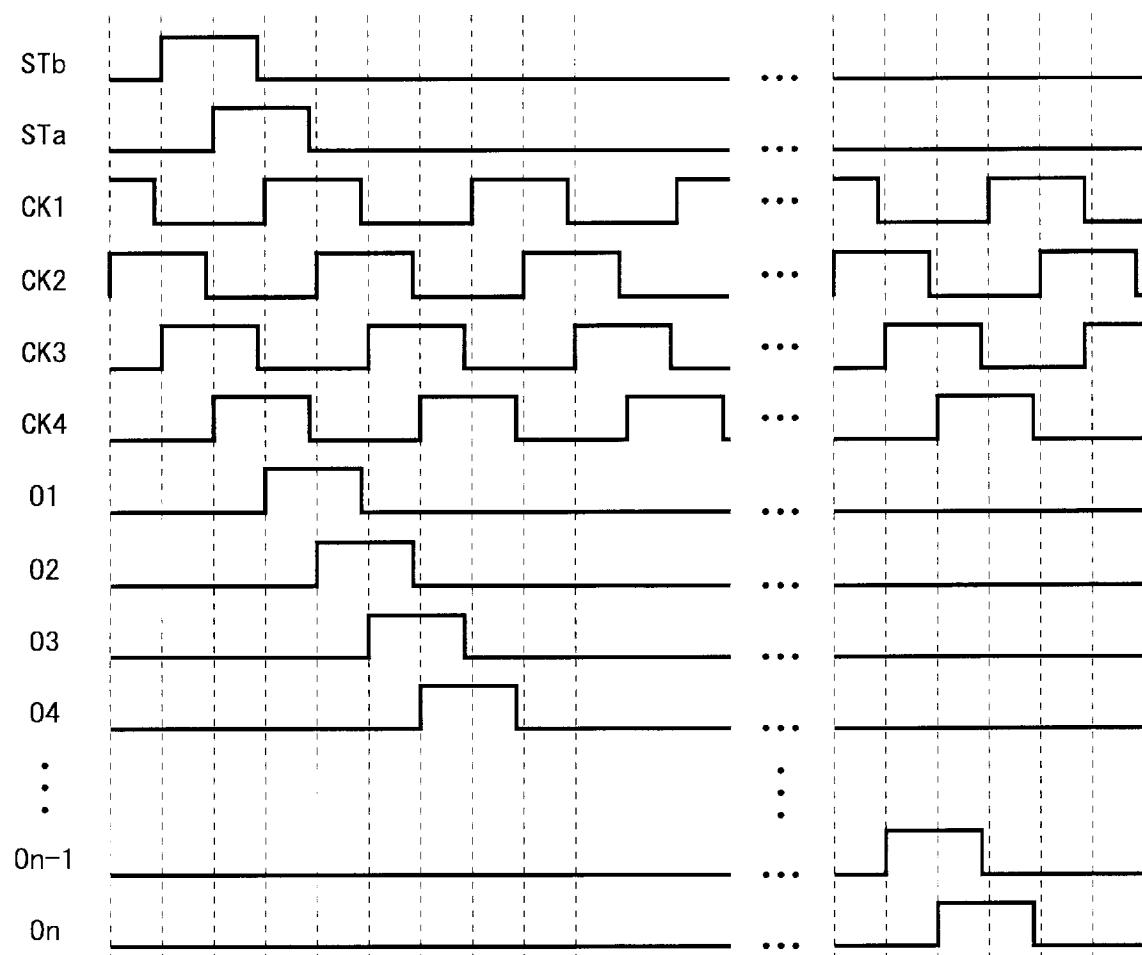
[図15]



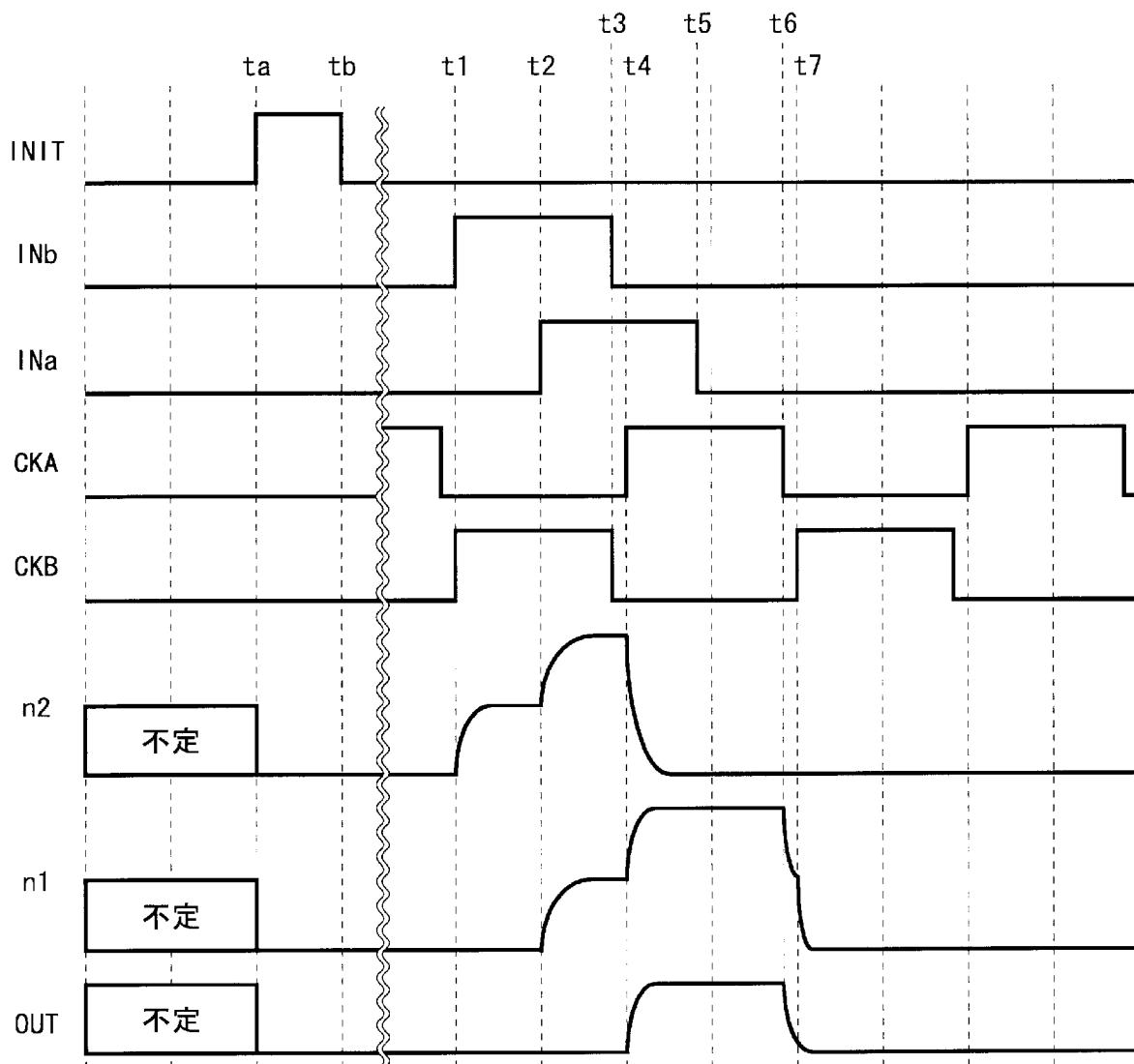
[図16]



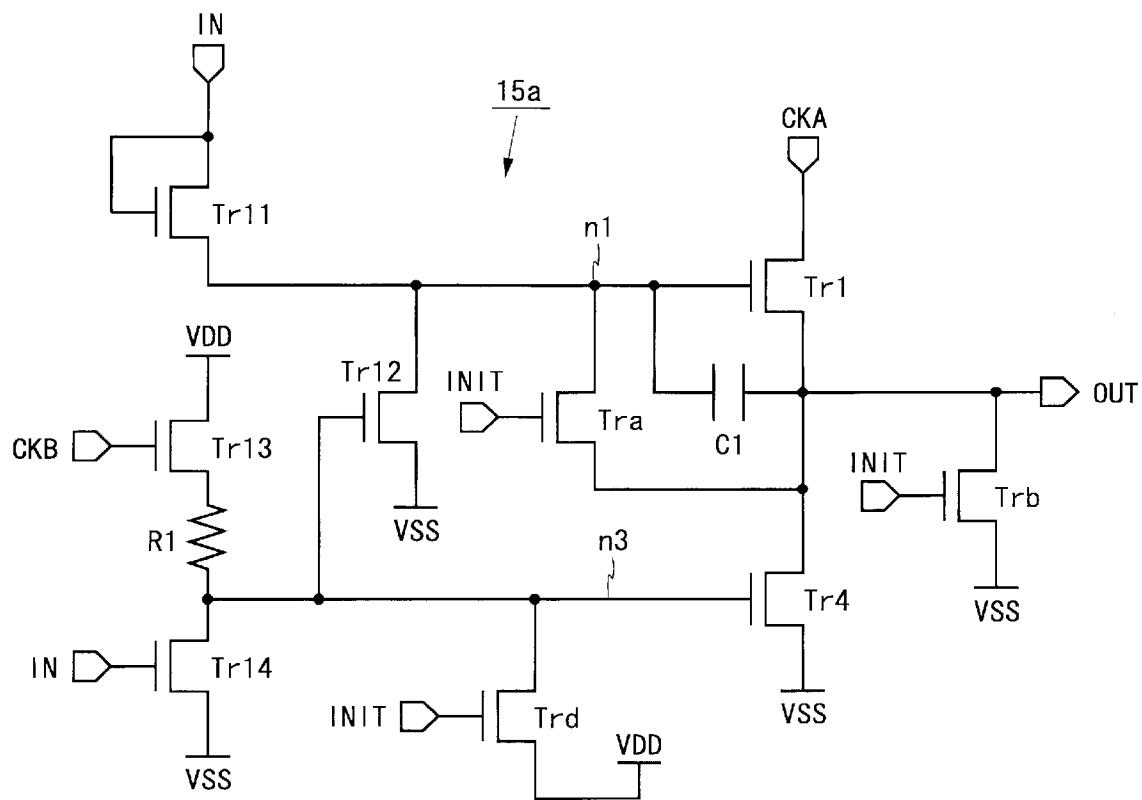
[図17]



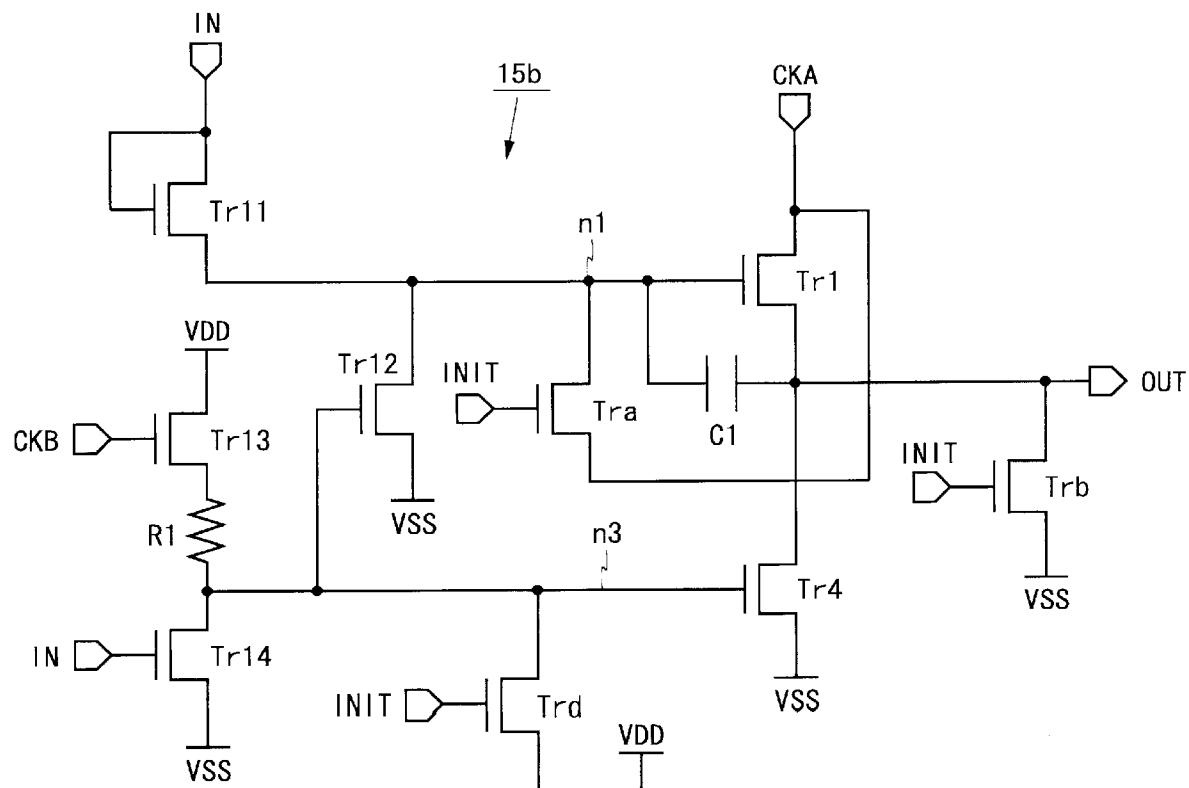
[図18]



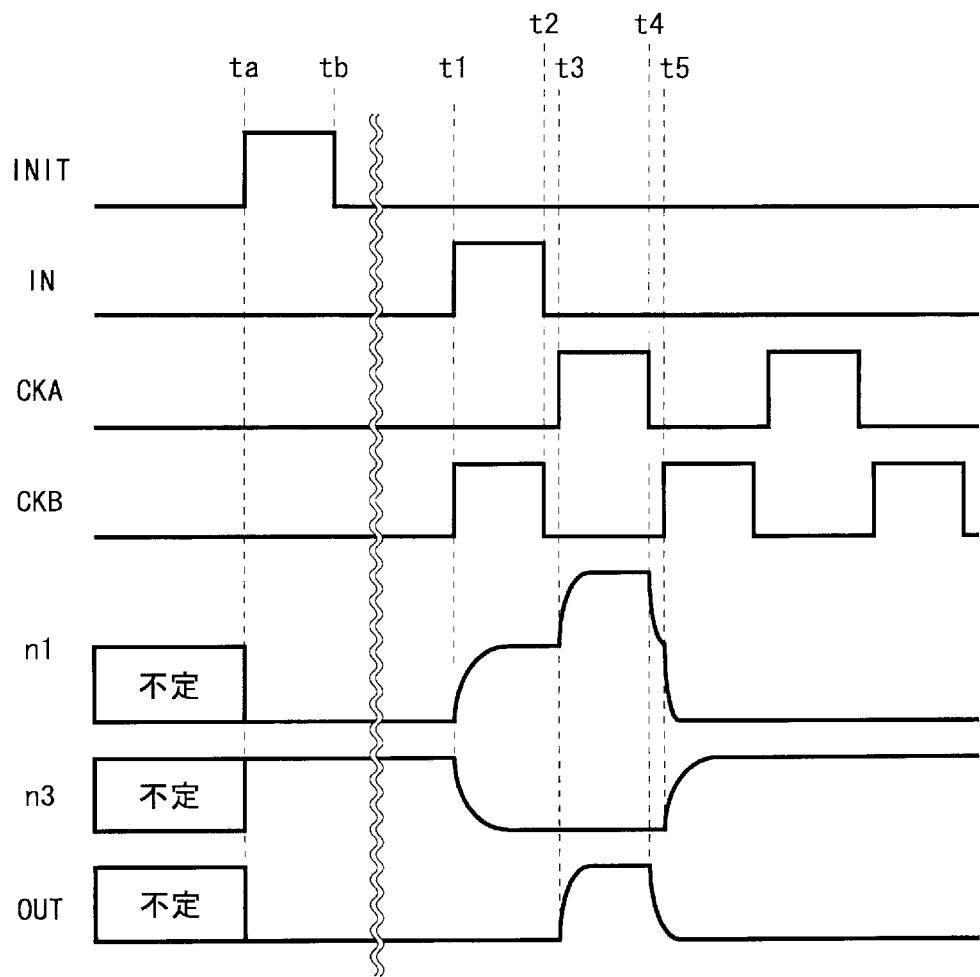
[図19]



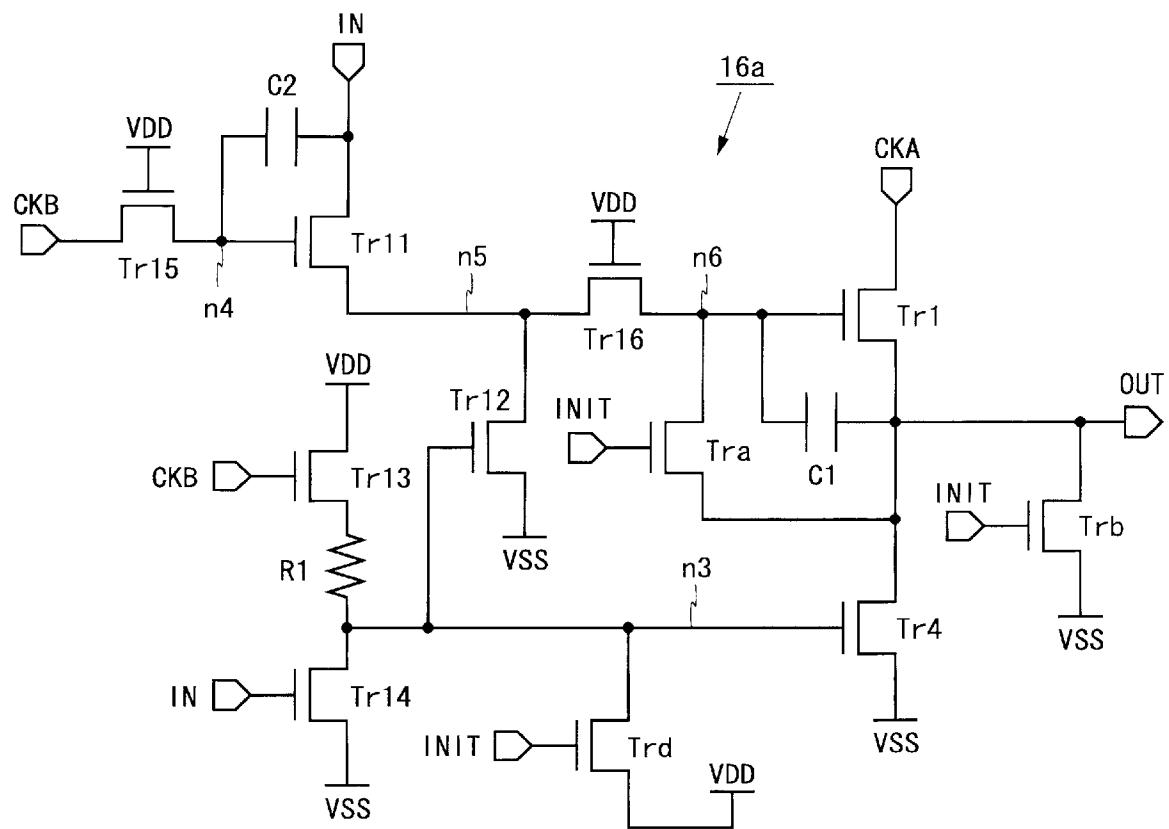
[図20]



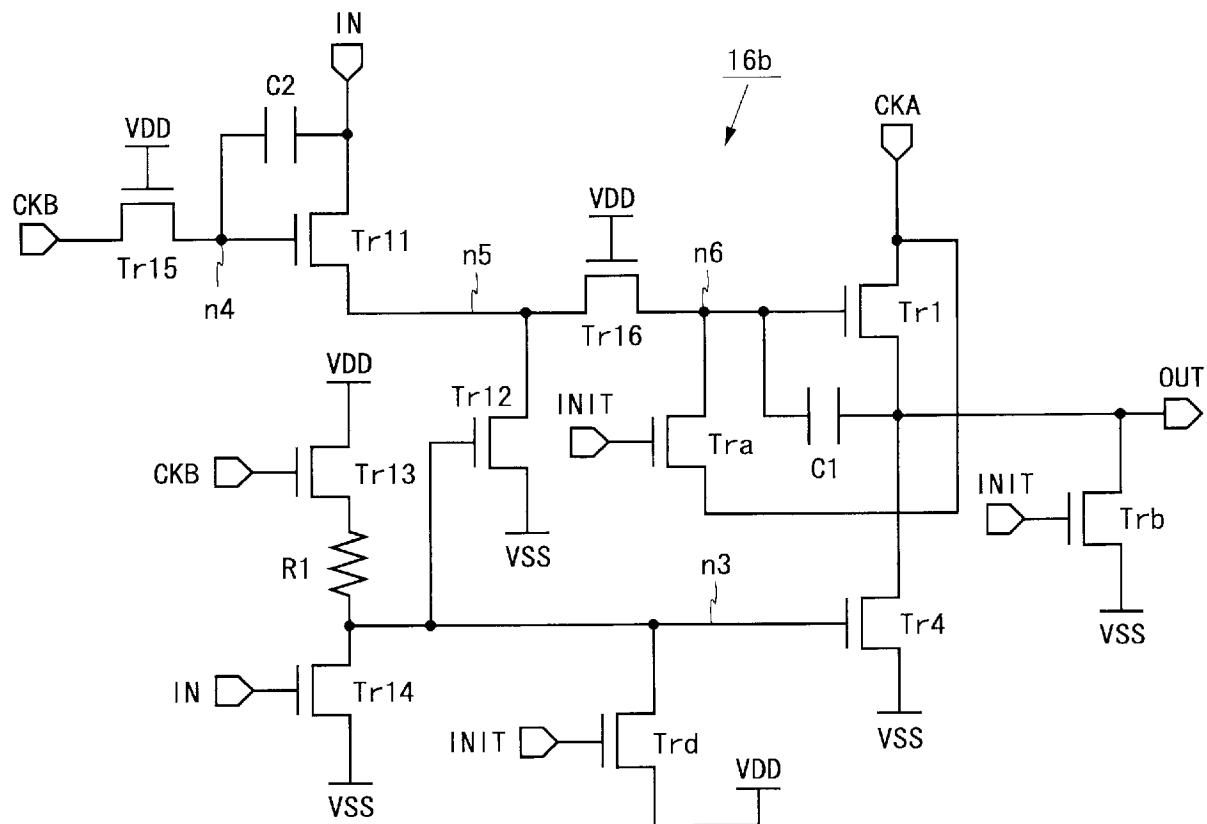
[図21]



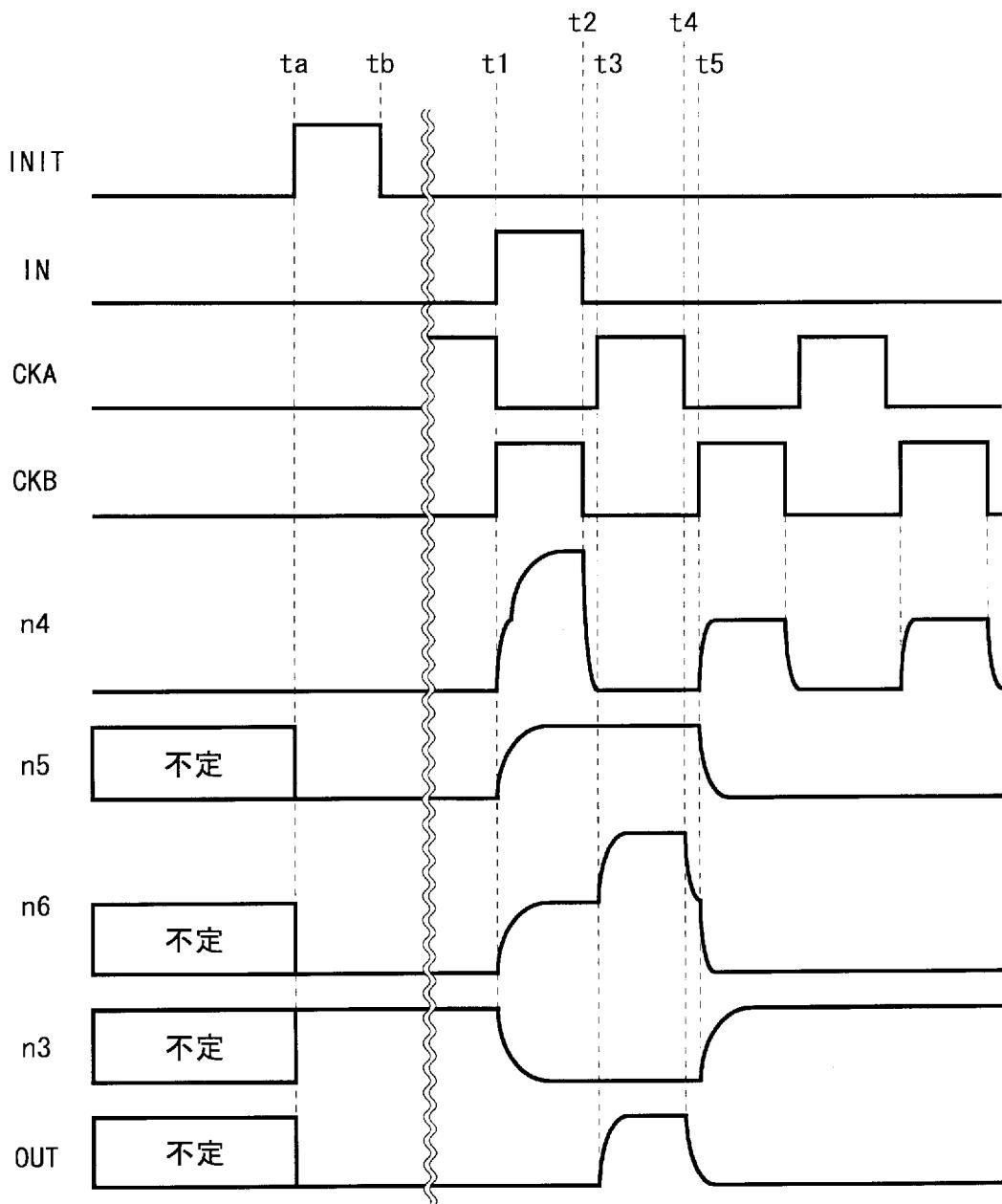
[図22]



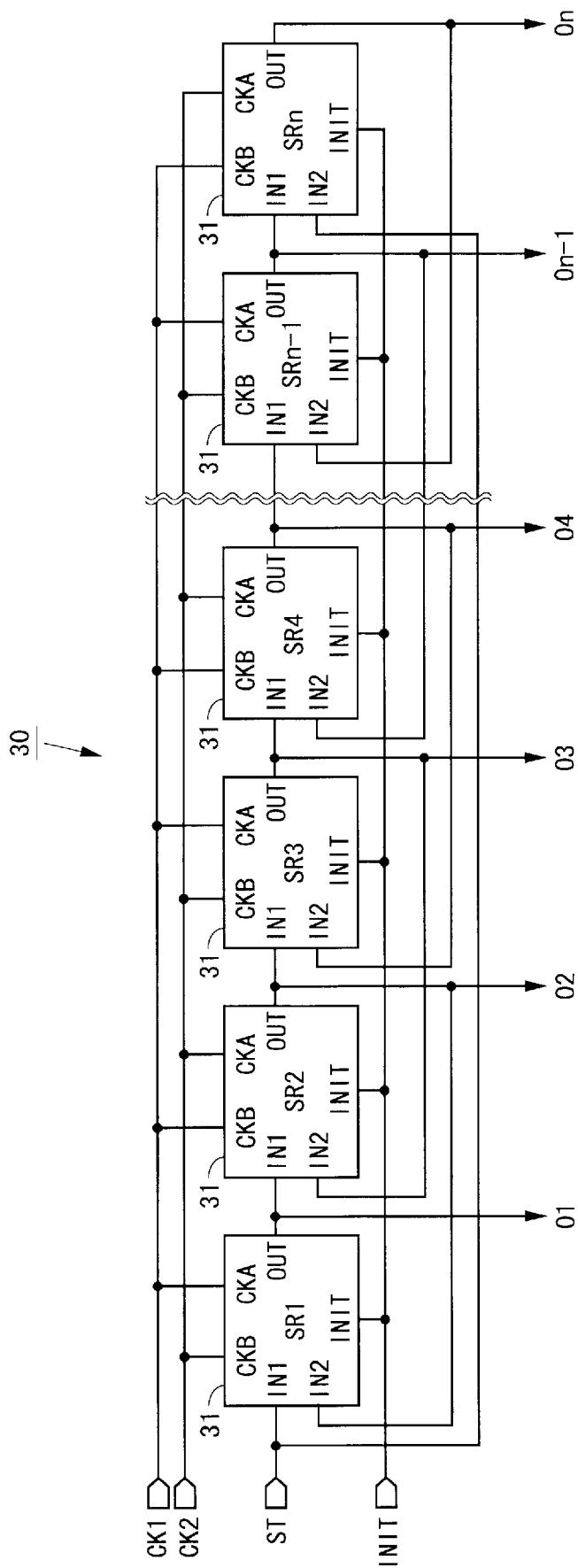
[図23]



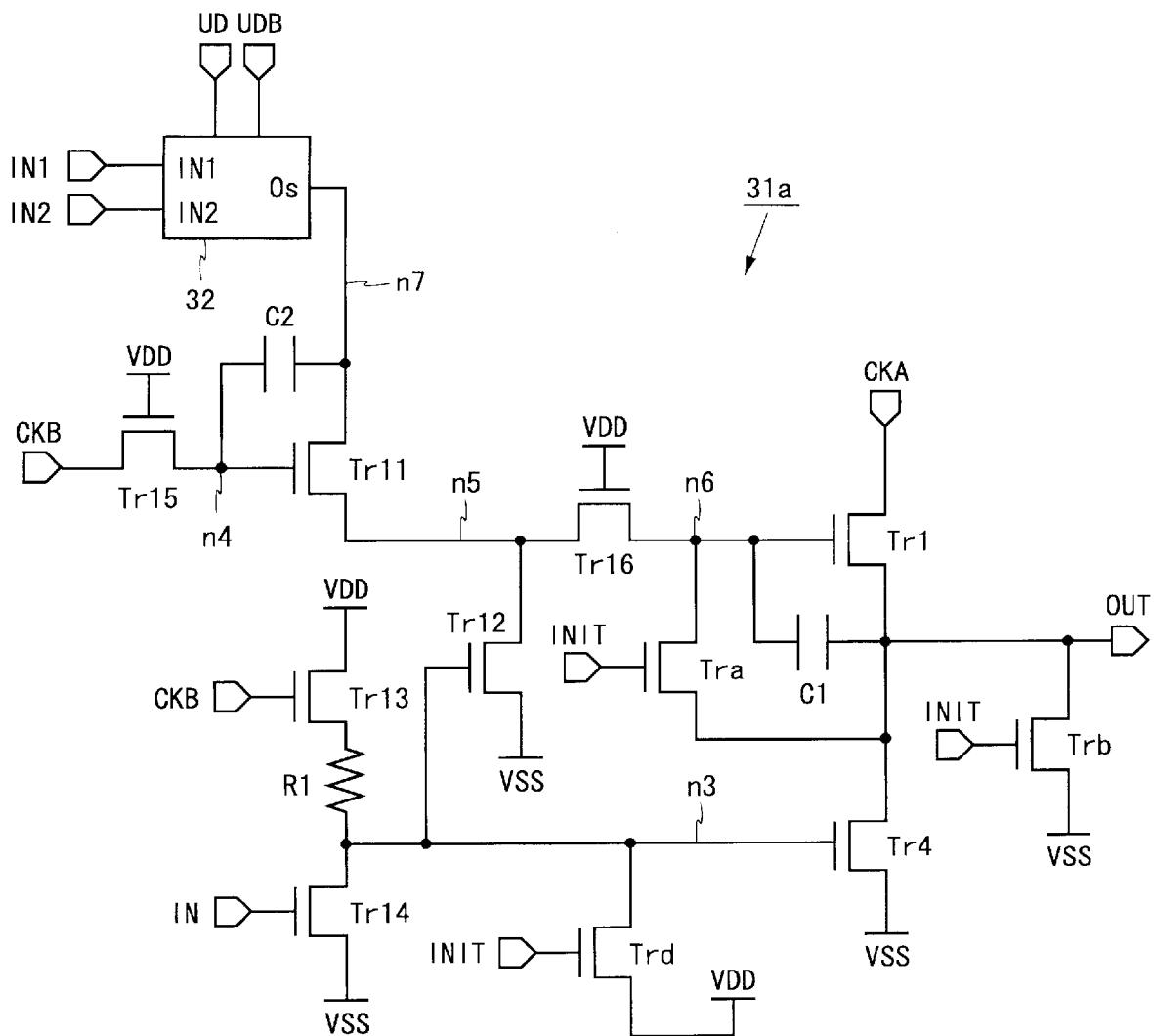
[図24]



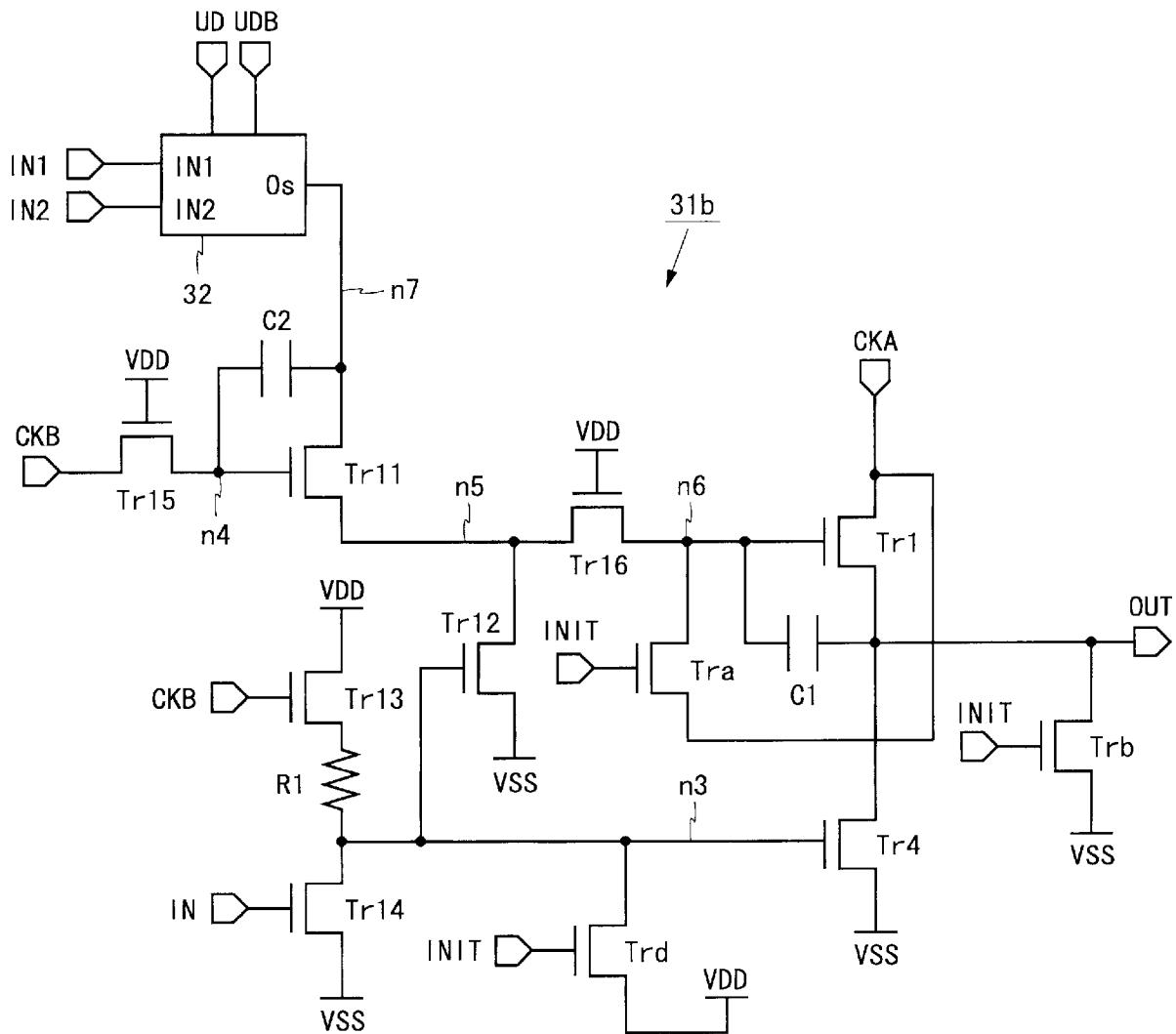
[図25]



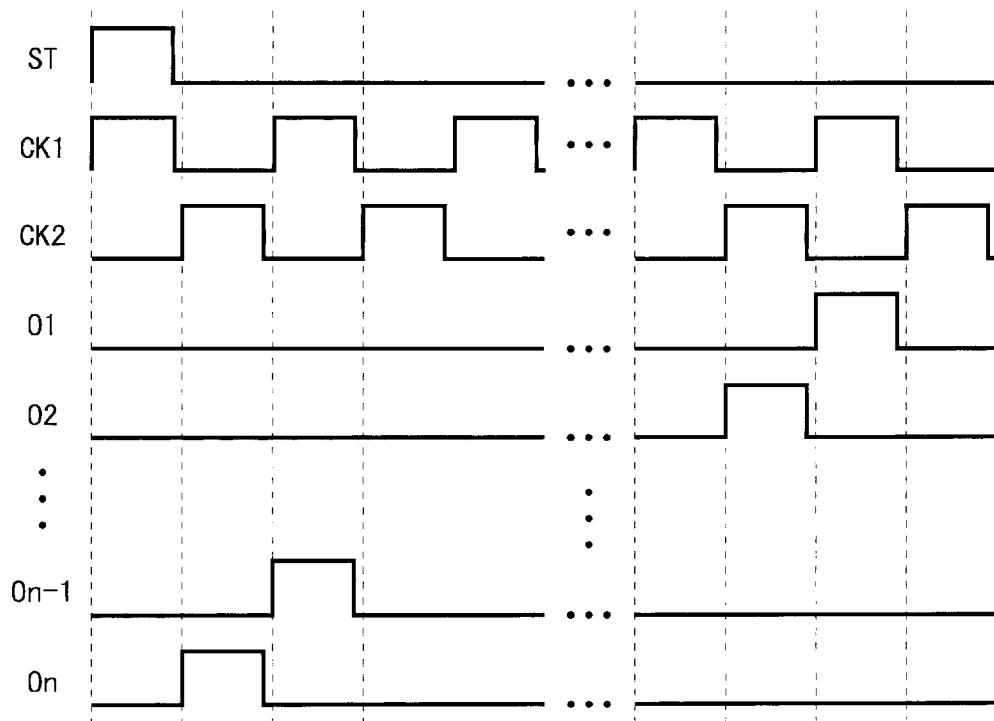
[図26]



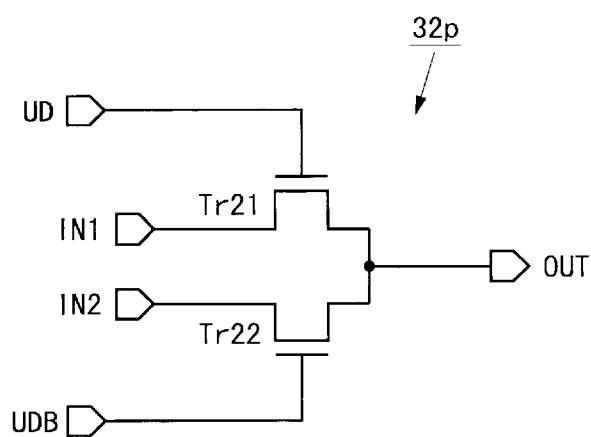
[図27]



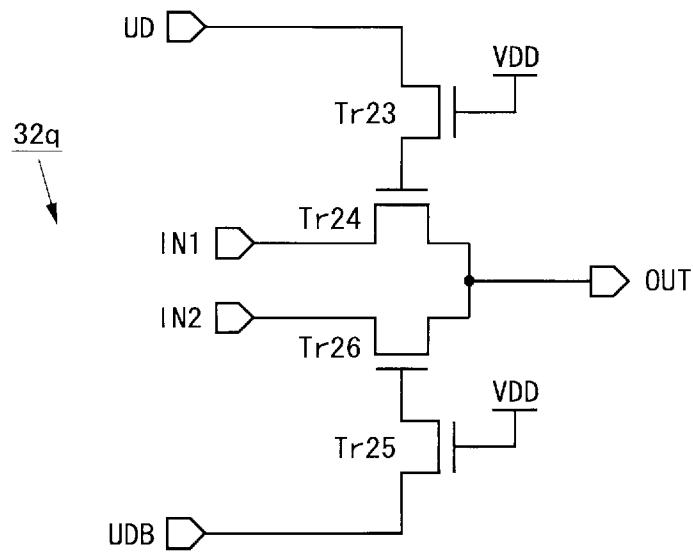
[図28]



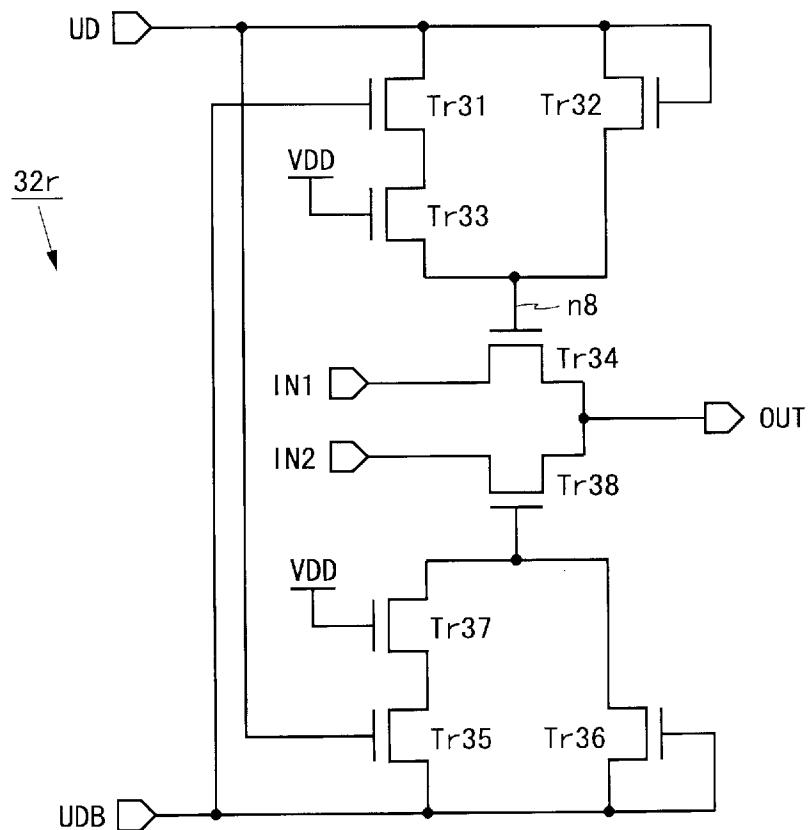
[図29]



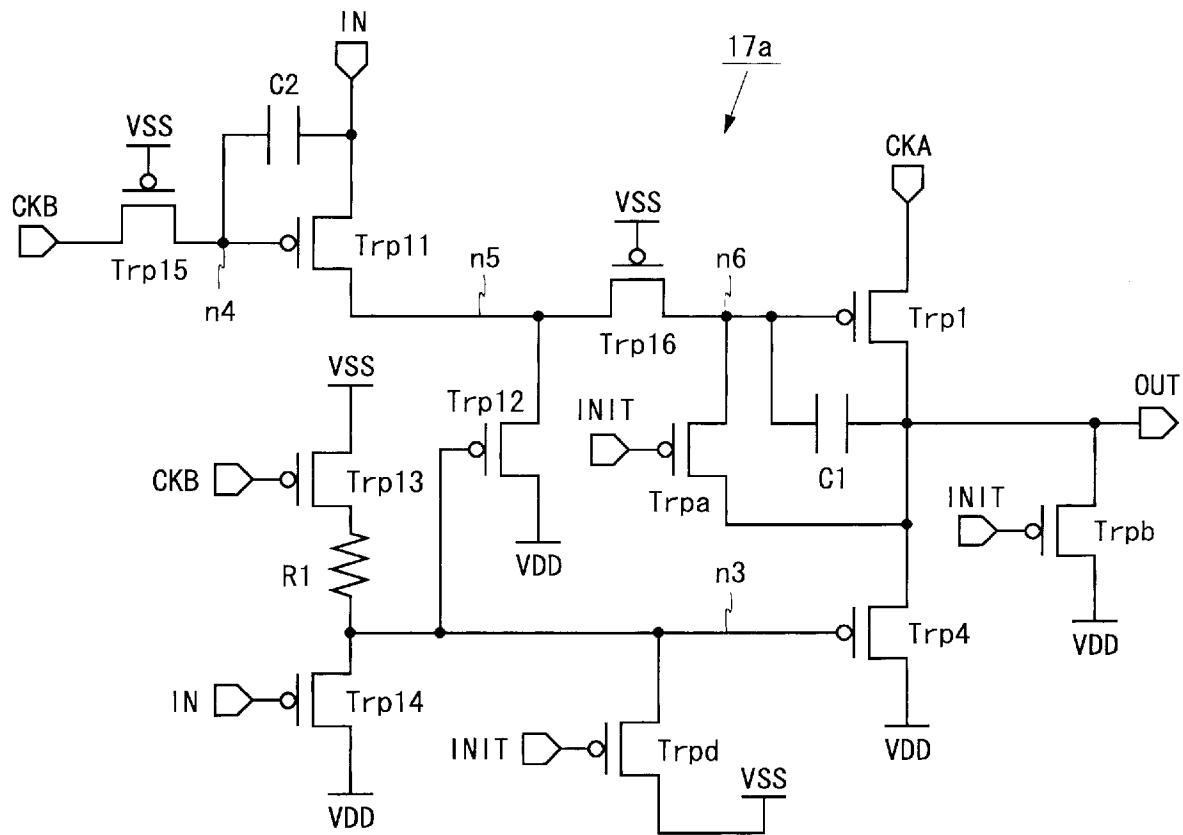
[図30]



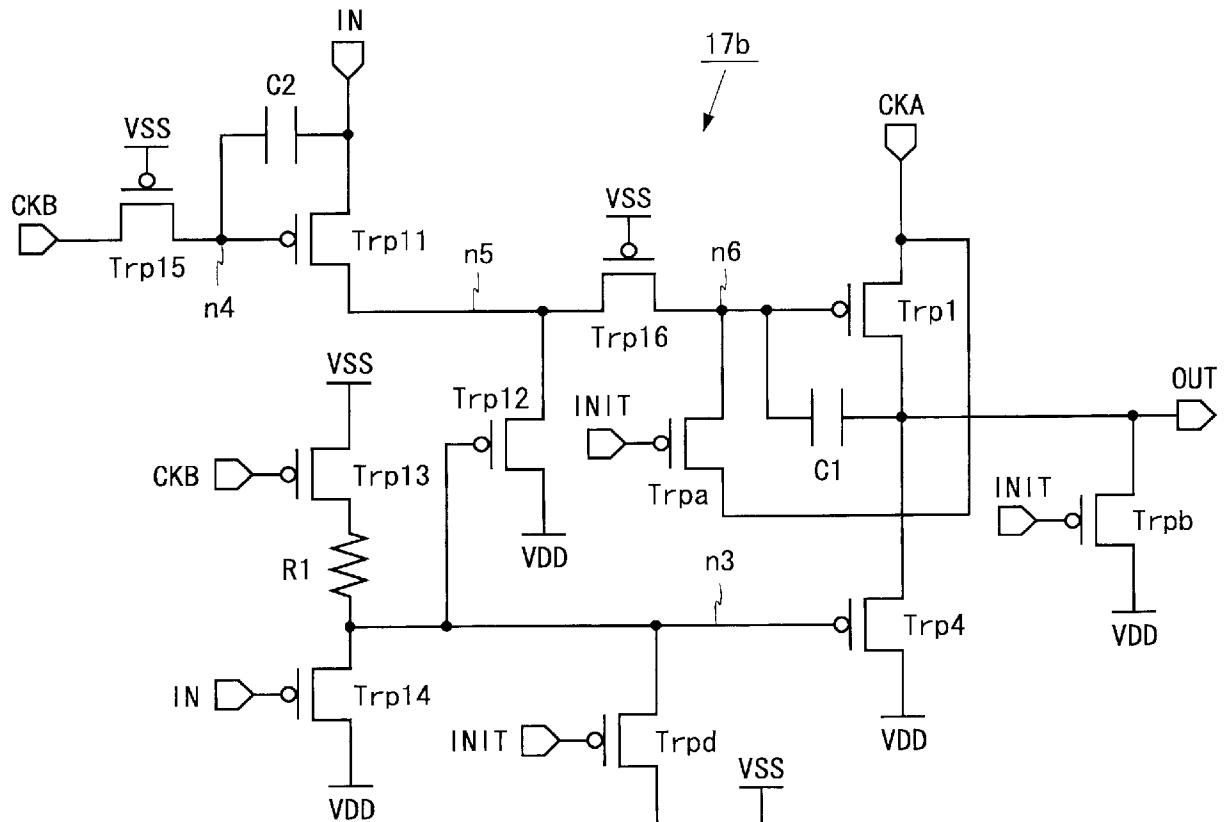
[図31]



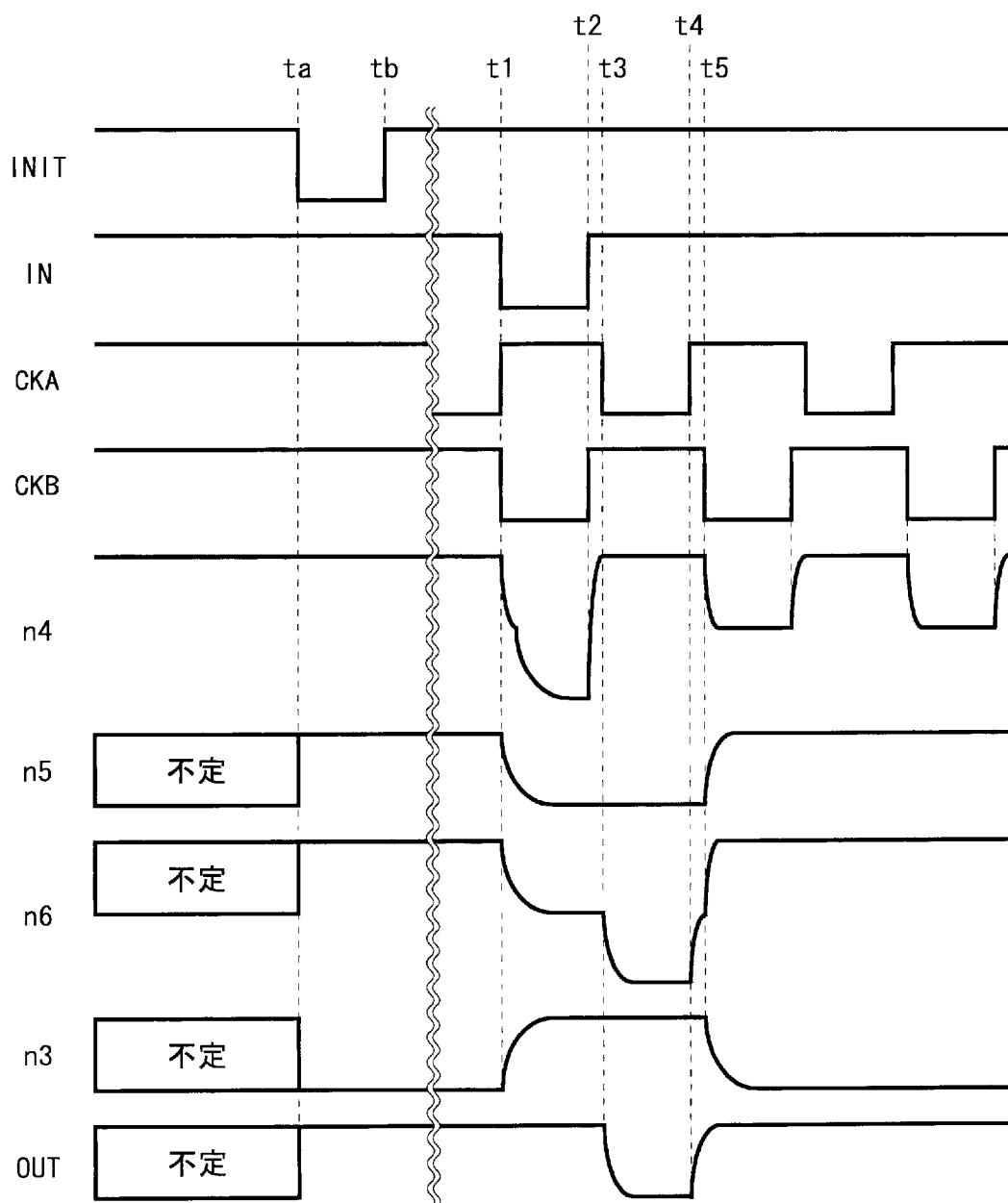
[図32]



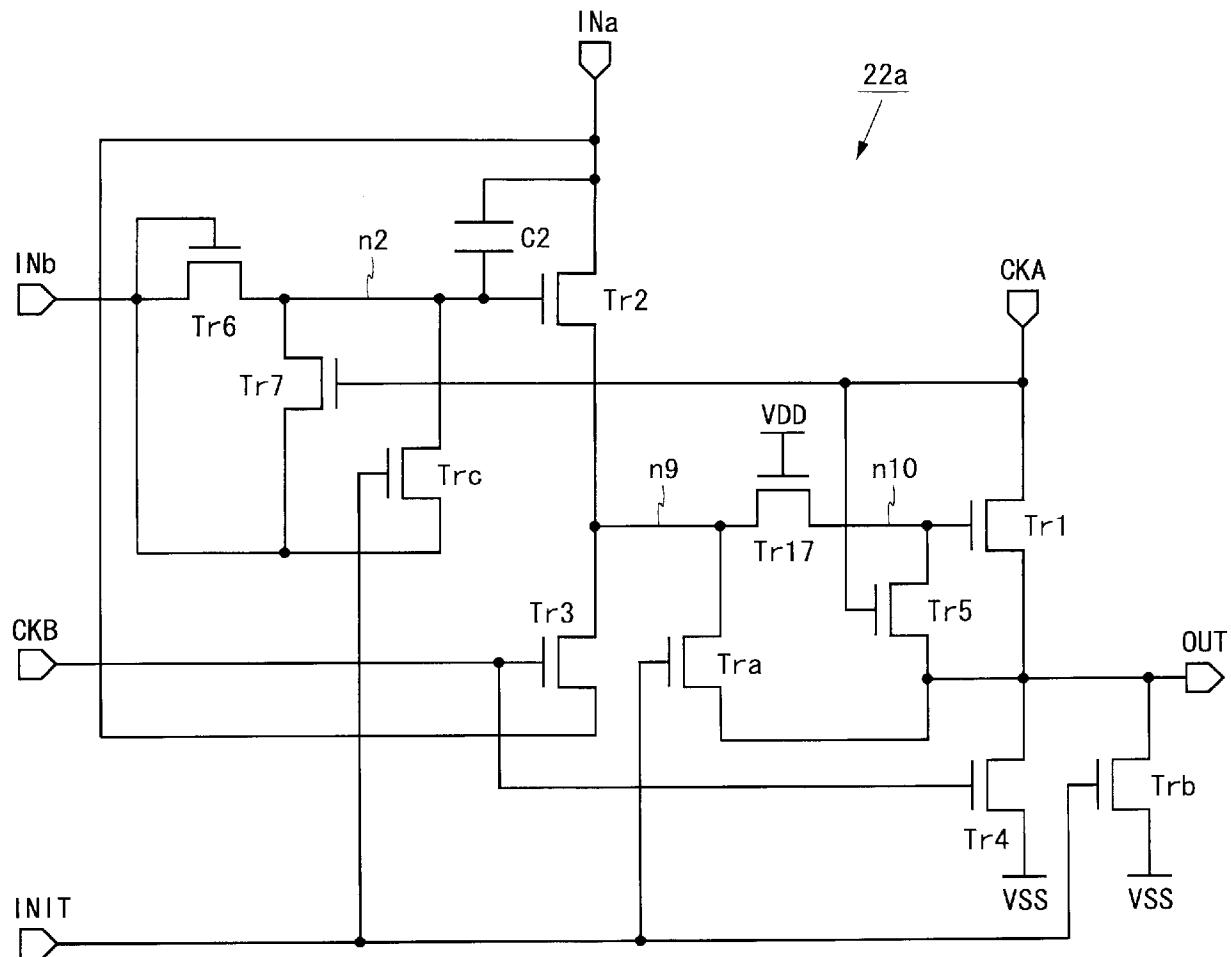
[図33]



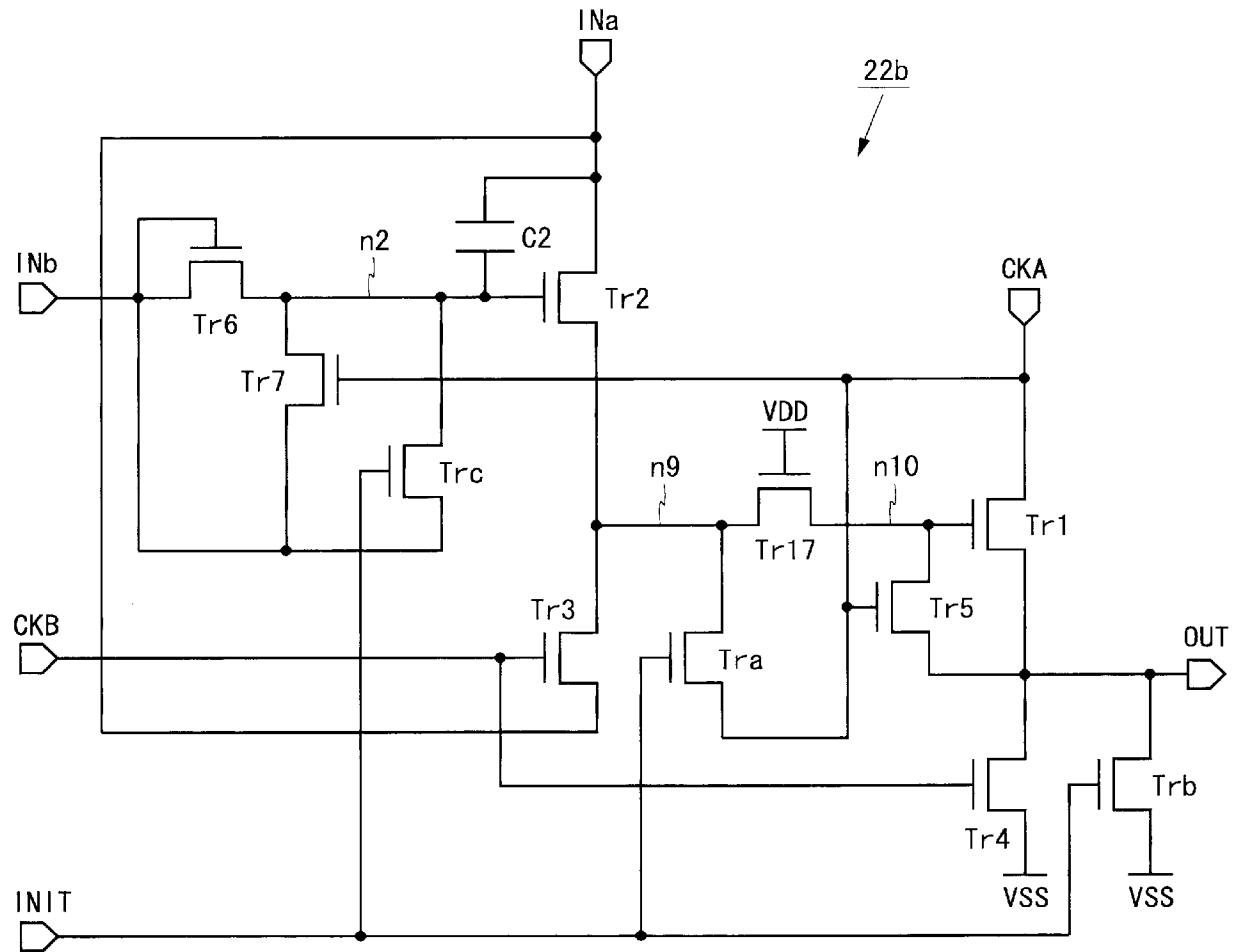
[図34]



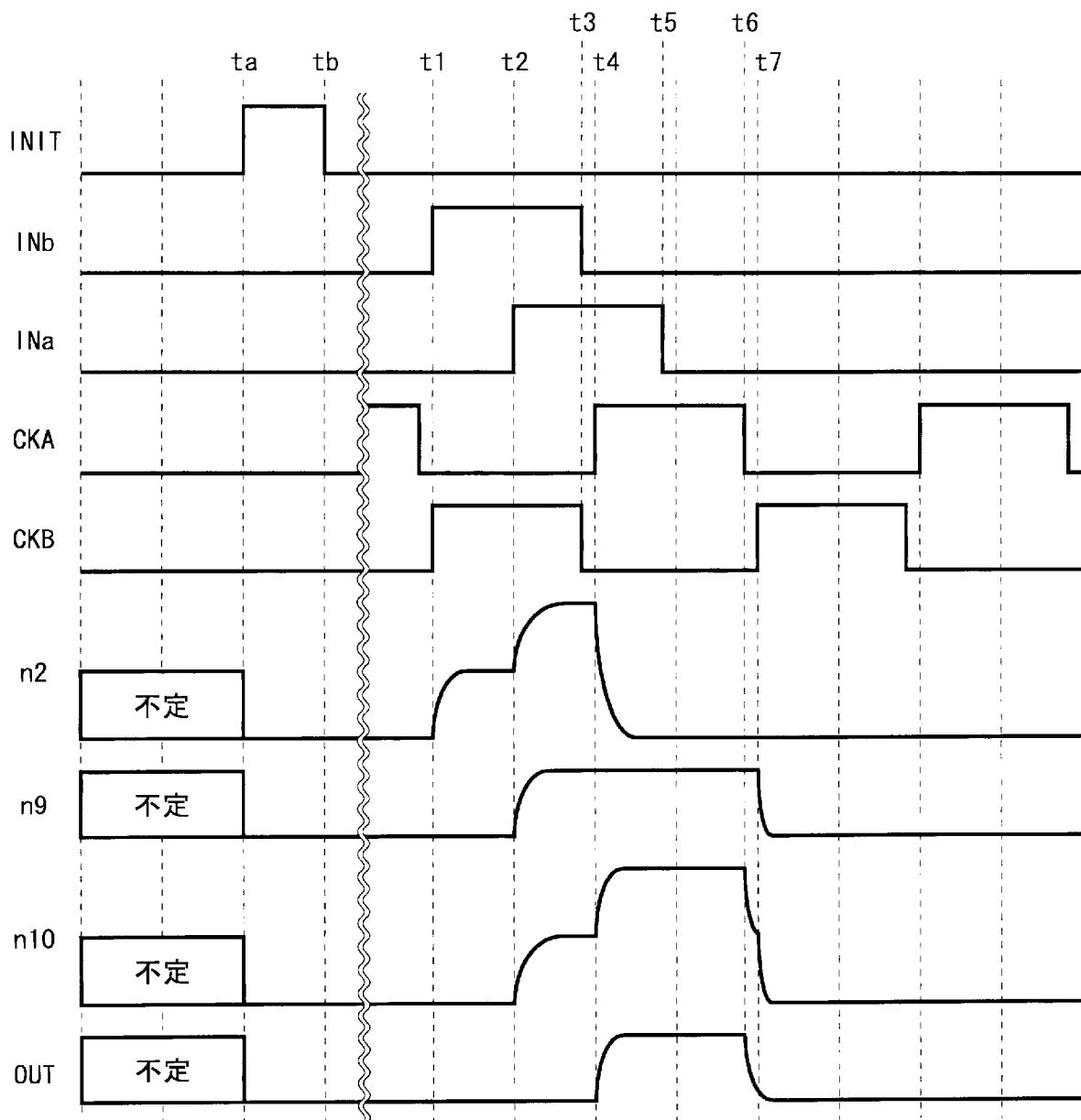
[図35]



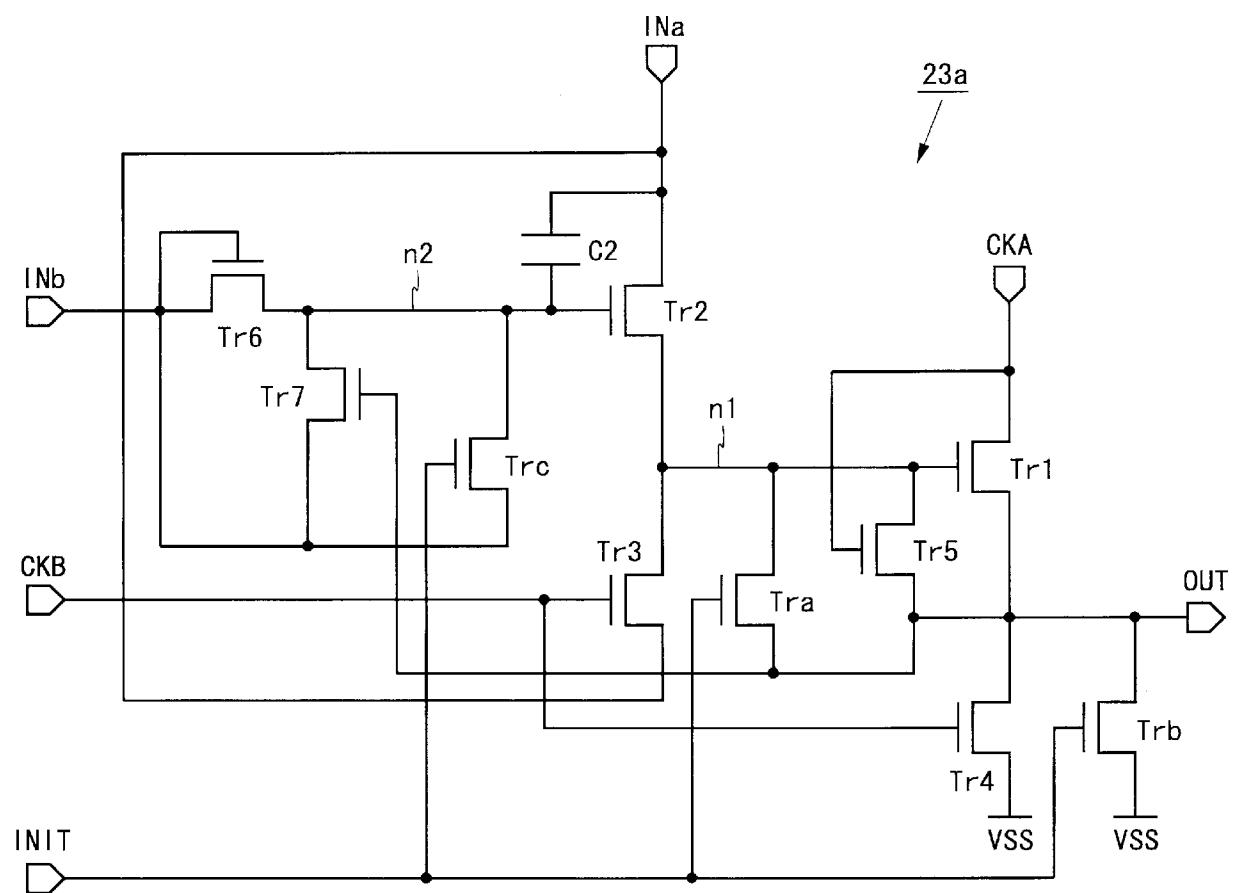
[図36]



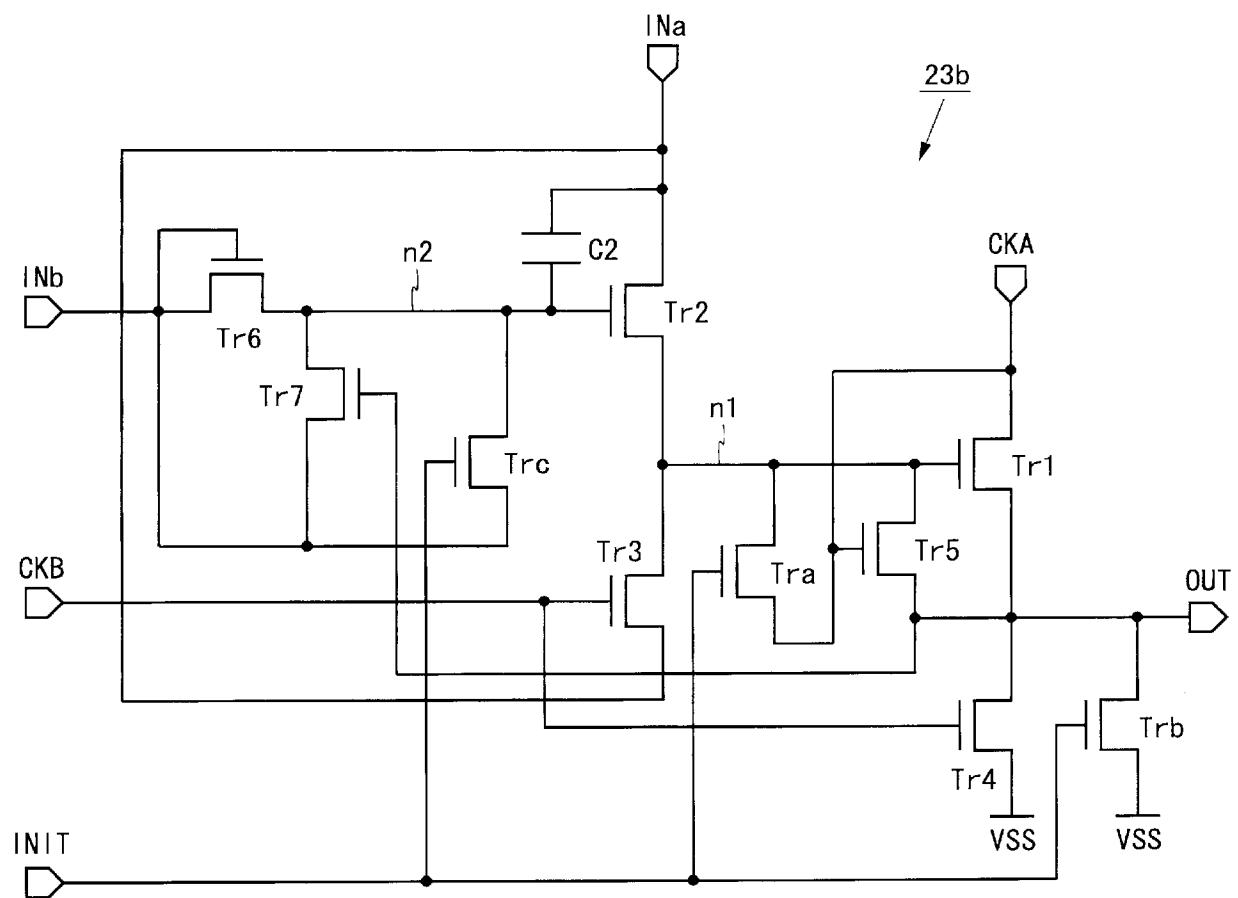
[図37]



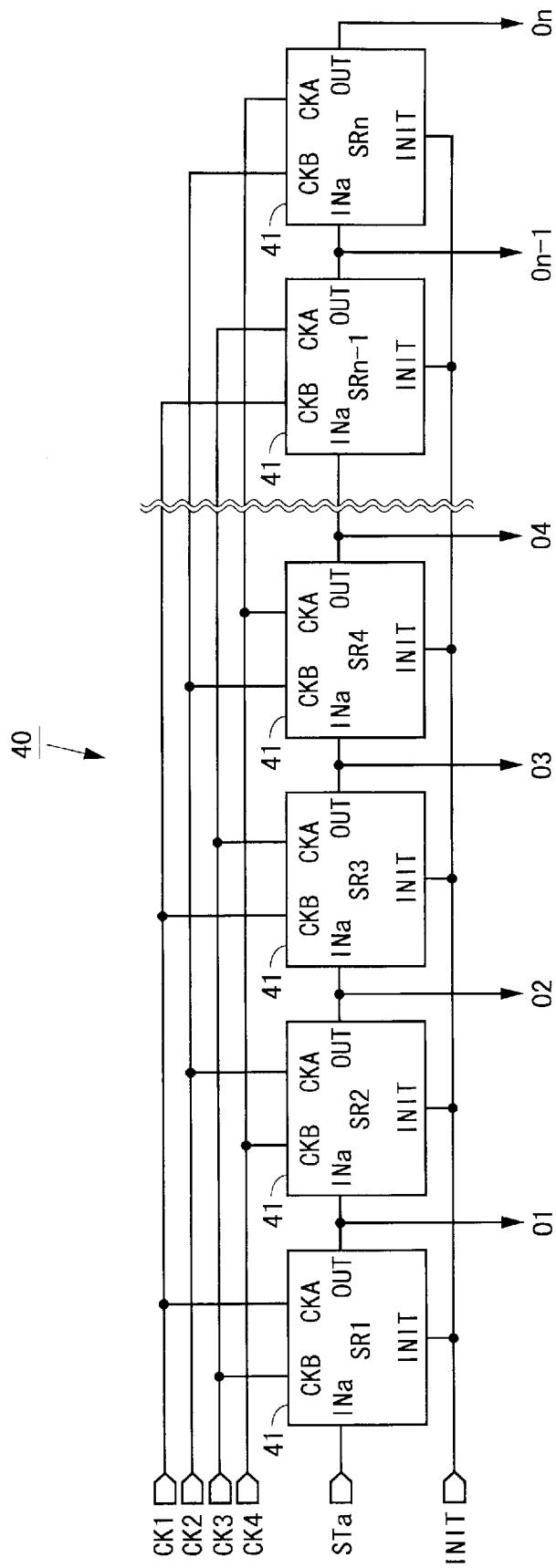
[図38]



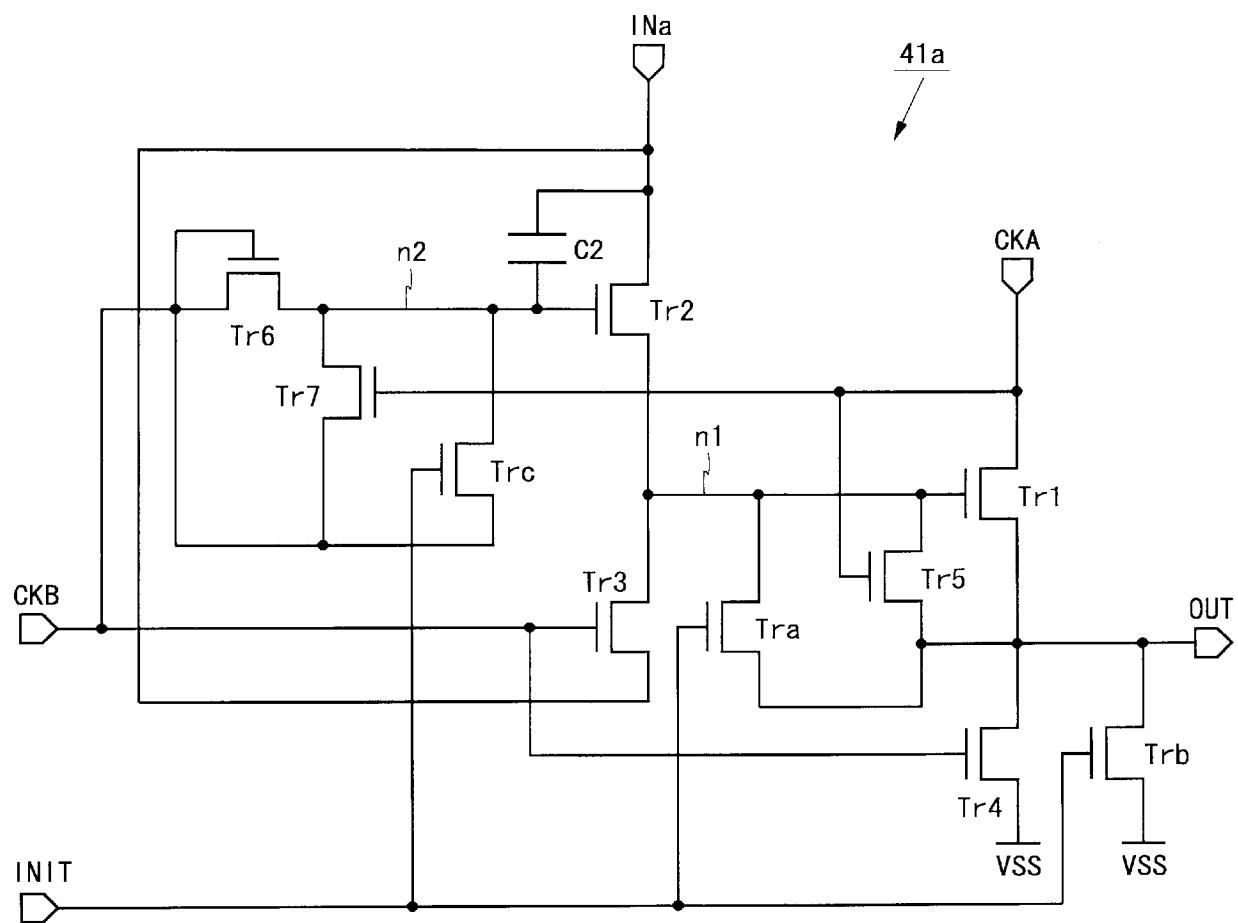
[図39]



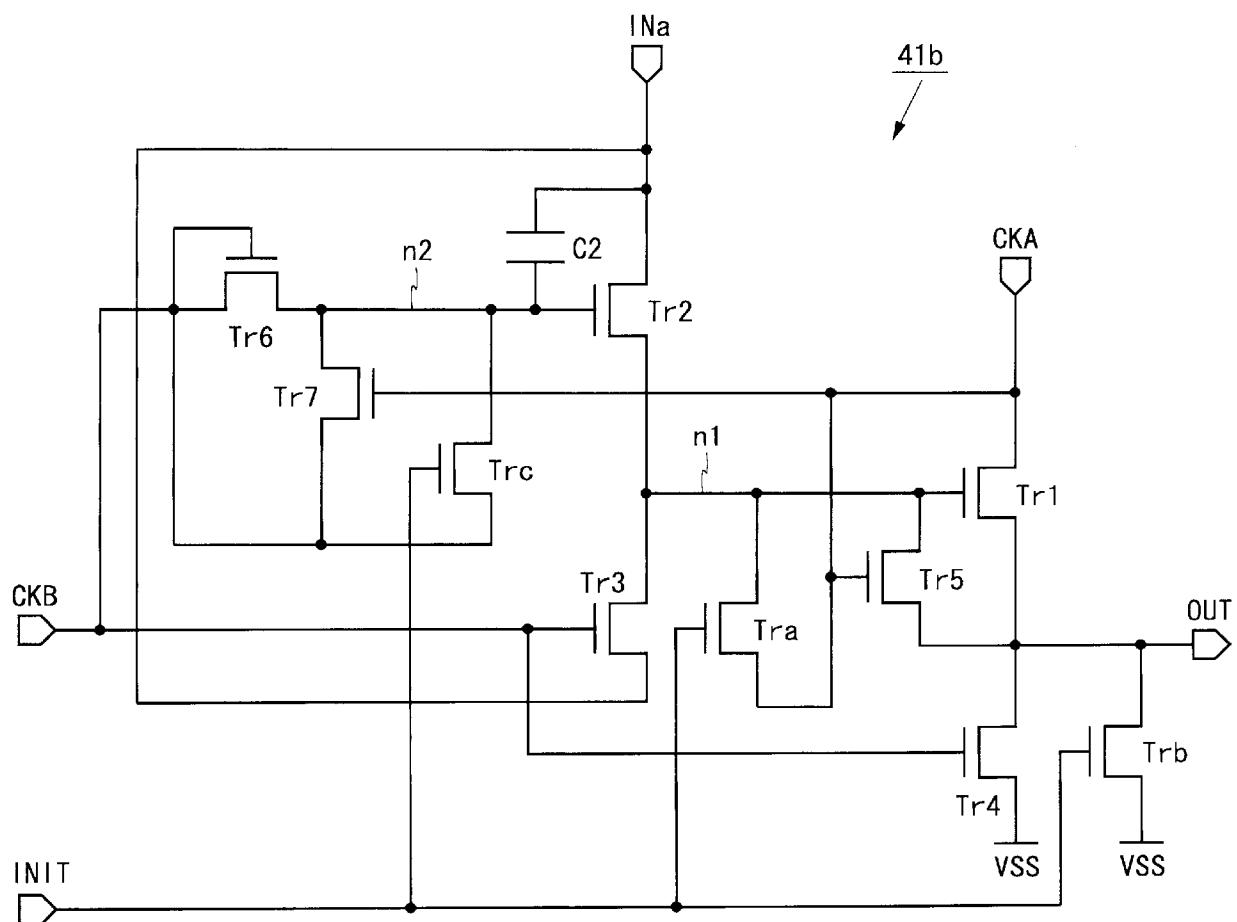
[図40]



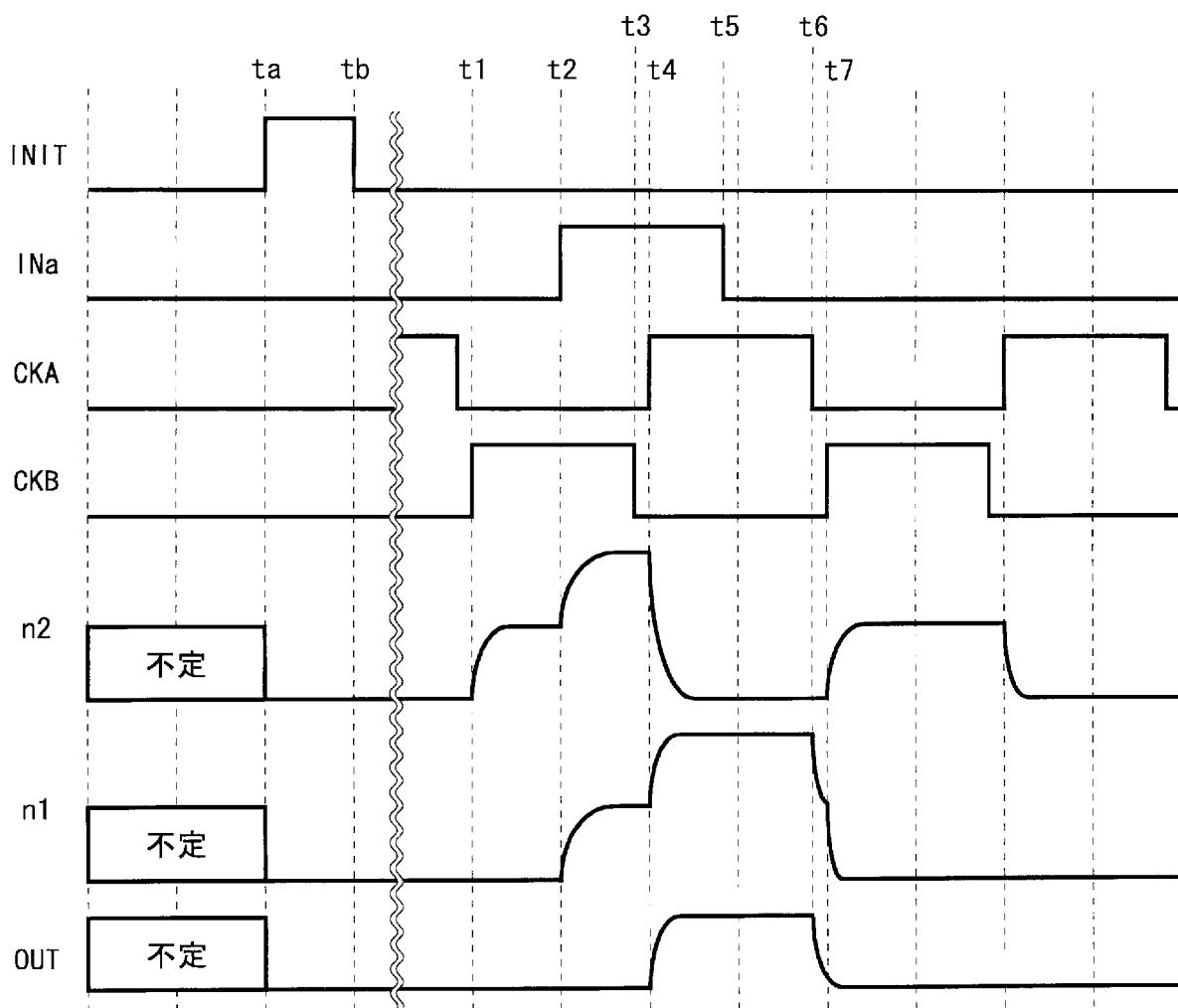
[図41]



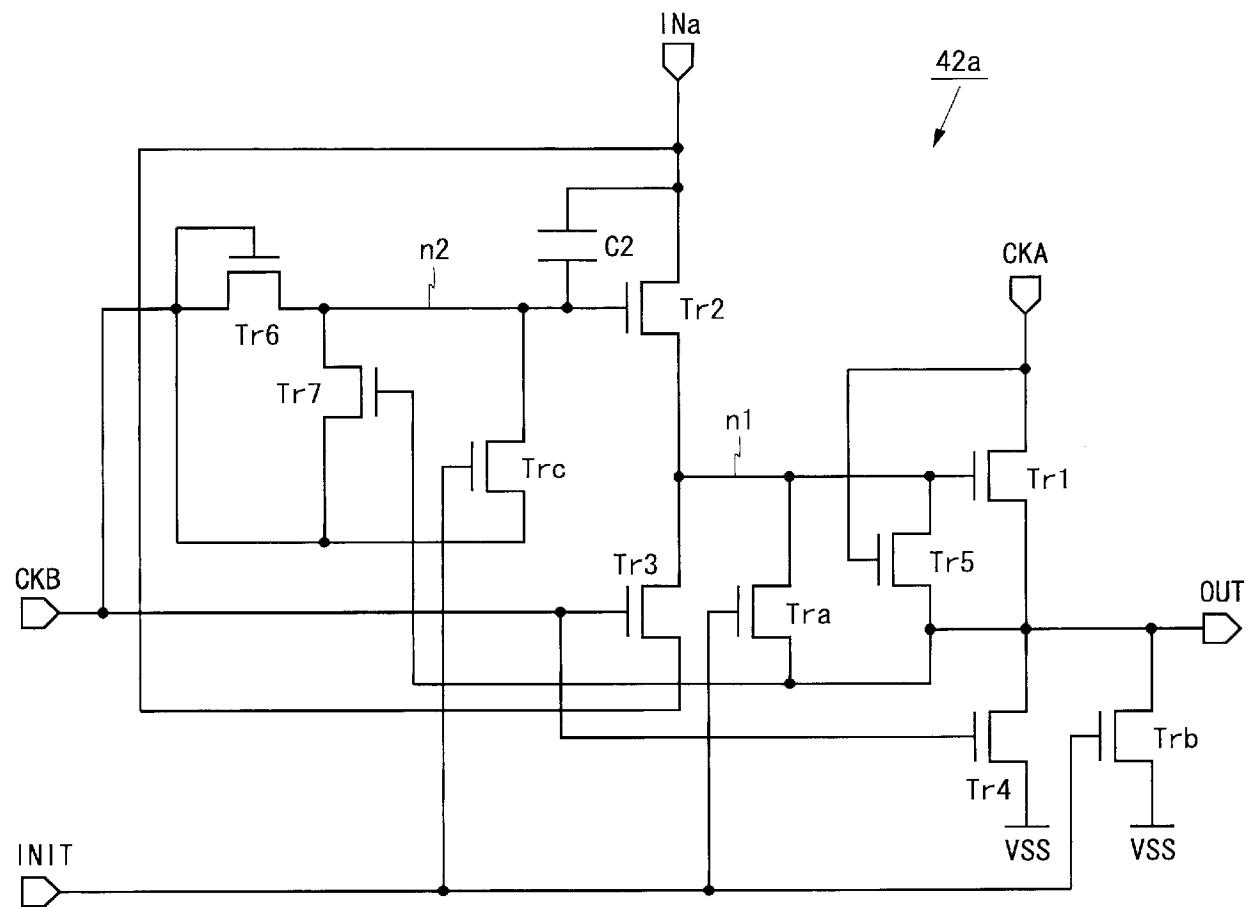
[図42]



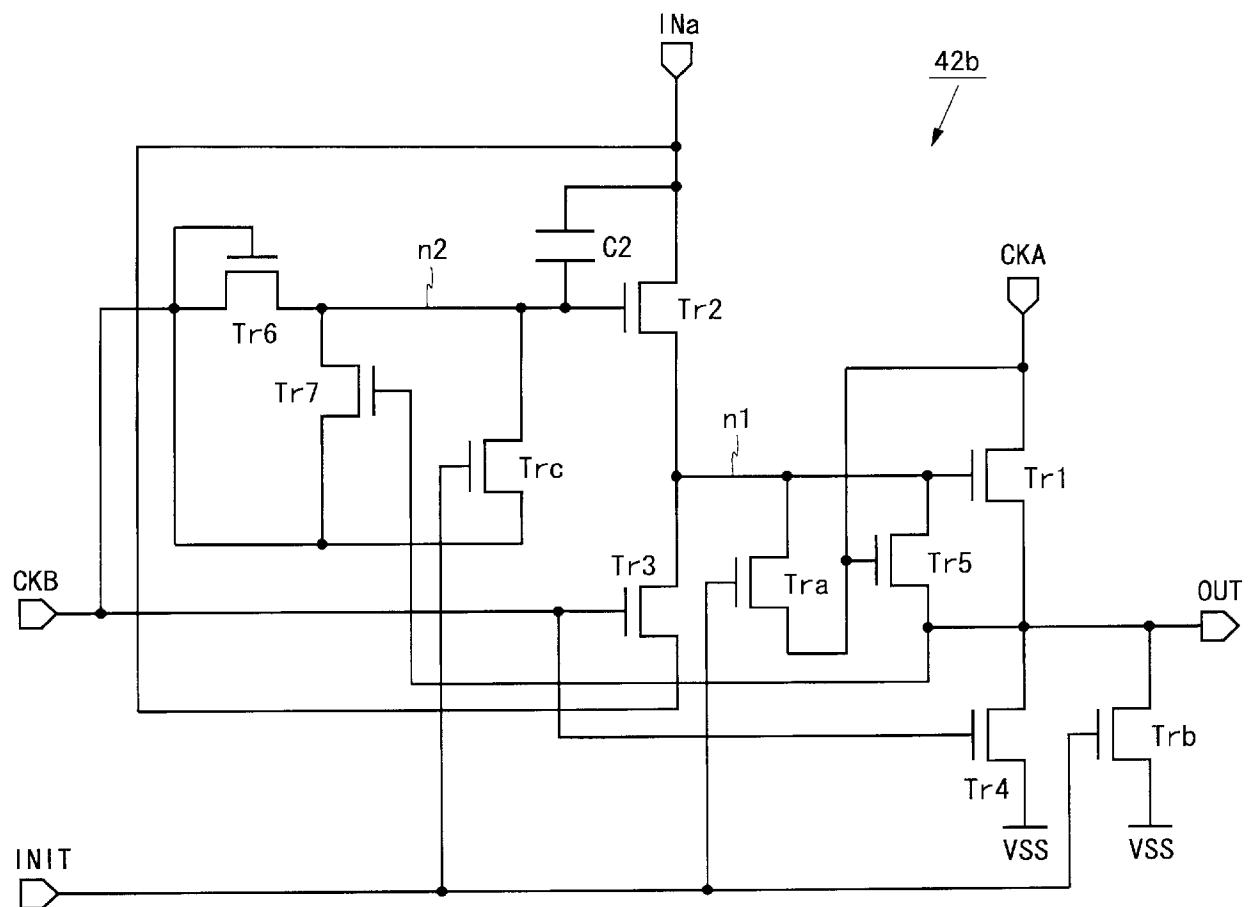
[図43]



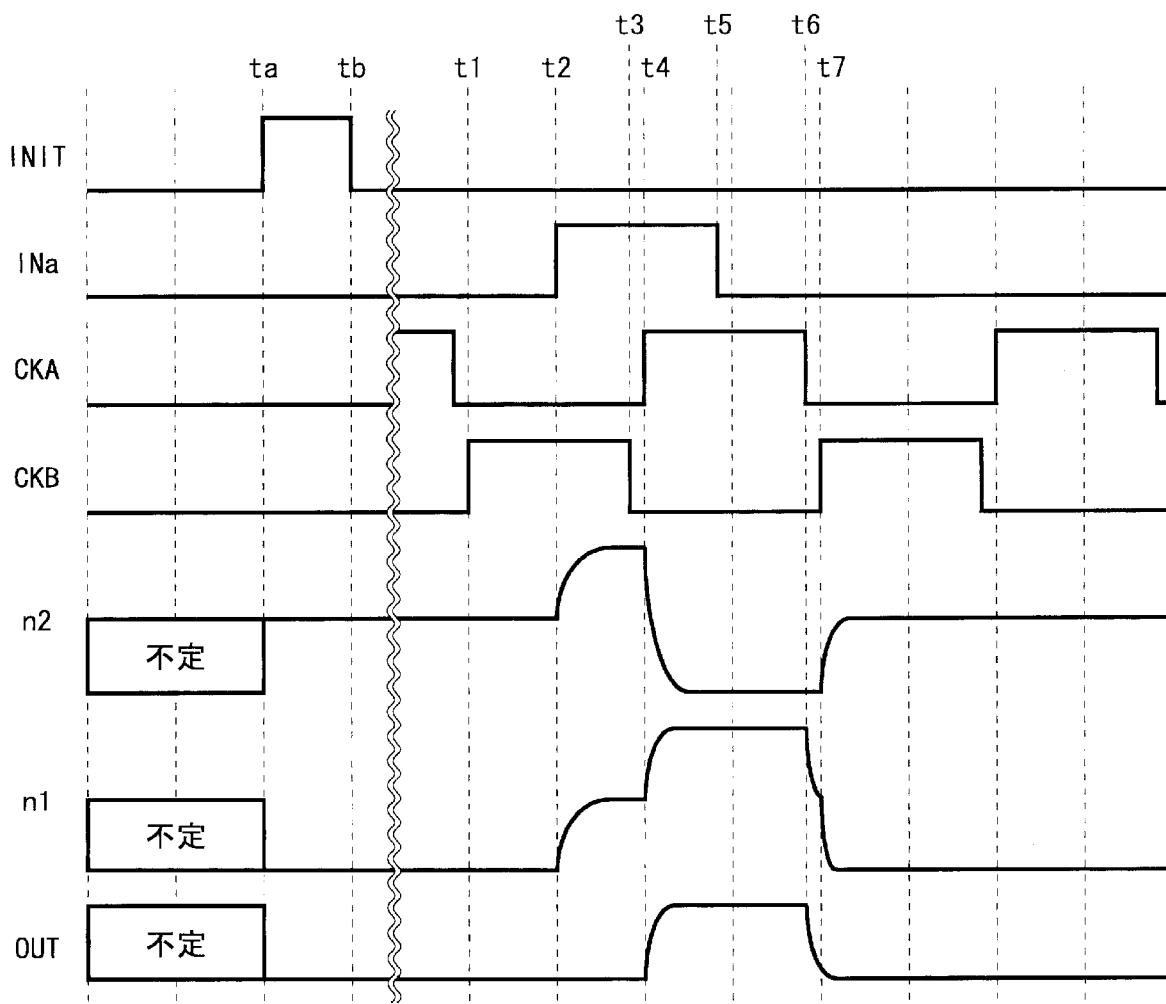
[図44]



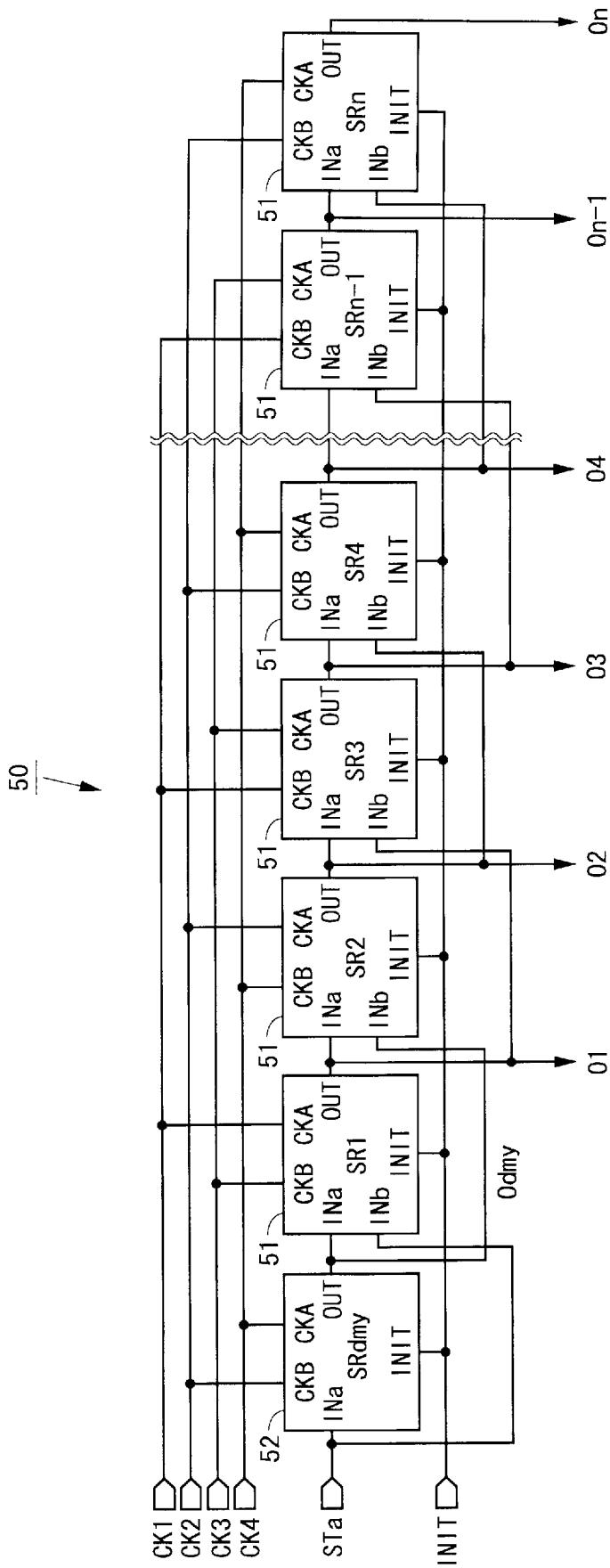
[図45]



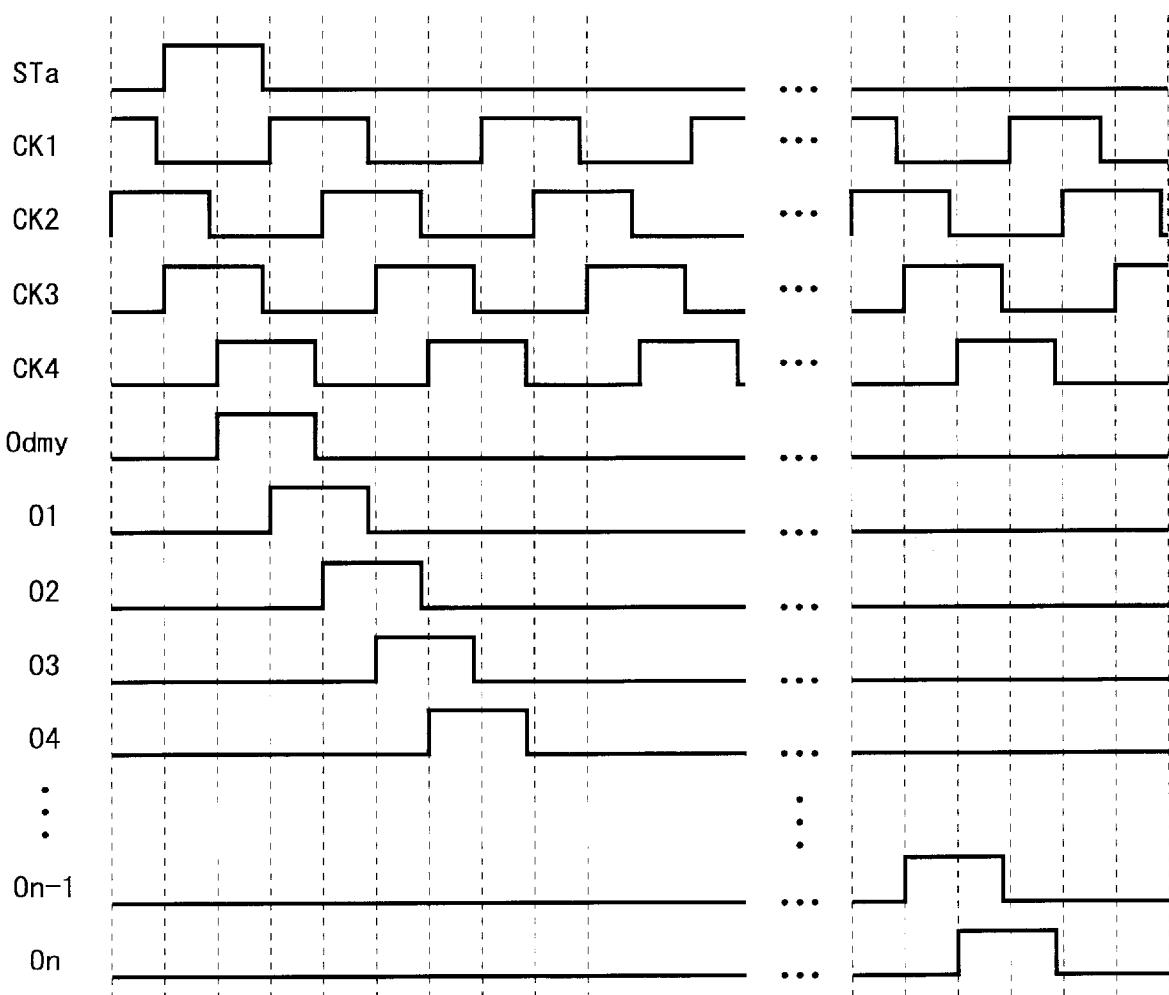
[図46]



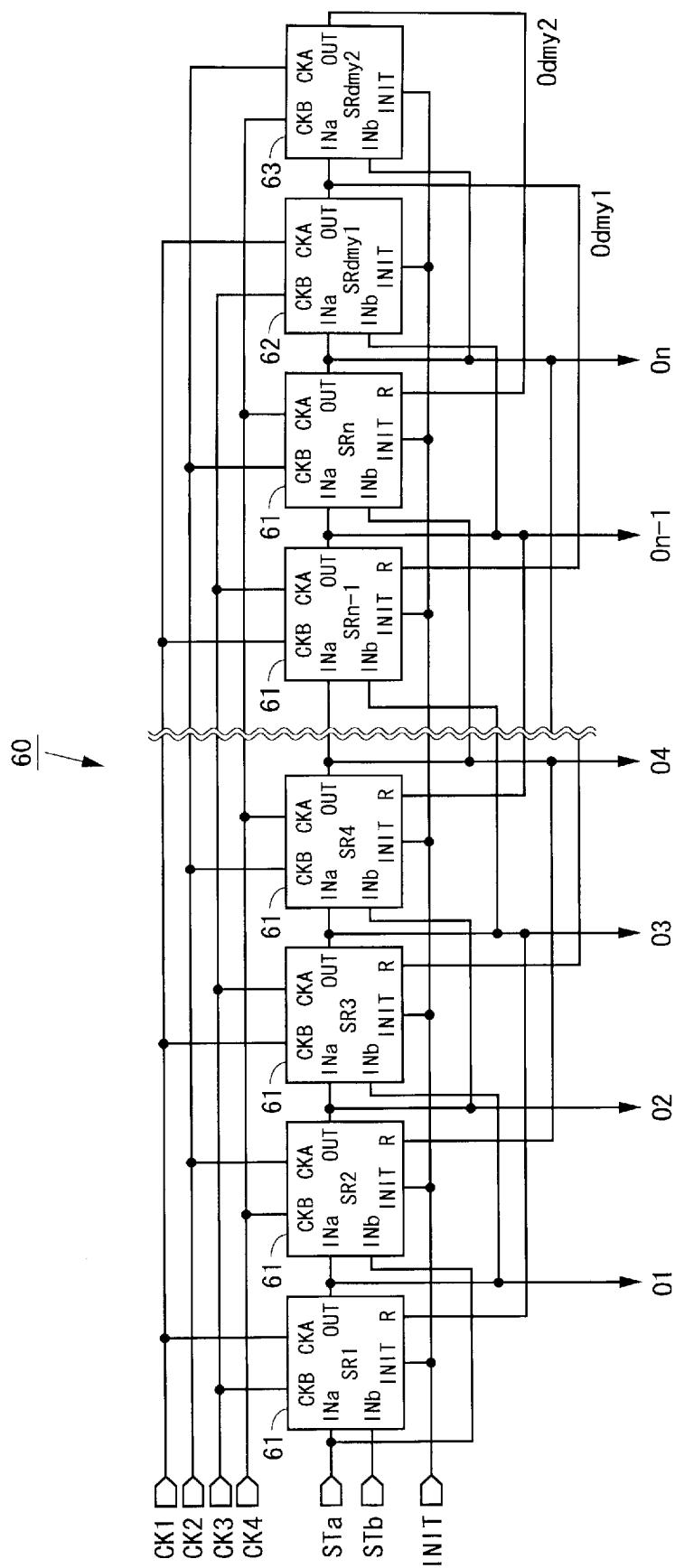
[図47]



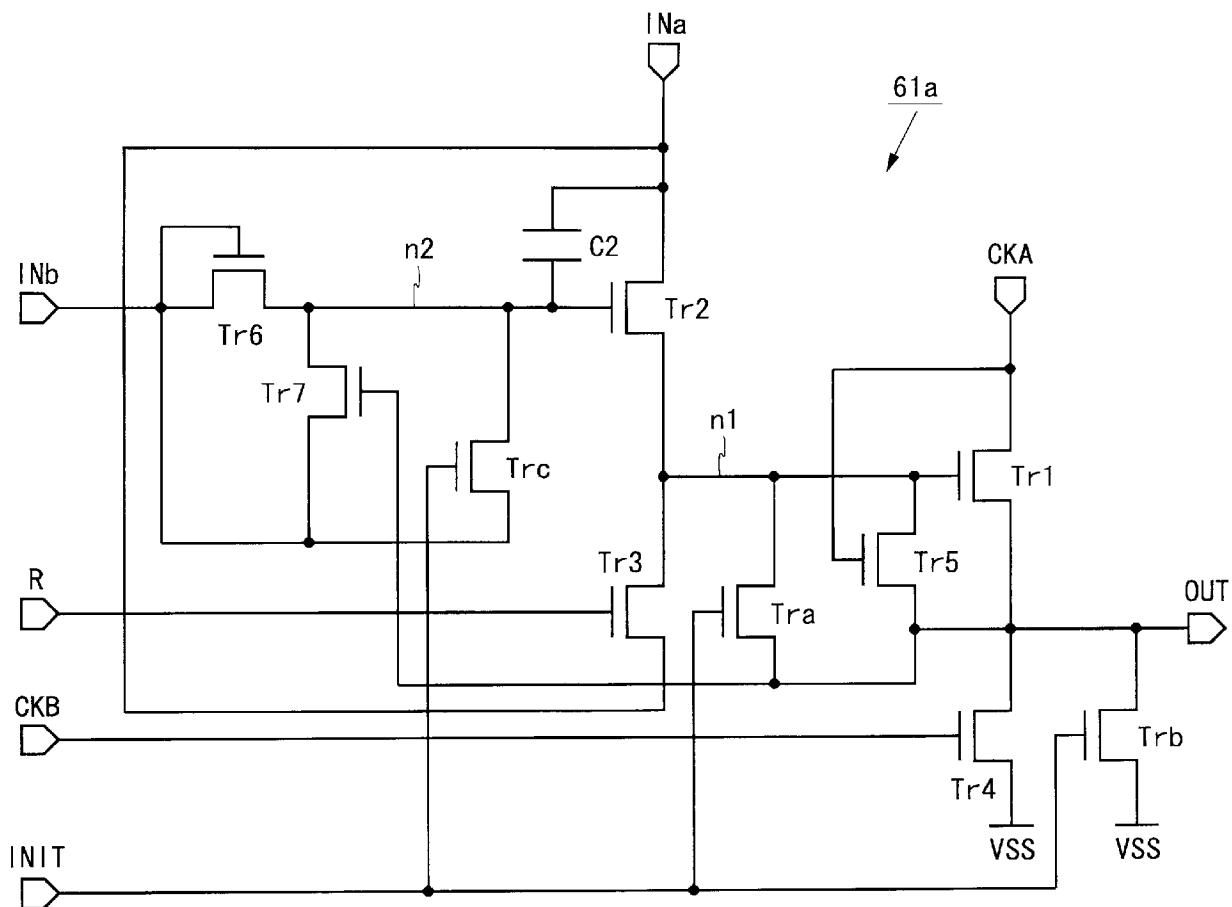
[図48]



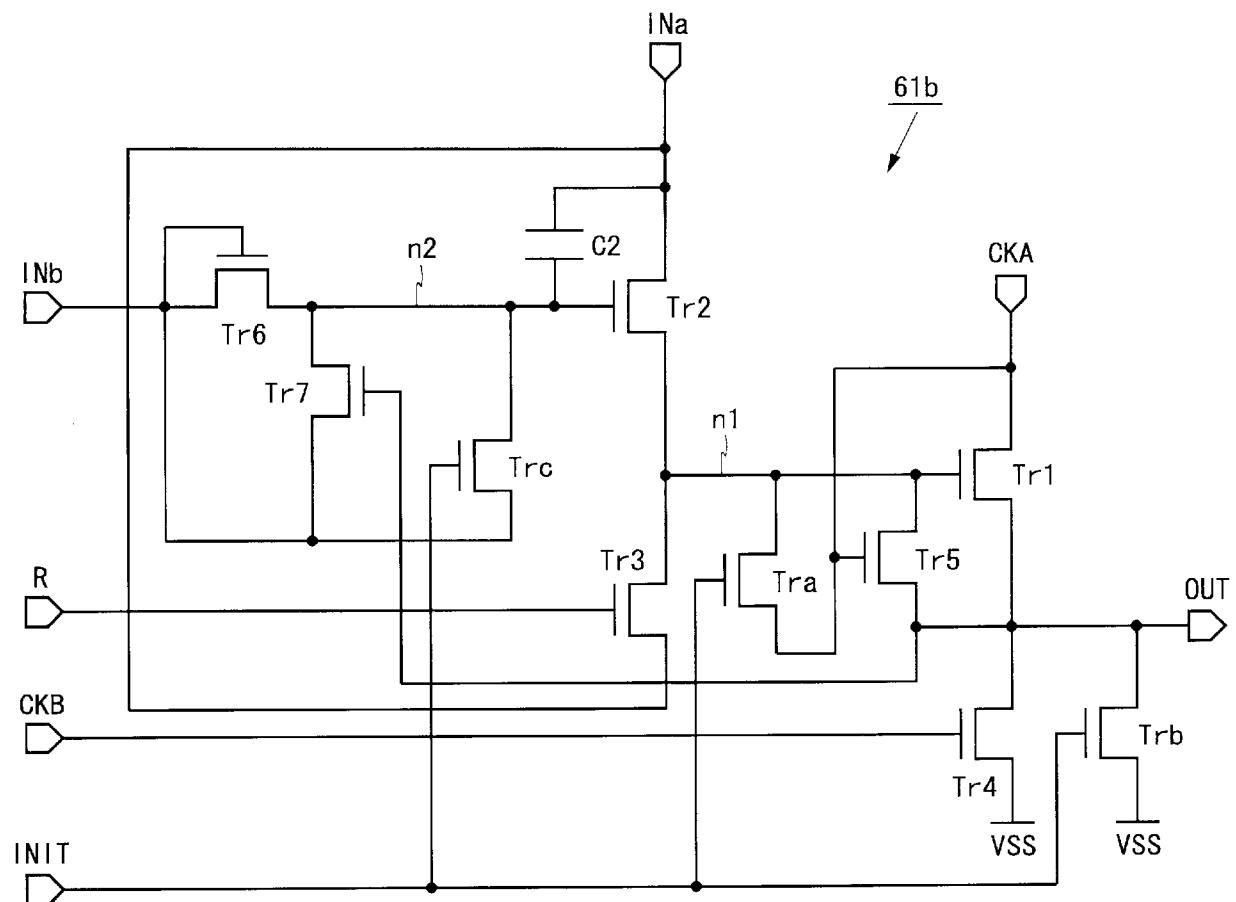
[図49]



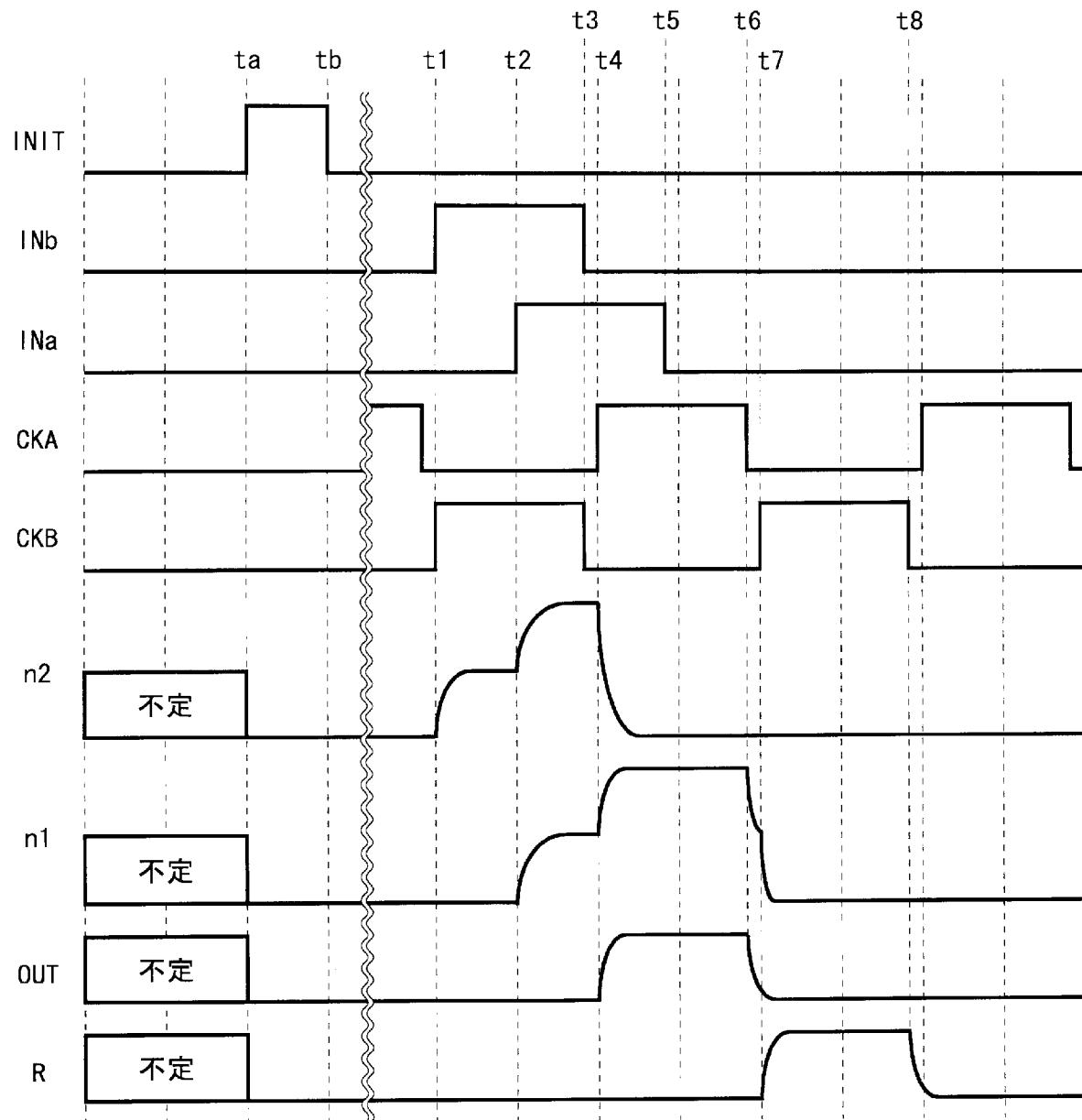
[図50]



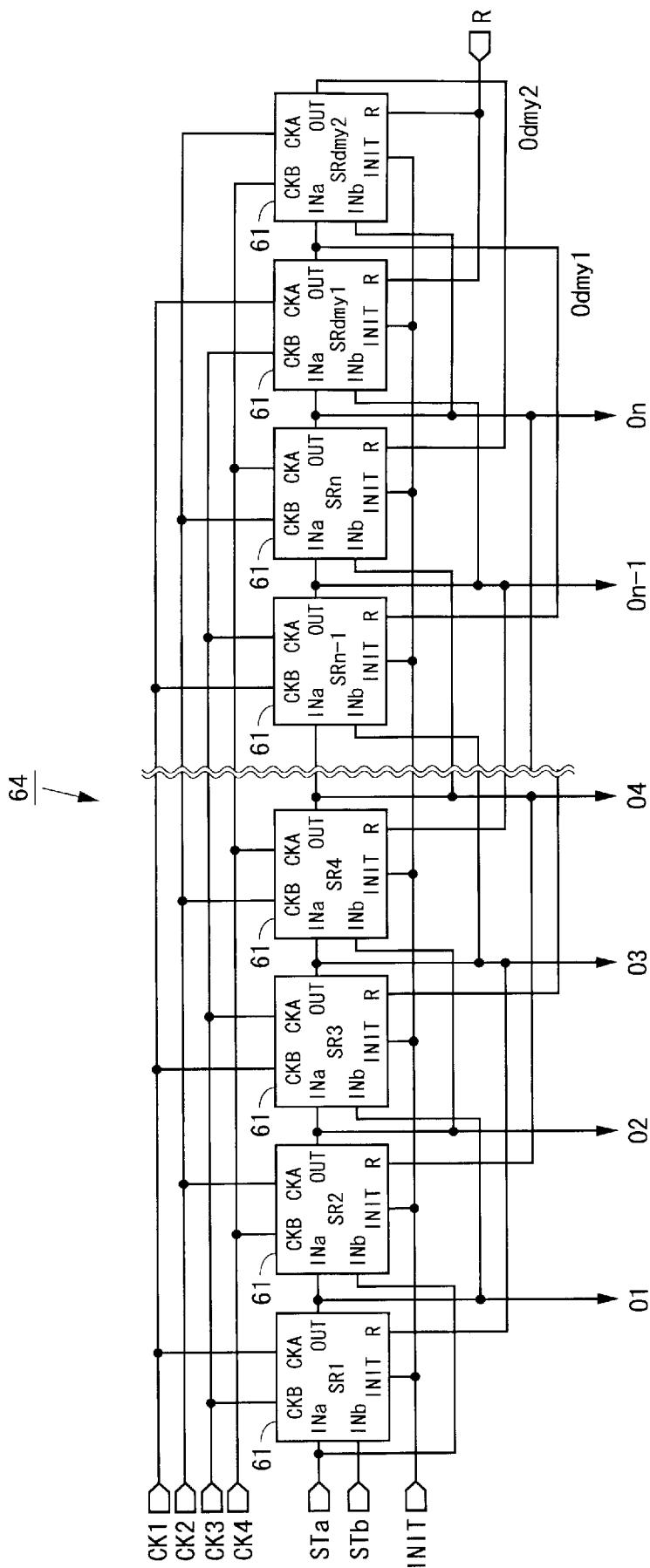
[図51]



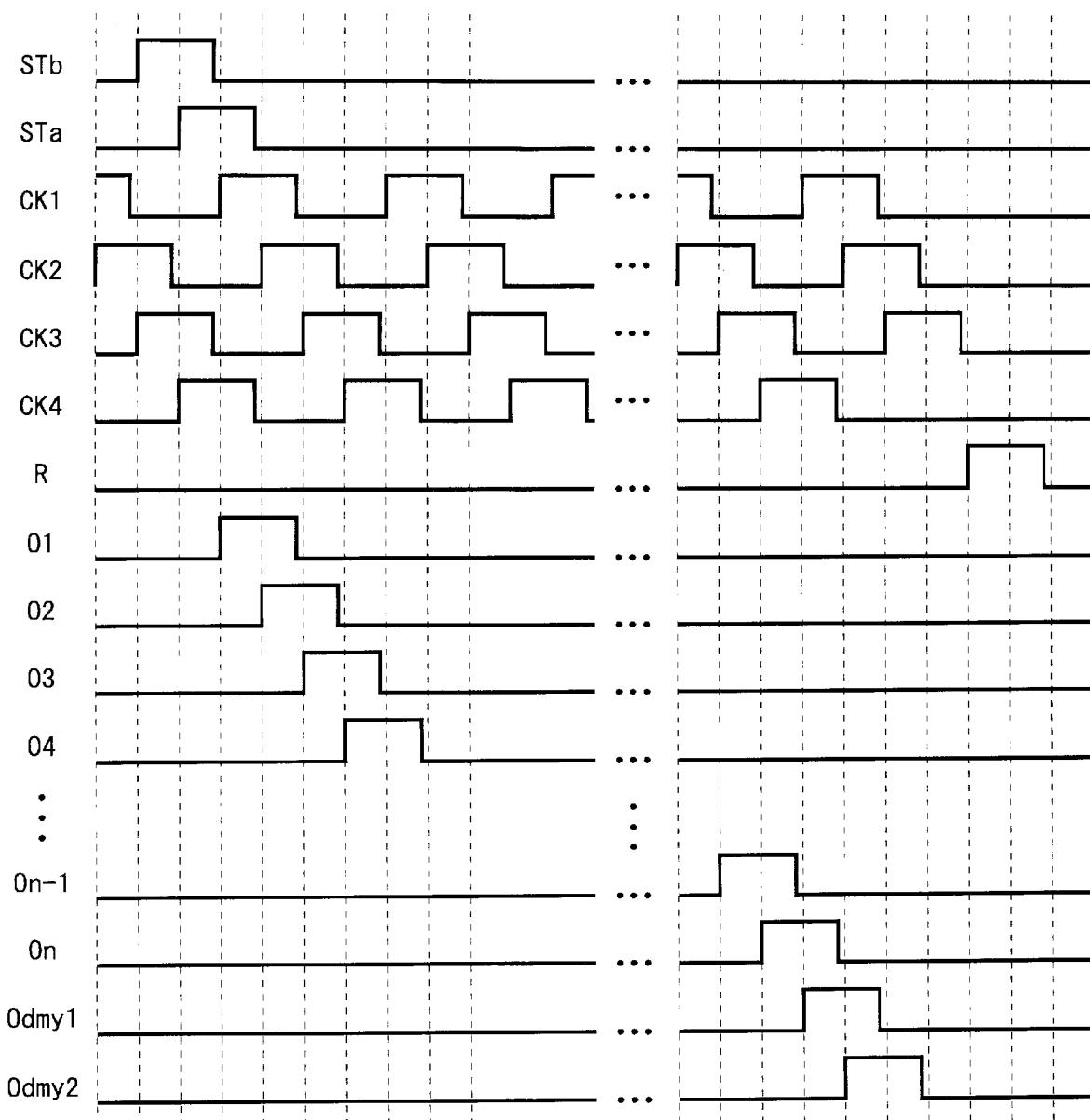
[図52]



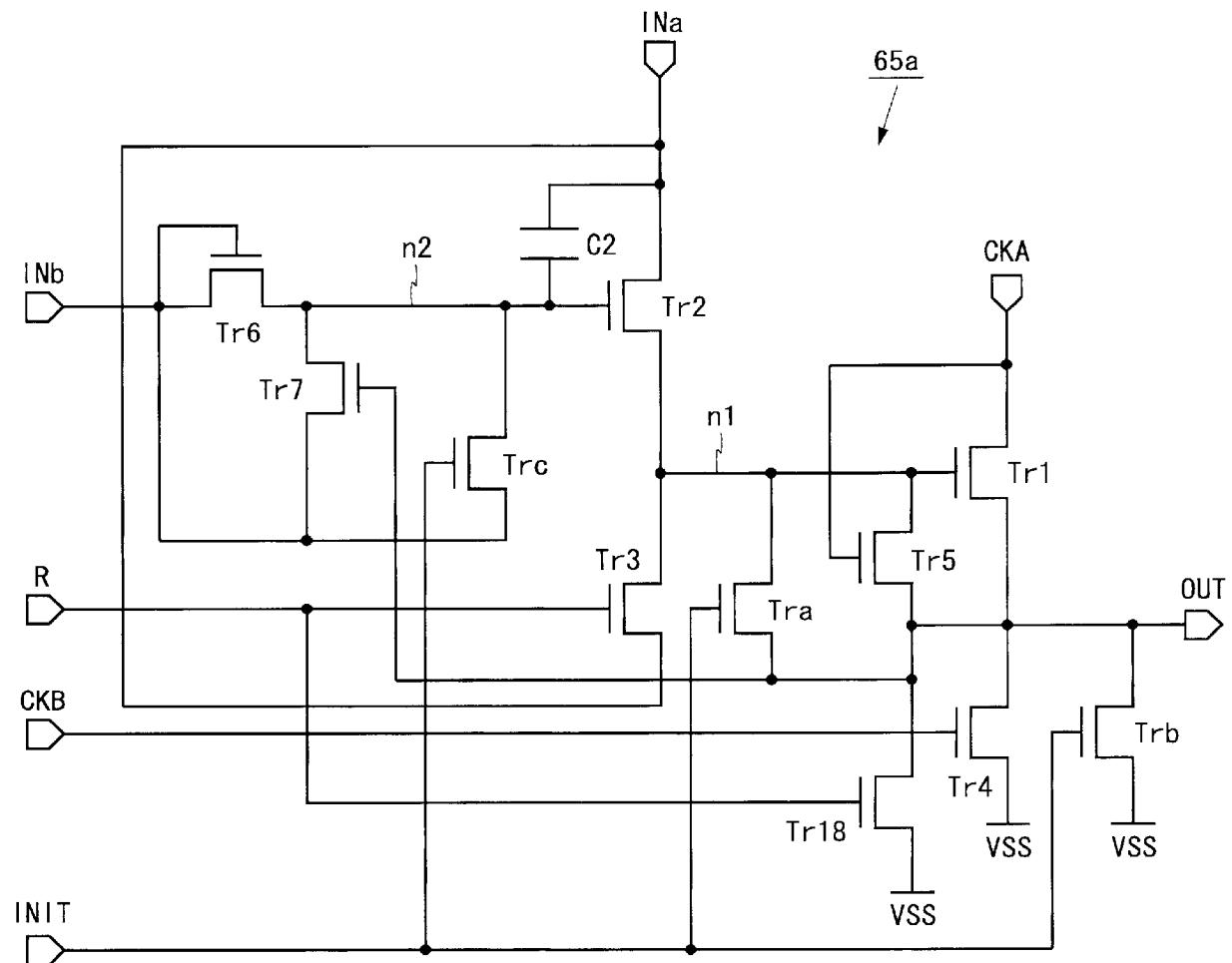
[図53]



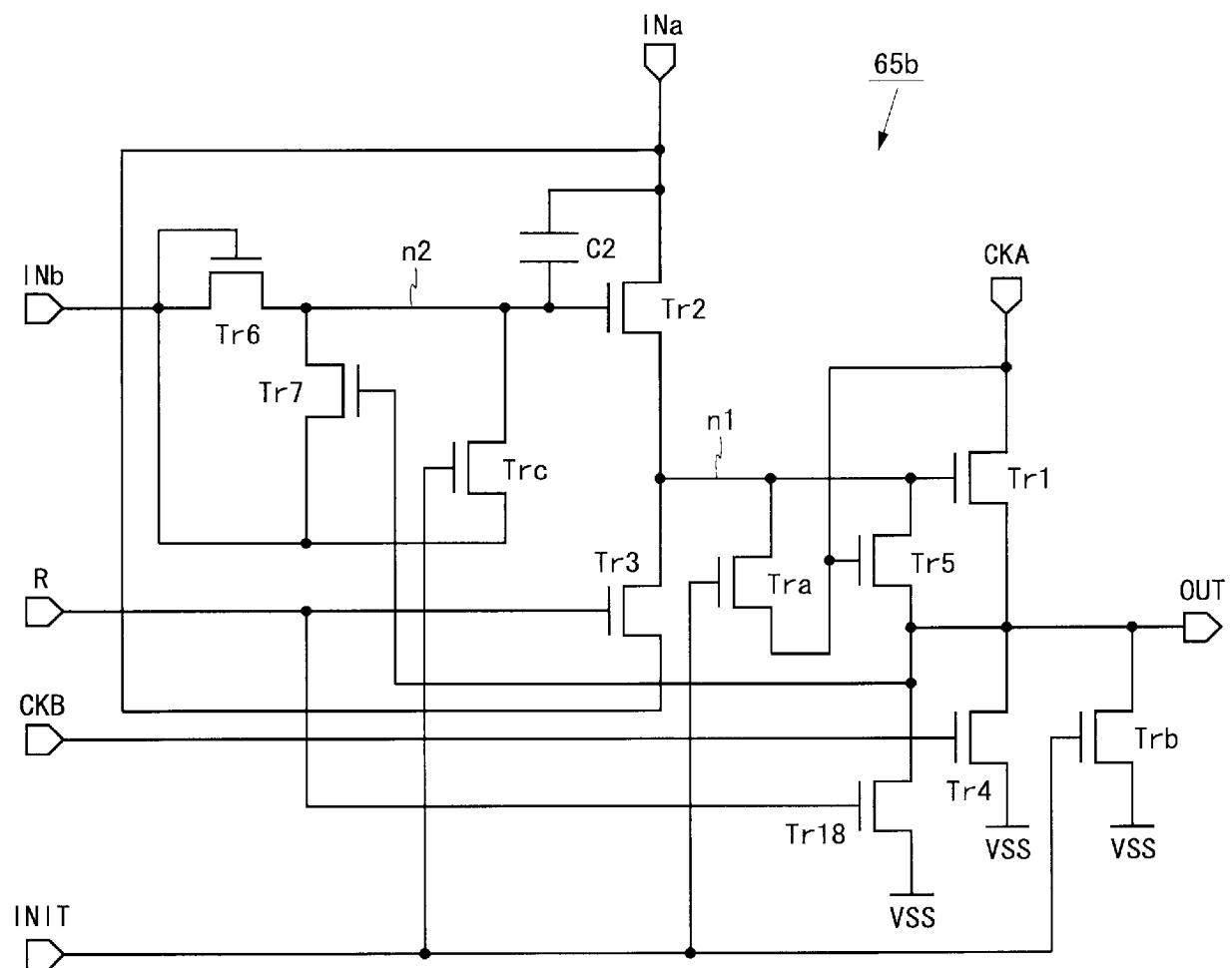
[図54]



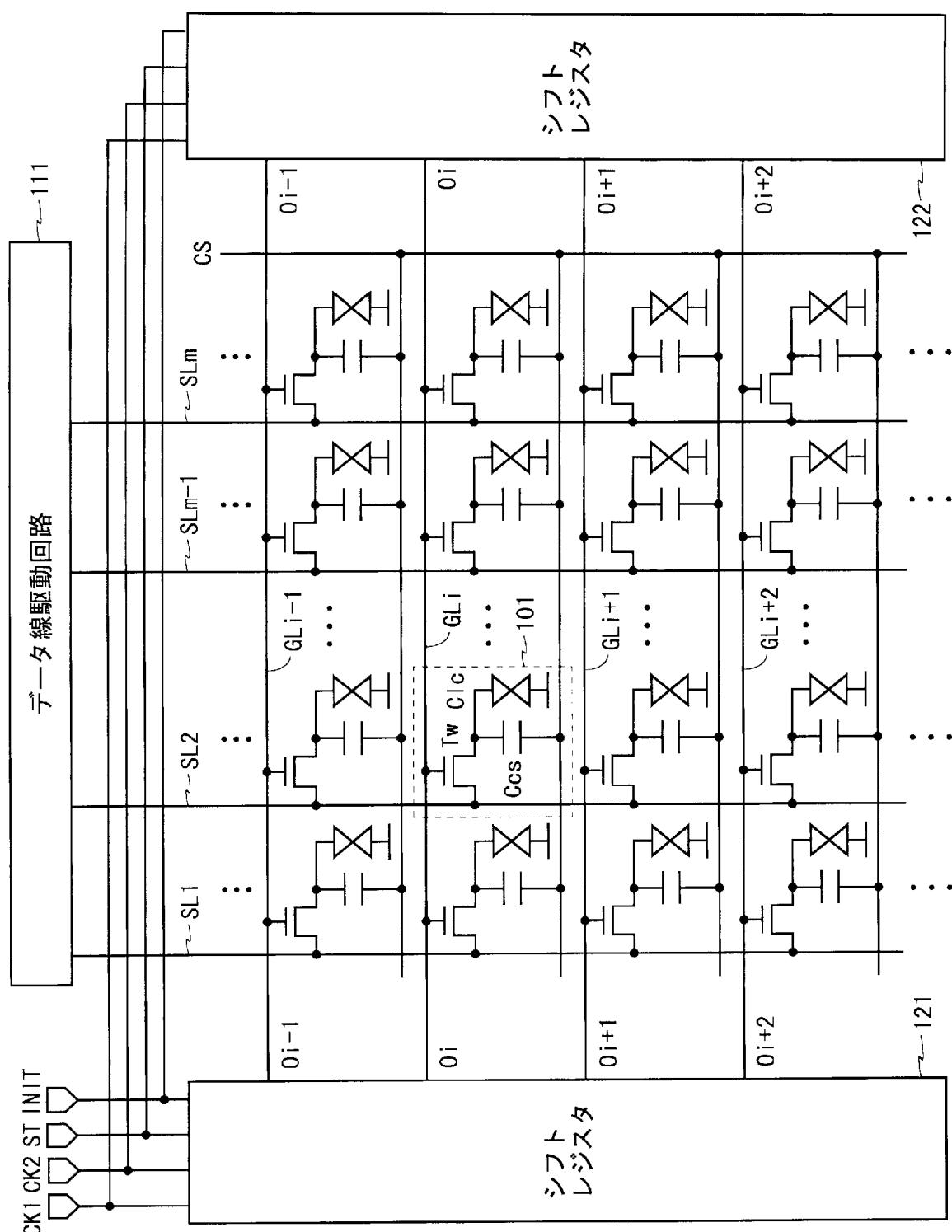
[図55]



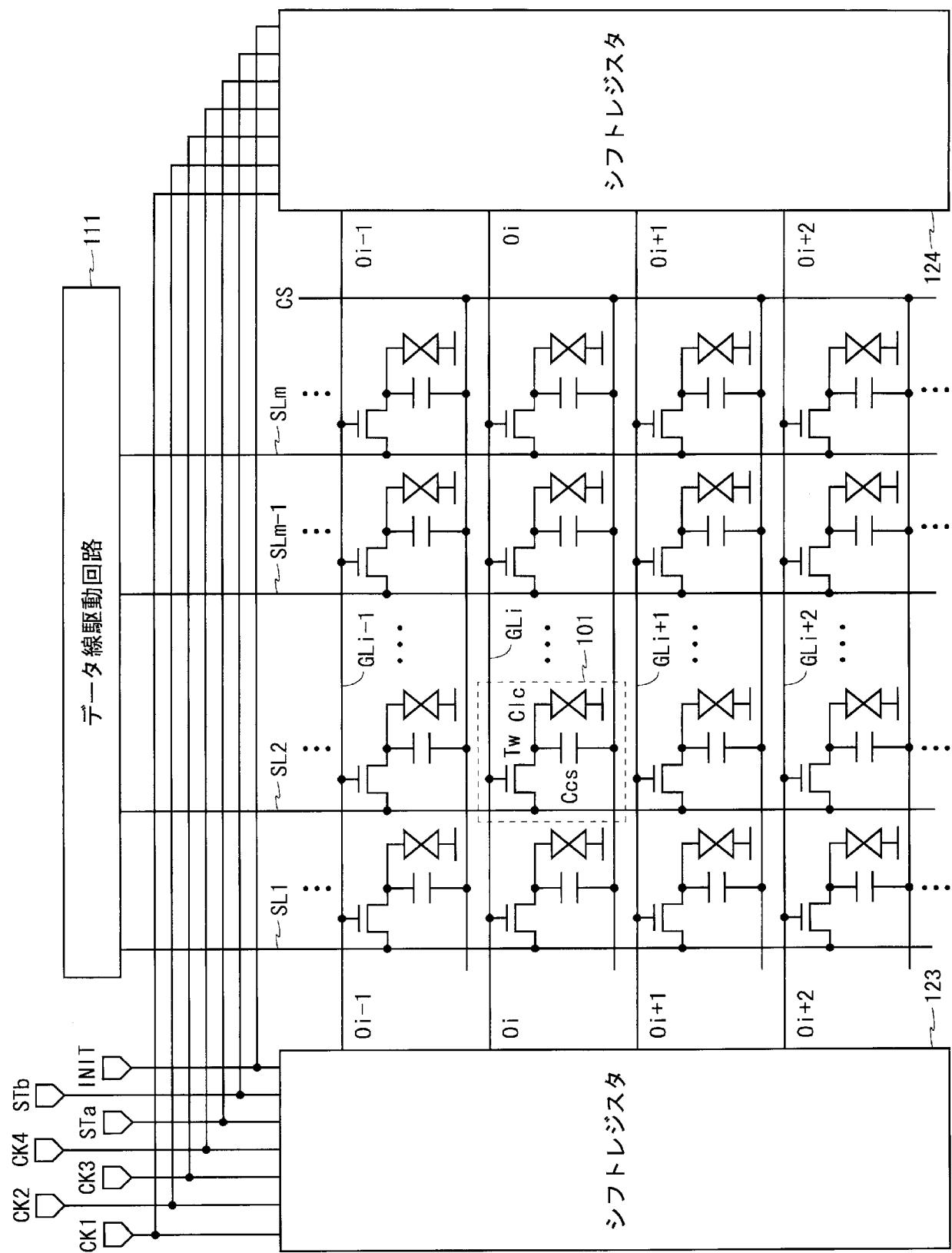
[図56]



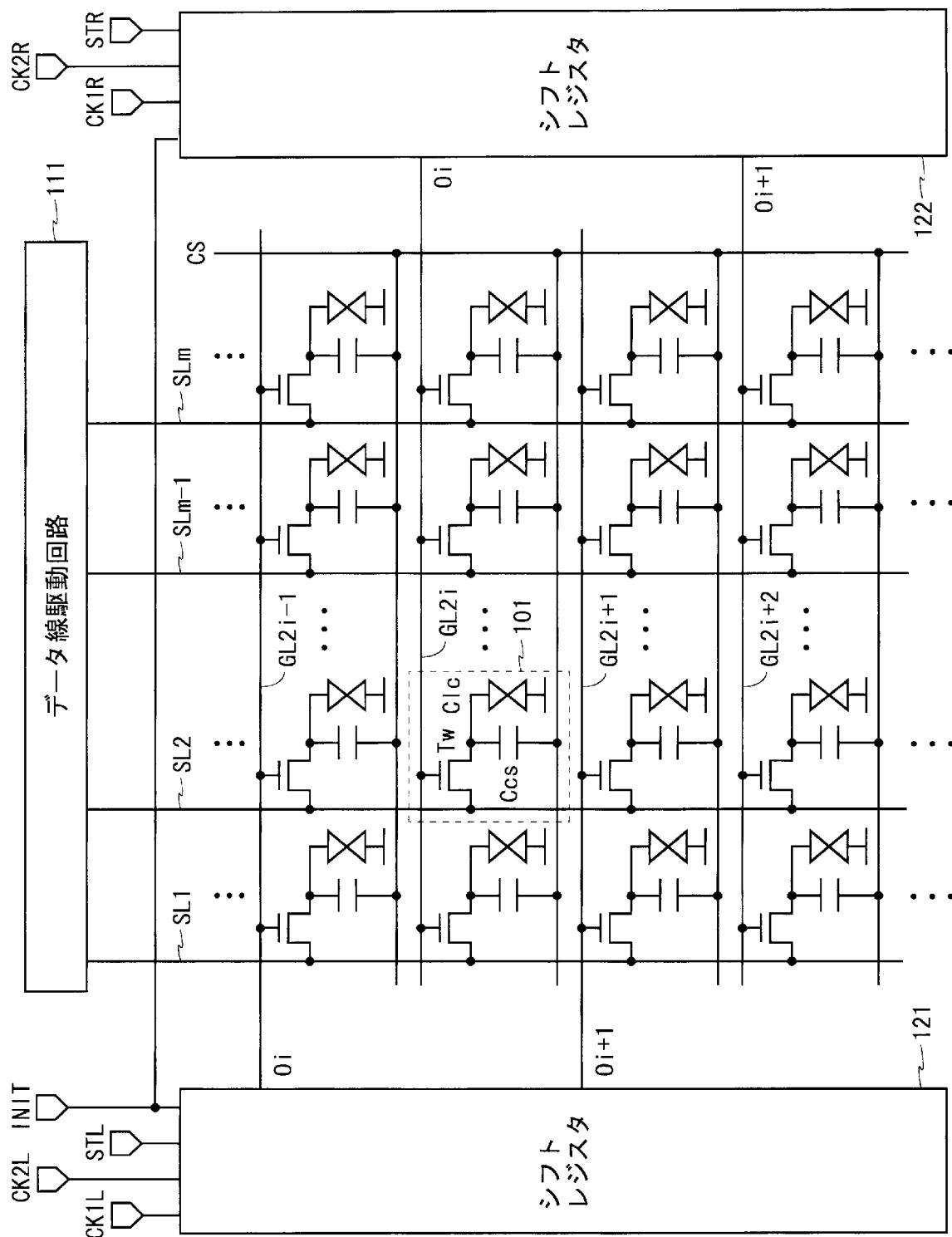
[図57]



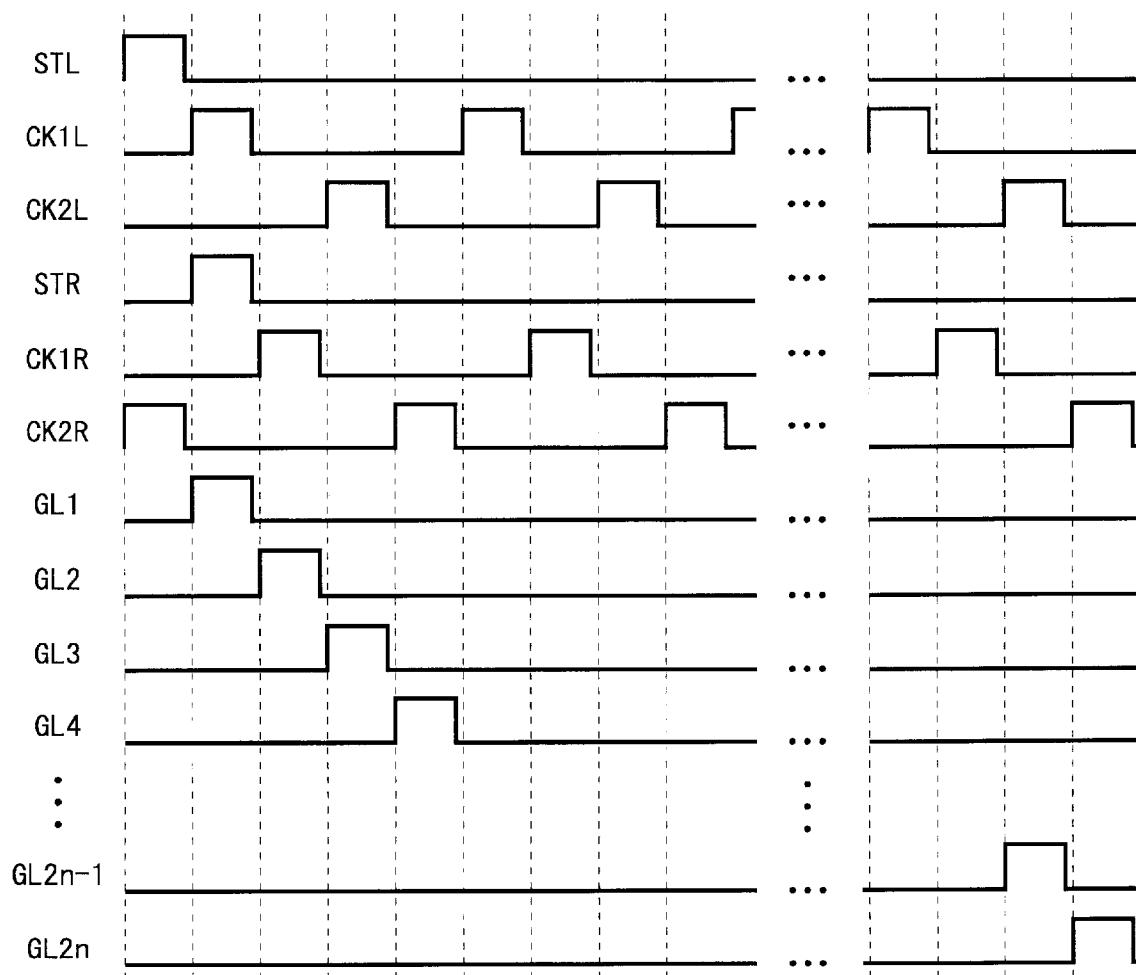
[図58]



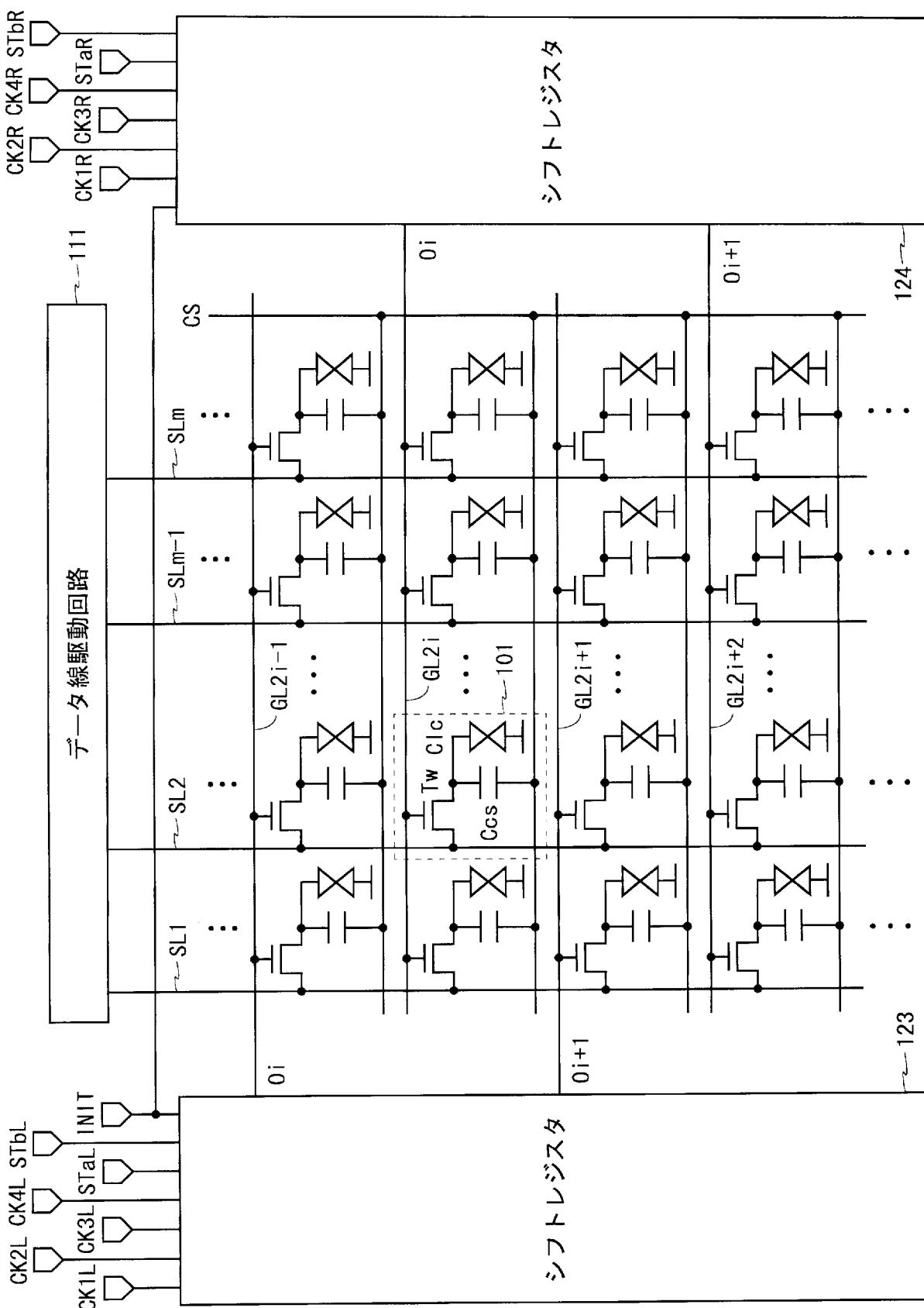
[図59]



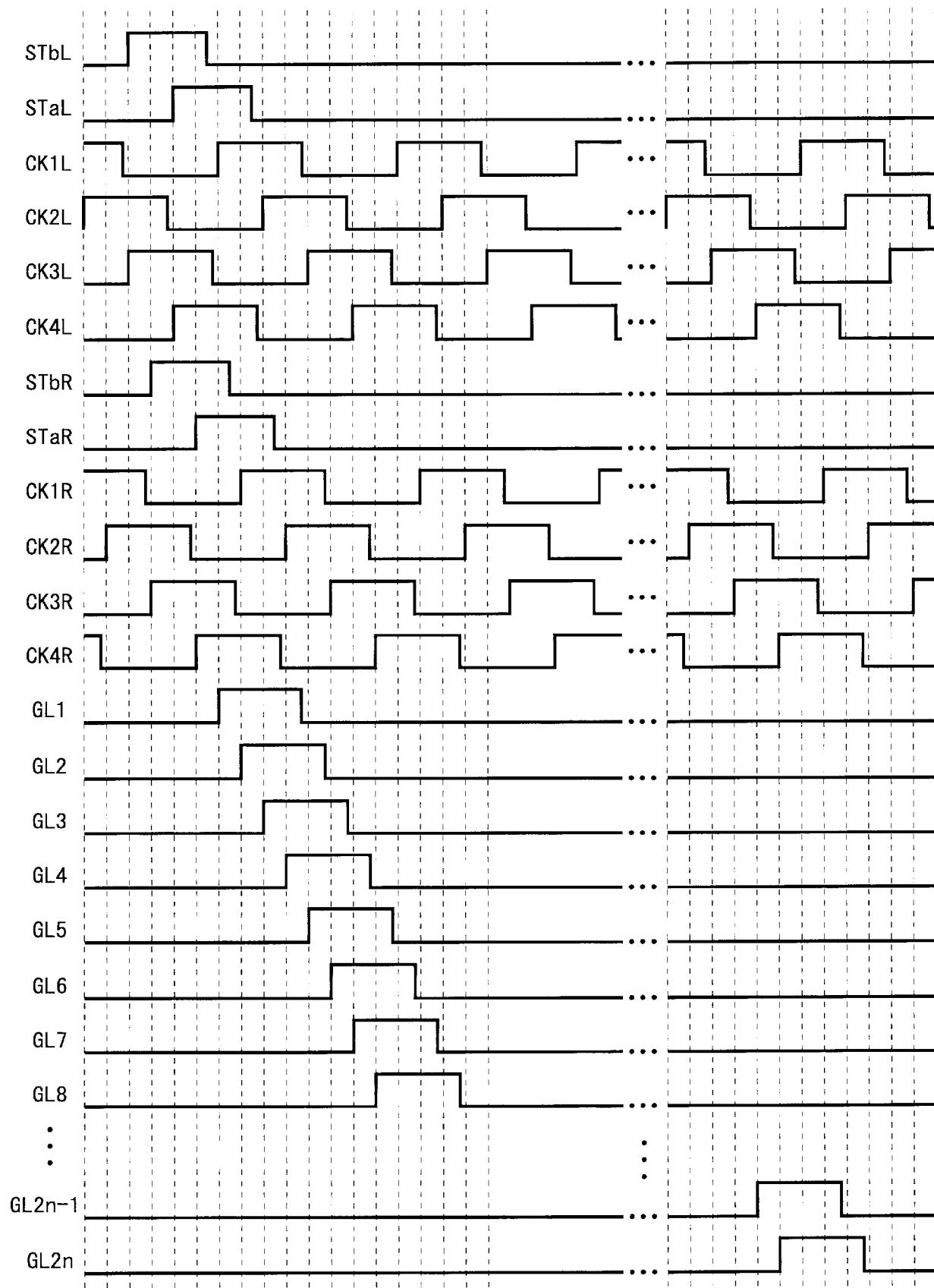
[図60]



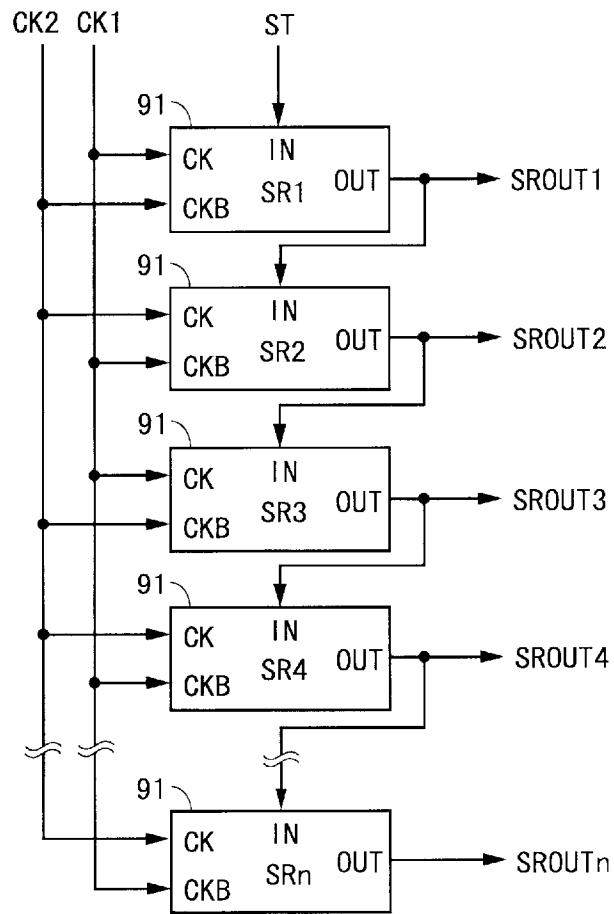
[図61]



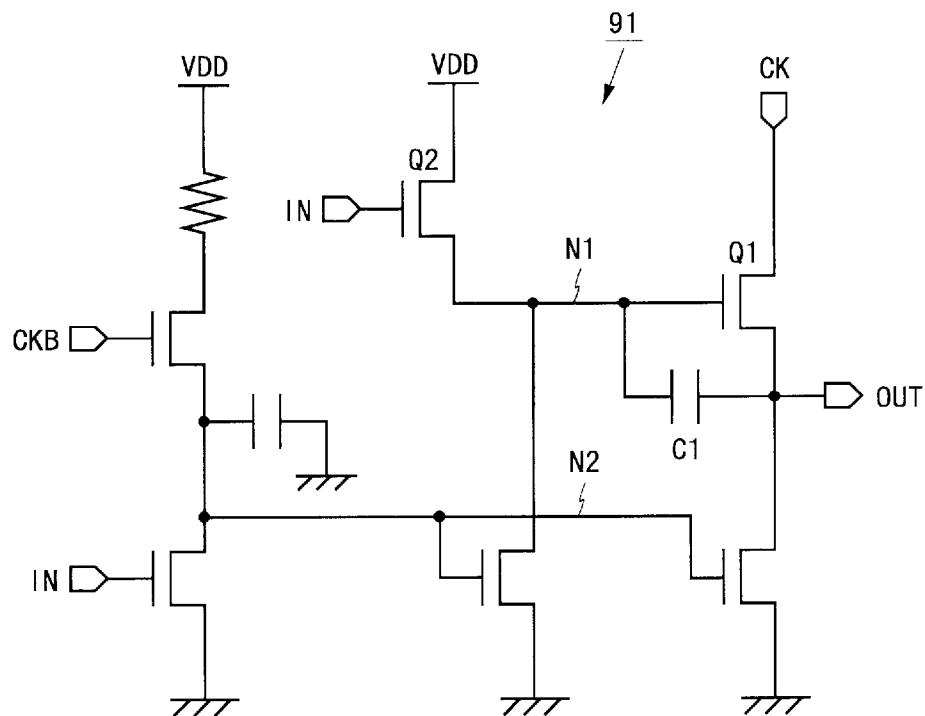
[図62]



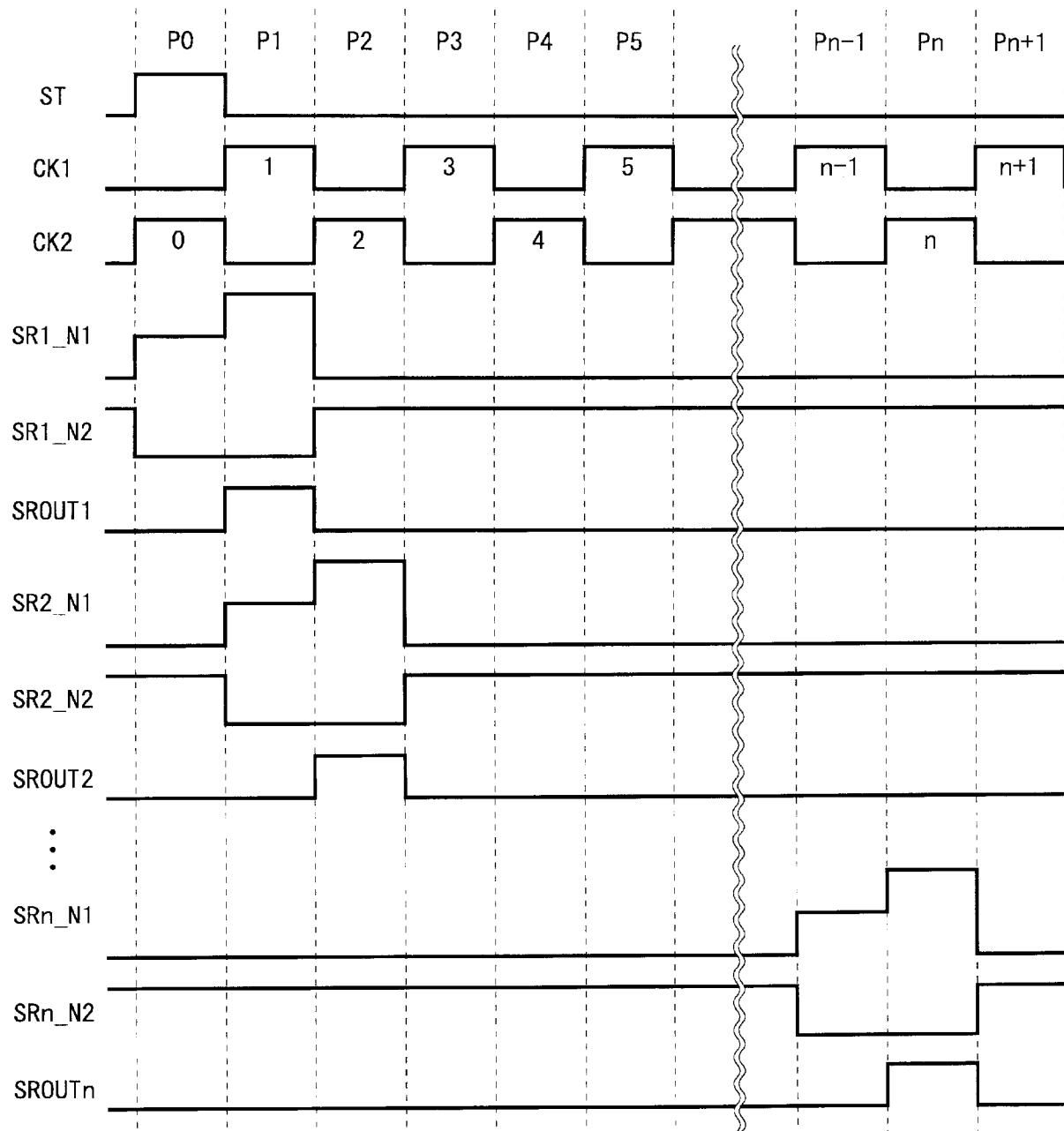
[図63]



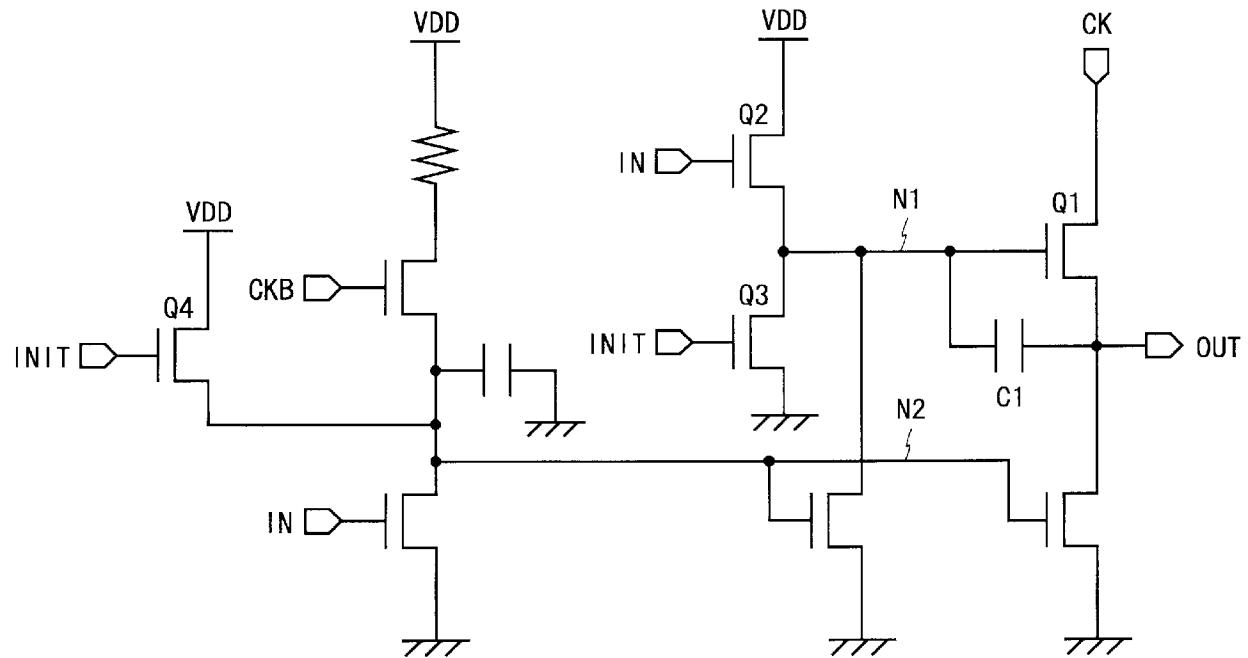
[図64]



[図65]



[図66]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/053621

A. CLASSIFICATION OF SUBJECT MATTER

G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2014</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2014</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2014</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-133890 A (Alps Electric Co., Ltd.), 10 May 2002 (10.05.2002), paragraphs [0038] to [0040]; fig. 6 & US 2002/0097829 A1 & KR 10-2002-0059216 A	1-5, 9 6-8
Y A	WO 2010/137197 A1 (Sharp Corp.), 02 December 2010 (02.12.2010), paragraphs [0055] to [0056]; fig. 7 & US 2012/0032615 A1 & CN 102428521 A	1-5, 9 6-8
A	JP 2008-276849 A (Mitsubishi Electric Corp.), 13 November 2008 (13.11.2008), paragraphs [0174] to [0185]; fig. 14 to 15 (Family: none)	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
13 May, 2014 (13.05.14)

Date of mailing of the international search report
27 May, 2014 (27.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/053621

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-251094 A (Mitsubishi Electric Corp.), 16 October 2008 (16.10.2008), paragraph [0079]; fig. 7 (Family: none)	1-9
E, A	WO 2014/054516 A1 (Sharp Corp.), 10 April 2014 (10.04.2014), entire text; all drawings (Family: none)	1-9
E, A	WO 2014/054517 A1 (Sharp Corp.), 10 April 2014 (10.04.2014), entire text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C19/28, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-133890 A (アルプス電気株式会社) 2002.05.10, 段落【0038】	1-5, 9
A	-【0040】 , 第6図 & US 2002/0097829 A1 & KR 10-2002-0059216 A	6-8
Y	WO 2010/137197 A1 (シャープ株式会社) 2010.12.02, 段落【0055】	1-5, 9
A	-【0056】 , 第7図 & US 2012/0032615 A1 & CN 102428521 A	6-8
A	JP 2008-276849 A (三菱電機株式会社) 2008.11.13, 段落【0174】-【0185】 , 第14-15図 (ファミリーなし)	1-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願目前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 13.05.2014	国際調査報告の発送日 27.05.2014
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 堀田 和義 電話番号 03-3581-1101 内線 3563 5U 8840

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-251094 A (三菱電機株式会社) 2008. 10. 16, 段落【0079】 , 第7図 (ファミリーなし)	1-9
E, A	WO 2014/054516 A1 (シャープ株式会社) 2014. 04. 10, 全文, 全図 (ファミリーなし)	1-9
E, A	WO 2014/054517 A1 (シャープ株式会社) 2014. 04. 10, 全文, 全図 (ファミリーなし)	1-9