



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0046884
(43) 공개일자 2019년05월07일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 21/027 (2006.01)
H01L 21/76 (2006.01) H01L 21/762 (2006.01)
H01L 21/78 (2006.01) H01L 29/423 (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 29/66795 (2013.01)
H01L 21/0273 (2013.01)
(21) 출원번호 10-2019-7007823
(22) 출원일자(국제) 2017년08월28일
심사청구일자 없음
(85) 번역문제출일자 2019년03월18일
(86) 국제출원번호 PCT/US2017/048841
(87) 국제공개번호 WO 2018/057243
국제공개일자 2018년03월29일
(30) 우선권주장
15/271,867 2016년09월21일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
양, 다
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
리우, 안시앙
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인 남앤남

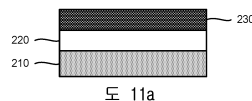
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 FinFET에서의 레이아웃 효과 완화

(57) 요약

레이아웃 효과들을 완화하는 멀티게이트 디바이스들 및 제조 방법들이 설명된다. FinFET 디바이스들과 같은 멀티게이트 반도체 디바이스들을 제조하기 위한 종래의 프로세스들에서, 긴 격리 절단 마스크들이 사용될 수 있다. 이는 바람직하지 않은 레이아웃 효과들로 이어질 수 있다. 레이아웃 효과를 완화하거나 제거하기 위해, 제조 프로세스 동안 게이트 절단 위치에서 ILD(interlayer dielectric) 층이 온전한 채로 유지되는 제조 방법들이 제안된다.

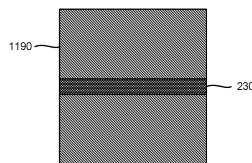
대표도 - 도11



도 11a



도 11b



도 11c

(52) CPC특허분류

H01L 21/311 (2013.01)

H01L 21/76 (2013.01)

H01L 21/76205 (2013.01)

H01L 29/4236 (2013.01)

H01L 29/66545 (2013.01)

H01L 29/7816 (2013.01)

H01L 29/785 (2013.01)

(72) 발명자

유안, 준

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스
스 드라이브 5775

림, 권

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스
스 드라이브 5775

명세서

청구범위

청구항 1

기판 상에 STI(shallow trench isolation) 층을 형성하는 단계;

상기 STI 층 상에 제1 및 제2 더미 게이트들을 형성하는 단계;

상기 STI 층 상에 ILD(interlayer dielectric) 층을 형성하는 단계 - 상기 ILD 층은 게이트 절단 구역(gate cut region)에 대응하고 상기 제1 및 제2 더미 게이트들을 분리함 - ;

상기 제1 및 제2 더미 게이트들 상에 그리고 상기 ILD 층 상에 제1 마스크를 형성하는 단계 - 상기 제1 마스크는 격리 절단 구역에 대응하며 상기 제1 및 제2 더미 게이트들 및 상기 ILD 층을 노출시키는 트렌치를 가지며, 상기 격리 절단 구역은 격리 절단 마스크의 구역이고, 상기 게이트 절단 구역은 상기 격리 절단 구역과 교차함 - ;

상기 제1 마스크 상에 그리고 상기 트렌치에 의해 노출된 상기 ILD 층 상에 제2 마스크를 형성하는 단계;

상기 제1 및 제2 더미 게이트들을 제거하는 단계;

상기 ILD 층이 상기 STI 층 상에서 유지되도록 상기 제1 및 제2 마스크들을 제거하는 단계; 및

상기 제거된 제1 및 제2 더미 게이트들에 의해 남겨진 구역들을 충전하는 단계를 포함하는,

반도체 디바이스를 형성하기 위한 방법.

청구항 2

제1 항에 있어서,

상기 게이트 절단 및 상기 격리 절단 구역들은 서로 실질적으로 수직인,

반도체 디바이스를 형성하기 위한 방법.

청구항 3

제1 항에 있어서,

상기 제1 및 상기 제2 마스크들은 상이한 에칭 선택도들을 갖는,

반도체 디바이스를 형성하기 위한 방법.

청구항 4

제1 항에 있어서,

상기 제1 마스크를 형성하는 단계는,

상기 제1 및 제2 더미 게이트들 상에 그리고 상기 ILD 층 상에 제1 마스크를 증착하는 단계;

상기 제1 마스크 상에 제1 포토레지스트를 증착하는 단계 - 상기 제1 포토레지스트는 상기 격리 절단 구역에 대응하는 개구를 갖고 상기 개구는 상기 제1 마스크의 부분을 노출시킴 - ;

상기 트렌치를 형성하기 위해 상기 제1 마스크의 노출된 부분을 에칭하는 단계; 및

상기 제1 포토레지스트를 제거하는 단계를 포함하는,

반도체 디바이스를 형성하기 위한 방법.

청구항 5

제1 항에 있어서,

상기 제1 및 제2 더미 게이트들을 제거하는 단계는,

상기 제2 마스크 상에 제2 포토레지스트를 증착하는 단계 - 상기 제2 포토레지스트는 상기 게이트 절단 구역 외부의 제2 마스크의 부분이 노출되도록 상기 게이트 절단 구역에 대응함 - ;

상기 게이트 절단 구역 외부의 제1 및 제2 더미 게이트들을 노출하도록 상기 제2 마스크의 노출된 부분을 제거하는 단계;

상기 제2 포토레지스트를 제거하는 단계; 및

상기 게이트 절단 구역에 대응하는 ILD 층이 온전한 채로 유지되도록 상기 제1 및 제2 더미 게이트들을 제거하는 단계를 포함하는,

반도체 디바이스를 형성하기 위한 방법.

청구항 6

제1 항에 있어서,

상기 제1 마스크는 하드마스크인,

반도체 디바이스를 형성하기 위한 방법.

청구항 7

제1 항에 있어서,

상기 제2 마스크는 소프트마스크인,

반도체 디바이스를 형성하기 위한 방법.

청구항 8

제1 항에 있어서,

상기 제거된 제1 및 제2 더미 게이트들에 의해 남겨진 구역들을 충전하는 단계는 SiN 및/또는 SiO₂로 상기 구역을 충전하는 단계를 포함하는,

반도체 디바이스를 형성하기 위한 방법.

청구항 9

기판 상에 STI(shallow trench isolation) 층을 형성하는 단계;

상기 STI 층 상에 제1 및 제2 더미 게이트들을 형성하는 단계;

상기 STI 층 상에 ILD(interlayer dielectric) 층을 형성하는 단계 - 상기 ILD 층은 게이트 절단 구역에 대응하고 상기 제1 및 제2 더미 게이트들을 분리함 - ;

상기 제1 및 제2 더미 게이트들 상에 그리고 상기 ILD 층 상에 제1 마스크를 형성하는 단계;

상기 제1 마스크 상에 제2 마스크를 형성하는 단계 - 상기 제2 마스크는 상기 게이트 절단 구역 외부의 제1 마스크의 부분이 노출되도록 상기 게이트 절단 구역에 대응함 - ;

상기 게이트 절단 구역에 대응하는 제1 마스크의 부분이 상기 ILD 층 상에서 유지되도록 상기 제1 마스크 및 상기 제2 마스크의 노출된 부분을 제거하는 단계;

상기 제1 및 제2 더미 게이트들을 제거하는 단계;

상기 ILD 층이 상기 STI 층 상에서 유지되도록 상기 제1 마스크를 제거하는 단계; 및

상기 제거된 제1 및 제2 더미 게이트들에 의해 남겨진 구역들을 충전하는 단계를 포함하는,

반도체 디바이스를 형성하기 위한 방법.

청구항 10

제9 항에 있어서,

상기 제1 마스크 상에 상기 제2 마스크를 형성하는 단계는,

상기 제1 마스크 상에 상기 제2 마스크를 증착하는 단계;

상기 제2 마스크 위에 제1 포토레지스트를 증착하는 단계 — 상기 제1 포토레지스트는 상기 게이트 절단 구역 외부의 제2 마스크의 부분이 노출되도록 상기 게이트 절단 구역에 대응함 — ;

상기 게이트 절단 구역 외부의 제1 마스크의 부분이 노출되도록 상기 제2 마스크의 노출된 부분을 제거하는 단계; 및

상기 제1 포토레지스트를 제거하는 단계를 포함하는,

반도체 디바이스를 형성하기 위한 방법.

청구항 11

제9 항에 있어서,

상기 제1 마스크 및 상기 제2 마스크의 노출된 부분을 제거하는 단계는,

상기 제2 마스크 상에 상기 제2 포토레지스트를 증착하는 단계 — 상기 제2 포토레지스트는 상기 게이트 절단 구역에 대응하고 상기 게이트 절단 구역과 격리 절단 구역 사이의 교차부에 대응하는 제2 마스크의 부분을 노출시키는 개구를 가짐 — ;

상기 제2 마스크 아래의 상기 게이트 절단 구역에 대응하는 제1 마스크의 부분이 유지되고 상기 제1 마스크 아래의 상기 ILD 층이 또한 유지되도록, 상기 제1 마스크의 노출된 부분을 선택적으로 제거하는 단계;

상기 제2 포토레지스트를 제거하는 단계; 및

상기 게이트 절단 구역에 대응하는 제1 마스크가 노출되도록 상기 제2 마스크를 제거하는 단계를 포함하는,

반도체 디바이스를 형성하기 위한 방법.

청구항 12

제11 항에 있어서,

상기 게이트 절단 및 상기 격리 절단 구역들은 서로 실질적으로 수직인,

반도체 디바이스를 형성하기 위한 방법.

청구항 13

제9 항에 있어서,

상기 제1 및 상기 제2 마스크들은 상이한 에칭 선택도들을 갖는,

반도체 디바이스를 형성하기 위한 방법.

청구항 14

제9 항에 있어서,

상기 제1 마스크는 SiN 및 SiO₂ 중 하나이고, 상기 제2 마스크는 상기 SiN 및 SiO₂ 중 다른 하나인,

반도체 디바이스를 형성하기 위한 방법.

청구항 15

제9 항에 있어서,

상기 제거된 제1 및 제2 더미 게이트들에 의해 남겨진 구역들을 충전하는 단계는 SiN 및/또는 SiO₂로 상기 구역들을 충전하는 단계를 포함하는,

반도체 디바이스를 형성하기 위한 방법.

청구항 16

기판 상의 STI(shallow trench isolation) 층;

상기 STI 층 상의 ILD(interlayer dielectric) 층 — 상기 ILD 층은 게이트 절단 구역에 대응함 — ; 및

격리 절단 구역에 대응하는 상기 ILD 층의 양 측들을 포함하는 상기 ILD 층의 양 측들 상에, 상기 STI 층 상의 충전물(filling)을 포함하고,

상기 게이트 절단 구역 및 상기 격리 절단 구역은 접합부에서 서로 교차하고,

상기 ILD 층은 상기 접합부를 통해 연속적인,

반도체 디바이스.

청구항 17

제16 항에 있어서,

상기 ILD 층은 단일 층을 포함하고,

상기 충전물은 2개 이상의 층들을 포함하는,

반도체 디바이스.

청구항 18

제17 항에 있어서,

상기 ILD 층의 재료는 상기 충전물의 재료들과 상이한,

반도체 디바이스.

청구항 19

제17 항에 있어서,

상기 ILD 층은 SiO₂를 포함하고,

상기 충전물은 SiN 및/또는 SiO를 포함하는,

반도체 디바이스.

청구항 20

제16 항에 있어서,

상기 반도체 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트 폰, 개인용 디지털 보조기기(personal digital assistant), 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버 및 자동차 내의 디바이스로 구성된 그룹으로부터 선택된 디바이스에 통합되고, 상기 디바이스를 더 포함하는,

반도체 디바이스.

발명의 설명

기술 분야

[0001]

[0001] 개시된 청구 대상의 분야는 일반적으로 반도체 디바이스들의 제조에 관한 것이다. 특히, 개시된 청구 대상의 분야는 레이아웃 효과들을 완화하기 위해 FinFET(fin-shaped field effect transistor) 디바이스들과 같은 멀티게이트 트랜지스터 디바이스들의 제조에 관한 것이다.

배경 기술

- [0002] [0002] 멀티게이트 트랜지스터들은 영역 효율성을 위해 집적 회로 칩들에 구현되었다. 멀티게이트 트랜지스터들의 예들은 게이트 스트라이프(gate stripe)의 두 측들 상에 배치된 다수의 핀들을 갖는 FinFET(fin-shaped field effect transistor)들을 포함하며, 게이트 스트라이프의 한 측 상의 핀들은 소스들로서 역할을 하고, 게이트 스트라이프의 다른 측 상의 핀들은 드레인들로서 역할을 한다. 통상적인 FinFET 디바이스들의 예들은 트랜지스터 어레이들이, 서로 평행하게 다수의 산화물 확산 스트라이프들에 수직으로 포지셔닝된, 서로 평행한 다수의 게이트 스트라이프들에 의해 형성되는 디바이스들을 포함한다. 산화물 확산 스트라이프들은 각각의 게이트 스트라이프의 두 측들 상에 핀들과 같이 포지셔닝된다. 소스 및 드레인의 각각의 쌍 및 이러한 쌍의 소스와 드레인 사이의 게이트 스트라이프의 부분은 개별 트랜지스터로서 구현될 수 있다.
- [0003] [0003] 도 1a는 FinFET들을 제조하기 위한 종래의 설계를 예시한다. 이 도면에서, 2개의 FinFET 셀들은 점선 박스들로서 예시된다. 게이트 절단부(110) 및 격리 절단부(120)에 대한 형상들이 또한 예시된다. 격리 절단부(120)는 더미 폴리-실리콘 게이트 및 게이트들 아래의 실리콘이 제거되고 유전체들로 충전되는, 활성 구역 내의 격리 구조이다. 게이트 스트라이프 방향으로 배향되는 격리 절단부(120)는 SDB(single diffusion break) 프로세스가 수행되는 위치 상의 마스크 이름이다. SDB는 게이트 구역에 그리고 실리콘 핀 깊숙이 트렌치를 파고(digging) 유전체들로 트렌치를 충전함으로써 이루어지는 격리의 종류이다. 게이트 절단부는 폴리-실리콘 게이트들을 절단하는 데 사용된다. 핀 방향으로 배향되는 게이트 절단부(110)는 게이트가 절단되는 위치 상의 마스크 이름이다. 게이트 및 격리 절단부들(110, 120)은 FinFET의 게이트를 따른 제조 절단부들의 위치들이다. 게이트 절단부들(110)은 FinFET의 핀 스트라이프들과 평행하고, 격리 절단부들(120)은 FinFET의 게이트 스트라이프들과 평행하다.
- [0004] [0004] 도 1a에 예시된 바와 같이, 게이트 및 격리 절단부들(110, 120)은 설계에 의해 FinFET 제조 시에 서로 분리된다. 그러나 실제로, 도 1b에 예시된 바와 같은 리소그래피 프로세스 제한들로 인해, 종래의 격리 절단부들(120)은 종종 병합된다. 예컨대, 게이트 절단부(110)는 매우 좁을 수 있어서(예컨대, 30nm만큼 작음), 종래의 리소그래피 프로세스의 무결성이 손상될 수 있다.
- [0005] [0005] 도 1c는 게이트와 격리 절단부들(110, 120) 사이의 단순화된 설계된 분리를 예시한다. 알 수 있는 바와 같이, 하나의 격리 절단부 형상(120)은 게이트 절단부(110) 위에 있고, 다른 격리 절단부(120)는 게이트 절단부(110) 아래에 있고, 2개의 격리 절단부들(120)은 서로 분리되도록 설계된다. 그러나 제차, 리소그래피 프로세싱 무결성 이슈들로 인해, 도 1d에 예시된 바와 같은 프로세싱을 위해 긴 격리 절단 마스크(125)가 통상적으로 사용된다. 도 1d는 또한, 프로세싱을 위해 또한 사용되는 게이트 절단 마스크(115)를 예시한다.
- [0006] [0006] 긴 격리 절단 마스크(125)가 사용될 때, 게이트 절단 마스크(115)와 격리 절단 마스크(125) 사이의 접합부에 대응하는 층간 유전체(inter-layer-dielectric) 층이 예칭된다. 이는 불행히도, 나중의 프로세싱에서 응력들을 도입하는 효과를 갖는다. 활성 영역과 주위 ILD(inter layer dielectric)의 단절(break)은 이 구역에서 스트레인 누적(strain accumulation)을 야기한다. 예컨대, 격리 절단부에 인접한 PFET는 일반적으로 압축 스트레인에 의해 영향을 받고, PFET의 임계 전압(V_t)이 타겟(V_t)으로부터 낮아지게 한다. 또한, 격리 절단부 길이가 증가함에 따라, 이는, 타겟으로부터의 임계 전압을 훨씬 더 낮추는 효과를 갖는다. 즉, 타겟으로부터의 편차인 ΔV_t 는 격리 절단부 길이가 증가함에 따라 증가할 수 있다. 이러한 레이아웃 효과들은 일반적으로 바람직하지 않다.

발명의 내용

- [0007] [0007] 이 요약은 일부 예시적인 양상들의 특징들을 식별하며, 개시된 청구 대상의 독점적인 또는 완전한 설명이 아니다. 특징들 또는 양상들이 이 요약에 포함될지 또는 이 요약으로부터 생략될지 여부가 이러한 특징들의 상대적 중요성을 나타내는 것으로 의도되지 않는다. 부가적인 특징들 및 양상들이 설명되고, 다음의 상세한 설명을 읽고 그 일부를 형성하는 도면들을 보면 당업자들에게 명백해질 것이다.
- [0008] [0008] 반도체 디바이스를 형성하기 위한 예시적인 방법이 개시된다. 방법은, 기판 상에 STI(shallow trench isolation) 층을 형성하는 단계, STI 층 상에 제1 및 제2 더미 게이트들을 형성하는 단계, 및 STI 층 상에 ILD(interlayer dielectric) 층을 형성하는 단계를 포함할 수 있다. ILD 층은 게이트 절단 구역에 대응할 수 있고 제1 및 제2 더미 게이트들을 분리할 수 있다. 방법은 또한, 제1 및 제2 더미 게이트들 상에 그리고 ILD 층 상에 제1 마스크를 형성하는 단계를 포함할 수 있다. 제1 마스크는 격리 절단 구역에 대응하는 트렌치를 가질 수 있다. 트렌치는 제1 및 제2 더미 게이트들 및 ILD 층을 노출시킬 수 있다. 게이트 절단 및 격리 절단

구역들은 교차될 수 있다. 방법은, 제1 마스크 상에 그리고 트렌치에 의해 노출된 ILD 층 상에 제2 마스크를 형성하는 단계, 제1 및 제2 더미 게이트들을 제거하는 단계, 및 제1 및 제2 마스크들을 제거하는 단계를 더 포함할 수 있다. 제1 및 제2 마스크들은 ILD 층이 STI 층 상에서 유지되도록 제거될 수 있다. 또한, 방법은 제거된 제1 및 제2 더미 게이트들에 의해 남겨진 구역을 충전하는 단계를 더 포함할 수 있다.

[0009] 반도체 디바이스를 형성하기 위한 다른 예시적인 방법이 개시된다. 방법은, 기판 상에 STI(shallow trench isolation) 층을 형성하는 단계, STI 층 상에 제1 및 제2 더미 게이트들을 형성하는 단계, 및 STI 층 상에 ILD(interlayer dielectric) 층을 형성하는 단계를 포함할 수 있다. ILD 층은 게이트 절단 구역에 대응할 수 있고 제1 및 제2 더미 게이트들을 분리할 수 있다. 방법은 또한, 제1 및 제2 더미 게이트들 상에 그리고 ILD 층 상에 제1 마스크를 형성하는 단계 및 제1 마스크 상에 제2 마스크를 형성하는 단계를 포함할 수 있다. 제2 마스크는 게이트 절단 구역에 대응하여서, 게이트 절단 구역 외부의 제1 마스크 부분이 노출될 수 있다. 방법은 제1 마스크 및 제2 마스크의 노출된 부분을 제거하는 단계를 더 포함할 수 있다. 이를 행하는데 있어, 게이트 절단 구역에 대응하는 제1 마스크의 부분은 ILD 층 상에 유지될 수 있다. 또한, 방법은 제1 및 제2 더미 게이트들을 제거하는 단계, ILD 층이 STI 층 상에서 유지되도록 제1 마스크를 제거하는 단계, 및 제거된 제1 및 제2 더미 게이트들에 의해 남겨진 구역을 충전하는 단계를 더 포함할 수 있다.

[0010] 예시적인 반도체 디바이스가 개시된다. 반도체 디바이스는, 기판 상의 STI(shallow trench isolation) 층 및 STI 층 상의 ILD(interlayer dielectric) 층을 포함할 수 있다. ILD 층은 게이트 절단 구역에 대응할 수 있다. 반도체 디바이스는 또한, 격리 절단 구역에 대응하는 ILD 층의 양 측들 상을 포함하여 ILD 층의 양 측들 상의 STI 층 상의 충전물(filling)을 포함할 수 있다. 게이트 절단 구역 및 격리 절단 구역은 접합부에서 서로 교차할 수 있고, ILD 층은 접합부를 통해 연속적일 수 있다.

도면의 간단한 설명

[0011] 첨부 도면들은, 개시된 청구 대상의 하나 이상의 양상들의 예들의 설명을 보조하도록 제시되며, 개시된 청구 대상의 제한이 아니라 오로지 예시를 위해서만 제공된다.

[0012] 도 1a 및 도 1c는 격리 및 게이트 절단부들 사이에 설계된 분리를 도시하는, FinFET 셀들을 제조하기 위한 종래의 설계들을 예시한다.

[0013] 도 1b 및 도 1d는 격리 절단부들이 병합되는 종래의 FinFET 셀 제조 프로세스를 예시한다.

[0014] 도 2a 내지 도 11a, 도 2b 내지 도 11b 및 도 2c 내지 도 11c는 반도체 디바이스를 제조하기 위한 제1 예시적인 프로세스의 상이한 스테이지들을 예시한다.

[0015] 도 12a 내지 도 22a, 도 12b 내지 도 22b 및 도 12c 내지 도 22c는 반도체 디바이스를 제조하기 위한 제2 예시적인 프로세스의 상이한 스테이지들을 예시한다.

[0016] 도 23은 반도체 디바이스를 형성하는 예시적인 방법의 흐름도를 예시한다.

[0017] 도 24는 반도체 디바이스를 형성하는 예시적인 방법에서 제1 마스크를 형성하는 예시적인 프로세스의 흐름도를 예시한다.

[0018] 도 25는 반도체 디바이스를 형성하는 예시적인 방법에서 더미 게이트들을 제거하는 예시적인 프로세스의 흐름도를 예시한다.

[0019] 도 26은 반도체 디바이스를 형성하는 다른 예시적인 방법의 흐름도를 예시한다.

[0020] 도 27은 반도체 디바이스를 형성하는 다른 예시적인 방법에서 제1 마스크 상에 제2 마스크를 형성하는 예시적인 프로세스의 흐름도를 예시한다.

[0021] 도 28은 반도체 디바이스를 형성하는 다른 예시적인 방법에서 제1 마스크 및 제2 마스크의 노출된 부분을 제거하는 예시적인 프로세스의 흐름도를 예시한다.

[0022] 도 29는 반도체 디바이스가 내부에 통합되어 있는 디바이스들의 예들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 청구 대상의 양상들은, 개시된 청구 대상의 특정 예들에 관한 다음의 설명 및 관련 도면들에서 제공된다. 개시된 청구 대상의 범위를 벗어나지 않으면서 대안들이 고안될 수 있다. 부가적으로, 잘-알려진 엘리

먼트들은, 관련된 세부사항들을 불명료하게 하지 않기 위해, 상세히 설명되지 않거나 또는 생략될 것이다.

- [0013] [0024] "예시적인"이란 단어는, "예, 경우 또는 예시로서 기능하는" 것을 의미하도록 본원에서 사용된다. "예시적인" 것으로서 본원에서 설명되는 임의의 실시예가 반드시 다른 실시예들에 비해 바람직하거나 또는 유리한 것으로 해석되는 것은 아니다. 유사하게, "실시예들"이란 용어는, 개시된 청구 대상의 모든 실시예들이 논의된 특징, 이점, 또는 동작 모드를 포함해야 한다는 것을 요구하지 않는다.
- [0014] [0025] 본원에서 사용된 용어는 특정 예들을 설명하려는 목적만을 위한 것이며, 제한하는 것으로 의도되지 않는다. 본원에서 사용되는 바와 같이, 맥락이 명확하게 달리 표시하지 않으면, 단수 형태들은 복수 형태들을 또한 포함하는 것으로 의도된다. 추가로, 용어들 "구비하는", "구비", "포함하는" 및/또는 "포함"이 본원에서 사용될 때, 언급된 특징들, 정수들, 프로세스들, 동작들, 엘리먼트들, 및/또는 컴포넌트들의 존재를 특정하지만, 하나 이상의 다른 특징들, 정수들, 프로세스들, 동작들, 엘리먼트들, 컴포넌트들, 및/또는 이들의 그룹들의 존재 또는 부가를 배제하지 않는다는 것이 이해될 것이다.
- [0015] [0026] 추가로, 다수의 예들은, 예컨대, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 액션들의 시퀀스들의 관점들에서 설명된다. 본원에 설명된 다양한 액션들은, 특정 회로들(예컨대, ASIC(application-specific integrated circuit)들)에 의해, 하나 이상의 프로세서들에 의해 실행되는 프로그램 명령들에 의해, 또는 이 둘 모두의 결합에 의해 수행될 수 있다는 것이 인지될 것이다. 부가적으로, 본원에 설명된 이들 액션들의 시퀀스는, 실행 시에, 연관된 프로세서로 하여금 본원에 설명된 기능을 수행하게 하는 컴퓨터 명령들의 대응하는 세트가 저장된 임의의 형태의 컴퓨터 판독 가능 저장 매체 내에서 완전히 구체화되는 것으로 고려될 수 있다. 따라서, 다양한 양상들은 다수의 상이한 형태들로 구체화될 수 있으며, 이들 전부는 청구되는 청구 대상의 범위 내에 있는 것으로 고려되었다. 부가적으로, 본원에 설명된 예들 각각에 대해, 임의의 그러한 예들의 대응하는 형태는, 예컨대, 설명된 액션을 수행 "하도록 구성된 로직"으로서 본원에서 설명될 수 있다.
- [0016] [0027] 위에서 표시된 바와 같이, 종래의 FinFET 제조 프로세스들은 통상적으로 도 1d에 예시된 긴 격리 절단 마스크(125)를 사용하는 것을 포함한다. 종래의 제조 프로세스에서, 긴 격리 절단 마스크(125)를 사용하는 것은 제조 동안 예칭되는 하부 층간 유전체로 인해 응력들을 도입하는 것뿐만 아니라 원하는 임계 전압(V_t)으로부터의 편차를 증가시키는 것을 포함하는 바람직하지 않은 레이아웃 효과로 이어질 수 있다.
- [0017] [0028] 그러나, 비-제한적인 양상에서, 제조 프로세스 동안 게이트 절단 위치에서 ILD 층을 온전하게 유지하기 위해 제조 프로세스를 변경하는 것이 제안된다. 도 1d를 참조하면, 게이트 절단 마스크(115)와 격리 절단 마스크(125)가 접합부에서 교차하는 것을 알 수 있다. 제안된 양상에서, 동일한 게이트 절단 및 격리 절단 마스크들(115, 125)이 사용될 수 있다. 즉, 종래의 제조 프로세싱에서 사용된 마스크들은 재사용될 수 있다. 이는 상당한 재설계 및/또는 개편(retooling)이 회피될 수 있다는 이점을 갖는다. 게이트 절단 및 격리 절단 마스크들(115, 125)은 서로 실질적으로 수직일 수 있으며, 따라서 게이트 절단 및 격리 절단 구역들은 또한 서로 실질적으로 수직일 수 있다.
- [0018] [0029] 비-제한적인 양상에서, 제조 프로세스 동안 게이트 절단 및 격리 절단 마스크들(115, 125) 사이의 접합부에 대응하는 영역에서 적어도 ILD 층을 온전하게 유지하는 것이 제안된다. 즉, ILD 층은 접합부를 통해 연속적으로 유지될 수 있다. ILD 층을 온전하게 유지함으로써, 바람직하지 않은 레이아웃 효과들이 완화되거나 심지어 제거될 수 있다.
- [0019] [0030] 도 2a 내지 도 11a, 도 2b 내지 도 11b 및 도 2c 내지 도 11c는 반도체 디바이스를 제조하기 위한 제1 예시적인 프로세스의 상이한 스테이지들을 예시한다. 예는 FinFET 디바이스이다. 도 1d에서, 게이트 절단 방향은 게이트 절단 마스크(115)의 배향(수평 양단 화살표로 표시됨)을 지칭하고, 격리 절단 방향은 격리 절단 마스크(125)의 배향(수직 양단 화살표로 표시됨)을 지칭한다는 것에 주의한다. 또한, 게이트 절단 및 격리 절단 구역들은 게이트 절단 마스크(115) 및 격리 절단 마스크(125)의 구역/영역을 지칭하기 위해 각각 사용될 수 있다.
- [0020] [0031] 도 2a 내지 도 11a는 게이트 절단 구역을 따른 반도체 디바이스 제조 스테이지들의 측면도들을 예시하고, 도 2b 내지 도 11b는 격리 절단 구역을 따른 반도체 디바이스 제조 스테이지들의 측면도들을 예시한다. 구체적으로 표시되지 않았지만, 도 2a 내지 도 11a에서, 게이트 절단 방향은 뷰잉 표면의 좌측/우측 방향에 대응할 수 있고, 격리 절단 방향은 뷰잉 표면의 인/아웃 방향에 대응할 수 있다. 도 2b 내지 도 11b에서, 게이트 절단 방향은 뷰잉 표면의 인/아웃 방향에 대응할 수 있고, 격리 절단 방향은 뷰잉 표면의 좌측/우측 방향에 대응할 수 있다.

- [0021] [0032] 도 2c 내지 도 11c는 반도체 디바이스 제조 스테이지들의 평면도들을 예시한다. 특별히 표시되지 않았지만, 게이트 절단 방향은 뷰잉 표면의 좌측/우측 방향에 대응할 수 있고, 격리 절단 방향은 위/아래 방향에 대응할 수 있다. 또한, 이들 도면들에서, 게이트 절단 구역(게이트 절단 마스크(115)에 의해 점유된 구역)은 중심 수평 부분에 대응하는 것으로서 인식될 수 있고, 격리 절단 구역(격리 절단 마스크(115)에 의해 점유되는 구역)은 중심 수직 부분에 대응하는 것으로서 인식될 수 있다.
- [0022] [0033] 도 2a, 도 2b 및 도 2c는, 기판(210)(예컨대, Si 기판)이 형성될 수 있고, STI(Shallow Trench Isolation) 층(220)(예컨대, SiN, SiO)이 기판(210) 상에 형성될 수 있고, ILD(interlayer dielectric)(230)(예컨대, SiO₂를 포함하는 산화물 층)이 STI 층(220) 상에 형성될 수 있고, 더미 게이트들(240)이 또한 STI 층(220)상에 형성될 수 있는 제조 스테이지를 예시한다. STI 층(220)은 전기적 격리를 제공하기 위한 수단의 예로서 인식될 수 있다. ILD 층(230)은 게이트 절단 구역에 대응하게 형성될 수 있다. 즉, ILD 층(230)은 게이트 절단 마스크(115)(도 2a, 도 2b 및 도 2c에서 도시되지 않음)와 수직으로 오버랩하는 영역에 형성될 수 있다. 예컨대, 도 2c에 예시된 스테이지의 평면도에서, ILD 층(230)은 중심 수평 부분을 점유하는 것으로 도시된다. ILD 층(230)은 ILD 층(230)의 양 측 상에 형성된 더미 게이트들(240)을 분리할 수 있다. 2개의 더미 게이트들(240)은 제1 및 제2 더미 게이트들(240)로서 지칭될 수 있다.
- [0023] [0034] 도 3a, 도 3b 및 도 3c는 제1 마스크(350)가 ILD 층(230) 및 제1 및 제2 더미 게이트들(240) 위에 형성될 수 있는 스테이지를 예시한다. 제1 마스크(350)는 하드마스크일 수 있다. 하드마스크들은 실리콘 질화물 및 실리콘 산화물과 같은 재료들로부터 형성될 수 있다. 통상적으로, 증착된 필름들은 경질성(hard)으로 간주되는 반면에, 스핀-온 폴리머들 또는 유기 필름들은 연성(soft)으로 간주된다. 폴리머들과 같은 소프트마스크들은 반응 가스들(예컨대, 산소, 불소 및 염소)에 의해 쉽게 에칭되는 경향이 있어서, 소프트마스크 패턴들은 플라즈마 에칭 동안 급속하게 저하될 수 있다. 하드마스크들은 더블 패터닝(하드마스크 상부에 포토레지스트를 갖는 패턴)이 가능하도록 포토레지스트와 상이한 다른 에칭 선택도(etching selectivity)를 제공한다.
- [0024] [0035] 도 4a, 도 4b 및 도 4c는 제1 포토레지스트(460)가 제1 마스크(350) 상에 증착될 수 있는 스테이지를 예시한다. 제1 포토레지스트(460)는 개구(465)를 포함하도록 증착될 수 있다. 개구(465)는 격리 절단 구역(도 4a, 도 4b 및 도 4c에 도시되지 않음)에 대응할 수 있고, 격리 절단 방향으로 제1 마스크(350)를 노출시킬 수 있다.
- [0025] [0036] 도 5a, 도 5b 및 도 5c는 트렌치(555)가 제1 마스크(350)에 형성될 수 있는 스테이지를 예시한다. 트렌치(555)는 제1 포토레지스트(460)의 개구부(465)(도 5a, 도 5b 및 도 5c에 도시되지 않음)에 의해 노출된 제1 마스크(350)의 부분을 에칭함으로써 형성될 수 있다. 에칭은 ILD 층(230)이 노출될 때까지 지속될 수 있다. 이러한 방식으로, 트렌치(555)는 또한 격리 절단 구역(도시되지 않음)에 대응할 수 있다. 그 후, 제1 포토레지스트(460)가 제거될 수 있다. 트렌치(555)는 ILD 층(230)의 부분뿐만 아니라 제1 및 제2 게이트들(240)의 부분들을 노출시킬 수 있다. ILD 층(230)의 노출된 부분의 영역은 게이트 절단 및 격리 절단 마스크들(115, 125)(도시되지 않음) 사이의 즉, 게이트 절단 및 격리 절단 구역들이 교차하거나 오버랩하는 접합부에 대응할 수 있다. ILD 층(230)은 접합부를 통해 연속적일 수 있다는 것에 주의한다. 일 양상에서, ILD 층(230)은 제조 동안 접합부를 통해 연속적으로 유지될 수 있다.
- [0026] [0037] 도 6a, 도 6b 및 도 6c는 제2 마스크(670)가 제1 마스크(350) 위에 형성될 수 있는 스테이지를 예시한다. 제2 마스크(670)는 또한 ILD 층(230)의 부분 상에 그리고 트렌치(555)에 의해 노출된 제1 및 제2 더미 게이트들(240)의 부분들 상에 형성될 수 있다. 제2 마스크(670)는 소프트마스크일 수 있다. 예로서, 소프트마스크들은 SOG(spin-on-glass)로서 형성될 수 있다. 제1 및 제2 마스크들(350, 670)은 상이한 에칭 선택도들 및/또는 상이한 에칭 레이트들을 가질 수 있다.
- [0027] [0038] 도 7a, 도 7b 및 도 7c는 제2 포토레지스트(780)가 제2 마스크(670) 상에 증착될 수 있는 스테이지를 예시한다. 제2 포토레지스트(780)는 게이트 절단 구역(도시되지 않음)에 대응하도록 증착될 수 있다. 일 양상에서, 게이트 절단 마스크(115)(도시되지 않음)가 제2 포토레지스트(780)를 증착하는 데 사용될 수 있지만, 제2 포토레지스트(780)의 톤(tone)은 제1 포토레지스트(460)의 톤으로부터 변한다. 즉, 제1 포토레지스트(460)에 있어서, 격리 절단 구역(도시되지 않음)은 포토레지스트 재료가 증착되지 않은 개구(465)에 대응한다. 그러나, 제2 포토레지스트(780)에 있어서, 게이트 절단 구역은 포토레지스트 재료가 증착되는 영역에 대응한다. 제2 포토레지스트(780)가 게이트 절단 구역 외부에 형성되지 않을 수 있기 때문에, 게이트 절단 구역 외부의 제2 마스크(670)의 부분은 노출될 수 있다.

- [0028] [0039] 도 8a, 도 8b 및 도 8c는 제2 마스크(670)의 노출된 부분(즉, 게이트 절단 구역 외부의 부분)이 에칭될 수 있는 스테이지를 예시한다. 그 결과, 더미 게이트들(240)이 노출될 수 있다. 게이트 절단 구역 내의 제2 마스크(670)는 제2 포토레지스트(780)에 의해 보호될 수 있다는 것에 주의한다. 제2 마스크(670)의 노출된 부분을 에칭한 후에, 제2 포토레지스트(780)는, 게이트 절단 구역(도시되지 않음)에 대응하는 제2 마스크(670)의 부분일 수 있는 잔여 제2 마스크(670)를 노출시키도록 세정(cleaned away)될 수 있다. 잔여 제2 마스크(670)는 ILD 층(230)을 마스크하기 위한 수단의 예로서 인식될 수 있다.
- [0029] [0040] 도 9a, 도 9b 및 도 9c는 제1 및 제2 더미 게이트들(240)이, 예컨대, 에칭 프로세스의 부분으로서 에칭될 수 있는 스테이지를 예시한다. 그 결과, 게이트 절단 구역 외부의 STI 층(220)은 노출될 수 있다. ILD 층(230)은, 그것이 게이트 절단 구역에서 제2 마스크(670)에 의해 보호되기 때문에 온전한 채로 유지될 수 있다는 것에 주의한다.
- [0030] [0041] 도 10a, 도 10b 및 도 10c는 잔여 제1 및 제2 마스크들(350, 670)이 제거될 수 있는 스테이지를 예시한다. 이는, STI 층(220) 상에서 더미 게이트들(240)(즉, 게이트 절단 구역 외부의 영역)에 의해 이전에 점유된 구역이 충전물(1190)을 갖는, 도 11a, 도 11b 및 도 11c에 예시된 스테이지가 뒤따를 수 있다. 실리콘의 질화물(예컨대, SiN) 및/또는 실리콘의 산화물(예컨대, SiO₂)이 충전물(1190)에 대한 재료로서 사용될 수 있다. 충전물(1190) 및/또는 ILD 층(230)은 예컨대, CMP(chemical-mechanical polishing)을 통해 폴리싱될 수 있다. 폴리싱은 게이트 바로 위에서 중단될 수 있다. 일 양상에서, 충전물(1190) 및 ILD 층(230)은 폴리싱 후에 동일 평면 상에 있을 수 있다.
- [0031] [0042] 알 수 있는 바와 같이, 충전물(1190)은 격리 절단 구역에 대응하는 ILD 층(230)의 양 측들 상을 포함해서 ILD 층(230)의 양 측들 상에 있을 수 있다. ILD 층(230)은 게이트 절단 및 격리 절단 구역들이 교차하는 접합부를 통해 연속적일 수 있다는 것에 주의한다. 일 양상에서, ILD 층(230)은 단일 층(예컨대, SiO₂ 층)을 포함할 수 있고, 충전물(1190)은 다수의 층들(예컨대, SiN 및 SiO 층들)을 포함할 수 있다. 다른 양상에서, ILD 층(230)의 재료는 충전물(1190)의 재료(들)와 상이할 수 있다.
- [0032] [0043] 도시되진 않았지만, 종래의 RMG(replacement metal gate) 프로세스가, 도 11a, 도 11b 및 도 11c에 예시된 스테이지들을 뒤따를 수 있다. ILD 층(230)은 제1 예시적인 프로세스 동안 온전한 채로 유지될 수 있기 때문에, 바람직하지 않은 레이어아웃 효과들은 완화되거나 심지어 제거될 수 있다.
- [0033] [0044] 도 12a 내지 도 22a, 도 12b 내지 도 22b 및 도 12c 내지 도 22c는 FinFET 디바이스와 같은 반도체 디바이스를 제조하기 위한 제2 예시적인 프로세스의 상이한 스테이지들을 예시한다. 제1 예시적인 프로세스와 유사하게, ILD 층은 제2 예시적인 프로세스 동안 유지될 수 있다. 도 12a 내지 도 22a는 게이트 절단 구역을 따른 반도체 디바이스 제조 스테이지들의 측면도들을 예시하고, 도 12b 내지 도 22b는 격리 절단 구역을 따른 반도체 디바이스 제조 스테이지들의 측면도들을 예시하고, 도 12c 내지 도 22c는 반도체 디바이스 제조 스테이지들의 평면도들을 예시한다. 재차, 이들 도면들에 명시적으로 도시되진 않았지만, 게이트 및 격리 절단 구역들 및 방향들은 도 2a 내지 도 11a, 도 2b 내지 도 11b, 및 도 2c 내지 도 11c와 유사한 것으로 가정할 수 있다.
- [0034] [0045] 도 12a, 도 12b 및 도 12c는 기관(210)(예컨대 Si 기관)이 형성될 수 있고, STI 층(220)(예컨대, SiN, SiO)이 기관(210) 상에 형성될 수 있고, ILD 층(230)(예컨대, 산화물 층) 및 더미 게이트들(240)이 STI 층(220) 상에 형성될 수 있는 제조 스테이지를 예시한다. ILD 층(230)은 게이트 절단 구역(도시되지 않음)에 대응하게 형성될 수 있다. 알 수 있는 바와 같이, ILD 층(230)은 ILD 층(230)의 양 측 상에 형성된 더미 게이트들(240)을 분리할 수 있다. 2개의 더미 게이트들(240)은 또한 제1 및 제2 더미 게이트들(240)로서 지칭될 수 있다. 이 스테이지는 도 2a, 도 2b 및 도 2c에 예시된 제1 예시적인 프로세스의 스테이지와 유사하거나 동일할 수 있다.
- [0035] [0046] 도 13a, 도 13b 및 도 13c는 제1 마스크(1350)가 ILD 층(230) 상에 그리고 제1 및 제2 더미 게이트들(240) 상에 형성될 수 있는 스테이지를 예시한다. 제1 마스크(1350)는 실리콘의 질화물들(예컨대, SiN)과 같은 재료들로부터 형성된 하드마스크일 수 있다. 제1 마스크(1350)는 또한 제1 하드마스크로서 지칭될 수 있다. 이 스테이지는 도 3a, 도 3b 및 도 3c에 예시된 제1 예시적인 프로세스의 스테이지와 유사하거나 동일할 수 있다.
- [0036] [0047] 도 14a, 도 14b 및 도 14c는 제2 마스크(1470)가 제1 마스크(1350) 상에 증착될 수 있는 스테이지를 예시한다. 제2 마스크(1470)는 또한 하드마스크일 수 있고 실리콘의 산화물들(예컨대, SiO₂)과 같은 재료들로부터 형성될 수 있다. 제2 마스크(1470)는 또한 제2 하드마스크로서 지칭될 수 있다. 제1 및 제2 마스크들

(1350, 1470)은 상이한 에칭 선택도들을 가질 수 있다.

- [0037] [0048] 도 15a, 도 15b 및 도 15c는 제1 포토레지스트(1560)가 제2 마스크(1470) 상에 증착될 수 있는 스테이지를 예시한다. 제1 포토레지스트(1560)는 패터닝된 제1 포토레지스트(1560)가 게이트 절단 구역(도시되지 않음)에 대응하도록 게이트 절단 마스크(115)(도시되지 않음)를 따라 패터닝될 수 있지만, 톤은 변경될 수 있다. 제1 포토레지스트(1560)가 형성된 후에, 게이트 절단 구역 외부의 제2 마스크(1470)의 부분은 노출될 수 있다.
- [0038] [0049] 도 16a, 도 16b 및 도 16c는 제2 마스크(1470)의 노출된 부분(즉, 게이트 절단 구역 외부의 부분)이 예컨대, 에칭을 통해 제거될 수 있는 스테이지를 예시한다. 게이트 절단 구역 내의 제2 마스크(1470)는 제1 포토레지스트(1560)에 의해 보호될 수 있다. 그 결과, 게이트 절단 구역 외부의 제1 마스크(1350)가 노출될 수 있다. 제2 마스크(1470)의 노출된 부분의 제거 후에, 제1 포토레지스트(1560)는, 게이트 절단 구역(도시되지 않음)에 대응하는 제2 마스크(1470)의 부분일 수 있는 잔여 제2 마스크를 노출시키도록 세정될 수 있다.
- [0039] [0050] 도 17a, 도 17b 및 도 17c는 게이트 절단 구역(도시되지 않음)에 대응하도록 제2 포토레지스트(1780)가 제2 마스크(1470) 상에 증착될 수 있는 스테이지를 예시한다. 이러한 방식으로, 게이트 절단 구역 외부의 제1 마스크(1350)는 노출된 채로 유지될 수 있다. 제2 포토레지스트(1780)는, 예컨대, 격리 절단 마스크(125)(도시되지 않음)를 사용함으로써 개구(1765)를 포함하도록 증착될 수 있다. 도 17c에서 알 수 있는 바와 같이, 개구(1765)는 게이트 절단 및 격리 절단 구역들 둘 모두 내에 있는, 즉, 2개의 구역들이 교차하는 제2 마스크의 부분(1470)을 노출시킬 수 있다.
- [0040] [0051] 도 18a, 도 18b 및 도 18c는 선택적 에칭이 게이트 절단 구역(도시되지 않음) 외부의 노출된 제1 마스크(1350)를 제거하기 위해 수행될 수 있는 스테이지를 예시한다. 제2 마스크(1470) 위의 제1 마스크(1350)의 선택적 에칭으로 인해, 잔여 제2 마스크(1470) 아래의 제1 마스크(1350)의 부분, 즉 잔여 제1 마스크(1350)는 에칭으로부터 보호될 수 있다. 선택적 에칭 후에, 제2 포토레지스트(1780)는 게이트 절단 구역에 대응할 수 있는 잔여 제2 마스크(1470)를 노출시키도록 세정될 수 있다. 잔여 마스크(1470)는 ILD 층(230)을 마스크하기 위한 수단의 예로서 인식될 수 있다. 대안적으로, 잔여 제1 및 제2 마스크들(1350, 1470)은 각각, ILD 층(230)을 마스크하기 위한 제1 및 제2 수단의 예로서 인식될 수 있다.
- [0041] [0052] 도 19a, 도 19b 및 도 19c는, 게이트 절단 구역(도시되지 않음) 내의 잔여 제1 마스크(1350)를 노출시키도록 잔여 제2 마스크(1470)가 제거될 수 있는 스테이지를 예시한다. 즉, 노출된 제1 마스크(350)는 게이트 절단 구역에 대응할 수 있다.
- [0042] [0053] 도 20a, 도 20b 및 도 20c는 제1 및 제2 터미 게이트들(240)이, 예컨대, 에칭 프로세스의 부분으로서 제거될 수 있는 스테이지를 예시한다. 그 결과, 게이트 절단 구역 외부의 STI 층(220)은 노출될 수 있다. ILD 층(230)은, 그것이 게이트 절단 구역에서 제1 마스크(1350)에 의해 보호되기 때문에 온전한 채로 유지된다는 것에 주의한다.
- [0043] [0054] 도 21a, 도 21b 및 도 21c는 잔여 제1 마스크(1350)가 제거될 수 있는 스테이지를 예시한다. 이 스테이지의 결과는 도 10a, 도 10b 및 도 10c에 예시된 제1 예시적인 프로세스의 스테이지의 결과와 유사하거나 동일할 수 있다. 이는 터미 게이트(240) - 게이트 절단 구역 외부의 구역 - 에 의해 이전에 점유된 구역이 충전물(2290)을 갖는, 도 22a, 도 22b 및 도 22c에 예시된 스테이지가 뒤따를 수 있다. 예컨대, 실리콘 질화물 및/또는 실리콘 산화물은 충전물(2290)에 대한 재료들로서 사용될 수 있다. 충전물(2290) 및/또는 ILD 층(230)은 예컨대, CMP(chemical-mechanical polishing)을 통해 폴리싱될 수 있다. 폴리싱은 게이트 바로 위에서 중단될 수 있다. 이 스테이지의 결과는 도 11a, 도 11b 및 도 11c에 예시된 제1 예시적인 프로세스의 스테이지의 결과와 유사하거나 동일할 수 있다. 예컨대, 일 양상에서, 충전물(2290) 및 ILD 층(230)은 폴리싱 후에 동일 평면상에 있을 수 있다.
- [0044] [0055] 충전물(2290)은 격리 절단 구역에 대응하는 ILD 층(230)의 양 측들 상을 포함해서 ILD 층(230)의 양 측들 상에 있을 수 있다. ILD 층(230)은 게이트 절단 및 격리 절단 구역들이 교차하는 접합부를 통해 연속적일 수 있다. 일 양상에서, ILD 층(230)은 단일 층(예컨대, SiO₂ 층)을 포함할 수 있고, 충전물(2290)은 다수의 층들(예컨대, SiN 및 SiO 층들)을 포함할 수 있다. 다른 양상에서, ILD 층(230)의 재료는 충전물(2290)의 재료(들)와 상이할 수 있다.
- [0045] [0056] 도시되진 않았지만, 종래의 RMG(replacement metal gate) 프로세스는, 도 22a, 도 22b 및 도 22c에 예시된 스테이지들을 뒤따를 수 있다. ILD 층(230)은 제2 예시적인 프로세스 동안 온전한 채로 유지될 수 있기

때문에, 바람직하지 않은 레이아웃 효과들은 완화되거나 심지어 제거될 수 있다.

- [0046] [0057] 도 23은 FinFET와 같은 반도체 디바이스를 형성하는 예시적인 방법(2300)의 흐름도를 예시한다. 예시적인 방법(2300)은 도 2a 내지 도 11a, 도 2b 내지 도 11b 및 도 2c 내지 도 11c에 예시된 제1 예시적인 프로세스에 적용 가능할 수 있다. 도 23의 모든 예시된 블록들이 수행될 필요는 없는데 즉, 일부 블록들은 선택적일 수 있다는 것이 주의되어야 한다. 또한, 도 23의 블록들에 대한 번호 참조들은 블록들이 소정의 순서로 수행되어야 한다는 것을 요구하는 것으로서 해석되어서는 안된다.
- [0047] [0058] 블록(2310)에서, STI 층(220)이 기판(210) 상에 형성될 수 있다. 블록(2320)에서, 제1 및 제2 더미 게이트들(240)은 STI 층(220) 상에 형성될 수 있다. 블록(2330)에서, ILD 층(230)은 또한 STI 층 상에 형성될 수 있다. 블록들(2310, 2320 및 2330)은 도 2a, 도 2b 및 도 2c에 예시된 스테이지에 대응할 수 있다. 예컨대, ILD 층(230)은 게이트 절단 구역에 대응하고 제1 및 제2 더미 게이트들(240)을 분리할 수 있다. 게이트 절단 구역은 게이트 절단 마스크(115)의 구역 또는 영역일 수 있다는 것을 상기한다.
- [0048] [0059] 블록(2340)에서, 제1 마스크(350)가 제1 및 제2 더미 게이트들(240) 상에 그리고 ILD 층(230) 상에 형성될 수 있다. 격리 절단 구역에 대응하는 트렌치(555)는 제1 마스크(350)에 형성될 수 있다. 격리 절단 구역은 격리 절단 마스크(125)의 구역 또는 영역일 수 있다는 것을 상기한다. 언급된 바와 같이, 게이트 절단 및 격리 절단 구역들은 교차될 수 있다. 일 양상에서, 2개의 구역들은 실질적으로 수직일 수 있다.
- [0049] [0060] 도 24는 블록(2340)을 수행하기 위한 예시적인 프로세스의 흐름도를 예시한다. 블록(2410)에서, 제1 마스크(350)는 제1 및 제2 더미 게이트들(240) 상에 그리고 ILD 층(230) 상에 증착될 수 있다. 제1 마스크(350)는 하드마스크일 수 있다. 블록(2410)은 도 3a, 도 3b 및 도 3c에 예시된 스테이지에 대응할 수 있다.
- [0050] [0061] 블록(2420)에서, 제1 포토레지스트(460)가 제1 마스크(350) 상에 증착될 수 있다. 제1 포토레지스트(460)는 격리 절단 구역에 대응하는 개구(465)를 갖도록 패터닝될 수 있다. 개구(465)는 제1 마스크(350)의 부분을 노출시킬 수 있다. 블록(2420)은 도 4a, 도 4b 및 도 4c에 예시된 스테이지에 대응할 수 있다.
- [0051] [0062] 블록(2430)에서, 제1 마스크(350)의 노출된 부분은 트렌치(555)를 형성하도록 에칭될 수 있다. 격리 절단 구역 외부의 제1 마스크(350) 부분, 즉 제1 포토레지스트(460)에 의해 커버되는 제1 마스크(350)의 부분은 에칭으로부터 보호될 수 있다. 그 후, 블록(2440)에서, 제1 포토레지스트(460)가 제거될 수 있다. 블록들(2430 및 2440)은 도 5a, 도 5b 및 도 5c에 예시된 스테이지에 대응할 수 있다.
- [0052] [0063] 도 23을 다시 참조하면, 블록(2350)에서, 제2 마스크(670)가 제1 마스크(350) 상에 형성될 수 있다. 제2 마스크(670)는 또한 트렌치(555)에 의해 노출된 ILD 층(230) 상에 형성될 수 있다. 제2 마스크(670)는 소프트마스크일 수 있다. 제2 마스크(670)는 제1 마스크(350)와 상이한 에칭 레이트 및/또는 선택도를 가질 수 있다. 블록(2350)은 도 6a, 도 6b 및 도 6c에 예시된 스테이지에 대응할 수 있다.
- [0053] [0064] 블록(2360)에서, 제1 및 제2 더미 게이트들(240)이 제거될 수 있다. 도 25는 블록(2360)을 수행하기 위한 예시적인 프로세스의 흐름도를 예시한다. 블록(2510)에서, 제2 포토레지스트(780)가 제2 마스크(670) 상에 증착되고, 게이트 절단 구역에 대응하도록 패터닝될 수 있어서, 게이트 절단 구역 외부의 제2 마스크(670)의 부분이 노출된다. 블록(2510)은 도 7a, 도 7b 및 도 7c에 예시된 스테이지에 대응할 수 있다.
- [0054] [0065] 블록(2520)에서, 제2 마스크(670)의 노출된 부분은 에컨대, 에칭을 통해 제거될 수 있다. 게이트 절단 구역 외부에 있는 제1 및 제2 더미 게이트들(240)은 제2 마스크(670)가 제거된 후에 노출될 수 있다. 블록(2530)에서, 제2 포토레지스트(670)가 제거될 수 있다. 잔여 제2 마스크(670), 즉 게이트 절단 구역에 대응하는 부분은 ILD 층(230)을 보호할 수 있다. 블록들(2520 및 2530)은 도 8a, 도 8b 및 도 8c에 예시된 스테이지에 대응할 수 있다.
- [0055] [0066] 블록(2540)에서, 제1 및 제2 더미 게이트들(240)이 제거될 수 있다. 예컨대, 더미 게이트들(240)을 떼어 내는 에칭이 수행될 수 있다. 게이트 절단 구역은 잔여 제2 마스크(670)에 의해 보호될 수 있다. 따라서, ILD 층(230)은 에칭 프로세스를 통해 온전한 채로 유지될 수 있다. 블록(2540)은 도 9a, 도 9b 및 도 9c에 예시된 스테이지에 대응할 수 있다.
- [0056] [0067] 도 23을 다시 참조하면, 블록(2370)에서, 제1 및 제2 마스크들(350, 670)은 에컨대, 에칭을 통해 제거될 수 있다. ILD 층(230)은 여전히 남아있을 수 있다는 것에 주의한다. 블록(2370)은 도 10a, 도 10b 및 도 10c에 예시된 스테이지에 대응할 수 있다.
- [0057] [0068] 블록(2380)에서, 제거된 더미 게이트들(240)에 의해 남겨진 구역들은 충전물(1190)로 충전될 수 있다.

즉, 충전물(1190)은 게이트 절단 구역 외부의 영역에 충전될 수 있다. SiN 및 SiO를 포함하는 재료들이 충전물(1190)에 대해 사용될 수 있다. 충전물(1190) 및/또는 ILD 층(230)은 예컨대, CMP(chemical-mechanical polishing)을 통해 폴리싱될 수 있다. 폴리싱은 게이트 바로 위에서 중단될 수 있다. 블록(2380)은 도 11a, 도 11b 및 도 11c에 예시된 스테이지에 대응할 수 있다.

- [0058] [0069] 도시되진 않았지만, 종래의 RMG(replacement metal gate) 프로세스가, 도 23에 예시된 방법에 뒤따를 수 있다. ILD 층(230)은 방법(2300)에 의해 온전한 채로 유지될 수 있기 때문에, 바람직하지 않은 레이아웃 효과들이 완화되거나 심지어 제거될 수 있다.
- [0059] [0070] 도 26은 FinFET와 같은 반도체 디바이스를 형성하는 다른 예시적인 방법(2600)의 흐름도를 예시한다. 예시적인 방법(2600)은 도 12a 내지 도 22a, 도 12b 내지 도 22b 및 도 12c 내지 도 22c에 예시된 제2 예시적인 프로세스에 적용 가능할 수 있다. 도 26의 모든 예시된 블록들이 수행될 필요는 없는데 즉, 일부 블록들은 선택적일 수 있다는 것이 주의되어야 한다. 또한, 도 26의 블록들에 대한 번호 참조들은 블록들이 소정의 순서로 수행되어야 한다는 것을 요구하는 것으로서 해석되어서는 안된다.
- [0060] [0071] 블록(2610)에서, STI 층(220)이 기판(210) 상에 형성될 수 있다. 블록(2620)에서, 제1 및 제2 터미 게이트들(240)은 STI 층(220) 상에 형성될 수 있다. 블록(2630)에서, ILD 층(230)은 또한 STI 층 상에 형성될 수 있다. 블록들(2610, 2620 및 2630)은 도 12a, 12b 및 12c에 예시된 스테이지에 대응할 수 있다. 예컨대, ILD 층(230)은 게이트 절단 구역에 대응하고 제1 및 제2 터미 게이트들(240)을 분리할 수 있다.
- [0061] [0072] 블록(2640)에서, 제1 마스크(350)는 제1 및 제2 터미 게이트들(240) 상에 그리고 ILD 층(230) 상에 형성될 수 있다. 제1 마스크(350)는 SiN 및/또는 SiO₂와 같은 재료들로부터 형성된 하드마스크일 수 있다. 블록(2640)은 도 13a, 도 13b 및 도 13c에 예시된 스테이지에 대응할 수 있다.
- [0062] [0073] 블록(2650)에서, 제2 마스크(1470)가 제1 마스크(1350) 상에 형성될 수 있다. 제2 마스크(1470)는 게이트 절단 구역에 대응하여서, 그 게이트 절단 구역 외부의 제1 마스크(1350) 부분이 노출될 수 있다. 도 27은 블록(2650)을 수행하기 위한 예시적인 프로세스의 흐름도를 예시한다. 블록(2710)에서, 제2 마스크(1470)가 제1 마스크(1350) 상에 증착될 수 있다. 제2 마스크(1470)는 또한 SiN 및/또는 SiO₂와 같은 재료들로부터 형성된 하드마스크일 수 있다. 제2 마스크(1470)는 제1 마스크(1350)와 상이한 재료들로부터 형성될 수 있다. 블록(2710)은 도 14a, 도 14b 및 도 14c에 예시된 스테이지에 대응할 수 있다.
- [0063] [0074] 블록(2720)에서, 제1 포토레지스트(1560)가 제2 마스크(1470) 상에 증착될 수 있다. 제1 포토레지스트(1560)는 예컨대, 게이트 절단 마스크(115)에 따라 게이트 절단 구역에 대응하도록 패터닝될 수 있다. 게이트 절단 구역 외부의 제2 마스크(1470)의 부분은 제1 포토레지스트(1560)가 형성된 후에 노출될 수 있다. 블록(2720)은 도 15a, 도 15b 및 도 15c에 예시된 스테이지에 대응할 수 있다.
- [0064] [0075] 블록(2730)에서, 제2 마스크(1470)의 노출된 부분은 제거될 수 있다. 이러한 방식으로, 게이트 절단 구역 외부의 제1 마스크(1350)의 부분은 노출될 수 있다. 그 후, 블록(2740)에서, 제1 포토레지스트(1560)가 제거될 수 있다. 블록들(2730 및 2740)은 도 16a, 도 16b 및 도 16c에 예시된 스테이지에 대응할 수 있다.
- [0065] [0076] 도 26을 다시 참조하면, 블록(2660)에서, 제1 마스크(1350) 및 제2 마스크(1470)의 노출된 부분이 제거될 수 있다. 이를 행하는데 있어, 게이트 절단 구역에 대응하는 제1 마스크(1350)의 부분은 ILD 층(230) 상에서 유지될 수 있다. 도 28은 블록(2660)을 수행하는 예시적인 프로세스의 흐름도를 예시한다. 블록(2810)에서, 게이트 절단 구역에 대응하는 제2 포토레지스트(1780)가 제2 마스크(1470) 상에 증착될 수 있다. 제2 포토레지스트(1780)는 제2 마스크(1470)의 부분을 노출시키는 개구(1765)를 가질 수 있다. 개구(1765)는 게이트 절단 및 격리 절단 구역들 사이의 교차부에 대응할 수 있다. 블록(2810)은 도 17a, 도 17b 및 도 17c에 예시된 스테이지에 대응할 수 있다. 게이트 절단 구역 외부의 제1 마스크(1350)는 노출된 채로 유지될 수 있는 것에 주의된다.
- [0066] [0077] 블록(2820)에서, 제1 마스크(1350)의 노출된 부분은 예컨대, 선택적 에칭을 통해 선택적으로 제거될 수 있다. 선택적 에칭이 수행될 때, 제2 마스크(1470) 아래의 게이트 절단 구역에 대응하는 제1 마스크(1350) 부분은, 그것이 제2 마스크(1470)에 의해 보호될 수 있기 때문에 유지될 수 있다. 이는, 제1 마스크(1350) 아래의 ILD 층(230)이 또한 유지될 수 있음을 의미한다. 블록(2830)에서, 노출된 제2 포토레지스트(1780)가 제거될 수 있다. 블록들(2820 및 2830)은 도 18a, 도 18b 및 도 18c에 예시된 스테이지에 대응할 수 있다.
- [0067] [0078] 블록(2840)에서, 제2 마스크(1470)가 제거될 수 있다. 이를 행하는데 있어, 게이트 절단 구역에 대응하

는 제1 마스크(1350)가 노출될 수 있다. 블록(2840)은 도 19a, 도 19b 및 도 19c에 예시된 스테이지에 대응할 수 있다.

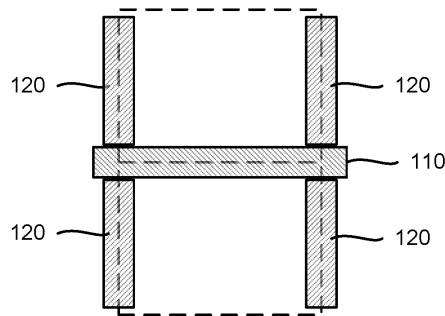
- [0068] [0079] 도 26을 다시 참조하면, 블록(2670)에서, 제1 및 제2 더미 게이트들(240)이 제거될 수 있다. 예컨대, 더미 게이트들(240)을 떼어 내는 에칭이 수행될 수 있다. 게이트 절단 구역은 잔여 제1 마스크(1350)에 의해 보호될 수 있다. 따라서, ILD 층(230)은 에칭 프로세스를 통해 온전한 채로 유지될 수 있다. 블록(2670)은 도 20a, 도 20b 및 도 20c에 예시된 스테이지에 대응할 수 있다.
- [0069] [0080] 블록(2680)에서, 제1 마스크(1350)는 예컨대, 에칭을 통해 제거될 수 있다. ILD 층(230)은 여전히 남아 있을 수 있다는 것에 주의한다. 블록(2680)은 도 21a, 도 21b 및 도 21c에 예시된 스테이지에 대응할 수 있다.
- [0070] [0081] 블록(2690)에서, 제거된 더미 게이트들(240)에 의해 남겨진 구역들은 충전물(2290)로 충전될 수 있다. 즉, 충전물(2290)은 게이트 절단 구역 외부의 영역에 충전될 수 있다. SiN 및 SiO를 포함하는 재료들이 충전물(2290)에 대해 사용될 수 있다. 충전물(2290) 및/또는 ILD 층(230)은 예컨대, CMP(chemical-mechanical polishing)을 통해 폴리싱될 수 있다. 폴리싱은 게이트 바로 위에서 중단될 수 있다. 블록(2690)은 도 22a, 도 22b 및 도 22c에 예시된 스테이지에 대응할 수 있다.
- [0071] [0082] 도시되진 않았지만, 종래의 RMG(replacement metal gate) 프로세스는, 도 26에 예시된 방법에 뒤따를 수 있다. ILD 층(230)은 방법(2600)에 의해 온전한 채로 유지될 수 있기 때문에, 바람직하지 않은 레이아웃 효과들이 완화되거나 심지어 제거될 수 있다.
- [0072] [0083] 도 29는 전술한 반도체 디바이스 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예컨대, 모바일 전화 디바이스(2902), 랩톱 컴퓨터 디바이스(2904) 및 고정 위치 단말 디바이스(2906)는 본원에서 설명된 바와 같은 반도체 디바이스(2900)를 포함할 수 있다. 반도체 디바이스(2900)는 예컨대, 본원에서 설명된 집적 회로들, 다이들, 통합 디바이스들, 통합 디바이스 패키지들, 집적 회로 디바이스들, 디바이스 패키지들, 집적 회로(IC) 패키지들, 패키지-온-패키지 디바이스들 중 임의의 것일 수 있다. 도 29에 예시된 디바이스들(2902, 2904, 2906)은 단지 예시적이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication system) 유닛들, 휴대용 데이터 유닛들, 예컨대, 개인용 디지털 보조기기들, GPS(global positioning system) 인에이블 디바이스들, 네비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 예컨대, 검침 장비, 통신 디바이스들, 스마트 폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들, 서버들, 라우터들, 자동차들(예컨대, 자율주행 차량들(autonomous vehicles))에 구현되는 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 리트리브하는 임의의 다른 디바이스 또는 이들의 임의의 결합을 포함하는 디바이스들(예컨대, 전자 디바이스들)의 그룹을 포함(그러나 이에 제한되지 않음)하는 반도체 디바이스를 특징으로 한다.
- [0073] [0084] 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 기술 및 기법을 사용하여 표현될 수 있다는 것을 당업자들은 인지할 것이다. 예컨대, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 결합에 의해 표현될 수 있다.
- [0074] [0085] 추가로, 본원에 개시된 예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 결합들로서 구현될 수 있음을 당업자들은 인지할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환 가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 방법들은 그들의 기능성 관점에서 일반적으로 위에서 설명되었다. 이러한 기능성이 하드웨어로 구현되는지 또는 소프트웨어로 구현되는지는 전체 시스템에 부과되는 설계 제약들 및 특정 애플리케이션에 의존한다. 당업자들은 설명된 기능성을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.
- [0075] [0086] 본원에서 개시된 예들과 관련하여 설명되는 방법들, 시퀀스들, 및/또는 알고리즘들은 직접적으로 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 결합으로 구체화될 수 있다. 소프트웨어 모듈들은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드디스크, 제거 가능 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고 저장 매체에 정보를 기록할 수 있도록 프로세서에 커플링된다. 대안으로, 저장 매체는 프로세서에 통합될 수 있다.

[0076] [0087] 따라서, 양상은 반도체 디바이스를 형성하는 방법을 구체화하는 컴퓨터-관독 가능 매체들을 포함할 수 있다. 따라서, 개시된 청구 대상의 범위는 예시된 예들로 제한되지 않으며, 본원에서 설명된 기능성을 수행하기 위한 임의의 수단이 포함된다.

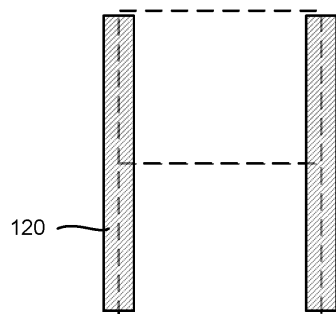
[0077] [0088] 전술한 개시내용은 예시적인 예들 도시하지만, 첨부된 청구항들에 의해 정의되는 바와 같은 개시된 청구 대상의 범위를 벗어나지 않으면서 다양한 변경들 및 변형들이 본원에서 이루어질 수 있음이 유의되어야 한다. 본원에 설명된 예들에 따른 방법 청구항들의 기능들, 프로세스들 및/또는 동작들은 임의의 특정 순서로 수행될 필요는 없다. 또한, 개시된 청구 대상의 엘리먼트들이 단수로 설명되거나 청구될 수 있지만, 단수에 대한 제한이 명시적으로 언급되지 않으면 복수가 고려된다.

도면

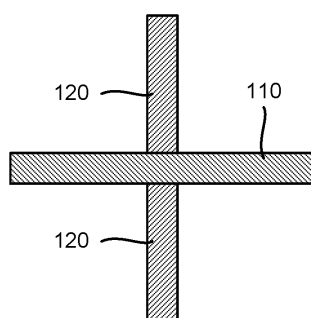
도면1



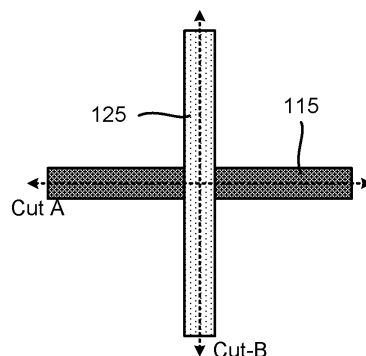
도 1a



도 1b

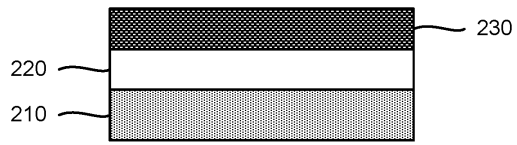


도 1c

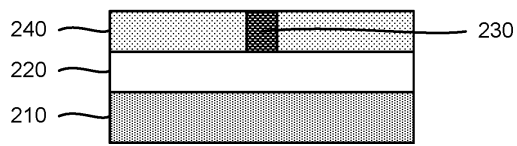


도 1d

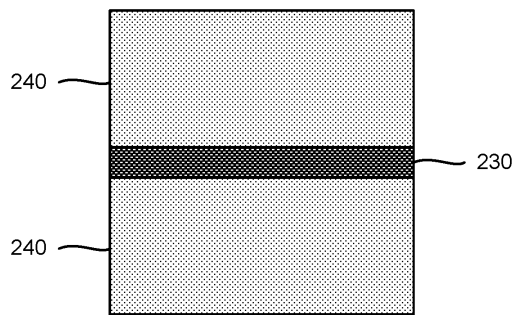
도면2



도 2a

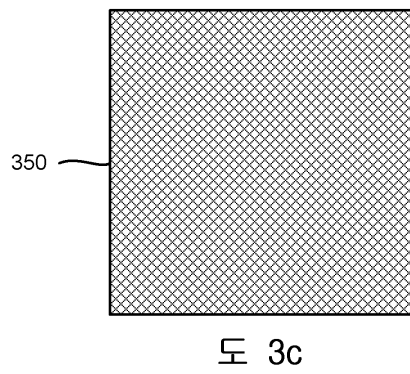
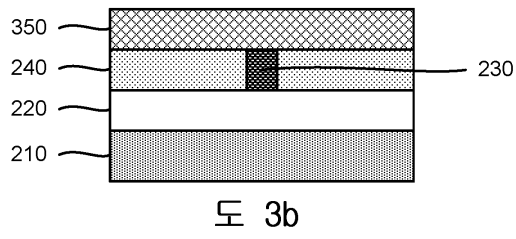
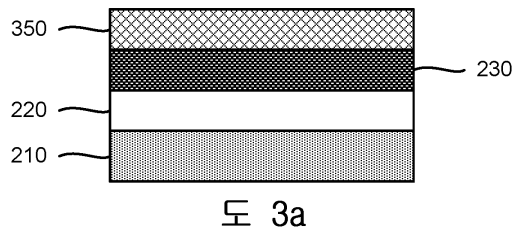


도 2b

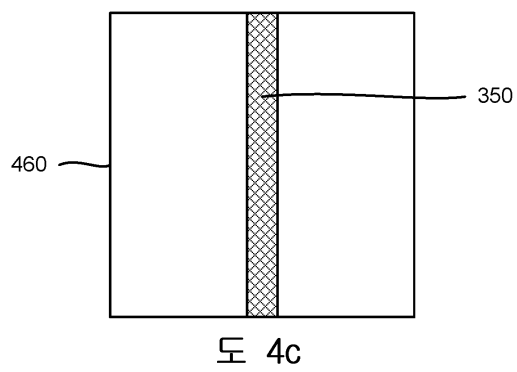
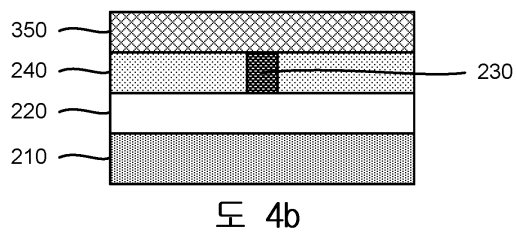
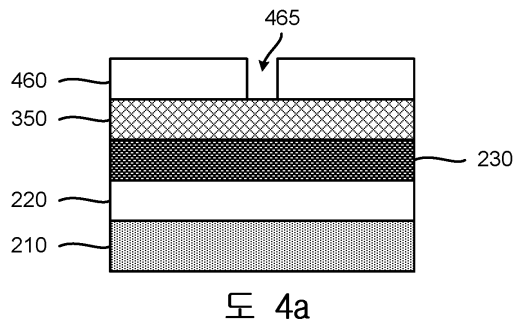


도 2c

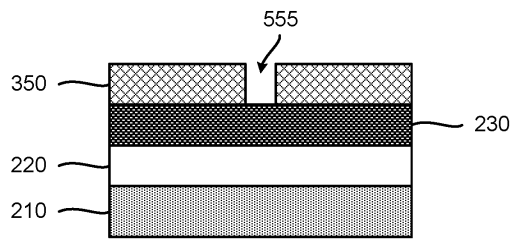
도면3



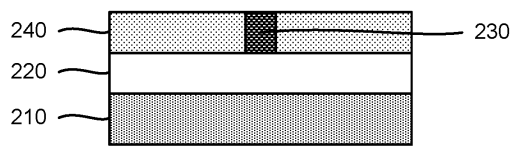
도면4



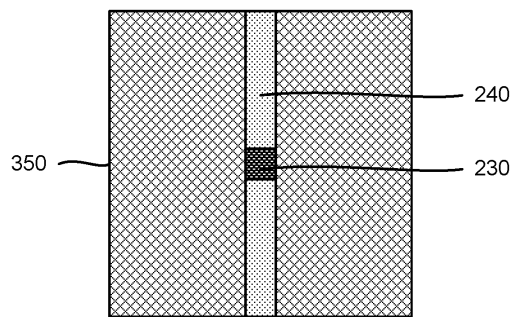
도면5



도 5a

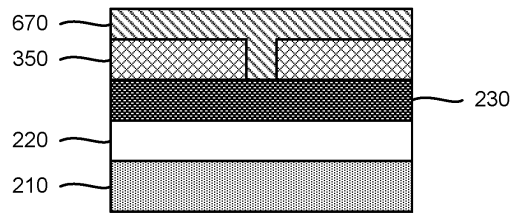


도 5b

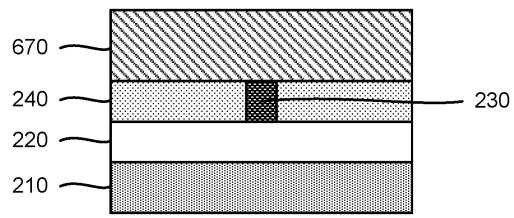


도 5c

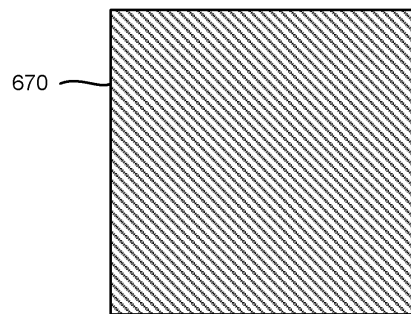
도면6



도 6a

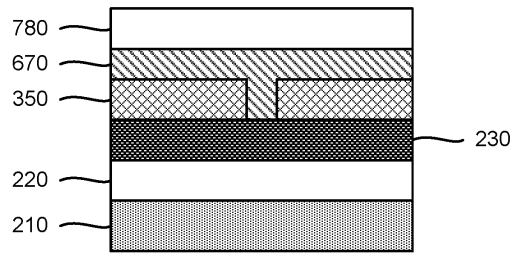


도 6b

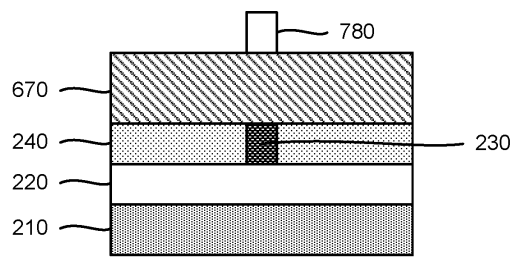


도 6c

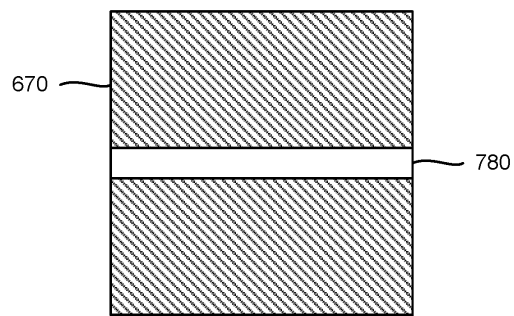
도면7



도 7a

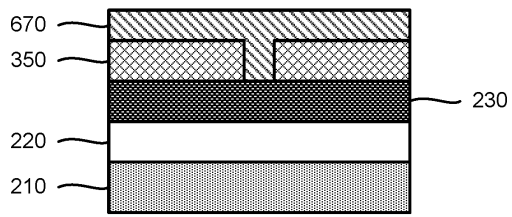


도 7b

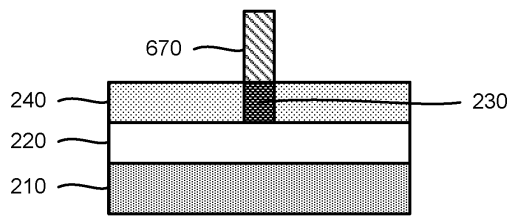


도 7c

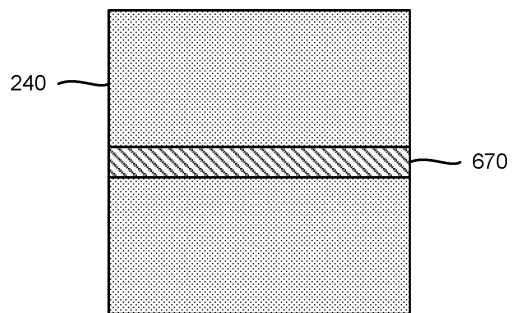
도면8



도 8a

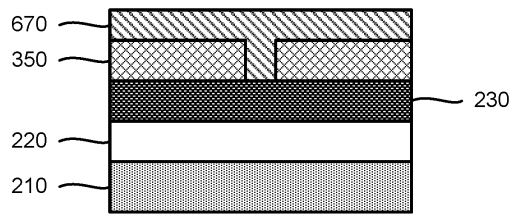


도 8b

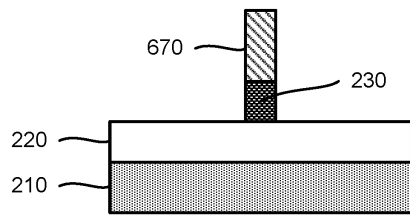


도 8c

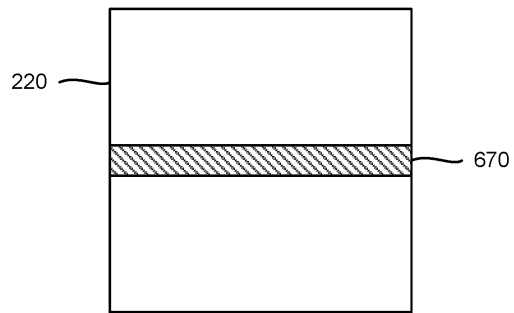
도면9



도 9a

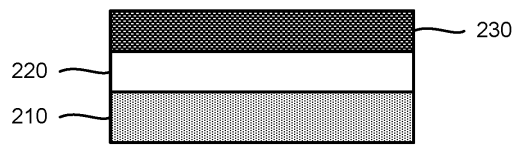


도 9b

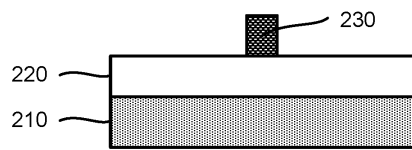


도 9c

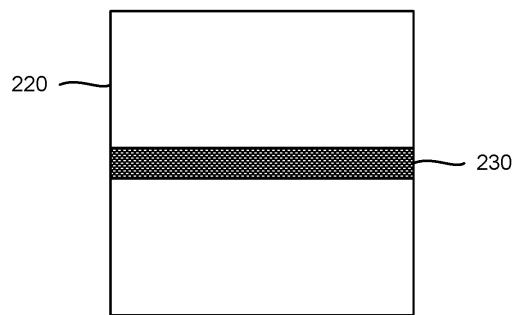
도면10



도 10a

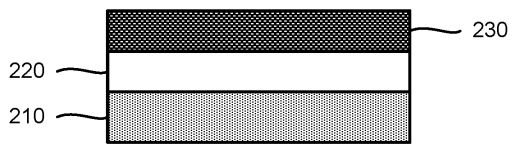


도 10b

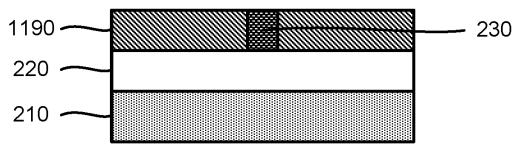


도 10c

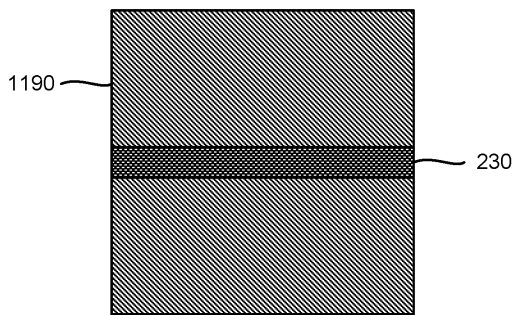
도면11



도 11a

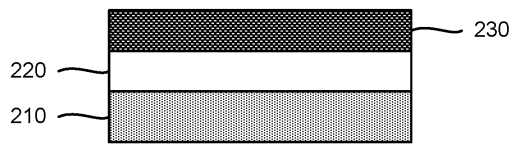


도 11b

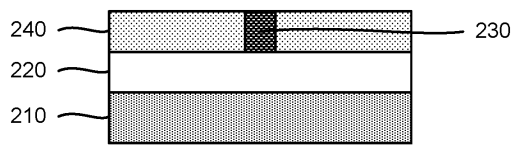


도 11c

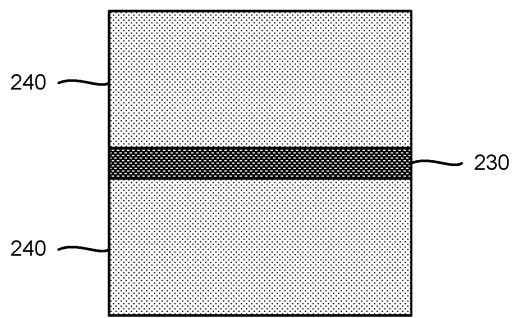
도면12



도 12a

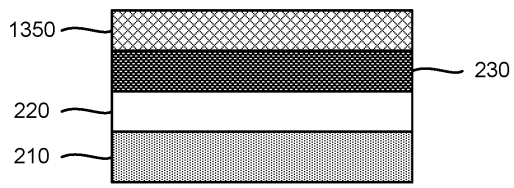


도 12b

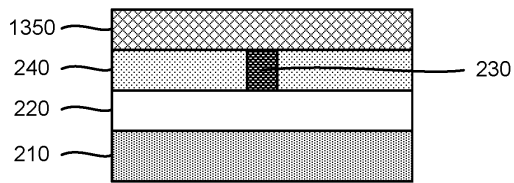


도 12c

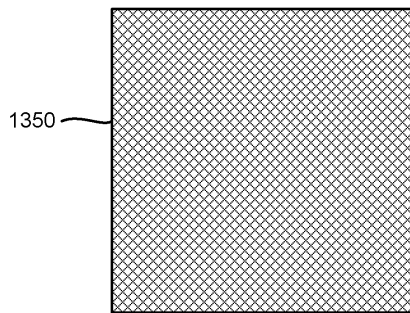
도면13



도 13a

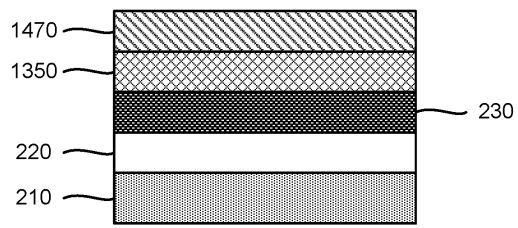


도 13b

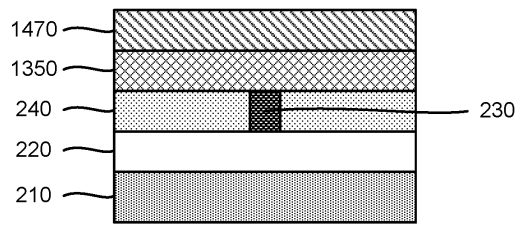


도 13c

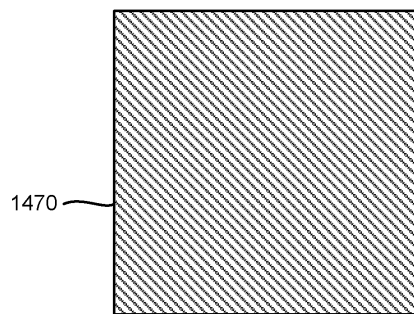
도면14



도 14a

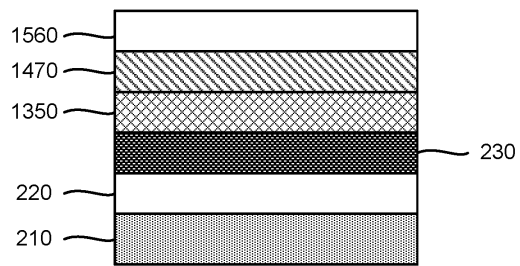


도 14b

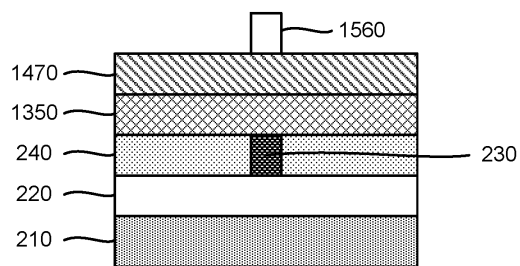


도 14c

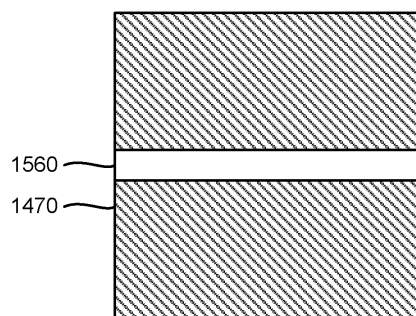
도면15



도 15a

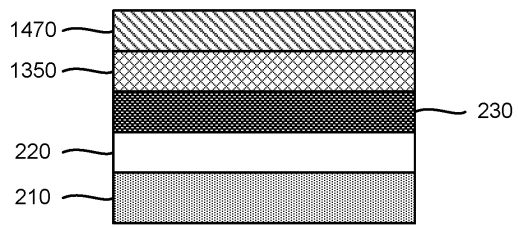


도 15b

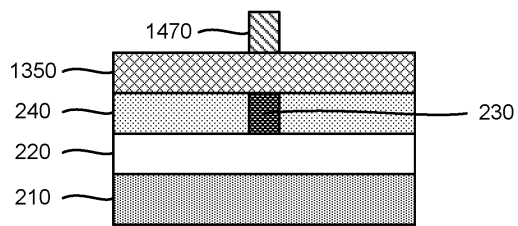


도 15c

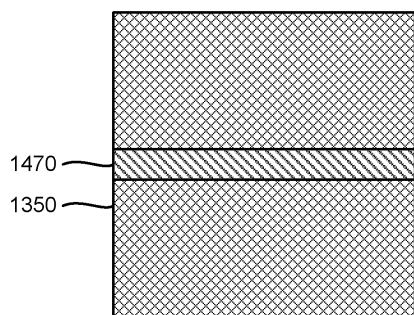
도면16



도 16a

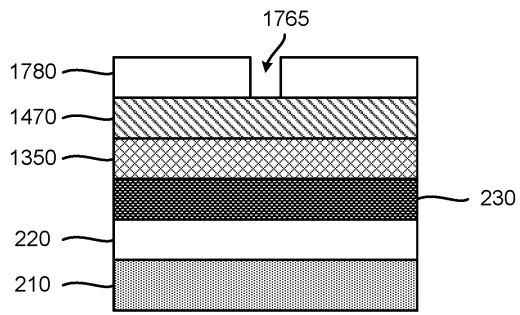


도 16b

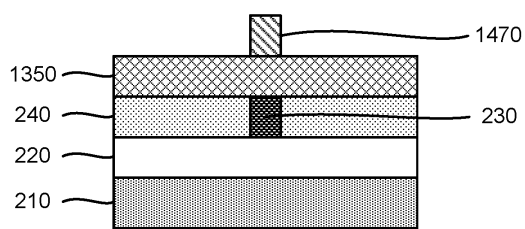


도 16c

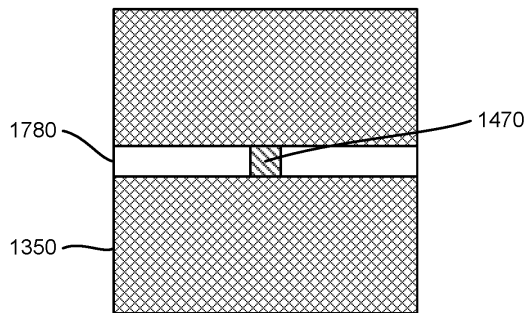
도면17



도 17a

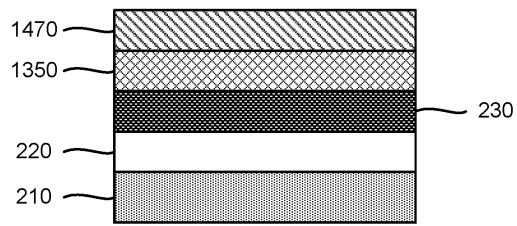


도 17b

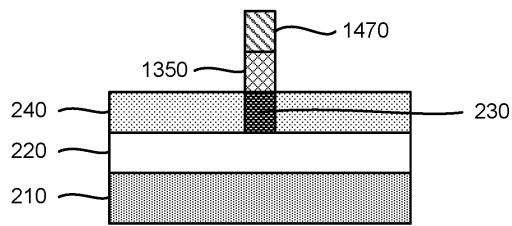


도 17c

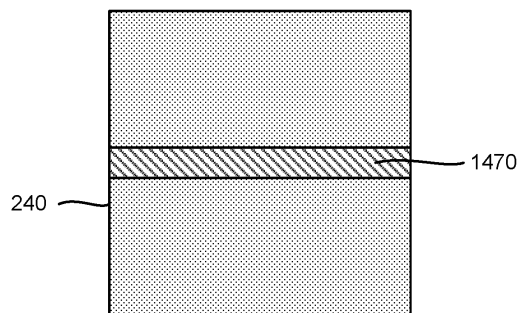
도면18



도 18a

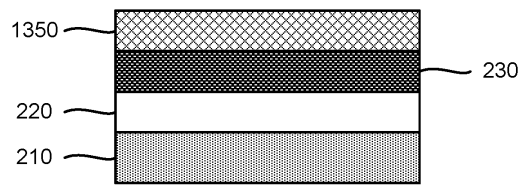


도 18b

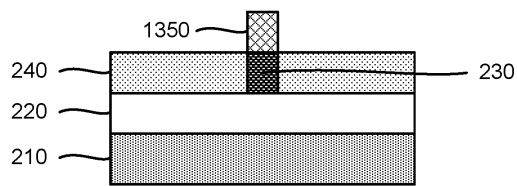


도 18c

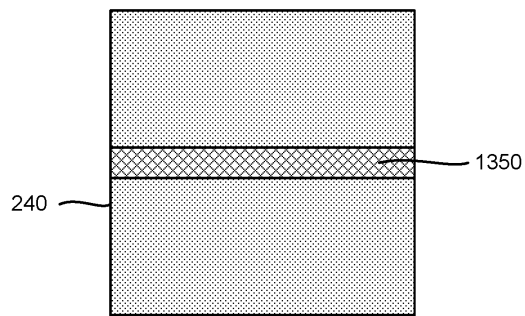
도면19



도 19a

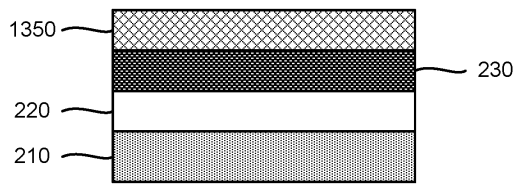


도 19b

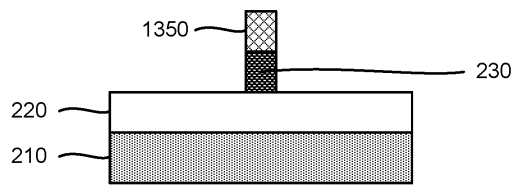


도 19c

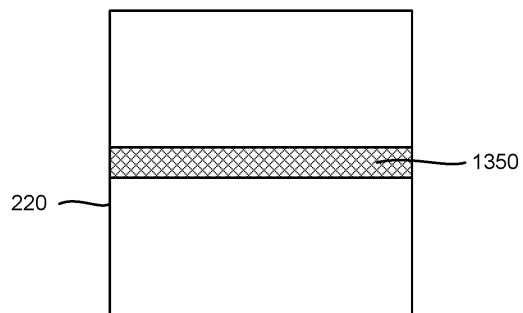
도면20



도 20a

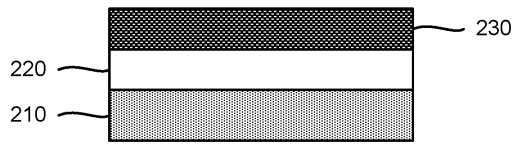


도 20b

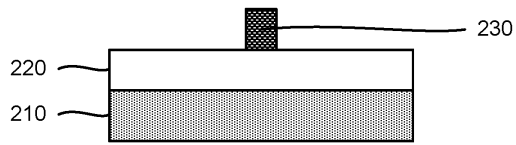


도 20c

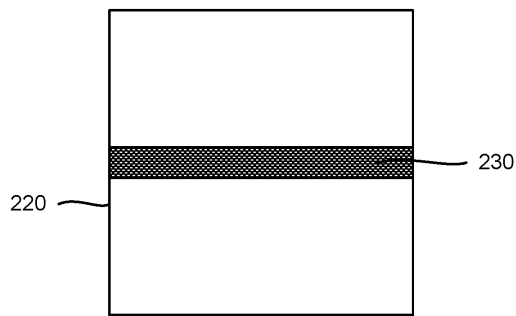
도면21



도 21a

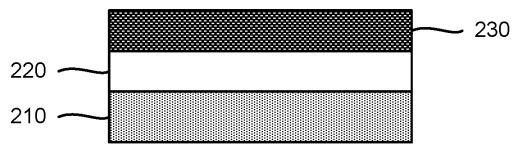


도 21b

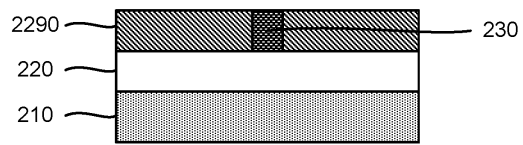


도 21c

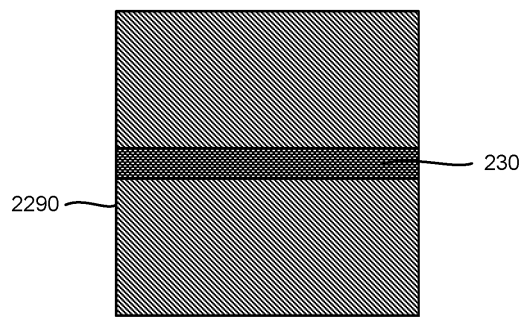
도면22



도 22a

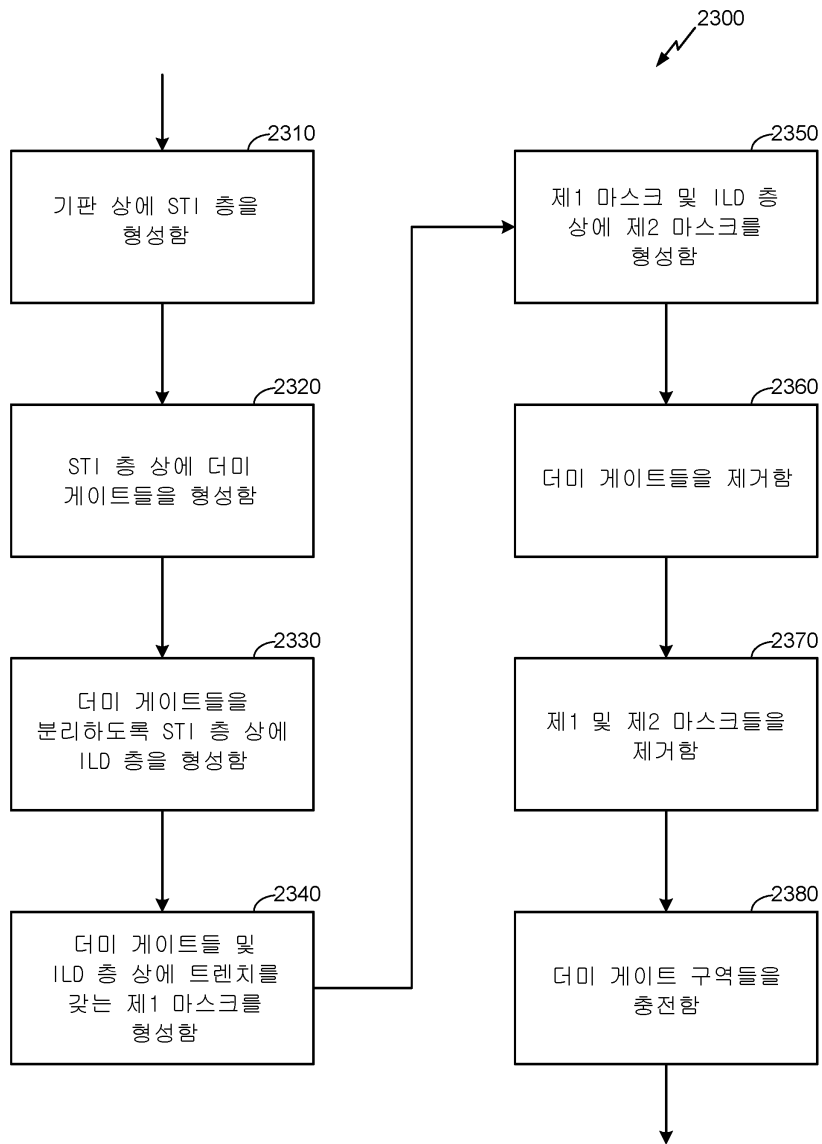


도 22b

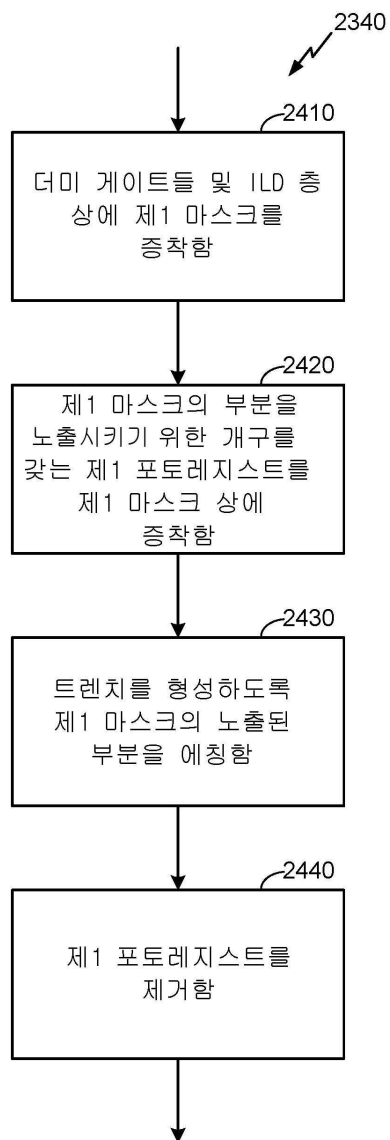


도 22c

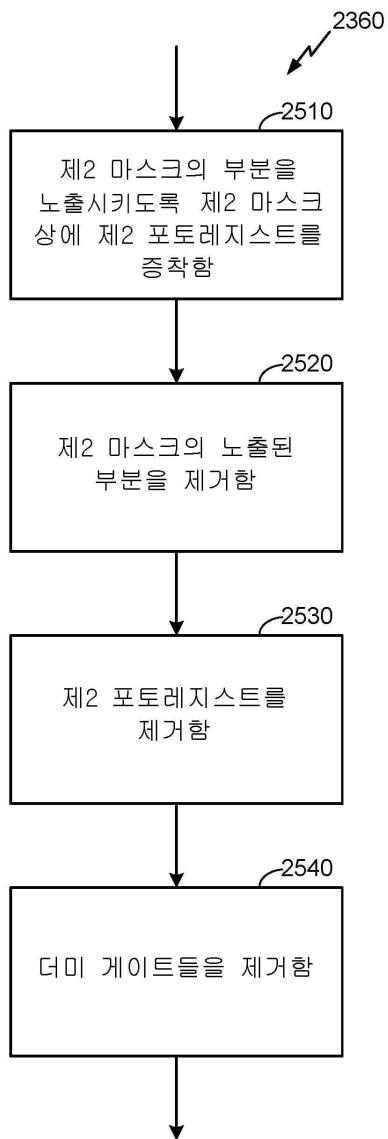
도면23



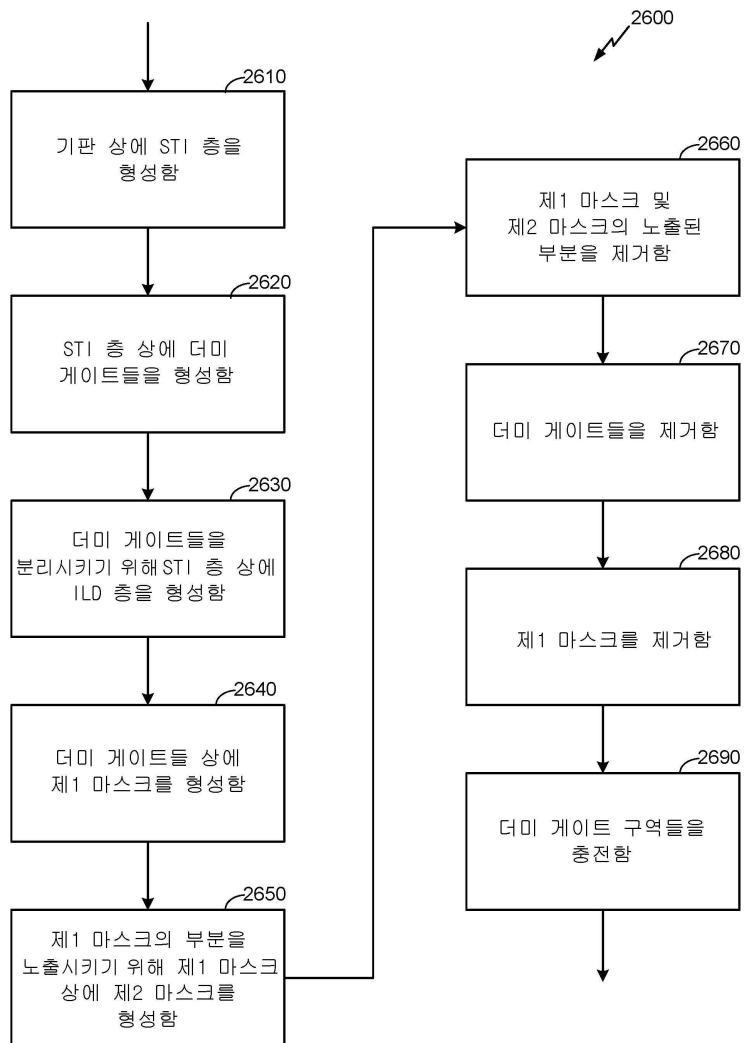
도면24



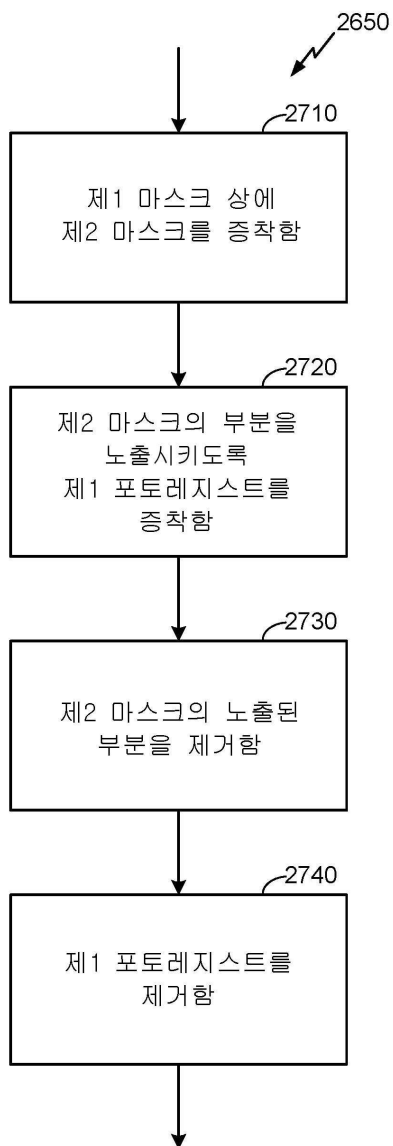
도면25



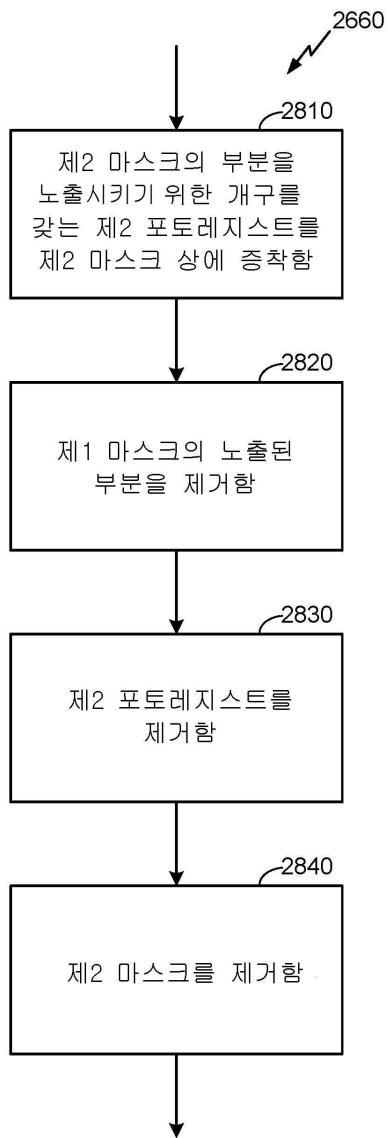
도면26



도면27



도면28



도면29

