

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4824422号  
(P4824422)

(45) 発行日 平成23年11月30日 (2011.11.30)

(24) 登録日 平成23年9月16日 (2011.9.16)

(51) Int. Cl.

F I

G O 6 F 13/36 (2006.01)

G O 6 F 13/36 5 2 O D

G O 6 F 13/38 (2006.01)

G O 6 F 13/38 3 3 O B

請求項の数 12 (全 23 頁)

(21) 出願番号 特願2006-39905 (P2006-39905)  
(22) 出願日 平成18年2月16日 (2006.2.16)  
(65) 公開番号 特開2007-95025 (P2007-95025A)  
(43) 公開日 平成19年4月12日 (2007.4.12)  
審査請求日 平成21年2月16日 (2009.2.16)  
(31) 優先権主張番号 特願2005-249173 (P2005-249173)  
(32) 優先日 平成17年8月30日 (2005.8.30)  
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000006747  
株式会社リコー  
東京都大田区中馬込1丁目3番6号  
(74) 代理人 100089118  
弁理士 酒井 宏明  
(72) 発明者 寺尾 典之  
東京都大田区中馬込1丁目3番6号 株式  
会社リコー内  
(72) 発明者 沼倉 寛  
東京都大田区中馬込1丁目3番6号 株式  
会社リコー内  
(72) 発明者 佐藤 哲也  
東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

最終頁に続く

(54) 【発明の名称】 制御装置、画像処理システムおよびデータ転送経路切替方法

(57) 【特許請求の範囲】

【請求項1】

プロセッサおよびメモリに接続されルート機能を有するルートデバイスと、  
前記ルートデバイスに第1のバスを介して接続される第1のデバイスと、  
前記ルートデバイスに第2のバスを介して接続されるとともに、前記第1のデバイスに  
第3のバスを介して接続される第2のデバイスと、  
を備え、

前記ルートデバイスは、前記プロセッサが当該ルートデバイスを介して前記メモリにア  
クセスした場合に、前記第1のデバイスと前記ルートデバイスとを接続する前記第1のバ  
スおよび前記ルートデバイスと前記第2のデバイスとを接続する前記第2のバスを經由す  
る第1のデータ転送経路から前記第1のデバイスと前記第2のデバイスとを接続する前記  
第3のバスを經由する第2のデータ転送経路に切り替える切替手段を有する、  
ことを特徴とする制御装置。

【請求項2】

前記第1のデバイスおよび前記第2のデバイスは、前記第1のデータ転送経路から前記  
第2のデータ転送経路に切り替えるためのスイッチを夫々有するデバイスであり、

前記切替手段は、前記第1のデータ転送経路から前記第2のデータ転送経路に切り替え  
る制御を前記スイッチに行わせるための信号を前記第1のバスを介して前記第1のデバイ  
スに送信するとともに前記第2のバスを介して前記第2のデバイスに送信することで、前  
記第1のデータ転送経路から前記第2のデータ転送経路に切り替える、

10

20

ことを特徴とする請求項 1 記載の制御装置。

【請求項 3】

前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有するデバイスであり、

前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための前記第 1 のデバイスを通信先として示す通信アドレスを前記第 2 のデバイスに送信するとともに前記第 2 のデバイスを通信先として示す通信アドレスを前記第 1 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える、

ことを特徴とする請求項 1 記載の制御装置。

10

【請求項 4】

前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有するデバイスであり、

前記ルートデバイスと前記第 1 のデバイスとを接続する前記第 1 のバスとは異なる第 1 の信号線をさらに具備し、

前記ルートデバイスと前記第 2 のデバイスとを接続する前記第 2 のバスとは異なる第 2 の信号線をさらに具備し、

前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 の信号線を介して前記第 1 のデバイスに送信するとともに前記第 2 の信号線を介して前記第 2 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える、

20

ことを特徴とする請求項 1 記載の制御装置。

【請求項 5】

プロセッサおよびメモリに接続されルート機能を有するとともに前記メモリに対する制御機能を有するメモリ制御デバイスと、

前記メモリ制御デバイスに第 1 のバスを介して接続され、画像処理を実行する画像処理コントローラと、

前記メモリ制御デバイスに第 2 のバスを介して接続されるとともに前記画像処理コントローラに第 3 のバスを介して接続され、I/O デバイスを制御する I/O 制御デバイスと

30

、  
を備え、

前記メモリ制御デバイスは、前記プロセッサが当該メモリ制御デバイスを介して前記メモリにアクセスした場合に、前記画像処理コントローラと前記 I/O 制御デバイスとの間に位置する前記第 1 のバスと前記メモリ制御デバイスとを接続する前記第 1 のバスおよび前記メモリ制御デバイスと前記 I/O 制御デバイスとを接続する前記第 2 のバスを経由する第 1 のデータ転送経路から前記画像処理コントローラと前記 I/O 制御デバイスとを接続する前記第 3 のバスを経由する第 2 のデータ転送経路に切り替える切替手段を有する、  
ことを特徴とする画像処理システム。

【請求項 6】

前記画像処理コントローラおよび前記 I/O 制御デバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有し、

40

前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 のバスを介して前記画像処理コントローラに送信するとともに前記第 2 のバスを介して前記 I/O 制御デバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える、

ことを特徴とする請求項 5 記載の画像処理システム。

【請求項 7】

前記画像処理コントローラおよび前記 I/O デバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有し、

前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替え

50

る制御を前記スイッチに行わせるための前記画像処理コントローラを通信先として示す通信アドレスを前記 I / O 制御デバイスに送信するとともに前記 I / O 制御デバイスを通信先として示す通信アドレスを前記画像処理コントローラに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える、  
ことを特徴とする請求項 5 記載の画像処理システム。

【請求項 8】

前記ルートデバイスと前記画像処理システムとを接続する前記第 1 のバスとは異なる第 1 の信号線をさらに具備し、

前記ルートデバイスと前記 I / O 制御デバイスとを接続する前記第 2 のバスとは異なる第 2 の信号線をさらに具備し、

前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 の信号線を介して前記画像処理コントローラに送信するとともに前記第 2 の信号線を介して前記 I / O 制御デバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える、  
ことを特徴とする請求項 5 記載の画像処理システム。

【請求項 9】

プロセッサおよびメモリに接続されルート機能を有するルートデバイスによって実行されるデータ転送経路切替方法において、

前記プロセッサが当該ルートデバイスを介して前記メモリにアクセスし、

前記プロセッサによる前記メモリへのアクセスが発生した場合に、前記ルートデバイスに第 1 のバスを介して接続される第 1 のデバイスと前記ルートデバイスとを接続する前記第 1 のバスおよび前記ルートデバイスと前記ルートデバイスに第 2 のバスを介して接続されるとともに前記第 1 のデバイスに第 3 のバスを介して接続される第 2 のデバイスとを接続する前記第 2 のバスを経由する第 1 のデータ転送経路から前記第 1 のデバイスと前記第 2 のデバイスとを接続する前記第 3 のバスを経由する第 2 のデータ転送経路に切り替える、  
ことを特徴とするデータ転送経路切替方法。

【請求項 10】

前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々具備するデバイスであり、

前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 のバスを介して前記第 1 のデバイスに送信するとともに前記第 2 のバスを介して前記第 2 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える、  
ことを特徴とする請求項 9 記載のデータ転送経路切替方法。

【請求項 11】

前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々具備するデバイスであり、

前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための前記第 1 のデバイスを通信先として示す通信アドレスを前記第 2 のデバイスに送信するとともに前記第 2 のデバイスを通信先として示す通信アドレスを前記第 1 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える、

ことを特徴とする請求項 9 記載のデータ転送経路切替方法。

【請求項 12】

前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有するデバイスであり、

前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記ルートデバイスと前記第 1 のデバイスとを接続する前記第 1 のバスとは異なる第 1 の信号線を介して前記第 1 のデバイスに送信するとともに前記

10

20

30

40

50

ルートデバイスと前記第 2 のデバイスとを接続する前記第 2 のバスとは異なる第 2 の信号線を介して前記第 2 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える、

ことを特徴とする請求項 9 記載のデータ転送経路切替方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御装置、画像処理システムおよびデータ転送経路切替方法に関する。

【背景技術】

【0002】

一般に、画像データその他のデータを扱うデジタル複写機、複合機（MFP）等の画像処理システムでは、デバイス間のインタフェースにPCIバス等のパラレル方式のバスが使用されている。

【0003】

ここで、図22は従来の画像処理システムのコントローラ構成の一例を示すブロック図である。図22に示すように、画像処理システムのコントローラ100は、各デバイス間の画像データの入出力系の相互接続に関して、各デバイス間を同時に流れる大量のデータを絶え間なく管理するとともに、スキャナやプリンタなどの画像入出力装置200の機能を果たすよう、各デバイスを制御する。そして、高速処理が要求される場合には、CPU（Central Processing Unit）101やメインメモリ102などの高速化、大量の計算を必要とするアプリケーション、コネクティビティ（接続性）の向上などに適応すべく、画像データや制御コマンドなどの種々のデータの流れの速度（内部バンド幅）も高速化していく必要がある。しかし、パラレル方式のPCIバスでは、レーシングやスキューなどの問題がある。より具体的には、MCH（メモリコントロールハブ）と同様の機能を持つデバイス103は、CPU101からのメモリアクセスが発生した場合に、ポート1やポート2からのアクセスを拒否することがあり、その場合、デバイス104とデバイス105の間の画像データやその他のデータ転送を妨げられ、例えばHDD106やメモリ10a7からネットワークへの画像データ転送が滞ることがあった。一方、ポート1やポート2からのアクセスを拒否しない場合、CPU101の処理が妨げられるという問題があった。

【0004】

最近では、パラレル方式のインタフェースに代えて、IEEE1394やUSB等の高速シリアルインタフェースの使用が検討されている。例えば、特許文献1によれば、内部インタフェースとして、IEEE1394やUSB等の高速シリアルインタフェースを使用することが提案されている。

【0005】

また、他の高速シリアルインタフェースとして、PCIバス方式の後継規格に当るPCI Express（登録商標）なるインタフェースも提案され、実用化の段階にきている（例えば、非特許文献1参照）。このPCI Expressシステムは、概略的には、例えば非特許文献1中の図1等に表示されるようなルートコンプレックス - スイッチ（任意階層） - デバイス等のツリー構造（木構造）によるデータ通信網として構成されている。

【0006】

そして、特許文献2によれば、内部インタフェースとして、PCI Expressを使用することが提案されている。

【0007】

【特許文献1】特開2001-016382号公報

【特許文献2】特開2004-221809号公報

【非特許文献1】“PCI Express 規格の概要” Interface誌、July ' 2003 里見尚志

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

## 【 0 0 0 8 】

ところが、特許文献 2 において提案されているような内部インタフェースとして PCI Express を使用する場合であっても、解決しなくてはならない問題がある。

## 【 0 0 0 9 】

例えば、図 2 3 に示すようなコントローラ 3 0 0 の構成である場合、デバイス 3 0 1 において CPU 3 0 2 からメインメモリ 3 0 3 へのメモリアクセスが発生した場合には、デバイス 3 0 4 とデバイス 3 0 5 の間の画像データやその他のデータ転送が妨げられてしまうという問題がある。

## 【 0 0 1 0 】

本発明は、上記に鑑みてなされたものであって、デバイス間の画像データやその他のデータ転送を妨げることをない制御装置、画像処理システムおよびデータ転送経路切替方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【 0 0 1 1 】

上述した課題を解決し、目的を達成するために、請求項 1 にかかる発明の制御装置は、プロセッサおよびメモリに接続されルート機能を有するルートデバイスと、前記ルートデバイスに第 1 のバスを介して接続される第 1 のデバイスと、前記ルートデバイスに第 2 のバスを介して接続されるとともに、前記第 1 のデバイスに第 3 のバスを介して接続される第 2 のデバイスと、を備え、前記ルートデバイスは、前記プロセッサが当該ルートデバイスを介して前記メモリにアクセスした場合に、前記第 1 のデバイスと前記ルートデバイスとを接続する前記第 1 のバスおよび前記ルートデバイスと前記第 2 のデバイスとを接続する前記第 2 のバスを経由する第 1 のデータ転送経路から前記第 1 のデバイスと前記第 2 のデバイスとを接続する前記第 3 のバスを経由する第 2 のデータ転送経路に切り替える切替手段を有する。

## 【 0 0 1 2 】

また、請求項 2 にかかる発明は、請求項 1 記載の制御装置において、前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有するデバイスであり、前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 のバスを介して前記第 1 のデバイスに送信するとともに前記第 2 のバスを介して前記第 2 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

## 【 0 0 1 3 】

また、請求項 3 にかかる発明は、請求項 1 記載の制御装置において、前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有するデバイスであり、前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための前記第 1 のデバイスを通信先として示す通信アドレスを前記第 2 のデバイスに送信するとともに前記第 2 のデバイスを通信先として示す通信アドレスを前記第 1 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

## 【 0 0 1 4 】

また、請求項 4 にかかる発明は、請求項 1 記載の制御装置において、前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有するデバイスであり、前記ルートデバイスと前記第 1 のデバイスとを接続する前記第 1 のバスとは異なる第 1 の信号線をさらに具備し、前記ルートデバイスと前記第 2 のデバイスとを接続する前記第 2 のバスとは異なる第 2 の信号線をさらに具備し、前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 の信号線を介して前記第 1 のデバイスに送信するとともに前記第 2 の信号線を介して前記第 2 のデバイ

10

20

30

40

50

スに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

【 0 0 1 9 】

また、請求項 5 にかかる発明の画像処理システムは、プロセッサおよびメモリに接続されルート機能を有するとともに前記メモリに対する制御機能を有するメモリ制御デバイスと、前記メモリ制御デバイスに第 1 のバスを介して接続され、画像処理を実行する画像処理コントローラと、前記メモリ制御デバイスに第 2 のバスを介して接続されるとともに前記画像処理コントローラに第 3 のバスを介して接続され、I/O デバイスを制御する I/O 制御デバイスと、を備え、前記メモリ制御デバイスは、前記プロセッサが当該メモリ制御デバイスを介して前記メモリにアクセスした場合に、前記画像処理コントローラと前記 I/O 制御デバイスとの間に位置する前記第 1 のバスと前記メモリ制御デバイスとを接続する前記第 1 のバスおよび前記メモリ制御デバイスと前記 I/O 制御デバイスとを接続する前記第 2 のバスを経由する第 1 のデータ転送経路から前記画像処理コントローラと前記 I/O 制御デバイスとを接続する前記第 3 のバスを経由する第 2 のデータ転送経路に切り替える切替手段を有する。

10

【 0 0 2 0 】

また、請求項 6 にかかる発明は、請求項 5 記載の画像処理システムにおいて、前記画像処理コントローラおよび前記 I/O 制御デバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有し、前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 のバスを介して前記画像処理コントローラに送信するとともに前記第 2 のバスを介して前記 I/O 制御デバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

20

【 0 0 2 1 】

また、請求項 7 にかかる発明は、請求項 5 記載の画像処理システムにおいて、前記画像処理コントローラおよび前記 I/O デバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有し、前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための前記画像処理コントローラを通信先として示す通信アドレスを前記 I/O 制御デバイスに送信するとともに前記 I/O 制御デバイスを通信先として示す通信アドレスを前記画像処理コントローラに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

30

【 0 0 2 2 】

また、請求項 8 にかかる発明は、請求項 5 記載の画像処理システムにおいて、前記ルートデバイスと前記画像処理システムとを接続する前記第 1 のバスとは異なる第 1 の信号線をさらに具備し、前記ルートデバイスと前記 I/O 制御デバイスとを接続する前記第 2 のバスとは異なる第 2 の信号線をさらに具備し、前記切替手段は、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 の信号線を介して前記画像処理コントローラに送信するとともに前記第 2 の信号線を介して前記 I/O 制御デバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

40

【 0 0 2 7 】

また、請求項 9 にかかる発明のデータ転送経路切替方法は、プロセッサおよびメモリに接続されルート機能を有するルートデバイスによって実行されるデータ転送経路切替方法において、前記プロセッサが当該ルートデバイスを介して前記メモリにアクセスし、前記プロセッサによる前記メモリへのアクセスが発生した場合に、前記ルートデバイスに第 1 のバスを介して接続される第 1 のデバイスと前記ルートデバイスとを接続する前記第 1 のバスおよび前記ルートデバイスと前記ルートデバイスに第 2 のバスを介して接続されるとともに前記第 1 のデバイスに第 3 のバスを介して接続される第 2 のデバイスとを接続する前記第 2 のバスを経由する第 1 のデータ転送経路から前記第 1 のデバイスと前記第 2 のデ

50

バスとを接続する前記第 3 のバスを経由する第 2 のデータ転送経路に切り替える。

【 0 0 2 8 】

また、請求項 1 0 にかかる発明は、請求項 9 記載のデータ転送経路切替方法において、前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々具備するデバイスであり、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記第 1 のバスを介して前記第 1 のデバイスに送信するとともに前記第 2 のバスを介して前記第 2 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

【 0 0 2 9 】

また、請求項 1 1 にかかる発明は、請求項 9 記載のデータ転送経路切替方法において、前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々具備するデバイスであり、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための前記第 1 のデバイスを通信先として示す通信アドレスを前記第 2 のデバイスに送信するとともに前記第 2 のデバイスを通信先として示す通信アドレスを前記第 1 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

【 0 0 3 0 】

また、請求項 1 2 にかかる発明は、請求項 9 記載のデータ転送経路切替方法において、前記第 1 のデバイスおよび前記第 2 のデバイスは、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替えるためのスイッチを夫々有するデバイスであり、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える制御を前記スイッチに行わせるための信号を前記ルートデバイスと前記第 1 のデバイスとを接続する前記第 1 のバスとは異なる第 1 の信号線を介して前記第 1 のデバイスに送信するとともに前記ルートデバイスと前記第 2 のデバイスとを接続する前記第 2 のバスとは異なる第 2 の信号線を介して前記第 2 のデバイスに送信することで、前記第 1 のデータ転送経路から前記第 2 のデータ転送経路に切り替える。

【発明の効果】

【 0 0 3 3 】

請求項 1 , 5 , 9 にかかる発明によれば、ルートデバイスにおいて CPU からのメモリアクセスが発生した場合にも、第 1 のデバイスと第 2 のデバイスを第 2 の高速シリアルバスにより直接接続したデータ転送経路を経由してデータ転送することにより、第 1 のデバイスと第 2 のデバイスの間の画像データやその他のデータ転送を妨げるもののない制御装置を提供することができるという効果を奏する。

【 0 0 3 4 】

また、請求項 2 , 6 , 1 0 にかかる発明によれば、ルートデバイスからの信号に応じてデータ転送経路を切り替えることができるという効果を奏する。

【 0 0 3 5 】

また、請求項 3 , 7 , 1 1 にかかる発明によれば、パケットの通信先アドレスに応じてデータ転送経路を切り替えることができるという効果を奏する。

【 0 0 3 6 】

また、請求項 4 , 8 , 1 2 にかかる発明によれば、信号線を経由してルートデバイスで発生した信号を第 1 のデバイスと第 2 のデバイスとに送信するようにしたことにより、データ転送経路の切り替え信号を高速に伝達することができるとともに、ルートデバイスからの信号に応じてデータ転送経路を切り替えることができる。

【発明を実施するための最良の形態】

【 0 0 5 5 】

以下に添付図面を参照して、この発明にかかる制御装置、画像処理システムおよびデータ転送方法の最良な実施の形態を詳細に説明する。

10

20

30

40

50

## 【 0 0 5 6 】

## [ 第 1 の実施の形態 ]

本発明の第 1 の実施の形態を図 1 ないし図 1 7 に基づいて説明する。以下では、PCI Expressの詳細について、[ PCI Express規格の概要 ] ~ [ PCI Express のアーキテクチャの詳細 ] の欄で説明し、その後、本実施の形態の画像処理システムについて、[ 画像処理システム ] の欄で説明する。

## 【 0 0 5 7 】

## [ PCI Express規格の概要 ]

まず、本実施の形態は高速シリアルバスの一つであるPCI Express (登録商標) を利用するものであり、本実施の形態の前提として当該PCI Express規格の概要について、非特許文献 1 の一部抜粋により説明する。ここに、高速シリアルバスとは、1 本の伝送路を用いてシリアル (直列) 伝送により高速 ( 1 0 0 M b p s 程度以上 ) にデータをやり取りすることができるインタフェースを意味する。

## 【 0 0 5 8 】

PCI Expressは、PCIの後継規格としてコンピュータ全般に通用する標準拡張バスとして規格化されたバスであり、概略的には、低電圧差動信号伝送、ポイントツーポイントで受信独立の通信チャネル、パケット化されたスプリットトランザクション、リンク構成の違いによる高いスケーラビリティなどの特徴を持つ。

## 【 0 0 5 9 】

図 1 に既存のPCIシステム、図 2 にPCI Expressシステムの各々の構成例を示す。既存のPCIシステムにあつては、C P U 1 0 0 や A G P グラフィックス 1 0 1 やメモリ 1 0 2 が接続されたホストブリッジ 1 0 3 に対して、PCI-X (PCIの上位互換規格) デバイス 1 0 4 a , 1 0 4 b がPCI-Xブリッジ 1 0 5 a を介して接続されたり、PCIデバイス 1 0 4 c , 1 0 4 d が接続されたPCIブリッジ 1 0 5 b やPCIバススロット 1 0 6 が接続されたPCIブリッジ 1 0 7 がPCIブリッジ 1 0 5 c を介して接続されたりしたツリー構造 (木構造) とされている。

## 【 0 0 6 0 】

これに対して、PCI Expressシステムにあつては、C P U 1 1 0 やメモリ 1 1 1 が接続されたルートコンプレックス 1 1 2 に対して、PCI Expressグラフィックス 1 1 3 がPCI Express 1 1 4 a により接続され、また、エンドポイント 1 1 5 a やレガシーエンドポイント 1 1 6 a がPCI Express 1 1 4 b により接続されたスイッチ 1 1 7 a がPCI Express 1 1 4 c により接続され、さらには、エンドポイント 1 1 5 b やレガシーエンドポイント 1 1 6 b がPCI Express 1 1 4 d により接続されたスイッチ 1 1 7 b やPCIバススロット 1 1 8 が接続されたPCIブリッジ 1 1 9 がPCI Express 1 1 4 e により接続されたスイッチ 1 1 7 c がPCI Express 1 1 4 f により接続されたツリー構造 (木構造) とされている。

## 【 0 0 6 1 】

実際に想定されるPCI Expressプラットフォーム例を図 3 に示す。図示例は、デスクトップ/モバイルへの適用例を示し、C P U 1 2 1 がC P U ホストバス 1 2 2 により接続され、メモリ 1 2 3 が接続されたメモリハブ 1 2 4 (ルートコンプレックスに相当する) に対して、例えば、グラフィックス 1 2 5 がx 1 6 のPCI Express 1 2 6 a により接続され、また、変換機能を有するI / O ハブ 1 2 7 がPCI Express 1 2 6 b により接続されている。このI / O ハブ 1 2 7 には、例えば、Serial ATA 1 2 8 によりストレージ 1 2 9 が接続され、LPC 1 3 0 によりローカルI / O 1 3 1 が接続され、USB 2.0 1 3 2 やPCIバススロット 1 3 3 が接続されている。さらには、I / O ハブ 1 2 7 には、PCI Express 1 2 6 c によりスイッチ 1 3 4 が接続され、このスイッチ 1 3 4 には、各々、PCI Express 1 2 6 d , 1 2 6 e , 1 2 6 f によりモバイルドック 1 3 5 、ギガビットイーサネット 1 3 6 (イーサネットは登録商標) 、アドインカード 1 3 7 が接続されている。

## 【 0 0 6 2 】

即ち、PCI Expressシステムでは、従来のPCI , PCI-X , AGPといったバスがPCI Expressで置き換わり、既存のPCI / PCI-Xデバイスを接続するためにブリッジが使用される。チッ

10

20

30

40

50



ブセット間の接続もPCI Express接続となり、IEEE1394, Serial ATA, USB 2.0などの既存のバスはI/OハブによりPCI Expressに接続される。

【0063】

[PCI Expressの構成要素]

A. ポート (Port) / レーン (Lane) / リンク (Link)

図4に物理層の構造を示す。ポートは、物理的には同一半導体内にあり、リンクを形成するトランスミッタ/レシーバの集合で、論理的にはコンポーネント・リンク間を1対1で接続(ポイント・ツー・ポイント)するインタフェースを意味する。転送レートは、例えば片方向2.5Gbpsとされている。レーンは、例えば0.8Vの差動信号ペアのセットで、送信側の信号ペア(2本)、受信側の信号ペア(2本)からなる。リンクは、2つのポートとその間を結ぶレーンの集まりであり、コンポーネント間のデュアルシンプレックス通信バスである。「xNリンク」はN本のレーンから構成され、現在の規格では、N=1, 2, 4, 8, 16, 32が定義されている。図示例は、x4リンク例である。例えば、図5に示すように、デバイスA, B間を結ぶこのレーン幅Nを可変することにより、スケーラブルなバンド幅を構成することが可能となる。

10

【0064】

B. ルートコンプレックス (Root Complex)

ルートコンプレックス112は、I/O構造の最上位に位置し、CPUやメモリサブシステムをI/Oに接続する。ブロック図などでは、図3に示すように、「メモリハブ」と記述されることが多い。ルートコンプレックス112(又は、124)は、1つ以上のPCI Expressポート(ルートポート)(図2中では、ルートコンプレックス112中の四角で示す)を持ち、各々のポートは独立したI/O階層ドメインを形成する。I/O階層ドメインは、単純なエンドポイントである場合(例えば、図2中のエンドポイント115a側の例)や、多数のスイッチやエンドポイントから形成される場合(例えば、図2中のエンドポイント115bやスイッチ117b, 115c側の例)がある。

20

【0065】

C. エンドポイント (End Point)

エンドポイント115は、タイプ00hのコンフィグレーション空間ヘッダを持つデバイス(具体的には、ブリッジ以外のデバイス)で、レガシーエンドポイントとPCI Expressエンドポイントとに分けられる。両者の大きな違いは、PCI ExpressエンドポイントはBAR(ベースアドレスレジスタ)でI/Oリソースを要求せず、このためI/Oリクエストを要求しない。また、PCI Expressエンドポイントは、ロックリクエストもサポートしていない。

30

【0066】

D. スイッチ (Switch)

スイッチ117(又は、134)は、2つ以上のポートを結合し、ポート間でのパケットルーティングを行う。コンフィグレーションソフトウェアからは、当該スイッチは、図6に示すように、仮想PCI-PCIブリッジ141の集合体として認識される。図中、両矢印はPCI Expressリンク114(又は、126)を示し、142a~142dはポートを示す。このうち、ポート142aはルートコンプレックスに近い方のアップストリームポートであり、ポート142b~142dはルートコンプレックスから遠い方のダウンストリームポートである。

40

【0067】

E. PCI Express 114e - PCIブリッジ 119

PCI ExpressからPCI/PCI-Xへの接続を提供する。これにより、既存のPCI/PCI-XデバイスをPCI Expressシステム上で使用することができる。

【0068】

[階層アーキテクチャ]

従来のPCIのアーキテクチャは、図7-1に示すように、プロトコルとシグナリングが密接に関連する構造であり階層という考え方はなかったが、PCI Expressでは、図7-

50

2に示すように、一般的な通信プロトコルやInfiniBandのように、独立した階層構造とされ、各層に分けて仕様が定義されている。即ち、最上位のソフトウェア151、最下位の機構（メカニカル）部152間に、トランザクション層153、データリンク層154、物理層155を持つ構造とされている。これにより、各層のモジュール性が確保され、スケラビリティを持たせることやモジュールの再利用が可能となる。例えば、新たな信号コーディング方式や伝送媒体を採用する場合、物理層を変更するだけでデータリンク層やトランザクション層は変更せずに対応できる。

#### 【0069】

PCI Expressのアーキテクチャの中心となるのは、トランザクション層153、データリンク層154、物理層155であり、各々図8を参照して説明する以下のような役割を持つ。

10

#### 【0070】

##### A．トランザクション層153

トランザクション層153は、最上位に位置し、トランザクションレイヤパケット（TLP）の組み立て、分解機能を持つ。トランザクションレイヤパケット（TLP）は、リード/ライト、各種イベントといったトランザクションの伝達に用いられる。また、トランザクション層153は、トランザクションレイヤパケット（TLP）のためのクレジットを用いたフロー制御を行う。各層153～155におけるトランザクションレイヤパケット（TLP）の概要を図9に示す（詳細は、後述する）。

#### 【0071】

20

##### B．データリンク層154

データリンク層154の主な役割は、エラー検出/訂正（再送）によりトランザクションレイヤパケット（TLP）のデータ完全性を保証することと、リンク管理である。データリンク層154間では、リンク管理やフロー制御のためのパケットのやり取りを行う。このパケットは、トランザクションレイヤパケット（TLP）と区別するために、データリンクレイヤパケット（DLLP）と呼ばれる。

#### 【0072】

##### C．物理層155

物理層155は、ドライバ、入力バッファ、パラレル-シリアル/シリアル-パラレル変換器、PLL、インピーダンス整合回路といったインタフェース動作に必要な回路を含んでいる。また、論理的な機能としてインタフェースの初期化・保守の機能を持つ。物理層155は、データリンク層154/トランザクション層153を実際のリンクで使用される信号技術から独立させる役目も持っている。

30

#### 【0073】

なお、PCI Expressのハードウェア構成上、エンベデッド・クロックという技術を採用しており、クロック信号はなく、クロックのタイミングはデータ信号中に埋め込まれており、受信側でデータ信号のクロス・ポイントを基にクロックを抽出する方式とされている。

#### 【0074】

##### 【コンフィグレーション空間】

40

PCI Expressは、従来のPCIと同様にコンフィグレーション空間を持つが、その大きさは従来のPCIが256バイトであるのに対して、図10に示すように、4096バイトへと拡張されている。これにより、多数のデバイス固有レジスタセットを必要とするデバイス（ホストブリッジなど）に対しても、将来的に十分な空間が確保されている。PCI Expressでは、コンフィグレーション空間へのアクセスは、フラットなメモリ空間へのアクセス（コンフィグレーションリード/ライト）で行われ、バス/デバイス/機能/レジスタ番号はメモリアドレスにマップされている。

#### 【0075】

当該空間の先頭256バイトは、PCIコンフィグレーション空間として、BIOSや従来のOSからI/Oポートを使用した方法でもアクセスできる。従来のアクセスをPCI Ex

50

pressでのアクセスに変換する機能は、ホストブリッジ上に実装される。00hから3FhまではPCI2.3互換のコンフィグレーションヘッダとなっている。これにより、PCI Expressで拡張された機能以外であれば、従来のOSやソフトウェアをそのまま使用することができる。即ち、PCI Expressにおけるソフトウェア層は、既存のPCIと互換性を保ったロード・ストア・アーキテクチャ（プロセッサが直接I/Oレジスタをアクセスする方式）を継承している。しかし、PCI Expressで拡張された機能（例えば、同期転送やRAS（Reliability, Availability and Serviceability）などの機能）を使用するには、4KバイトのPCI Express拡張空間にアクセスできるようにする必要がある。

【0076】

なお、PCI Expressとしては様々なフォームファクタ（形状）が考えられるが、具体化している例としては、アドインカード、プラグインカード（Express Card）、Mini PCI Expressなどがある。

10

【0077】

[PCI Express のアーキテクチャの詳細]

PCI Express のアーキテクチャの中心となっているトランザクション層153、データリンク層154、物理層155について、各々詳細に説明する。

【0078】

A．トランザクション層153

トランザクション層153の主な役割は、前述したように、上位のソフトウェア層151と下位のデータリンク層154との間でトランザクションレイヤパケット（TLP）の組み立てと分解を行うことである。

20

【0079】

a．アドレス空間とトランザクションタイプ

PCI Expressでは、従来のPCIでサポートされていたメモリ空間（メモリ空間とのデータ転送用）、I/O空間（I/O空間とのデータ転送用）、コンフィグレーション空間（デバイスのコンフィグレーションとセットアップ用）に加えて、メッセージ空間（PCI Expressデバイス間のインバンドでのイベント通知や一般的なメッセージ送信（交換）用...割り込み要求や確認は、メッセージを「仮想ワイヤ」として使用することにより伝達される）が追加され、4つのアドレス空間が定義されている。各々の空間に対してトランザクションタイプが定義されている（メモリ空間、I/O空間、コンフィグレーション空間は、リード/ライト、メッセージ空間は基本（ベンダ定義含む））。

30

【0080】

b．トランザクションレイヤパケット（TLP）

PCI Expressは、パケット単位で通信を行う。図9に示したトランザクションレイヤパケット（TLP）のフォーマットにおいて、ヘッダのヘッダ長は3DW（DWはダブルワードの略；合計12バイト）又は4DW（16バイト）で、トランザクションレイヤパケット（TLP）のフォーマット（ヘッダ長とペイロードの有無）、トランザクションタイプ、トラフィッククラス（TC）、アトリビュートやペイロード長などの情報が含まれる。パケット内の最大ペイロード長は1024DW（4096バイト）である。

【0081】

ECRCは、エンドツーエンドのデータ完全性を保証するためのもので、トランザクションレイヤパケット（TLP）部分の32ビットCRCである。これは、スイッチ内部などでトランザクションレイヤパケット（TLP）にエラーが発生した場合、LCRC（リンクCRC）ではエラーを検出できないためである（エラーとなったTLPでLCRCが再計算されるため）。

40

【0082】

リクエストは、完了パケットが不要なものが必要なものとがある。

【0083】

c．トラフィッククラス（TC）と仮想チャネル（VC）

上位のソフトウェアは、トラフィッククラス（TC）を使用することによりトラフィッ

50

クの差別化（優先度をつける）を行うことができる。例えば、映像データをネットワークのデータよりも優先して転送する、といったことが可能となる。トラフィッククラス（TC）はTC0からTC7まで8つある。

#### 【0084】

仮想チャネル（VC：Virtual Channel）は、各々独立した仮想通信バス（同一のリンクを共用する複数の独立したデータ・フロー・バッファを使用するメカニズム）で、各々がリソース（バッファやキュー）を持ち、図11に示すように、独立したフロー制御を行う。これにより、1つの仮想チャネルのバッファが満杯の状態（full）になっても、他の仮想チャネルの転送を行うことができる。つまり、物理的には1つのリンクを仮想的な複数のチャネルに分けることで、有効に使用することができる。例えば、図11中に示すように、スイッチを経由してルートのリンクが複数のデバイスに分かれる場合、各デバイスのトラフィックの優先度を制御することができる。VC0は必須で、コストパフォーマンスのトレードオフに応じてその他の仮想チャネル（VC1～VC7）が実装される。図11中の実線矢印は、デフォルト仮想チャネル（VC0）を示し、破線矢印はその他の仮想チャネル（VC1～VC7）を示している。

10

#### 【0085】

トランザクション層内では、トラフィッククラス（TC）が仮想チャネル（VC）にマッピングされる。1つの仮想チャネル（VC）に対して1つ又は複数のトラフィッククラス（TC）をマッピングできる（仮想チャネル（VC）の数が少ない場合）。単純な例では、各トラフィッククラス（TC）から各仮想チャネル（VC）に1対1、全てのトラフィッククラス（TC）を仮想チャネルVC0にマッピングする、といったことが考えられる。TC0 - VC0のマッピングは、必須／固定で、それ以外のマッピングは上位のソフトウェアから制御される。ソフトウェアはトラフィッククラス（TC）を利用することで、トランザクションの優先度を制御することが可能となる。

20

#### 【0086】

##### d．フロー制御

受信バッファのオーバーフローを避け、伝送順序を確立するためにフロー制御（FC：Flow Control）が行われる。フロー制御は、リンク間のポイントツーポイントで行われ、エンドツーエンドではない。従って、フロー制御により最終的な相手（コンプリータ）にパケットが届いたことを確認することはできない。

30

#### 【0087】

PCI Expressのフロー制御は、クレジット・ベースで行われる（データ転送を始める前に、受け取り側のバッファの空き状況を確認し、オーバーフロー、アンダフローが発生しないメカニズム）。即ち、受信側はリンク初期化時にバッファ容量（クレジット値）を送信側に通知し、送信側はクレジット値と送信するパケットの長さとを比較し、一定の残риがある場合のみパケットを送信する。このクレジットには6種類ある。

#### 【0088】

フロー制御の情報交換はデータリンク層のデータリンクレイヤパケット（DLLP）を使用して行われる。フロー制御はトランザクションレイヤパケット（TLP）のみに適用され、データリンクレイヤパケット（DLLP）には適用されない（DLLPは常時送受信可能）。

40

#### 【0089】

##### B．データリンク層154

データリンク層154の主な役割は、前述したように、リンク上の2つのコンポーネント間での信頼性の高いトランザクションレイヤパケット（TLP）交換機能を提供することである。

#### 【0090】

##### a．トランザクションレイヤパケット（TLP）の扱い

トランザクション層153から受け取ったトランザクションレイヤパケット（TLP）に対しては、先頭に2バイトのシーケンス番号、末尾に4バイトのリンクCRC（LCR

50

C) を付加して、物理層 155 に渡す (図 9 参照)。トランザクションレイヤパケット (TLP) は、リトライバッファに保管され、相手から受信確認 (ACK) が届くまで再送される。トランザクションレイヤパケット (TLP) の送信に失敗が続いた場合は、リンク異常であると判断して物理層 155 に対してリンクの再トレーニングを要求する。リンクのトレーニングが失敗した場合、データリンク層 154 の状態はインアクティブに遷移する。

#### 【0091】

物理層 155 から受け取ったトランザクションレイヤパケット (TLP) は、シーケンス番号とリンク CRC (LCRC) が検査され、正常であればトランザクション層 153 に渡され、エラーがあった場合は再送を要求する。

10

#### 【0092】

##### b. データリンクレイヤパケット (DLLP)

トランザクションレイヤパケット (TLP) は、物理層から送信されるときに自動的に図 12 に示すようなデータリンクレイヤパケット (DLLP) に分割されて各レーンに送信される。データリンク層 154 が生成するパケットは、データリンクレイヤパケット (DLLP) と呼ばれ、データリンク層 154 間でやり取りされる。データリンクレイヤパケット (DLLP) には、

- ・ Ack / Nak : TLP の受信確認、リトライ (再送)
- ・ InitFC1 / InitFC2 / UpdateFC : フロー制御の初期化とアップデート
- ・ 電源管理のための DLLP

20

なる種類がある。

#### 【0093】

図 12 に示すように、データリンクレイヤパケット (DLLP) の長さは 6 バイトで、種類を示す DLLP タイプ (1 バイト)、DLLP の種類で固有の情報 (3 バイト)、CRC (2 バイト) から構成される。

#### 【0094】

##### C. 物理層 - 論理サブブロック 156

図 8 中に示す物理層 155 の論理サブブロック 156 での主な役割は、データリンク層 154 から受け取ったパケットを電気サブブロック 157 で送信できる形式に変換することである。また、物理層 155 を制御 / 管理する機能も有する。

30

#### 【0095】

##### a. データ符号化とパラレル - シリアル変換

PCI Express は、連続した “0” や “1” が続かないように (長い期間、クロス・ポイントが存在しない状態が続かないようにするため)、データ符号化に 8B / 10B 変換を用いる。変換されたデータは、図 13 中に示すように、シリアル変換され、LSB からレーン上に送信される。ここに、レーンが複数ある場合は (図 13 は x4 リンクの場合を例示している)、符号化の前にデータがバイト単位で各レーンに割り振られる。この場合、一見パラレル・バスのようにみえるが、レーン毎に独立した転送を行うので、パラレル・バスで問題となるスキューが大幅に緩和される。

#### 【0096】

40

##### b. 電源管理とリンクステート

リンクの消費電力を低く抑えるために、図 14 に示すように、L0 / L0s / L1 / L2 というリンクステートが定義されている。

#### 【0097】

L0 が通常モードで、L0s から L2 へと低消費電力となるが、L0 への復帰にも時間がかかるようになる。図 15 に示すように、ソフトウェアによる電源管理に加えて、アクティブステート電源管理を積極的に行うことにより、消費電力を極力小さくすることが可能となる。

#### 【0098】

##### D. 物理層 - 電気サブブロック 157

50

物理層 1 5 5 の電気サブブロック 1 5 7 での主な役割は、論理サブブロック 1 5 6 でシリアル化されたデータをレーン上に送信することと、レーン上のデータを受信して論理サブブロック 1 5 6 に渡すことである。

【 0 0 9 9 】

a . A C カップリング

リンクの送信側では、A C カップリング用のコンデンサが実装される。これにより、送信側と受信側の D C コモンモード電圧が同一である必要がなくなる。このため、送信側と受信側で異なる設計、半導体プロセス、電源電圧を使用することが可能となる。

【 0 1 0 0 】

b . デエンファシス

PCI Expressでは、前述したように、8 B / 1 0 B エンコーディングによってできるだけ連続した “ 0 ” や “ 1 ” が続かないように処理されるが、連続した “ 0 ” や “ 1 ” が続くこともある（最大 5 回）。この場合、送信側はデエンファシス転送を行わなければならないことが規定されている。同一極性のビットが連続する場合は、2 つ目のビットからは差動電圧レベル（振幅）を  $3.5 \pm 0.5$  dB 落とすことで、受信側で受け取る信号のノイズ・マージンを稼ぐ必要がある。これを、デエンファシスという。伝送路の周波数依存性減衰のため、変化するビットの場合は高周波成分が多く、減衰により受信側の波形が小さくなるが、変化しないビットの場合は高周波成分が少なく、相対的に受信側の波形が大きくなる。このため、受信側での波形を一定とするためにデエンファシスを行う。

【 0 1 0 1 】

[ 画像処理システム ]

本実施の形態のデジタル複写機や M F P 等の画像処理システムは、その内部インタフェースに前述したような PCI Express 規格の高速シリアルバスを利用するようにしたものである。

【 0 1 0 2 】

図 1 6 は、本実施の形態の画像処理システムの制御装置 1 の構成例を示す概略ブロック図である。本実施の形態の画像処理システムは、例えば M F P 等の機器に適用されるもので、その制御装置 1 の構成要素として、システム全体の制御を受け持つ C P U 2 と、メインメモリ 3 と、ルート機能を有するメモリ制御デバイスであるメモリコントロールハブ 4 と、第 2 のデバイスであって I / O 制御デバイスである I / O コントロールハブ 5 と、第 1 のデバイスであって M F P における各種処理を制御する画像処理コントローラである M F P コントローラ 6 と、メモリ 1 0 a と、H D D ( Hard Disk Drive ) 1 0 b とを備える。

【 0 1 0 3 】

メモリコントロールハブ 4 は、PCI Express 規格のルートコンプレックス（木構造のルート機能を有するデバイスであるルートデバイス）に相当するものであって、メインメモリ 3 を制御して C P U 2 や I / O コントロールハブ 5 に接続された I / O デバイスとのデータ転送を司る。

【 0 1 0 4 】

I / O コントロールハブ 5 は、接続された I / O デバイス（例えば、ハードディスクやグラフィックス、ネットワークなど）、またはそのインタフェースを制御する。

【 0 1 0 5 】

本実施の形態においては、メモリコントロールハブ 4 と I / O コントロールハブ 5 との間、メモリコントロールハブ 4 と M F P コントローラ 6 との間は、それぞれ PCI Express 規格の高速シリアルバス 7 , 8 により接続されている。このように高速シリアルバス 7 , 8 により接続することにより、メモリコントロールハブ 4 を経由した I / O コントロールハブ 5 から M F P コントローラ 6 に対するデータ転送（データ転送経路 A ）の高速化が図られている。

【 0 1 0 6 】

加えて、本実施の形態においては、I / O コントロールハブ 5 と M F P コントローラ 6

10

20

30

40

50

との間を、第2の高速シリアルバスであるPCI Express規格の高速シリアルバス9により接続している。すなわち、本実施の形態の画像処理システムの制御装置1は、メモリコントロールハブ4経由のデータ転送経路Aのほかに、I/Oコントロールハブ5とMFPコントローラ6とを直接接続したデータ転送経路Bを有している。

【0107】

また、図17に示すように、MFPコントローラ6には、メモリコントロールハブ4からの信号1を受け、I/Oコントロールハブ5へのデータ転送経路をメモリコントロールハブ4経由のデータ転送経路AからI/Oコントロールハブ5とMFPコントローラ6とを直接接続したデータ転送経路Bへ切り替えるスイッチ11が備えられている。一方、I/Oコントロールハブ5には、メモリコントロールハブ4からの信号2を受け、MFPコントローラ6へのデータ転送経路をメモリコントロールハブ4経由のデータ転送経路AからI/Oコントロールハブ5とMFPコントローラ6とを直接接続したデータ転送経路Bへ切り替えるスイッチ12が備えられている。

10

【0108】

このような構成において、メモリコントロールハブ4からの信号1, 2に応じたデータ転送経路の切り替え制御について説明する。

【0109】

メモリコントロールハブ4においてCPU2からのメモリアクセスが発生した場合、メモリコントロールハブ4からの信号1及び信号2によりMFPコントローラ6のスイッチ11とI/Oコントロールハブ5のスイッチ12とを制御し、MFPコントローラ6とI/Oコントロールハブ5を直接接続したデータ転送経路Bを経由して、MFPコントローラ6とI/Oコントロールハブ5の間でデータ転送を行うようにする。ここに、経路切替手段が実現されている。

20

【0110】

これにより、メモリコントロールハブ4においてCPU2からのメモリアクセスが発生した場合にも、MFPコントローラ6とI/Oコントロールハブ5を直接接続したデータ転送経路Bを経由してデータ転送することにより、MFPコントローラ6とI/Oコントロールハブ5の間の画像データやその他のデータ転送を妨げることのないデータ転送システムを提供することができる。

【0111】

30

このように本実施の形態によれば、メモリコントロールハブ4においてCPU2からのメモリアクセスが発生した場合にも、MFPコントローラ6とI/Oコントロールハブ5を直接接続したデータ転送経路を経由してデータ転送することにより、MFPコントローラ6とI/Oコントロールハブ5の間の画像データやその他のデータ転送を妨げることのない画像処理システムを提供することができ、コントローラの同時並行動作を実現することができる。

【0112】

また、メモリコントロールハブ4からの信号に応じてデータ転送経路を切り替えることができる。

【0113】

40

[第2の実施の形態]

次に、本発明の第2の実施の形態を図18に基づいて説明する。なお、前述した第1の実施の形態と同じ部分は同じ符号で示し説明も省略する。

【0114】

第1の実施の形態においては、メモリコントロールハブ4においてCPU2からのメモリアクセスが発生した場合、メモリコントロールハブ4からMFPコントローラ6とI/Oコントロールハブ5に対してPCI Express規格の高速シリアルバス7, 8を経由して信号1, 2をそれぞれ送信してデータ転送経路を切り替えるようにしたが、本実施の形態においては、通信先アドレスに従ってデータ転送経路を切り替えるようにしたものである。

【0115】

50

図 18 は、本発明の第 2 の実施の形態の画像処理システムの制御装置 1 の構成例を示す概略ブロック図である。図 18 に示すように、MFP コントローラ 6 には、通信先アドレスが I/O コントロールハブ 5 の場合に、I/O コントロールハブ 5 へのデータ転送経路をメモリコントロールハブ 4 経由のデータ転送経路 A から I/O コントロールハブ 5 と MFP コントローラ 6 とを直接接続したデータ転送経路 B へ切り替えるスイッチ 21 が備えられている。一方、I/O コントロールハブ 5 には、通信先アドレスが MFP コントローラ 6 の場合に、MFP コントローラ 6 へのデータ転送経路をメモリコントロールハブ 4 経由のデータ転送経路 A から I/O コントロールハブ 5 と MFP コントローラ 6 とを直接接続したデータ転送経路 B へ切り替えるスイッチ 22 が備えられている。

【0116】

10

このような構成において、通信先アドレスに応じたデータ転送経路の切り替え制御について説明する。

【0117】

本実施の形態においては、通信先アドレスにより MFP コントローラ 6 のスイッチ 21 と I/O コントロールハブ 5 のスイッチ 22 とを制御し、MFP コントローラ 6 と I/O コントロールハブ 5 を直接接続したデータ転送経路 B を経由して、MFP コントローラ 6 と I/O コントロールハブ 5 の間でデータ転送を行うようにする。ここに、パケットの通信先アドレスによる経路切替手段が実現されている。

【0118】

これにより、メモリコントロールハブ 4 において CPU 2 からのメモリアクセスが発生した場合にも、MFP コントローラ 6 と I/O コントロールハブ 5 を直接接続したデータ転送経路 B を経由してデータ転送することにより、MFP コントローラ 6 と I/O コントロールハブ 5 の間の画像データやその他のデータ転送を妨げることをないデータ転送システムを提供することができる。

20

【0119】

このように本実施の形態によれば、通信先アドレスに応じてデータ転送経路を切り替えることができる。

【0120】

[ 第 3 の実施の形態 ]

次に、本発明の第 3 の実施の形態を図 19 ないし図 21 に基づいて説明する。なお、前述した第 1 の実施の形態と同じ部分は同じ符号で示し説明も省略する。

30

【0121】

第 1 の実施の形態においては、メモリコントロールハブ 4 において CPU 2 からのメモリアクセスが発生した場合、メモリコントロールハブ 4 から MFP コントローラ 6 と I/O コントロールハブ 5 に対して PCI Express 規格の高速シリアルバス 7, 8 を経由して信号 1, 2 をそれぞれ送信してデータ転送経路を切り替えるようにしたが、本実施の形態においては、高速シリアルバス 7, 8 とは別に信号線を設け、この信号線を經由して信号 1, 2 をそれぞれ送信してデータ転送経路を切り替えるようにしたものである。

【0122】

図 19 は、本発明の第 3 の実施の形態の画像処理システムの制御装置 1 の構成例を示す概略ブロック図である。図 19 に示すように、本実施の形態の画像処理システムの制御装置 1 においては、第 1 の実施の形態で説明した構成に加えて、メモリコントロールハブ 4 と I/O コントロールハブ 5 との間、メモリコントロールハブ 4 と MFP コントローラ 6 との間を、高速シリアルバス 7, 8 とは別に設けられた信号線 31, 32 によりそれぞれ接続している。これにより、メモリコントロールハブ 4 で発生する信号 1 は、信号線 31 を經由して MFP コントローラ 6 に伝達され、メモリコントロールハブ 4 で発生する信号 2 は、信号線 32 を經由して I/O コントロールハブ 5 に伝達される。

40

【0123】

ここで、信号線 31, 32 は、図 20 に示すように、「メモリコントロールハブ 4 への転送許可 (HIGH)」「メモリコントロールハブ 4 への転送不可 (LOW)」の 2 つの

50



状態を伝達することで、スイッチ 1 1 とスイッチ 1 2 とを制御し、M F P コントローラ 6 と I / O コントロールハブ 5 を直接接続した高速シリアルバス 9 ( データ転送経路 B ) を経由した I / O コントロールハブ 5 と M F P コントローラ 6 との間でのデータ転送を行う。

【 0 1 2 4 】

このように本実施の形態によれば、高速シリアルバス 7 , 8 とは別に単純な信号線 3 1 , 3 2 を設け、これらの信号線 3 1 , 3 2 を経由してメモリコントロールハブ 4 で発生した信号 1 , 2 を I / O コントロールハブ 5 と M F P コントローラ 6 とに送信するようにしたことにより、データ転送経路の切り替え信号を高速に伝達することができる。

【 0 1 2 5 】

また、図 2 1 に示すように、I / O コントロールハブ 5 もしくは M F P コントローラ 6 が、メモリコントロールハブ 4 とのデータ転送中に「メモリコントロールハブ 4 への転送許可 ( H I G H ) 」から「メモリコントロールハブ 4 への転送不可 ( L O W ) 」へと状態が変化した場合、ただちにメモリコントロールハブ 4 とのデータ転送を中止し、I / O コントロールハブ 5 と M F P コントローラ 6 との間での高速シリアルバス 9 ( データ転送経路 B ) を介したデータ転送が行われる。これにより、メモリコントロールハブ 4 において C P U 2 からのメモリアクセスが発生した場合にも、I / O コントロールハブ 5 と M F P コントローラ 6 との間の画像データやその他のデータ転送が妨げられることがない。

【図面の簡単な説明】

【 0 1 2 6 】

【図 1】既存 PCI システムの構成例を示すブロック図である。

【図 2】PCI Express システムの構成例を示すブロック図である。

【図 3】デスクトップ / モバイルでの PCI Express プラットホームの構成例を示すブロック図である。

【図 4】x 4 の場合の物理層の構造例を示す模式図である。

【図 5】デバイス間のレーン接続例を示す模式図である。

【図 6】スイッチの論理的構造例を示すブロック図である。

【図 7 - 1】既存の PCI のアーキテクチャを示すブロック図である。

【図 7 - 2】PCI Express のアーキテクチャを示すブロック図である。

【図 8】PCI Express の階層構造を示すブロック図である。

【図 9】トランザクションレイヤパケットのフォーマット例を示す説明図である。

【図 1 0】PCI Express のコンフィグレーション空間を示す説明図である。

【図 1 1】仮想チャネルの概念を説明するための模式図である。

【図 1 2】データリンクレイヤパケットのフォーマット例を示す説明図である。

【図 1 3】x 4 リンクでのバイトストライピング例を示す模式図である。

【図 1 4】L 0 / L 0 s / L 1 / L 2 というリンクステートの定義について説明する説明図である。

【図 1 5】アクティブステート電源管理の制御例を示すタイムチャートである。

【図 1 6】本発明の第 1 の実施の形態の画像処理システムの制御装置の構成例を示す概略ブロック図である。

【図 1 7】画像処理システムの制御装置におけるデータ転送経路の切り替え例を示す説明図である。

【図 1 8】本発明の第 2 の実施の形態の画像処理システムの制御装置におけるデータ転送経路の切り替え例を示す説明図である。

【図 1 9】本発明の第 3 の実施の形態の画像処理システムの制御装置の構成例を示す概略ブロック図である。

【図 2 0】スイッチ切り替えを示すタイミングチャートである。

【図 2 1】データ転送切り替えを示すタイミングチャートである。

【図 2 2】従来の画像処理システムのコントローラ構成の一例を示すブロック図である。

【図 2 3】従来の PCI Express を使用した画像処理システムのコントローラ構成の一例を

10

20

30

40

50

示すブロック図である。

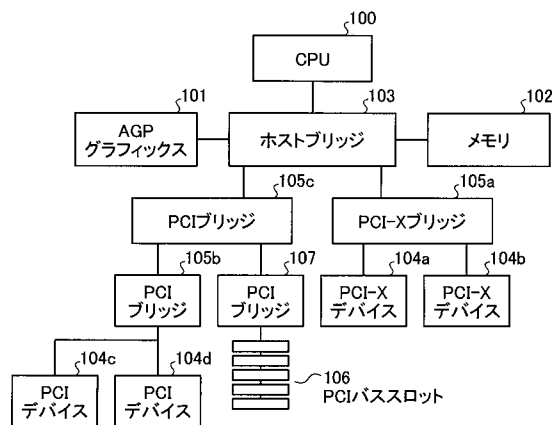
【符号の説明】

【 0 1 2 7 】

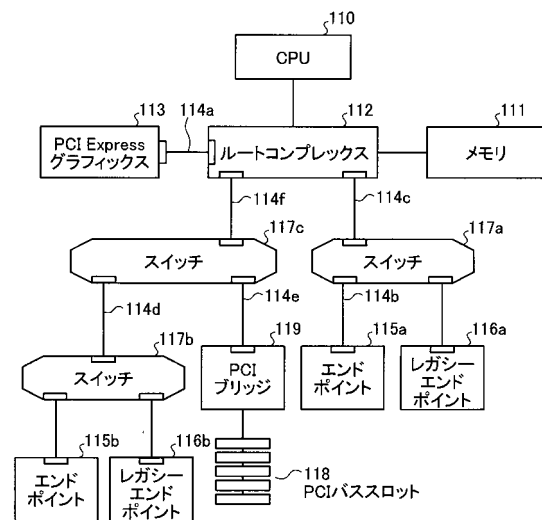
- 1 制御装置
- 2 C P U
- 3 メモリ
- 4 ルートデバイス、メモリ制御デバイス
- 5 第2のデバイス、I / O制御デバイス
- 6 第1のデバイス、画像処理コントローラ
- 7 , 8 高速シリアルバス
- 9 第2の高速シリアルバス
- 1 1 , 2 1 第1のデバイス（画像処理コントローラ）のスイッチ
- 1 2 , 2 2 第2のデバイス（I / O制御デバイス）のスイッチ
- 3 1 , 3 2 信号線
- A ルートデバイス（メモリ制御デバイス）経由のデータ転送経路
- B データ転送経路

10

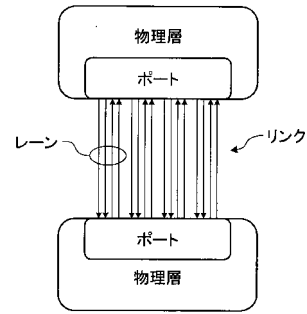
【 図 1 】



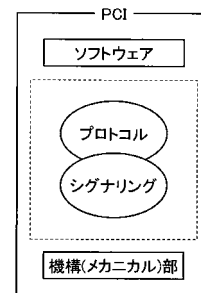
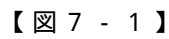
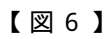
【 図 2 】



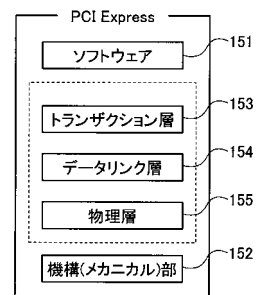
【 図 4 】



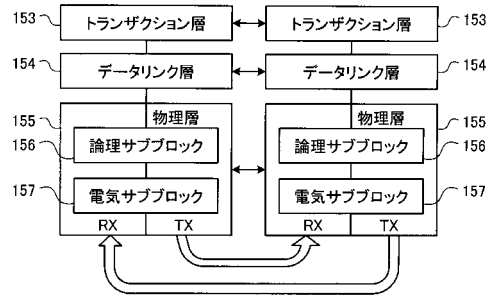
【 図 5 】



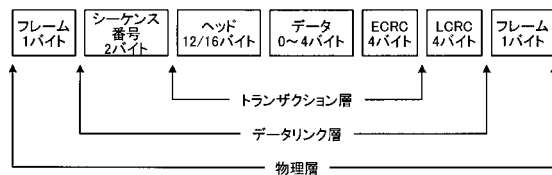
【圖 7 - 2】



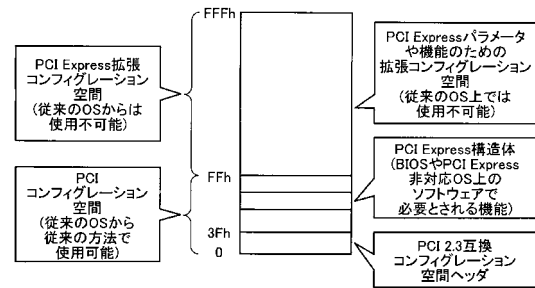
【図 8】



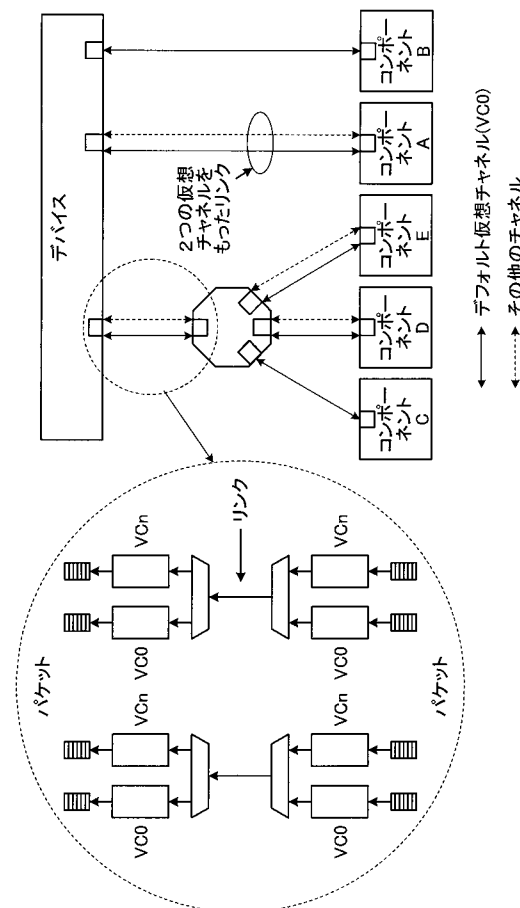
【図 9】



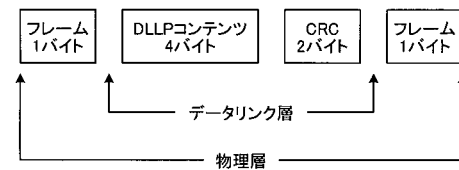
【図 10】



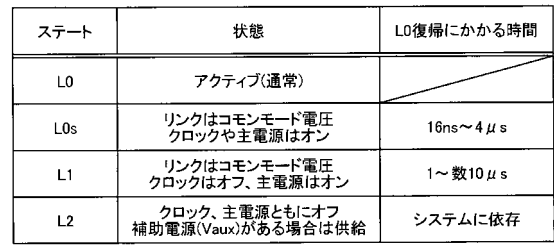
【図 11】



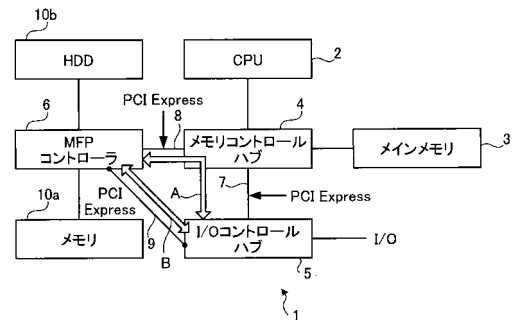
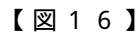
【図 12】



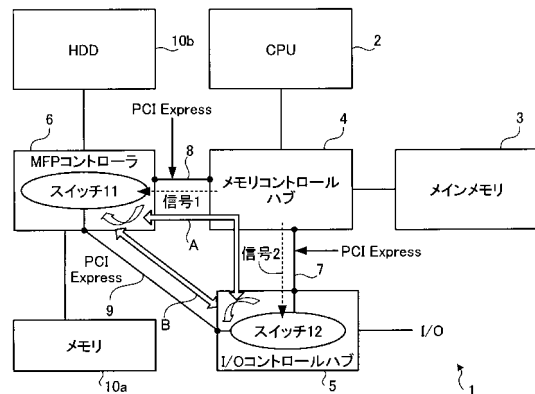
【 図 1 4 】



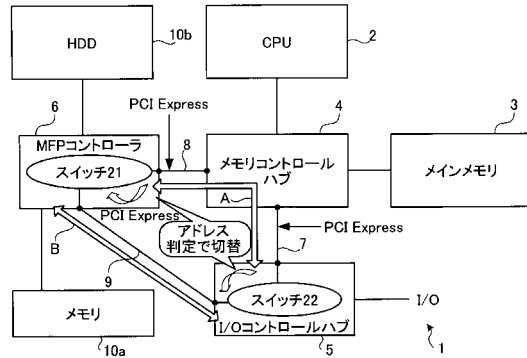
【 図 1 5 】



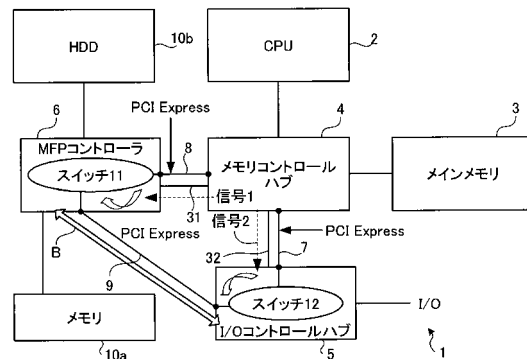
【 図 1 7 】



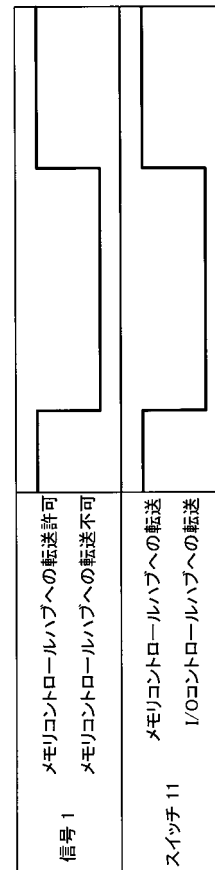
【図18】



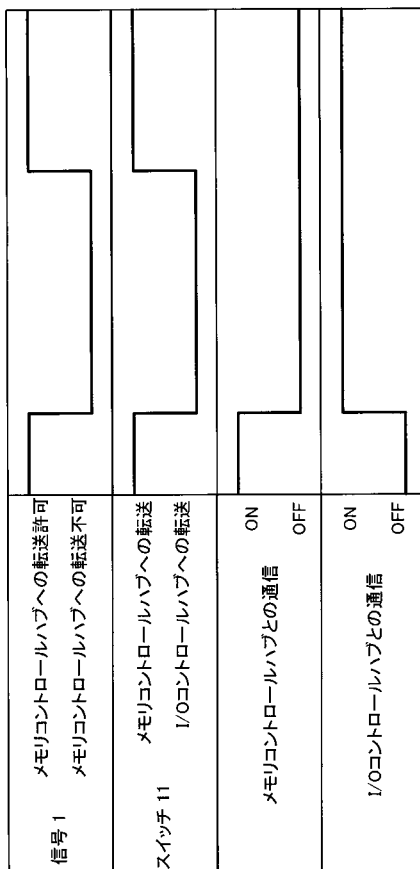
【図19】



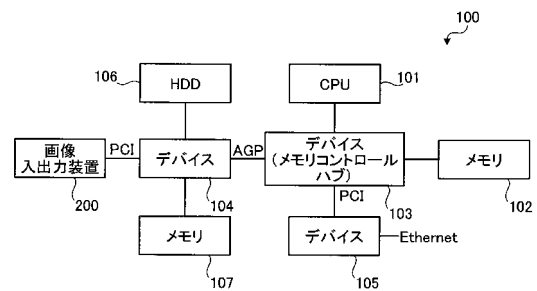
【図20】



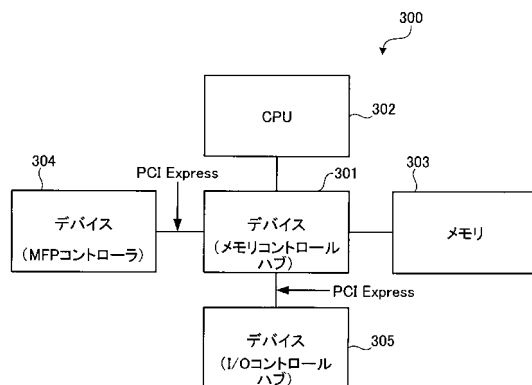
【図21】



【図22】



【図23】



---

フロントページの続き

- (72)発明者 遠藤 貴之  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
- (72)発明者 吉田 敦史  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
- (72)発明者 大泉 充弘  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
- (72)発明者 米田 豊  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
- (72)発明者 池田 純一  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
- (72)発明者 押切 幸治  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

審査官 坂東 博司

- (56)参考文献 特開平 0 1 - 1 4 2 9 6 2 ( J P , A )  
特開平 1 1 - 1 8 4 8 0 0 ( J P , A )  
特開 2 0 0 5 - 2 1 0 6 5 3 ( J P , A )  
特開 2 0 0 4 - 1 5 2 3 1 2 ( J P , A )  
特開 2 0 0 5 - 9 2 7 7 0 ( J P , A )  
特開 2 0 0 5 - 1 6 6 0 2 7 ( J P , A )  
特開 2 0 0 5 - 1 6 6 0 2 8 ( J P , A )  
特開 2 0 0 5 - 1 6 6 0 2 9 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)
- |         |           |
|---------|-----------|
| G 0 6 F | 1 3 / 3 6 |
| G 0 6 F | 1 3 / 3 8 |