



(12) 发明专利

(10) 授权公告号 CN 101517716 B

(45) 授权公告日 2011.08.17

(21) 申请号 200780035987.9

(22) 申请日 2007.09.28

(30) 优先权数据

267742/2006 2006.09.29 JP

(85) PCT申请进入国家阶段日

2009.03.27

(86) PCT申请的申请数据

PCT/JP2007/069041 2007.09.28

(87) PCT申请的公布数据

W02008/038787 JA 2008.04.03

(73) 专利权人 东京毅力科创株式会社

地址 日本东京都

(72) 发明人 壁义郎 小林岳志 盐泽俊彦

北川淳一

(74) 专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 龙淳

(51) Int. Cl.

H01L 21/316 (2006.01)

H01L 27/04 (2006.01)

H01L 21/76 (2006.01)

H01L 29/78 (2006.01)

H01L 21/822 (2006.01)

(56) 对比文件

US 2005/0136610 A1, 2005.06.23, 说明书第 [0106]—[0112] 段、附图 2.

US 2006/0003603 A1, 2006.01.05, 说明书第 [0025]—[0045] 段, [0085]—[0086] 段、附图 1, 4A—4C.

说明书第 [0048]—[0058] 段.

W0 2006/025363 A1, 2006.03.09, 全文.

审查员 徐国亮

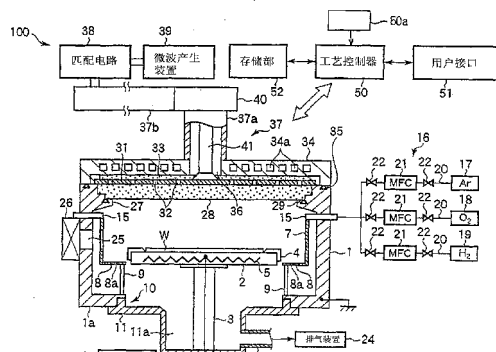
权利要求书 1 页 说明书 11 页 附图 6 页

(54) 发明名称

硅氧化膜的形成方法、等离子体处理装置

(57) 摘要

本发明提供硅氧化膜的形成方法、等离子体处理装置和存储介质,能够不损失等离子体氧化处理的优点地形成绝缘耐性优异、能够提高半导体装置的成品率的膜质优异的硅氧化膜。该硅氧化膜的形成方法包括:第一氧化处理工序,其以处理气体中的氧的比例为 1% 以下、且压力为 133Pa 以下的第一处理条件形成等离子体,利用该等离子体,氧化被处理体表面的硅,形成硅氧化膜;和第二氧化处理工序,其接着上述第一氧化处理工序,以处理气体中的氧的比例为 20% 以上、且压力为 400 ~ 1333Pa 的第二处理条件形成等离子体,利用该等离子体,氧化上述被处理体表面,进一步形成硅氧化膜。



1. 一种硅氧化膜的形成方法,其特征在于,包括:

第一氧化处理工序,其在等离子体处理装置的处理室内,以处理气体中的氧的比例为 1%以下、且压力为 0.133 ~ 133Pa 的第一处理条件形成该处理气体的等离子体,利用该等离子体,氧化被处理体表面的硅,形成硅氧化膜;和

第二氧化处理工序,其接着所述第一氧化处理工序,以处理气体中的氧的比例为 20%以上、且压力为 400 ~ 1333Pa 的第二处理条件形成该处理气体的等离子体,利用该等离子体,氧化所述被处理体表面,进一步形成硅氧化膜并且改善所述硅氧化膜的膜质,

相对于在所述第一氧化处理工序和所述第二氧化处理工序中形成的所述硅氧化膜的合计膜厚,在所述第二氧化处理工序中形成的所述硅氧化膜的膜厚的比例为 0.1 ~ 5%。

2. 一种硅氧化膜的形成方法,其特征在于,包括:

第一氧化处理工序,其在等离子体处理装置的处理室内,以处理气体中的氧的比例为 1%以下、且压力为 0.133 ~ 133Pa 的第一处理条件形成该处理气体的等离子体,利用该等离子体,氧化被处理体表面的硅,形成硅氧化膜;和

第二氧化处理工序,其接着所述第一氧化处理工序,以处理气体中的氧的比例为 20%以上、且压力为 400 ~ 1333Pa 的第二处理条件形成该处理气体的等离子体,利用该等离子体,氧化所述被处理体表面,进一步形成硅氧化膜并且改善所述硅氧化膜的膜质,

所述第二氧化处理工序的所述处理气体中的氧的比例为 20 ~ 50%。

3. 根据权利要求 1 或 2 所述的硅氧化膜的形成方法,其特征在于:

所述第二氧化处理工序的处理时间为 1 ~ 600 秒。

4. 根据权利要求 2 所述的硅氧化膜的形成方法,其特征在于:

相对于在所述第一氧化处理工序和所述第二氧化处理工序中形成的所述硅氧化膜的合计膜厚,在所述第二氧化处理工序中形成的所述硅氧化膜的膜厚的比例为 0.1 ~ 5%。

5. 根据权利要求 1 或 2 所述的硅氧化膜的形成方法,其特征在于:

所述第一氧化处理工序的所述处理气体中的氧的比例为 0.2 ~ 1%。

6. 根据权利要求 1 或 2 所述的硅氧化膜的形成方法,其特征在于:

在所述第一氧化处理工序中,所述处理气体以 0.1 ~ 10%的比例包含有氢。

7. 根据权利要求 1 或 2 所述的硅氧化膜的形成方法,其特征在于:

处理温度为 200 ~ 800°C。

8. 根据权利要求 1 或 2 所述的硅氧化膜的形成方法,其特征在于:

所述等离子体是利用所述处理气体、和通过具有多个隙缝的平面天线导入到所述处理室内的微波形成的微波激励等离子体。

硅氧化膜的形成方法、等离子体处理装置

技术领域

[0001] 本发明涉及硅氧化膜的形成方法、等离子体处理装置和存储介质,更详细地说,涉及例如在各种半导体装置的制造过程中形成作为绝缘膜的硅氧化膜等的情况下能够使用的硅氧化膜的形成方法、等离子体处理装置和存储介质。

[0002] 背景技术

[0003] 在各种半导体装置的制造过程中,例如作为晶体管的栅极绝缘膜等的绝缘膜进行 SiO_2 等的硅氧化膜的形成。作为形成这样的硅氧化膜的方法,大致区分为使用氧化炉、RTP(Rapid Thermal Process:快速热处理)装置的热氧化处理,和使用等离子体处理装置的等离子体氧化处理。例如,在作为热氧化处理之一的利用氧化炉的湿氧化处理中,使用将硅基板加热至超过 800°C 的温度,燃烧氧和氢生成水蒸汽 (H_2O) 的 WVG(Water Vapor Generator:水蒸汽产生)装置,将硅基板暴露在氧化气氛中,从而使硅表面氧化形成硅氧化膜。

[0004] 另一方面,作为等离子体氧化处理,使用包含氩气和氧气,氧的流量比率为约 1% 的处理气体。将以 133.3Pa 的腔室内压力形成的微波激励等离子体作用于硅表面,进行等离子体氧化处理,从而能够形成膜厚的控制容易且优质的硅氧化膜(例如专利文献 1)。

[0005] 专利文献 1:W02004/008519 号

[0006] 热氧化处理被认为是能够形成优质的硅氧化膜的方法。但是,因为必须利用超过 800°C 的高温进行处理,所以热预算增大,产生由热应力导致硅基板产生变形等问题。

[0007] 另一方面,在上述专利文献 1 的等离子体氧化处理中,由于处理温度为 400°C 左右,能够避免热氧化处理中的热预算的增大和基板的变形等问题。此外,通过以处理气体中的 O_2 流量为 1%、处理压力为 133.3Pa 左右的条件(为了说明的方便,称作“低压力、低氧浓度条件”)进行等离子体处理,能够得到高氧化速率。

[0008] 但是,通过等离子体氧化处理得到的硅氧化膜,根据等离子体氧化处理条件的不同在绝缘特性上产生变动,在将利用等离子体氧化处理的硅氧化膜用作绝缘膜的 MOS 电容器等的器件的制造中,可能产生初期耐压不良的状况,导致成品率下降等。

发明内容

[0009] 本发明的目的是提供一种形成硅氧化膜的方法,能够不损失在低压力、低氧浓度条件下的等离子体氧化处理的优点地形成绝缘耐性优异、能够提高半导体装置的制造的成品率的膜质优异的硅氧化膜。

[0010] 本发明是一种硅氧化膜的形成方法,其特征在于,包括:第一氧化处理工序,其在等离子体处理装置的处理室内,以处理气体中的氧的比例为 1% 以下、且压力为 0.133 ~ 133Pa 的第一处理条件形成该处理气体的等离子体,利用该等离子体,氧化被处理体表面的硅,形成硅氧化膜;和第二氧化处理工序,其接着上述第一氧化处理工序,以处理气体中的氧的比例为 20% 以上、且压力为 400 ~ 1333Pa 的第二处理条件形成该处理气体的等离子体,利用该等离子体,氧化上述被处理体表面,进一步形成硅氧化膜并且改善上述硅氧化膜的膜质。

[0011] 本发明的硅氧化膜的形成方法是,上述第二氧化处理工序的处理时间为1~600秒。

[0012] 本发明的硅氧化膜的形成方法是,相对于在上述第一氧化处理工序和上述第二氧化处理工序中形成的上述硅氧化膜的合计膜厚,在上述第二氧化处理工序中形成的上述硅氧化膜的膜厚的比例为0.1~5%。

[0013] 本发明的硅氧化膜的形成方法是,上述第一氧化处理工序的上述处理气体中的氧的比例为0.2~1%。

[0014] 本发明的硅氧化膜的形成方法是,上述第二氧化处理工序的上述处理气体中的氧的比例为20~50%。

[0015] 本发明的硅氧化膜的形成方法是,在上述第一氧化处理工序中,上述处理气体以0.1~10%的比例包含有氢。

[0016] 本发明的硅氧化膜的形成方法是,处理温度为200~800℃。

[0017] 本发明的硅氧化膜的形成方法是,上述等离子体是利用上述处理气体、和通过具有多个隙缝的平面天线导入到上述处理室内的微波形成的微波激励等离子体。

[0018] 本发明是一种等离子体处理装置,其特征在于,包括:用于处理硅制的被处理体的能够真空排气的处理室;向处理室内供给处理气体的处理气体供给部;等离子体供给源,其在上述处理室内产生处理气体的等离子体,氧化上述被处理体表面的硅,形成硅氧化膜;调整上述处理室内的压力的排气装置;和控制上述处理气体供给部、上述等离子体供给源和上述排气装置的控制部,其中,上述控制部控制处理气体供给部、上述等离子体供给源和上述排气装置,进行:第一氧化处理工序,其在上述处理室内,以上述处理气体中的氧的比例为1%以下、且压力为0.133~133Pa的第一处理条件形成该处理气体的等离子体,利用该等离子体,氧化上述被处理体表面的硅,形成硅氧化膜;和第二氧化处理工序,其接着上述第一氧化处理工序,以上述处理气体中的氧的比例为20%以上、且压力为400~1333Pa的第二处理条件形成该处理气体的等离子体,利用该等离子体,氧化上述被处理体表面,进一步形成硅氧化膜并且改善上述硅氧化膜的膜质。

[0019] 本发明提供一种存储介质,其是存储有用于使计算机执行硅氧化膜的形成方法的计算机程序的计算机能够读取的存储介质,其特征在于:上述硅氧化膜的形成方法包括:第一氧化处理工序,其在上述等离子体处理装置的处理室内,以处理气体中的氧的比例为1%以下,并且压力为0.133~133Pa的第一处理条件形成该处理气体的等离子体,利用该等离子体,氧化被处理体表面的硅,形成硅氧化膜;和第二氧化处理工序,其接着上述第一氧化处理工序,以处理气体中的氧的比例为20%以上,并且压力为400~1333Pa的第二处理条件形成该处理气体的等离子体,利用该等离子体,氧化上述被处理体表面,进一步形成硅氧化膜并且改善上述硅氧化膜的膜质。

[0020] 根据本发明,进行以处理气体中的氧的比例为1%以下、并且压力为133Pa以下的第一处理条件形成硅氧化膜的第一氧化处理工序。接着第一氧化处理工序,进行以处理气体中的氧的比例为20%以上、并且压力为400~1333Pa的第二处理条件(为了说明的方便,称作“高压、高氧浓度条件”)形成硅氧化膜的第二氧化处理工序。通过该第一氧化处理工序和第二氧化处理工序,能够不损失等离子体氧化处理中的高氧化速率、图案肩部和底边部的圆角形成、面方位依赖性的抑制等的第一处理条件中的等离子体氧化处理的优点地,形成绝缘耐压优异的硅氧化膜。

[0021] 即,在第二氧化处理工序中,通过以高压、高氧浓度进行等离子体处理,能够改善作为基于第一处理条件的等离子体氧化处理的缺点的初期耐压试验中的低成品率、膜质不良的状况,得到致密且 Si-O 键缺陷少的硅氧化膜。

[0022] 从而,能够使将利用该方法得到的硅氧化膜用作绝缘膜的半导体装置具有良好的电特性。

附图说明

[0023] 图 1 是表示适于本发明方法的实施的等离子体处理装置的一个例子的概要截面图。

[0024] 图 2 是表示平面天线板的构造的图。

[0025] 图 3 是表示本发明的硅氧化膜的形成方法的工序顺序的一个例子的流程图。

[0026] 图 4(a) ~ (i) 是表示向利用 STI 的元素分离的应用例的晶片截面的示意图。

[0027] 图 5 是表示 TZDB 试验的结果的图表。

[0028] 图 6 是表示工艺时间与等离子体中的氧发光强度的关系的图表。

[0029] 图 7 是表示形成有图案的晶片表面附近的纵截面的示意图。

[0030] 图 8 是表示处理压力与等离子体中的自由基的密度的关系的图表。

[0031] 图 9 是表示处理气体流量比率与等离子体中的自由基的密度的关系的图表。

具体实施方式

[0032] 以下,参照附图说明本发明的优选实施方式。

[0033] 图 1 是示意性表示适于本发明的硅氧化膜的形成方法的实施的等离子体处理装置的一个例子的截面图。该等离子体处理装置包括具有多个隙缝的平面天线,特别是 RLSA(Radial LineSlot Antenna:径向线隙缝天线),通过该天线向处理室内导入微波,产生等离子体,从而成为产生高密度且低电子温度的微波等离子体的 RLSA 微波等离子体处理装置,例如,能够适用于以晶体管的栅极绝缘膜为代表的各种半导体装置中的绝缘膜的形成。

[0034] 该等离子体处理装置 100 具有构成为气密并被接地的大致圆筒状的腔室(处理室)1。在腔室 1 的底壁 1a 的大致中央部形成有圆形的开口部 10,在底壁 1a 上设置有与该开口部 10 连通,并向下方突出的排气室 11。

[0035] 在腔室 1 内设置有由 AlN 等陶瓷构成的基座 2,该基座 2 用于水平地支承作为被处理基板的半导体晶片(以下记作“晶片”)W。另外,晶片 W 在表面上具有凹凸图案,是硅制的。基座 2 被从排气室 11 的底部中央向上方延伸的圆筒状的由 AlN 等陶瓷构成的支承部件 3 支承。在基座 2 的外缘部设置有用以引导晶片 W 的引导环 4。此外,在基座 2 中埋入有电阻加热型的加热器 5,该加热器 5 通过从加热器电源 6 被供电而加热基座 2,由该热量加热作为被处理体的晶片 W。此时,加热器 5 例如能够在从室温到 800℃ 的范围内控制处理温度。另外,在腔室 1 的内周,设置有由石英构成的圆筒状的衬里 7。此外,在基座 2 的外周侧,环状地设置有用以使腔室 1 内均匀排气的具有多个排气孔 8a 的石英制的挡板 8,该挡板 8 被多个支柱 9 支承。

[0036] 在基座 2 上,用于支承晶片 W 并使其升降的晶片支承销(未图示)相对于基座 2

的表面能够突出没入地被设置。

[0037] 在腔室 1 的侧壁设置有呈环状的气体导入部件 15,均等地形成有气体发射孔。在该气体导入部件 15 上连接有气体供给系统 16。气体导入部件也可以配置为喷淋状。该气体供给系统 16 例如具有 Ar 气体供给源 17、O₂ 气体供给源 18、H₂ 气体供给源 19,这些气体分别通过气体管线 20 到达气体导入部件 15,从气体导入部件 15 的气体发射孔向腔室 1 内均匀地导入。在气体管线 20 的各个上设置有质量流量控制器 21 和其前后的开关阀 22。另外,也可以使用其它的稀有气体例如 Kr、He、Ne、Xe 等气体代替 Ar 气体,此外,也可以如后所述不含有稀有气体。

[0038] 在上述排气室 11 的侧面连接有排气管 23,在该排气管 23 上连接有包括高速真空泵的排气装置 24。并且,通过使该排气装置 24 工作,腔室 1 内的气体向排气室 11 的空间 11a 内被均匀地排出,通过排气管 23 被排气。由此,腔室 1 内能够被高速地减压至规定的真空度,例如 0.133Pa。

[0039] 在腔室 1 的侧壁,设置有用在其与和等离子体处理装置 100 邻接的搬送室(未图示)之间进行晶片 W 的搬入搬出的搬入搬出口 25、和开关该搬入搬出口 25 的闸阀 26。

[0040] 腔室 1 的上部为开口部,沿着该开口部的周边部设置有环状的支承部 27。该支承部 27 由电介质例如石英、Al₂O₃ 等陶瓷构成,透过微波的微波透过板 28 通过密封部件 29 被气密地设置。因此,腔室 1 内保持气密。

[0041] 在微波透过板 28 的上方,以与基座 2 相对的方式设置有圆板状的平面天线板 31。该平面天线板 31 卡止在腔室 1 的侧壁上端。平面天线板 31,例如在与 8 英寸大小的晶片 W 对应的情况下,为由直径 300 ~ 400mm、厚度 0.1 ~ 数 mm(例如 1mm)的导电性材料构成的圆板。平面天线板 31,具体而言,例如由表面镀有银或者金的铜板或者铝板构成,多个微波发射孔 32(隙缝)成对地以规定的图案贯通形成。该微波发射孔 32,例如图 2 所示形成为长槽状,典型的是邻接的微波发射孔 32 彼此之间配置为“T”字状,这些多个微波发射孔 32 配置为同心圆状。微波发射孔 32 的长度、排列间隔根据微波的波长(λ_g)而决定,例如微波发射孔 32 的间隔被配置为 $\lambda_g/4$ 、 $\lambda_g/2$ 或者 λ_g 。另外,在图 2 中,形成为同心圆状的邻接的微波发射孔 32 彼此之间的间隔以 Δr 表示。

[0042] 此外,微波发射孔 32 也可以为圆形、圆弧形等其它的形状。进一步,微波发射孔 32 的配置方式并没有特别限定,除同心圆状以外,例如也能够配置为螺旋状、辐射状。

[0043] 在该平面天线板 31 的上表面,设置有具有比真空大的介电常数的例如石英、聚四氟乙烯、聚酰亚胺等树脂构成的滞波件 33。因为在真空中微波的波长变长,所以该滞波件 33 具有缩短微波的波长、调整等离子体的功能。另外,平面天线板 31 与微波透过板 28 之间、以及滞波件 33 与平面天线板 31 之间,分别紧贴地配置,但是也可以分离配置。

[0044] 在腔室 1 的上表面,以覆盖这些平面天线 31 和滞波件 33 的方式,设置有例如由铝、不锈钢、铜等金属材料构成的屏蔽盖体 34。腔室 1 的上表面和屏蔽盖体 34 通过密封部件 35 被密封。屏蔽盖体 34 和平面天线板 31 构成波导路,均匀地辐射状地传播微波。在屏蔽盖体 34 上形成有冷却水流路 34a,通过在其中流通冷却水,冷却屏蔽盖体 34、滞波件 33、平面天线板 31、微波透过板 28。另外,屏蔽盖体 34 被接地。

[0045] 在屏蔽盖体 34 的上壁的中央形成有开口部 36,在该开口部连接有波导管 37。在该波导管 37 的端部,通过匹配电路 38 连接有微波产生装置 39。由此,在微波产生装置 39

中产生的例如频率 2.45GHz 的微波通过波导管 37 向上述平面天线板 31 传播。另外,作为微波的频率,能够使用 8.35GHz、1.98GHz 等。

[0046] 波导管 37 具有:从上述屏蔽盖体 34 的开口部 36 向上方延伸的截面为圆形的同轴波导管 37a;和在该同轴波导管 37a 的上端部通过模式变换器 40 被连接的向水平方向延伸的矩形波导管 37b。矩形波导管 37b 和同轴波导管 37a 之间的模式变换器 40 具有将在矩形波导管 37b 内以 TE 模式传播的微波变换为 TEM 模式的功能。在同轴波导管 37a 的中心延伸存在内导体 41,该内导体 41 的下端部,连接固定在平面天线板 31 的中心。由此,微波通过同轴波导管 37a 的内导体 41 向平面天线板 31 均匀有效地传播。

[0047] 等离子体处理装置 100 的各结构部构成为与具有 CPU 的工艺控制器 50 连接而被控制的结构。工艺控制器 50 上连接有用户接口 51,其由工序管理者用于管理等等离子体处理装置 100 而进行命令的输入操作等的键盘、使等离子体处理装置 100 的运行状况可视化地显示的显示器等构成。

[0048] 此外,在工艺控制器 50 上连接有存储部 52,在该存储部 52 中存储有记录有助于通过工艺控制器 50 的控制实现在等离子体处理装置 100 中实施的各种处理的控制程序(软件)、处理条件数据等的方案。

[0049] 根据需要,根据来自用户接口 51 的指示等从存储部 52 调出任意的方案并由工艺控制器 50 执行,从而在工艺控制器 50 的控制下,在等离子体处理装置 100 中进行期望的处理。此外,上述控制程序、处理条件数据等的方案,能够为存储在计算机能够读取的存储介质 50a,例如 CD-ROM、硬盘、软盘、闪存器等中的状态,或者也可以从其它装置例如通过专用线路随时传送而在线使用。

[0050] 这样构成的等离子体处理装置 100,即使是 800℃ 以下,更优选 500℃ 以下的低温,也能够通过没有损伤的等离子体处理形成优质的膜,并且等离子体均匀性优异,能够实现工艺的均匀性。

[0051] 该等离子体处理装置 100,例如,在形成作为晶体管的栅极绝缘膜的硅氧化膜的情况下、或者在半导体装置的制造过程中作为元件分离技术被利用的浅沟槽隔离(Shallow Trench Isolation:STI)中在沟槽内形成氧化膜等的情况下能够适用。

[0052] 接着,说明使用等离子体处理装置 100 的硅氧化膜形成方法。图 3 是说明本发明的一个实施方式的硅氧化膜形成方法的概要的流程图。在本实施方式的硅氧化膜的形成方法中,首先在步骤 S2 中,利用作为低压力、低氧浓度条件的第一处理条件进行第一氧化处理工序,接着,在步骤 S3 中,实施相比于第一处理条件为高压力、高氧浓度条件的第二氧化处理工序。以下,对于第一和第二氧化处理工序的详细内容进行说明。

[0053] 首先,打开闸阀 26 从搬入搬出口 25 将例如形成有沟槽等的凹部的硅制的晶片 W 搬入腔室 1 内,并载置在基座 2 上(步骤 S1)。然后,从气体供给系统 16 的 Ar 气体供给源 17 和 O₂ 气体供给源 18 以规定的流量将 Ar 气体和 O₂ 气体通过气体导入部件 15 导入腔室 1 内,将腔室内压力和基座温度调整为第一处理条件。作为该第一处理条件,优选处理气体中的氧的比例,例如为 1% 以下,更为优选的是 0.2 ~ 1%。处理气体的流量能够是,从 Ar 气体:50 ~ 5000mL/min、O₂ 气体:0.5 ~ 50mL/min 的范围中,以相对于全部气体流量的氧的比例为上述值的方式进行选择。

[0054] 此外,处理压力,优选为 133Pa 以下,更优选 90 ~ 133Pa。

[0055] 此外,处理温度能够从 $200^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 的范围内选择,更优选 $400^{\circ}\text{C} \sim 500^{\circ}\text{C}$ 。

[0056] 此外,在来自 Ar 气体供给源 17 和 O_2 气体供给源 18 的 Ar 气体和 O_2 气体之外,能够从 H_2 气体供给源 19 以规定的比率导入 H_2 气体。通过供给 H_2 气体,能够使等离子体氧化处理的氧化速率提高。

[0057] 这是因为,通过供给 H_2 气体生成 OH 自由基,其对提高氧化速率起到作用。在该情况下, H_2 的比例优选为相对于处理气体整体的量为 $0.1 \sim 10\%$,更优选 $0.1 \sim 5\%$,特别优选 $0.1 \sim 2\%$ 。

[0058] 接着,来自微波产生装置 39 的微波经由匹配电路 38 导入波导管 37。微波依次通过矩形波导管 37b、模式变换器 40、和同轴波导管 37a,被供给至平面天线板 31,从平面天线板 31 经由微波透过板 28 被发射到腔室 1 内的晶片 W 的上方空间。微波在矩形波导管 37b 内以 TE 模式传播,该 TE 模式的微波通过模式变换器 40 变换为 TEM 模式,在同轴波导管 37a 内向平面天线板 31 传播。此时,微波产生装置 39 的功率优选为 $0.41 \sim 4.19\text{W}/\text{cm}^2$,此外优选是 $0.5 \sim 5\text{kW}$ 。

[0059] 利用从平面天线板 31 经由微波透过板 28 被发射到腔室 1 中的微波在腔室 1 内形成电磁场,Ar 气体、 O_2 气体等被等离子体化,利用这样形成的等离子体,氧化在形成在晶片 W 上的凹部内露出的硅表面。这样,进行第一氧化处理工序(步骤 S2)。

[0060] 微波从平面天线板 31 的多个微波发射孔 32 被发射,由此,该微波等离子体成为约 $1 \times 10^{10} \sim 5 \times 10^{12}/\text{cm}^3$ 或者在此以上的高密度的等离子体,其电子温度为 $0.5 \sim 2\text{eV}$ 左右,等离子体密度的均匀性为 $\pm 5\%$ 以下。从而,能够在低温下且以高氧化速率进行短时间的氧化处理,形成薄且均匀的氧化膜,而且具有等离子体中的离子等对氧化膜造成的损伤小,能够形成优质的硅氧化膜的优点。

[0061] 以上的第一氧化处理工序,与之后继续进行的第二氧化处理工序的第二处理条件相比较,将作为低压力、低氧浓度的第一处理条件所特有的高氧化速率这一长处最大限度地充分利用。因此,进行第一氧化处理工序,直至形成的硅氧化膜的膜厚成长为即将达到作为目标的氧化膜厚,例如达到目标膜厚的 95% 左右,优选 99% 左右,更优选 99.9% 左右。

[0062] 接着,接续上述第一氧化处理工序,以第二处理条件形成等离子体,进行利用等离子体氧化晶片 W 表面的硅而形成硅氧化膜的第二氧化处理工序(步骤 S3)。在第二氧化处理工序中,从气体供给系统 16 的 Ar 气体供给源 17 和 O_2 气体供给源 18,以规定的流量将 Ar 气体和 O_2 气体通过气体导入部件 15 导入腔室 1 内,将腔室内压力和基座温度调整至第二处理条件。

[0063] 作为该第二处理条件,处理气体中的氧的比例例如优选为 $20 \sim 100\%$,更优选 $20 \sim 50\%$,特别优选 $20 \sim 30\%$ 。处理气体的流量能够是,从 Ar 气体: $0 \sim 5000\text{mL}/\text{min}$ 、 O_2 气体: $10 \sim 5000\text{mL}/\text{min}$ 的范围中,以相对于全部气体流量的氧的比例成为上述值的方式进行选择。

[0064] 此外,处理压力优选为 400Pa 以上 1333Pa 以下,更优选 $400 \sim 667\text{Pa}$ 。

[0065] 此外,处理温度能够从 $200^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 的范围中选择,更优选 $400^{\circ}\text{C} \sim 500^{\circ}\text{C}$ 。

[0066] 此外,在第二处理条件中,也能够来自 Ar 气体供给源 17 和 O_2 气体供给源 18 的 Ar 气体和 O_2 气体之外,从 H_2 气体供给源 19 以规定的比率导入 H_2 气体。在该情况下, H_2 的比例优选成为相对于处理气体整体的量的 $0.1 \sim 10\%$,更优选 $0.1 \sim 5\%$,特别优选 $0.1 \sim 2\%$ 。但是,在与第一氧化处理工序相比在短时间内进行的第二氧化处理工序中提高氧化速

率的必要性较小,因此能够任意添加 H_2 。

[0067] 接着,将来自微波产生装置 39 的微波经由匹配电路 38 导入波导管 37。微波依次通过矩形波导管 37b、模式变换器 40、和同轴波导管 37a 被供给至平面天线板 31,从平面天线板 31 经由微波透过板 28 发射到腔室 1 内的晶片 W 的上方空间。微波在矩形波导管 37b 内以 TE 模式传播,该 TE 模式的微波通过模式变换器 40 变换为 TEM 模式,在同轴波导管 37a 内向平面天线板 31 传播。此时,微波产生装置 39 的功率优选为 $0.41 \sim 4.19W/cm^2$,此外优选为 $0.5 \sim 5kW$ 。

[0068] 以上的第二氧化处理工序(步骤 S4)结束,搬出基板。

[0069] 这样的第二氧化处理工序,与先前进行的第一氧化处理工序的第一处理条件相比较,以高压、高氧浓度的条件进行。该第二氧化处理工序,与硅氧化膜的膜厚增加相比,更主要的目的是改善在第一氧化处理工序中形成的硅氧化膜的膜质。

[0070] 由此,从缩短处理工序整体时间的观点出发,第二氧化处理工序的工序时间优选在腔室 1 内生成的等离子体稳定化之后较短,例如为 600 秒以下,优选为 $1 \sim 60$ 秒,更优选 $1 \sim 10$ 秒,从使等离子体稳定的观点出发,优选为 $5 \sim 10$ 秒。

[0071] 此外,相对于目标膜厚,即,在第一氧化处理工序和第二氧化处理工序中形成的硅氧化膜的膜厚,在第二氧化处理工序中形成的上述硅氧化膜的膜厚的比为 5% 以下,优选为 $1 \sim 0.1\%$ 。

[0072] 通过组合以低压力且低氧浓度的第一处理条件进行的第一氧化处理工序、和以高压且高氧浓度的第二处理条件进行的第二氧化处理工序的 2 个步骤的等离子体氧化处理,能够以高氧化速率形成绝缘耐性优异的硅氧化膜。从而,能够使将通过该方法得到的硅氧化膜用作绝缘膜的半导体装置具有良好的电特性。

[0073] 接着,参照图 4,对将本发明的硅氧化膜的形成方法应用于 STI 的沟槽内部的氧化膜形成的例子进行说明。图 4(a) ~ 图 4(i) 是表示 STI 的沟槽的形成和直到之后进行的氧化膜形成的工序的图。

[0074] 首先,在图 4(a) 和图 4(b) 中,例如通过热氧化等的方法在硅基板 101 上形成 SiO_2 等硅氧化膜 102。接着,在图 4(c) 中,在硅氧化膜 102 上,例如通过 CVD (Chemical Vapor Deposition: 化学气相沉积) 形成 Si_3N_4 等硅氮化膜 103。进而,在图 4(d) 中,在硅氮化膜 103 上,涂覆光致抗蚀剂后,利用光刻技术进行图案化,形成抗蚀剂层 104。

[0075] 接着,以抗蚀剂层 104 作为蚀刻掩模,例如使用卤素类的蚀刻气体,有选择地蚀刻硅氮化膜 103 和硅氧化膜 102,由此,与抗蚀剂层 104 的图案相对应地使硅基板 101 露出(图 4(e))。即,通过硅氮化膜 103 形成用于沟槽的掩模图案。图 4(f) 表示的是利用使用例如含有氧等的处理气体的含氧等离子体实施所谓的灰化处理已除去抗蚀剂层 104 的状态。

[0076] 在图 4(g) 中,以硅氮化膜 103 和硅氧化膜 102 作为掩模,对硅基板 101 有选择地实施蚀刻,由此形成沟槽 105。该蚀刻,例如能够使用含 Cl_2 、 HBr 、 SF_6 、 CF_4 等卤素或者卤化物、 O_2 等的蚀刻气体进行。

[0077] 图 4(h) 表示相对于在 STI 的蚀刻之后的晶片 W 的沟槽 105,形成硅氧化膜的工序。此处,进行包括基于低压力、低氧浓度的第一处理条件的第一氧化处理工序、和基于高压、高氧浓度的第二处理条件的第二氧化处理工序的等离子体氧化处理。通过像这样改变条件进行 2 个步骤的等离子体氧化处理,能够使沟槽 105 的肩部 105a 的硅 101 具有圆

角。通过在沟槽 105 的肩部 105a 的硅 101 导入圆角形状,与该部位形成锐角的情况相比较,能够抑制漏电流的产生。同样地在沟槽 105 的底边部 105b 也能够形成圆角形状。此外,能够不依赖于硅的面方位地在沟槽 105 的内面(侧壁部、底部)以均匀的膜厚形成硅氧化膜 111a、111b。这样的效果被认为是,由于在以低压力、低氧浓度的第一处理条件进行的第一氧化处理工序中,在等离子体中主要是 $O(^1D_2)$ 自由基起支配作用而得到的。

[0078] 另外,在利用本发明的硅氧化膜的形成方法形成硅氧化膜 111 之后,按照 STI 的元件分离区域形成的顺序,例如通过 CVD 法在沟槽 105 内埋入 SiO_2 等绝缘膜之后,将硅氮化膜 103 作为阻挡(stopper)层通过 CMP 进行研磨而使其平坦化。在平坦化之后,通过蚀刻除去硅氮化膜 103 和埋入绝缘膜的上部,由此能够形成元件分离构造。

[0079] 接着,对确认本发明的效果的试验结果进行说明。

[0080] 图 5 表示使用通过下述的条件 A 和条件 B 的等离子体氧化处理在 EPI 基板(单结晶基板)上形成的硅氧化膜,制作试验用 MOS- 电容器,实施绝缘膜可靠性评价试验(TZDB 试验)的结果。其中, TZDB 测定对象的硅氧化膜的膜厚(T_{ox})为 11.5nm,单元面积(S)为 $5mm^2$,测定位置(N)为 112 点。

[0081] < 条件 A : 本发明方法 >……2 步骤处理

[0082] 第一氧化处理工序 : 低压力、低氧浓度等离子体氧化处理条件

[0083] Ar 流量 : 500mL/min (sccm)

[0084] O_2 流量 : 5mL/min (sccm)

[0085] H_2 流量 : 5mL/min (sccm)

[0086] O_2 气体比率 : 约 1%

[0087] 处理压力 : 133.3Pa (1Torr)

[0088] 微波功率 : $2.3W/cm^2$ (2750W)

[0089] 处理温度 : 400℃

[0090] 处理时间 : 235 秒

[0091] 第二氧化处理工序 : 高压力、高氧浓度等离子体氧化处理条件

[0092] Ar 流量 : 120mL/min (sccm)

[0093] O_2 流量 : 37mL/min (sccm)

[0094] H_2 流量 : 3mL/min (sccm)

[0095] O_2 气体比率 : 约 23%

[0096] 处理压力 : 666.5Pa (5Torr)

[0097] 微波功率 : $2.3W/cm^2$ (2750W)

[0098] 处理温度 : 400℃

[0099] 处理时间 : 10 秒、30 秒、60 秒和 700 秒

[0100] < 条件 B : 比较方法 >……仅低压力、低氧浓度等离子体氧化处理

[0101] Ar 流量 : 500mL/min (sccm)

[0102] O_2 流量 : 5mL/min (sccm)

[0103] H_2 流量 : 5mL/min (sccm)

[0104] O_2 气体比率 : 约 1%

[0105] 处理压力 : 133.3Pa (1Torr)

[0106] 微波功率 :2.3W/cm² (2750W)

[0107] 处理温度 :400℃

[0108] 处理时间 :235 秒

[0109] 根据图 5 可知,与以仅在低压力、低氧浓度下进行等离子体处理(即,条件 A 的高压力、高氧浓度条件下的处理时间为零)的条件 B 形成硅氧化膜的比较方法相比,以低压力、低氧浓度+高压力、高氧浓度的 2 个步骤的条件 A 进行等离子体处理的本发明方法的情况下,成品率[合格基准:>15MV/cm]提高,初期耐压被改善。

[0110] 此外,也能够确认,为了改善成品率,第二氧化处理工序的处理时间为 10 秒以下就能够得到充分的效果。为了缩短硅氧化膜形成的合计时间,可以使氧化速率高的低压力、低氧浓度下的第一氧化处理工序的时间尽量延长,第二氧化处理工序的工序时间在能够得到改善成品率效果的范围内越短越好。另一方面,从使微波电源打开(ON)并激起等离子体,开始第二氧化处理工序开始,经一定时间使等离子体稳定,这能够维持工艺的再现性,因此优选。图 6 表示波长 777nm 的等离子体中的氧自由基的发光光谱(OES)与工艺时间的关系。根据图 6 可知,在工艺时间 34 秒的时刻使微波电源打开(ON),然后直到氧自由基的发光稳定大约需要 5 秒左右的时间。根据上述内容,第二氧化处理工序的工序时间,例如为 600 秒以下,优选为 1~60 秒,更优选 1~10 秒,特别优选 5~10 秒。

[0111] 接着,以上述条件 A、条件 B 和下述的条件 C 进行等离子体氧化处理,对等离子体氧化处理中的氧化速率、图案肩部的形状、硅氧化膜形成中的面方位依赖性、历时绝缘破坏试验(TZDB 试验)、蚀刻耐性、基于 ESR(电子自旋共振)分析的膜中的 Si-O 键的缺损量 E'、SiO₂/Si 界面的粗糙度进行调查。这些结果表示在表 1 中。另外,表 1 中也一并表示出上述 TZDB 试验(Time Zero 绝缘破坏试验)的结果。

[0112] <条件 C:比较方法>……仅高压力、高氧浓度等离子体氧化处理

[0113] Ar 流量 :120mL/min(sccm)

[0114] O₂ 流量 :37mL/min(sccm)

[0115] H₂ 流量 :3mL/min(sccm)

[0116] O₂ 气体比率 :约 23%

[0117] 处理压力 :666.5Pa(5Torr)

[0118] 微波功率 :2.3W/cm² (2750W)

[0119] 处理温度 :400℃

[0120] 处理时间 :1500 秒

[0121] 【表 1】

[0122]

试验项目	条件 A (2 个步骤处理)	条件 B (低压力、低氧浓度)	条件 C (高压力、高氧浓度)
氧化速率	○ (高)	○ (高)	△ (稍慢)
图案肩部 的形状	○ (圆角形状)	○ (圆角形状)	× (锐角)
面方位 依赖性	○ (少)	○ (少)	× (多)
TZDB 试验	○ (高成品率)	× (低成品率)	○ (高成品率)
TZDB 试验	○ (高成品率)	○ (高成品率)	× (低成品率)
蚀刻耐性 (稀氟酸处理)	○ (高)	× (低)	○ (高)
ESR 分析 (Si-O 键的 缺损量 E')	○ (检测界限以下)	× (高)	○ (检测界限以下)
SiO ₂ /Si 界面粗糙度 (平坦性)	○ (平坦)	○ (平坦)	× (粗糙)

[0123] 上述符号的意义 (○ :良好 ;△ :能够允许 ;× :不良)

[0124] 将形成有图 7 所示的凹凸图案 110 的单晶硅 101 的表面通过上述条件 A ~ C 进行等离子体氧化处理,形成硅氧化膜 111,观察图案肩部 112 的硅 101 的形状是否带有圆角,由此测定图案肩部的形状。此外,根据图 7 所示的 a 部和 b 部的膜厚,测定硅的 (100) 面和 (110) 面的氧化速率的不同,由此求得硅氧化膜形成的面方位依赖性。另外,图案 110 的凹部的深度和开口幅度的比 (纵宽比) 为 2.5。

[0125] TDDb 试验与上述 TZDB 试验相同,使用通过上述条件 A ~ C 形成的硅氧化膜制作 MOS 电容器 (省略图示),并进行评价。

[0126] 基于将通过上述条件 A ~ C 形成的硅氧化膜浸渍在稀氟酸 ($\text{HF} : \text{H}_2\text{O} = 1 : 100$) 溶液中 10 秒钟并进行湿蚀刻处理的情况下的硅氧化膜的膜厚的减少量,评价蚀刻耐性。湿蚀刻的膜厚的减少量越少表示越为致密且优质的膜。

[0127] 对通过上述条件 A ~ C 形成的硅氧化膜,利用 ESR (电子自旋共振) 分析装置测定硅氧化膜中的 Si-O 键的缺损量 E' 。另外, Si-O 键的缺损量 E' 的检测极限为约 $5 \times 10^{16} [\text{spins}/\text{cm}^3]$ 以下。

[0128] SiO_2/Si 界面的粗糙度 (自乘平均平方根粗糙度 :Rms) 通过 AFM (原子间力显微镜) 分析而进行测定。

[0129] 根据表 1 可知,在进行低压力、低氧浓度 + 高压力、高氧浓度的条件 A 的 2 个步骤的等离子体处理的本发明的方法的情况下,能够维持作为低压力、低氧浓度的条件 B 的等离子体氧化处理的优点的高氧化速率、图案肩部 112 的圆角形成、面方位依赖性的抑制等的优点,而且通过在第二氧化处理工序中进行高压力、高氧浓度的等离子体处理,能够改善作为条件 B 的等离子体氧化处理的缺点的初期耐压试验中的低成品率、膜质不良的状况,能够得到致密 (高蚀刻耐性) 且 Si-O 键缺陷少的 (低 E') 硅氧化膜。

[0130] 这样,能够确认,通过低压力、低氧浓度 + 高压力、高氧浓度的 2 个步骤的等离子体处理形成硅氧化膜,由此能够充分发挥低压力、低氧浓度条件下的等离子体氧化处理的优点,同时弥补其缺点。对获得这样的效果的理由进行研究。

[0131] 图 8 表示作为在等离子体处理装置 100 内生成的等离子体中的自由基的 $\text{O} (^1\text{D}_2)$ 和 $\text{O} (^3\text{P}_2)$ 的原子密度与处理压力的关系。等离子体形成条件是 :Ar 流量 500mL/min (sccm), O_2 流量 5mL/min (sccm) [O_2 气体混合比率约 1%], 处理温度 400℃,微波功率 1500W (1.25W/ cm^2), 处理压力在 90 ~ 667Pa 间变化。

[0132] 根据该图 8,能够看出 $\text{O} (^1\text{D}_2)$ 密度具有在约 133.3Pa 前后为峰,随着处理压力变高,相比于 $\text{O} (^3\text{P}_2)$ 密度迅速减少的倾向。

[0133] 图 9 表示等离子体中的 $\text{O} (^1\text{D}_2)$ 密度和 $\text{O} (^3\text{P}_2)$ 密度与处理气体的流量比率的关系。等离子体形成条件 :处理压力 133.3Pa (1Torr), 处理温度 400℃,微波功率 1500W (1.25W/ cm^2), 使 Ar 流量在 300 ~ 500mL/min (sccm)、 O_2 流量在 1 ~ 200mL/min (sccm) [O_2 气体流量比率,在此处是 $(\text{O}_2/\text{Ar}+\text{O}_2) \times 100$, 为 0.2 ~ 40%] 之间变化。

[0134] 根据该图 9 可知, $\text{O} (^3\text{P}_2)$ 密度几乎不受到处理气体中的 O_2 气体流量比率 [$(\text{O}_2/\text{Ar}+\text{O}_2) \times 100$] 的影响,但是 $\text{O} (^1\text{D}_2)$ 密度是,处理气体中的 O_2 流量比率越低则越高,在 1% 前后存在陡峭的峰值。

[0135] 根据图 8 和图 9 可知,在等离子体处理装置 100 中,在 133.3Pa、 O_2 浓度 1% 的低压

力、低氧浓度条件下,能够形成 $O(^1D_2)$ 、 $O(^3P_2)$ 的密度最高的等离子体。在第一氧化处理工序中,利用这样的自由基主体的等离子体对硅进行氧化,从而能够达到高氧化速率、图案肩部 112 的圆角形成、面方位依赖性的抑制的效果。此外,在高压、高氧浓度的第二氧化处理工序中,根据图 8 和图 9 能够理解,在第一氧化处理工序形成的硅氧化膜暴露在 $O(^3P_2)$ 自由基主体的等离子体中。由此,硅氧化膜被改性,初期耐压试验中的低成品率、膜质不良的状况被改善,形成致密(高蚀刻耐性)且 Si-O 键缺陷少(低 E') 的硅氧化膜。

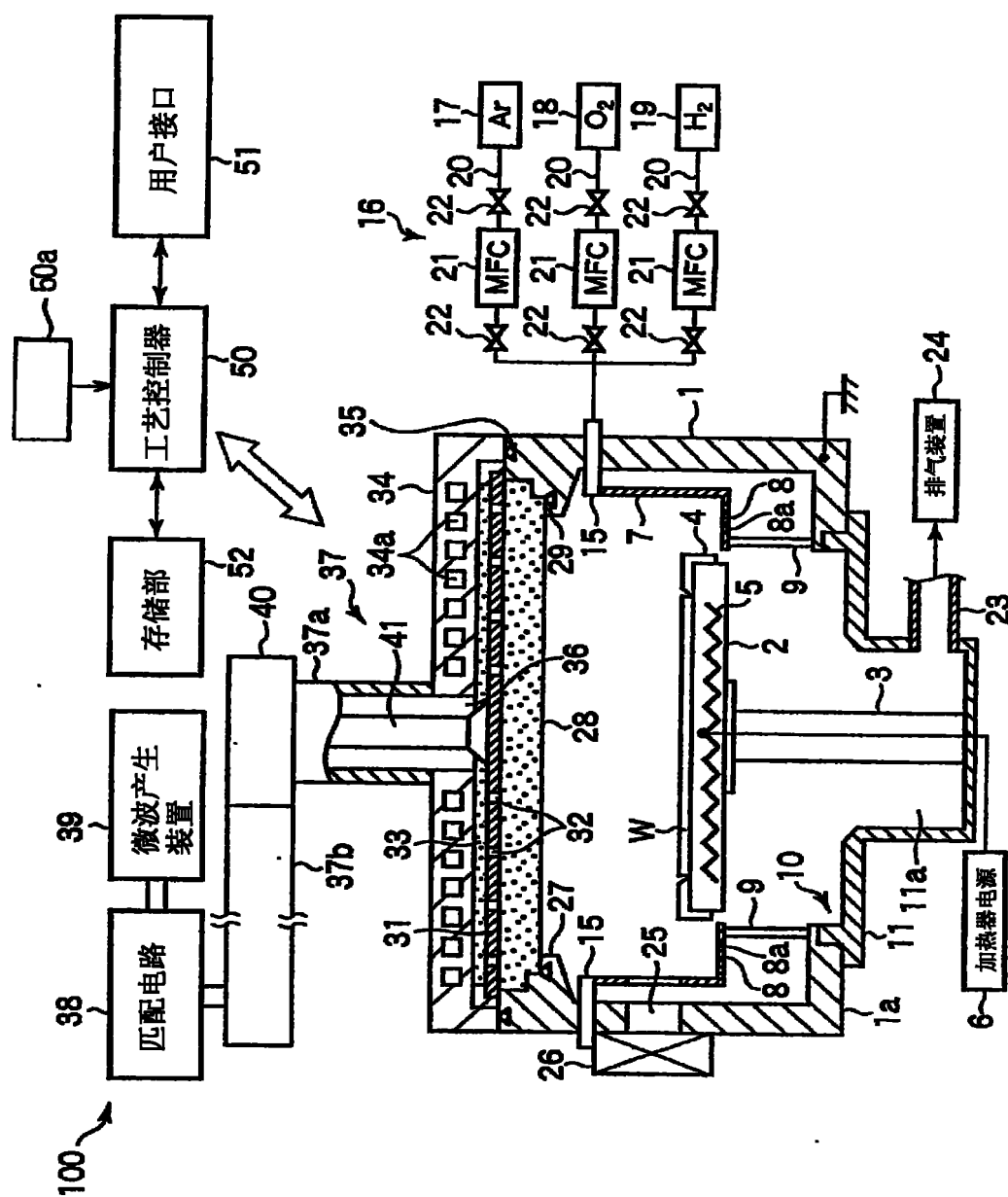
[0136] 以上,叙述了本发明的实施方式,本发明并不受上述实施方式的制约,能够有各种变形。例如在图 1 中,举例表示了 RLSA 方式的等离子体处理装置 100,但是也可以是例如 ICP 等离子体方式、ECR 等离子体方式、表面反射波等离子体方式、磁控管等离子体方式等的等离子体处理装置。

[0137] 此外,本发明能够应用于沿着图 7 中例示的凹凸图案形成高品质的氧化膜的必要性很高的应用,例如 STI 中的沟槽内部的氧化膜形成、晶体管的多晶硅栅电极侧壁的氧化膜形成等。此外,即使在形成有凹凸且面方位根据部位而不同的硅表面例如翼构造、槽栅构造的 3 维晶体管的制造过程中形成作为栅极绝缘膜等的硅氧化膜的情况下,也能够应用本发明。而且,也能够应用于闪存器等隧道氧化膜的形成等。此外作为硅基板,可以使用单晶硅,也可以使用多晶硅、非晶硅。

[0138] 此外,在上述实施方式中,对作为绝缘膜形成硅氧化膜的方法进行了叙述,但是也能够对通过本发明方法形成的硅氧化膜进一步进行氮化处理,形成硅氧氮化膜(SiON 膜)。在该情况下,不限定氮化处理的方法,但优选使用例如包含 Ar 气体和 N_2 气体的混合气体进行等离子体氮化处理。

[0139] 产业上的可利用性

[0140] 本发明能够适用于在各种半导体装置的制造中形成硅氧化膜等的情况。



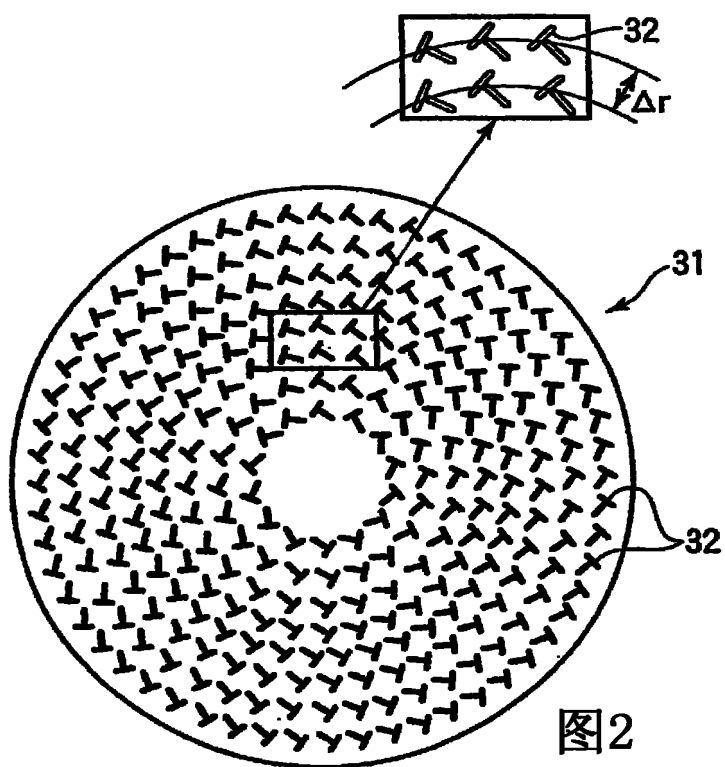


图2

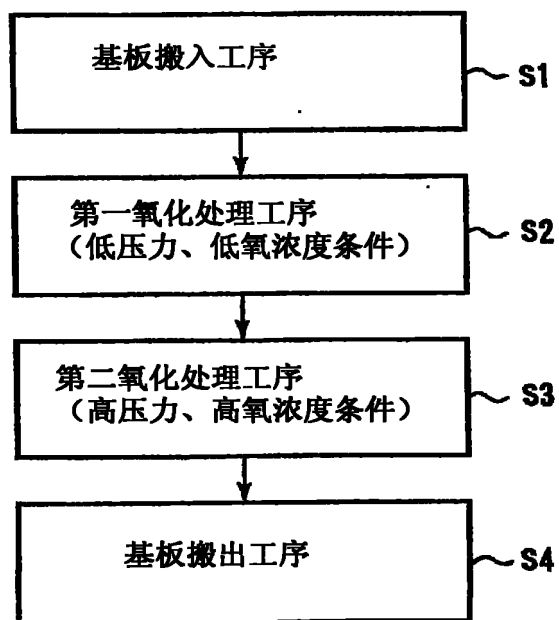


图3

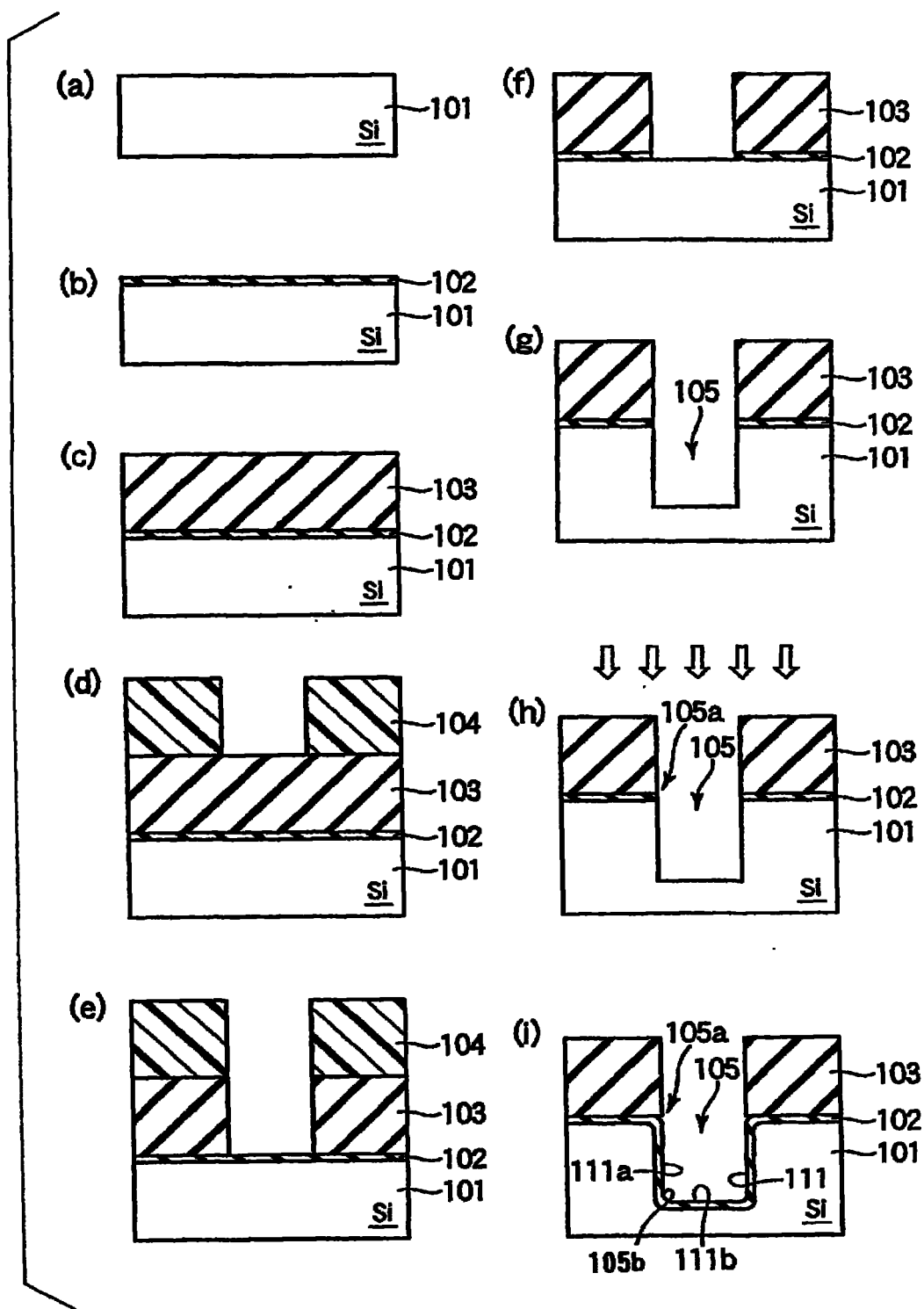


图 4

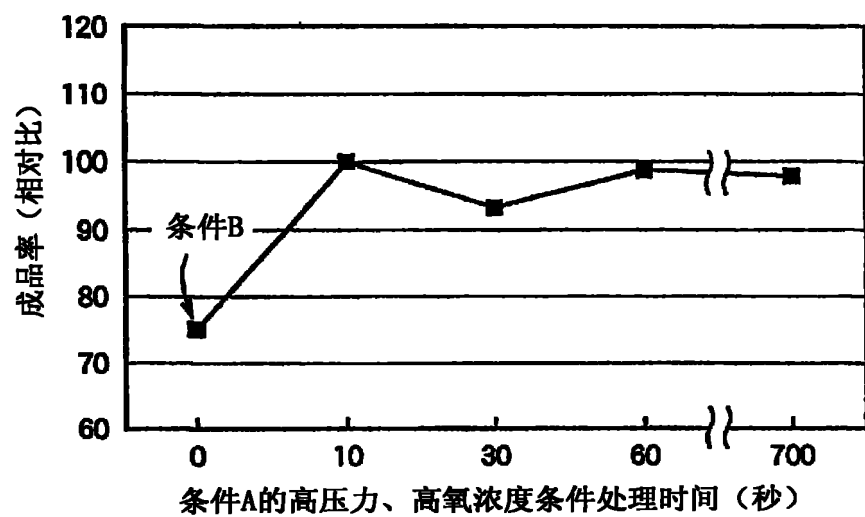


图 5

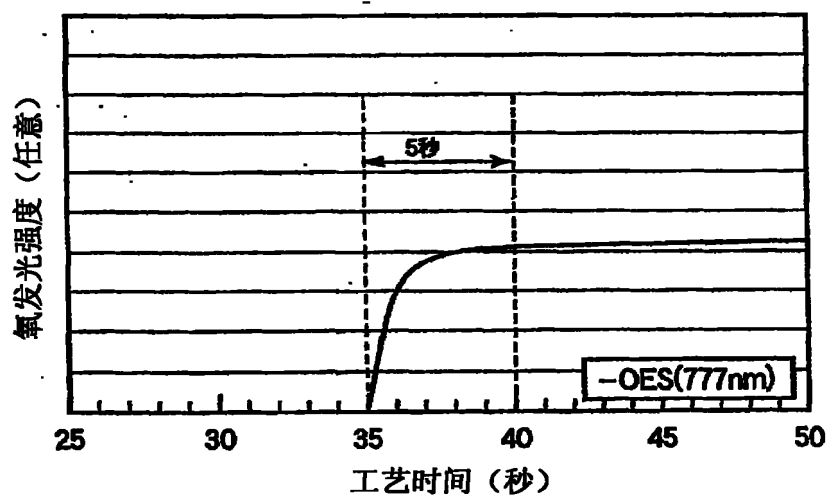


图 6

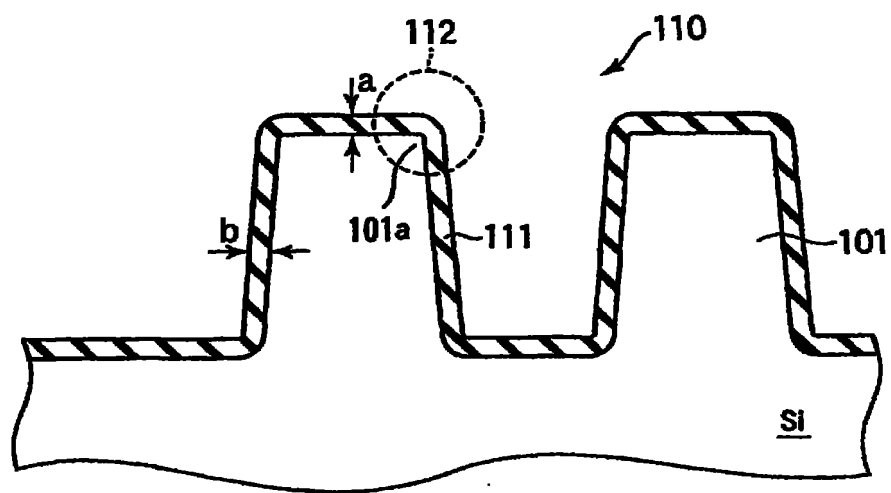


图 7

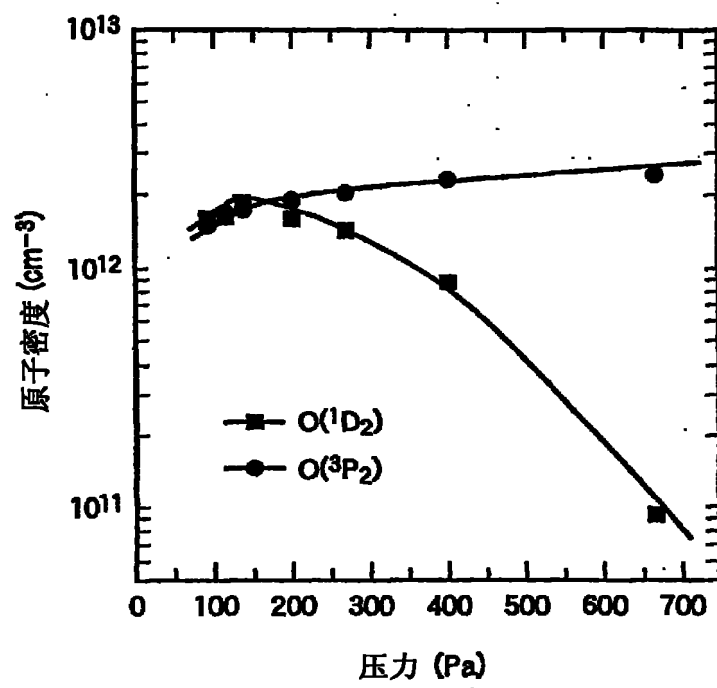


图 8

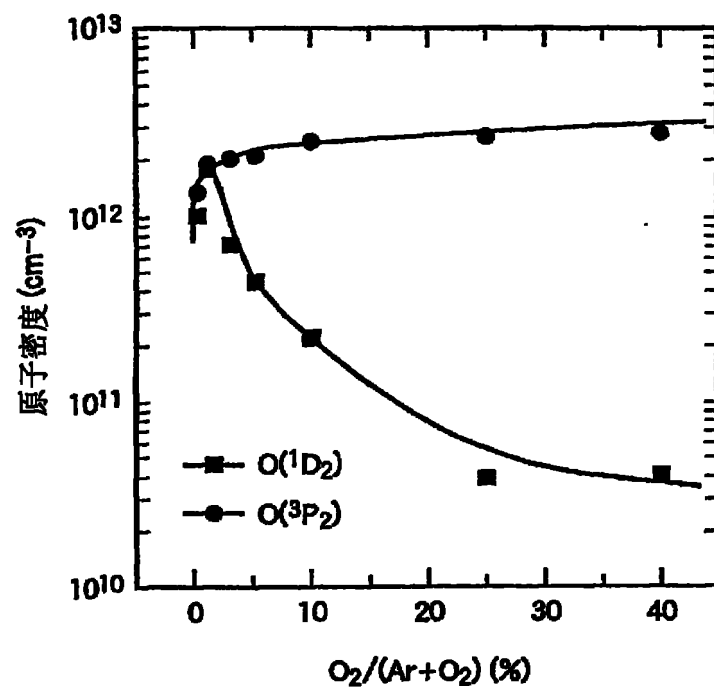


图 9