



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월08일  
(11) 등록번호 10-1674274  
(24) 등록일자 2016년11월02일

(51) 국제특허분류(Int. Cl.)  
H01L 21/20 (2006.01) H01L 21/18 (2006.01)  
H01L 29/778 (2006.01)  
(21) 출원번호 10-2014-7003437  
(22) 출원일자(국제) 2012년07월06일  
심사청구일자 2016년05월24일  
(85) 번역문제출일자 2014년02월10일  
(65) 공개번호 10-2014-0063593  
(43) 공개일자 2014년05월27일  
(86) 국제출원번호 PCT/EP2012/063317  
(87) 국제공개번호 WO 2013/010828  
국제공개일자 2013년01월24일  
(30) 우선권주장  
1112327.0 2011년07월18일 영국(GB)  
(56) 선행기술조사문헌  
KR1020000048423 A  
JP2010016089 A  
KR1020030057420 A  
US20090065810 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
에피간 엔브이  
벨기에, 비-3500 하셀트, 캄피쉴 스티언웨그 293  
(72) 발명자  
델핀, 조프  
벨기에, 비-3051 신트-요리스-베르트, 파노라마란 6  
디그루트, 스테판  
벨기에, 비-3271 스페르펜회벨-지캄, 로벤세스트 라트 185  
제르맹, 마리안느  
벨기에, 비-4000 리에주, 루 돈실 2  
(74) 대리인  
손민

전체 청구항 수 : 총 9 항

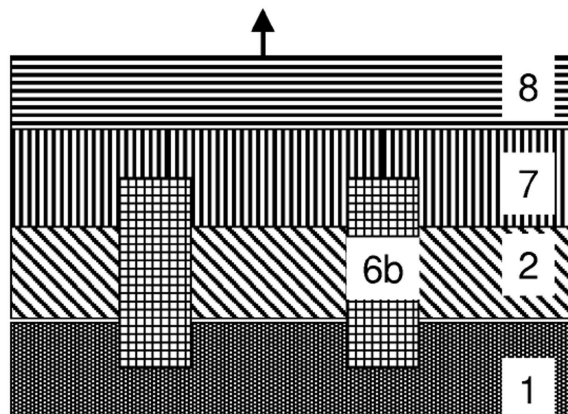
심사관 : 김종희

(54) 발명의 명칭 III-V 에피택셜층들을 성장시키는 방법

(57) 요약

본 발명은 기판 상에 III-V 에피택셜층들을 성장시키는 방법, 기판을 포함하는 반도체 구조, 기판과 버퍼층 사이에 도전성 경로가 있고 상기 도전성 경로는 하나 이상의 국부적 격리들에 의해 차단되는 것을 특징으로 하는 것인 기판 위에 버퍼층, 및 이러한 구조를 포함하는 장치에 관한 것이다. 기판들 상에 예를 들면 III-N 에피택셜층들을 피착할 때, Si 기판들의 소위 "Ga 멜트-백(melt-back)"을 억제하기 위해 AlN층의 피착으로 성장이 시작된다. Si와 AlN 사이에 계면엔 계면에서 밴드 정렬(band alignment) 혹은 Si 내로 Ga의 내부-확산(in-diffusion)에 기인하여, 도전성층이 형성된다. 상기 도전성층은 Si 상에 이러한 III-N 버퍼들 위에 제작되는 장치들의 RF 및 고전압 동작 모두에 이롭지 못하다.

대표도 - 도8d



## 명세서

### 청구범위

#### 청구항 1

Si, SiGe, Ge, 절연체 상의 Si(Si-on-insulator) 및 절연체 상의 Ge(Ge-on-insulator) 중에서 하나 이상을 포함하는 기판을 제공하는 단계;

상기 기판 상에 III-V 버퍼층을 제공하여, 상기 버퍼층과 상기 기판 사이에 도전성 계면을 얻는 단계;

상기 버퍼층 위에 하나 이상의 보호층을 형성하는 단계;

상기 하나 이상의 보호층을 형성한 후에, 상기 도전성 계면에 그리고 부분적으로 상기 기판 내에 하나 이상의 국부적 전기적 격리들을 형성하여 상기 도전성 계면에 전류를 차단하는 단계로서, 여기서 상기 하나 이상의 국부적 전기적 격리들은 표면을 정의하며, 이때, 상기 하나 이상의 국부적 격리들이,

- 상기 하나 이상의 국부적 전기적 격리들 중의 적어도 하나가 트랜지스터, FET, HEMT, DHFET 또는 파워 장치의 게이트와 드레인 사이에 위치하도록 배치되거나,

- 트랜지스터, FET, HEMT, DHFET 또는 파워 장치의 게이트가 상기 하나 이상의 국부적 전기적 격리보다 위에 수직으로 위치하도록 배치되거나, 또는

- 상기 하나 이상의 국부적 전기적 격리들 중의 적어도 하나가 LED 또는 다이오드의 고전압 단자와 저전압 단자 사이에 위치하도록 배치되는 단계;

상기 하나 이상의 국부적 전기적 격리들의 상기 표면을 평탄화하는 단계; 및

상기 표면을 평탄화한 후, 재성장(re-growth) 과정에 앞서 상기 하나 이상의 보호층을 제거하는 단계를 포함하는,

트랜지스터, FET, HEMT, DHFET, LED, 다이오드 또는 파워 장치인 반도체 구조를 포함하는 장치를 제조하는 방법.

#### 청구항 2

제1항에 있어서, 상기 하나 이상의 국부적 전기적 격리들은 쉘로우 트랜치 아이솔레이션(shallow trench isolation; STI), 실리콘 부분 산화(local oxidation of silicon), 불순물 주입, 딥 트랜치 에칭, 또는 이들의 조합 중 적어도 하나에 의해 형성되는 것인, 방법.

#### 청구항 3

제1항에 있어서, 상기 하나 이상의 국부적 전기적 격리들은 규칙적인 패턴으로 형성되는 것인, 방법.

#### 청구항 4

제3항에 있어서, 상기 장치는 게이트 및 드레인을 포함하며, 상기 게이트는 상기 드레인로부터 일정 거리 이격되어 있고;

상기 규칙적인 패턴의 주기는 상기 거리 보다 작으며, 상기 주기 및 상기 거리는 동일한 평면 내에 있는 것인, 방법.

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

제1항에 있어서, 상기 하나 이상의 국부적 전기적 격리들은 25nm 내지  $2.5\mu\text{m}$ 의 폭을 갖는 것인, 방법.

#### 청구항 8

제1항에 있어서, 상기 하나 이상의 국부적 전기적 격리들 사이의 공간은 폭이  $0.2\mu\text{m}$  내지  $20\mu\text{m}$ 인 것인, 방법.

#### 청구항 9

제1항에 있어서, 상기 하나 이상의 보호층은 III-V 층, SiN 층, 및 이들의 조합으로 구성된 군으로부터 선택된 하나 이상의 층을 포함하는 것인, 방법.

#### 청구항 10

제9항에 있어서, 상기 하나 이상의 보호층은 (i) 상기 버퍼층 상에 적용된 GaN의 스택, (ii) 상기 GaN 층 상에 적용된 AlN, 및 (iii) 상기 AlN 층 상에 적용된 SiN 층을 포함하는 것인, 방법.

#### 청구항 11

제1항에 있어서, 재성장(re-growth) 과정을 수행하는 단계를 추가로 포함하며, 상기 재성장은 기판 및 버퍼층 중 적어도 하나를 격리 패턴들로 패턴화함으로써 III-V 층을 선택적으로 재성장하는 것을 포함하는 것인, 방법.

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

**발명의 설명**

## 기술분야

[0001] 본 발명은 기판 상에 III-V 에피택셜층들을 성장시키는 방법, 기판을 포함하는 반도체 구조, 기판과 버퍼층 사이에 도전성 경로가 있는 것인 기판 위에 버퍼층, 및 이러한 구조를 포함하는 장치에 관한 것이다.

## 배경기술

[0002] Si 기판들 상에 예를 들면 III-N 에피택셜층들을 피착할 때, Si 기판들의 소위 "Ga 멜트-백(melt-back)"을 억제하기 위해 AlN층의 피착으로 성장이 시작된다. 계면에서의 밴드 정렬(band alignment) 혹은 Si 내로의 Ga의 내부-확산(in-diffusion)에 기인하여 Si와 AlN 사이 계면에서 도전성층이 형성된다. 상기 도전성층은 Si 위의 이러한 III-N 버퍼들 상에 제작되는 장치들의 RF 및 고전압 동작 모두에 이롭지 못하다.

[0003] RF 장치들의 경우에, RF 신호들은 이 층과 용량성으로(capacitively) 결합할 수 있어 전파하는(propagating) 신호에 바람직하지 못한 손실로 이어진다.

[0004] 충분히 큰 콘택 간격을 가진 고전압 장치들의 경우에, 장치는 콘택으로부터 III-N/Si 계면으로 가는 2개의 수직 한 레그들(leg)로 구성되는 경로와 III-N/Si 계면 자체의 도전성 경로를 통해 높은 필드 상태들 하에서 조기에 브레이크다운할 것이다. 즉, 실리콘 상의 AlGaIn/GaN HEMT 장치들은 소스와 드레인 지역 사이의 거리가 컷더라도 포화된 브레이크다운 전압을 갖는 것이 관찰되었다. 브레이크다운 포화 레벨은 에피택셜층 스택의 총 두께의 함수이며, 따라서 높은 브레이크다운 전압들은 두꺼운 에피택셜층들을 요구하여 큰 웨이퍼 휨 또는 균열된 층들을 초래할 수도 있고 웨이퍼의 비용을 증가시킨다. 문서 CN 101719465 (A)은 제품의 질 및 생산 효율을 개선하기 위해 GaN-기반 반도체 물질을 확장하는 공정에서 Ga에 의해 실리콘 표면을 다시 녹이는 문제를 해결할 목적으로 실리콘 기판 GaN-기반 반도체 물질을 제조하는 방법을 제공한다. 상기 방법은, 특히 알루미늄 질화물 버퍼층을 성장시키기 위해 제 1 MOCVD의 반응실 내에서 실리콘 기판 상에 알루미늄 질화물 버퍼층을 생성하고, 상기 단계가 완료된 후에 알루미늄 질화물 버퍼층을 적출하여 나중에 사용하기 위해 실리콘 기판 알루미늄 질화물 템플레이트를 형성하는 단계; 및 나중에 사용하기 위해 실리콘 기판 알루미늄 질화물 템플레이트를 제 2 MOCVD의 반응기 내에 놓아 GaN-기반 반도체 물질을 성장시켜 GaN-기반 반도체 물질을 확장하는 단계; 및 상기 단계가 완료된 후에 실리콘 기판 알루미늄 질화물 템플레이트를 적출하여 실리콘 기판 GaN-기반 반도체 물질을 형성하는 단계를 포함한다. 상기 방법은 발광 다이오드들, 다이오드 레이저들, 파워 장치들, 등의 생산 제조에 적용될 수 있다.

[0005] Umeda, 등은 "Blocking-Voltage Boosting Technology for GaN Transistors by Widening Depletion Layer in Si Substrates" (2010 IEEE Electron Devices Meeting, San Francisco, CA, pages 20.5.1 - 20.5.4)에서, 매우 저항성인 Si 기판 내 공핍층을 넓힘으로써 AlGaIn/GaN 헤테로 접합 전계효과 트랜지스터들(HFET)의 차단(blocking) 전압을 상승시키는 신규한 기술을 제안한다. 차단-전압 상승(BVB) 기술은 AlN/Si에서 계면 반전층들로부터의 누설 전류를 종식시키기 위해 침의 주변 영역에의 이온 주입을 채널 스톱퍼들로서 이용한다. 채널 스톱퍼의 도움으로 기판 내에 공핍층이 넓어지게 되고, 이는 HFET의 차단 전압을 증가시킨다. HFET들의 오프-상태 브레이크다운 전압은 Si 상의 1.4 $\mu$ m만큼 얇은 에피택셜 GaN를 위한 채널 스톱퍼들이 없이 BVB 기술에 의해 760V로부터 1340V까지 증가된다. 상기 기술은 Si 상 얇은 에피택셜 GaN이라도 이에 대한 차단 전압을 증가시키는데 크게 도움이 되며, 이는 제조 비용이 더욱 감소되게 한다.

[0006] 그러나, 상기 수법이 반드시 브레이크다운 포화 문제를 해결하는 것은 아니다.

[0007] Srivastava 등은 "Record Breakdown Voltage (2200 V) of GaN DHFETs on Si With 2- $\mu$ m Buffer Thickness by Local Substrate Removal" (EDL 32-1 2011)에서, 실리콘 관통 비아(vias)들을 연상시키는 국부적인 기판 제거 기술(소스에서 드레인에 이르는 지역 아래)을 제안하며, 2- $\mu$ m-두께의 AlGaIn 버퍼만을 가진 Si (111) 기판 상 AlGaIn/GaN/AlGaIn 이중 헤테로구조 FET들의 수득된 가장 높은 브레이크다운 전압(VBD)에 대해 보고한다. 국부적인 Si 제거 전에,  $V_{BD}$ 는 게이트-드레인간 거리 ( $L_{GD}$ )  $\geq 8\mu$ m에서  $\sim 700V$ 에서 포화한다. 그러나, 기판을 국부적으로 예칭한 후에, 이들은  $L_{GD} = 20\mu$ m를 가진 장치들에 대해 2200V의 기록  $V_{BD}$ 를 측정한다. 또한, 홀(Hall) 측정들로부터, 이들은 국부적인 기판 제거 통합 수법은 2-D 전자 가스 채널 특성들에 전혀 영향을 미치지 않는다고 결론을 지었다.

[0008] 활성 장치가 지금 매우 얇은 막(membrane) 상에 위치하게 되어 신뢰성 문제들이 초래될 수 있고 캐리어 기판의 제거가 층 스택의 열 저항성에 부정적인 영향을 미친다는 것이 단점이다.

- [0009] 또 다른 수법에서는 SOI 기판이 사용되는데, 반도체 기판을 관통하여 매립된 절연체층까지(또는 이를 관통하여) 트렌치들이 에칭되어 하기의 취급 웨이퍼로부터 소위 "소스 섬들(source islands)" 및 "드레인 섬들(drain islands)"을 완전히 격리시킨다.
- [0010] 활성 장치와, 열이 소산될 수 있는 기판의 이면측 사이에 매우 높은 열 저항을 갖는 산화물이 항상 존재한다는 것이 단점이다.
- [0011] Nitronex는 마지막으로, 성장에 앞서 Si 기판의 질화에 의해, 기생적인 채널 내 전자들의 밀도가  $10^{16}/\text{cm}^3$  미만의 레벨들까지 감소될 수 있지만(미국특허 제 7,247,889호) 이것은 도전성 채널을 완전히 파괴하지 못해 브레이크다운 포화를 제거하지 못함을 보여주었다.
- [0012] 전형적으로, 위에 공정들은 표준 CMOS 공정들에서 수행될 수 없으므로, 가능하다면, 가외의 조치들이 취해지게 한다. 이러한 것은 비용이 들뿐만 아니라, 예를 들면 공정 조건들이 최적이지 아니기 때문에, 수율에 영향을 미칠 수 있다.
- [0013] 미국특허출원 공개 제 2008/0048196 A1호(Strittmatter 등)는 전기적 및/또는 광학적 부품 및 부품을 제조하기 위한 공정에 관한 것으로, 상기 부품의 재료층들 내의 결정 전위들(dislocation)은 기판 내로 하나 이상의 트렌치들을 에칭함으로써 신뢰성있게 회피될 수 있다. 트렌치는 가스로 채워진, 특히 공기로 채워진 공동(cavity)을 형성하는 중에 트렌치가 반도체층에 의해 완전히 덮이도록 적어도 한 반도체층과 함께 측방으로 과성장된다. 상기 부품은 반도체 층 내에 혹은 반도체층 상에 도포된 추가의 반도체층 내에 집적된다. 상기 부품의 활성 영역은 공동 위에, 바람직하게는 독점적으로, 놓여진다. 최적의 열 확산을 달성하기 위해서, 상기 공동은 부품의 폭보다 약간만 더 넓다. 광학 도파관을 가진 광전자 부품들에 대해서, Strittmatter 등은 광을 광학적으로 구속하기 위한 방법으로서, 반도체에서 공동으로의 전이(transition)를 이용한다. 상기 부품이 트랜지스터이라면, Strittmatter 등은, RF 손실을 제거하기 위해 기판을 장치 아래 공동으로 대체한다. 두 가지 경우에 있어서, 공동은 적어도 부품의 활성 영역의 크기, 따라서 전체 부품의 활성 영역의 크기를 가질 필요가 있다.

## 발명의 내용

### 해결하려는 과제

- [0014] 따라서, 본 발명은 기능성 및 잇점들을 방해하지 않고 상기 단점들 중 하나 이상을 극복하는, 반도체 구조에 관해서, 기판 상에 III-V 에피택셜층들을 성장시키는 방법, 반도체 구조를 포함하는 장치, 및 상기 장치 및/또는 반도체 구조를 포함하는 전자회로에 관한 것이다. 특히, 본 발명은 장치 형성 전, 예를 들면 활성층 피착 또는 성장 전, 전체적인 웨이퍼 처리에 관한 것이다.
- [0015] 본 발명의 목적은 포화된 브레이크다운 전압을 갖지 않으며 그 결과로서 고전압들을 견디기 위해 두꺼운 에피택셜층들을 요구하지 않는, 개선된 반도체 장치 또는 기판 또는 방법, 특히 대안적인 AlGaIn/GaN HEMT 장치를 제공하는 것이다. 이론에 의해 제한됨이 없이, 본 발명에 이르게 하는 연구에서 브레이크다운의 포화된 거동은 AlGaIn 또는 GaIn 층들에선 브레이크다운을 초래하지 않고 하기의 반도체 기판 내에서 브레이크다운을 초래하는 것으로 본 발명자들에 의해 이해되었다. 상기 브레이크다운은 Si 기판과 III-질화물 층들 사이 계면의 도전성 경로의 바람직하지 않은 발생에 기인한다. 우선, AlN 핵형성층의 밴드 갭(6.2eV)과 Si 기판의 밴드 갭(1.11eV)은 매우 다르며, 또한 AlN 계면에 편극 전하(polarisation charge)가 있는데, 이들이 서로 조합되어 계면에 전자들이 거주된 양자 웰(quantum well)이 형성되게 할 수 있다. 두 번째로, Al 및 Ga 원자들은 어닐링 및 성장과 같은 고온 단계에서 기판 내로 확산될 수 있다. 이어서 이들 원자들은 전하 수송을 할 수 있게 하는 도펀트 원자들이 되고 이에 따라 도전성 경로가 발생한다.
- [0016] 본 발명은
- [0017] - 기판, 예를들면 Si, SiGe, Ge 기판, 및 이들의 조합, 바람직하게는 Si 기판, 예를들면 <111> Si 기판을 제공하는 단계,
- [0018] - 상기 기판위에 에피택셜 반도체성 버퍼층, 예를들면 III-V 버퍼층, 예를 들면 III-질화물 층을 제공함으로써, 에피택셜 반도체성(semiconducting) 버퍼층과 기판 사이에 예를 들면 도전성 계면을 형성하거나 얻는 단계, 및
- [0019] - 상기 계면에서 기판 내에 하나 이상의 국부적 전기적 격리들을 형성시켜 도전성 계면 내 전류를 차단하는 단계를 포함하는 반도체 구조를 제조하는 방법에 관한 것이다. 이러한 격리들은 얇은 트렌치 격리(STI), LOCOS, 불순물 주입, 및 이들의 조합들일 수 있다. 기판 내에 하나 이상의 국부적 격리들은 규칙적인 패턴으로 형성될

수 있다.

- [0020] 또한, 본 발명은
- [0021] - 기판, 예를들면 Si, SiGe, Ge, 절연체 상의 Si(Si-on-insulator), 절연체 기판 상의 Ge(Ge-on-insulator), 및 이들의 조합들, 바람직하게는 Si 기판, 예를들면 <111> Si 기판을 제공하는 단계;
- [0022] - 예를들면 III-V 버퍼층, 예를들면 III-질화물층인 에피택셜 반도체성 버퍼층을 기판 위에 제공함으로써 버퍼층과 기판 사이에 도전성 계면을 얻는 단계;
- [0023] 도전성 계면에 그리고 부분적으로 기판 내에 하나 이상의 국부적 전기적 격리들을 형성시켜 도전성 계면 내 전류를 차단하는 단계; 및
- [0024] 국부적 전기적 격리들 중 적어도 하나가 상기 장치의 고전압 단자와 저전압 단자 사이에 위치되게, 장치와 함께 하나 이상의 국부적 전기적 격리들을 배치하는 단계를 포함하는, 반도체 구조를 제조하는 방법에 관한 것이다.
- [0025] 바람직한 실시예들에 따라, 상기 방법들은 버퍼층을 관통하여 기판 내로 하나 이상의 트렌치들을 에칭하는 단계를 더 포함한다.
- [0026] 또한, 본 발명은
- [0027] 예를들면 Si, SiGe, Ge, 기판, 및 이들의 조합들, 바람직하게는 Si 기판, 이르면 111> Si 기판인 ,
- [0028] 기판과 버퍼층 사이에 계면을 갖는, 기판 상부의 버퍼층, 예를들면 III-V 버퍼층을 포함하고,
- [0029] 도전성 경로가 기판과 버퍼층 사이의 계면 내에 있는 반도체 구조에 있어서,
- [0030] 상기 도전성 경로는 하나 이상의 국부적 전기적 격리들, 예를들면 얇은 트렌치 격리(STI), LOCOS, 불순물 주입, 및 이들의 조합들에 의해 차단되는 것을 특징으로 하는 반도체 구조에 관한 것이다.
- [0031] 바람직하게는
- [0032] a) 하나 이상의 국부적 격리들은 25nm ~ 2.5 $\mu$ m 폭, 더욱 바람직하게는 50nm ~ 1.5 $\mu$ m 폭, 더 더욱 바람직하게는 100nm ~ 1 $\mu$ m 폭, 예를들면 200 ~ 500nm 폭이며, 및/또는
- [0033] b) 하나 이상의 국부적 격리들 사이의 공간은 0.2 $\mu$ m ~ 20 $\mu$ m 폭, 더욱 바람직하게는 0.5 $\mu$ m ~ 10 $\mu$ m 폭, 더 더욱 바람직하게는 1 $\mu$ m ~ 5 $\mu$ m 폭이며, 및/또는
- [0034] c) 하나 이상의 국부적 격리들의 규칙적인 패턴의 주기는 게이트와 드레인간 거리보다 작으며, 주기 및 거리는 동일 평면 내에 그리고 바람직하게는 실질적으로 동일 방향으로 있다.
- [0035] 또한, 본 발명은 상기 반도체 구조를 포함하는 장치, 및 상기 기술된 바와 같은 장치 및/또는 반도체 구조를 포함하는 전자회로에 관한 것이다.
- [0036] 본 발명의 실시양태들의 잇점은 처리 중 더 양호한 열 제어이다.
- [0037] 본 발명에서 기판과 버퍼 사이에 존재하는 도전성층은, 일 실시예에서 표준 Si CMOS 공정인 예를 들면 얇은 트렌치 격리(즉 STI)의 수정된 버전에 의해, AlN/AlGaIn 버퍼층이 캐핑(cap)된 보통의(예를 들면 Si <111>) 웨이퍼를 패터닝함으로써 차단된다. 이것을 달성하기 위해서, 트렌치 패턴들은 Si/III-질화물 계면을 관통하여 절단한다. 대안적으로 트렌치 에칭의 조합 뿐만 아니라, 딥 트렌치 에칭, Si의 국부 산화(LOCOS) 또는 불순물 주입과 같은 다른 격리 공정들이 사용될 수 있다. 격리 공정 중에 AlN/AlGaIn 표면을 보호하기 위해서, 버퍼층은 일 실시예에서 재-성장예 앞서 선택적으로 제거되는 GaN/(AlN)/SiN 보호층 스택으로 캐핑된다.
- [0038] 일 실시예에서 보호층 스택 GaN/(Al(Ga)N)/SiN으로 캐핑함으로써 Al-함유 III-N 합금을 포함하는 기능층에 의해 중지된 기판 상에 에피택셜 구조가 제공되고, 따라서 이것은 이후에 여러 표준 반도체 공정 단계들에 적용될 수 있고 또한 기능층 상에 선택적 에피택셜 재-성장을 위해 MOCVD 반응기 내에 재도입될 수 있다.
- [0039] 더욱 구체적으로, 일 실시예에서 Si 상에 AlN/AlGaIn 버퍼 구조가 먼저 성장되고, 보호층 스택에 의해 캐핑되며; 이것은 격리 지역들, 예를 들면 III-질화물 스택을 관통하여 Si 기판 내로 확장하는 패턴들을 정의하여 이들 지역들, 예를 들면 패턴들이 Si 기판과 III-질화물 스택 간에 전도성 계면을 바람직하게는 STI에 의해 차단하기 위해 MOCVD 장비로부터 제거되며; 이후에 남은 보호층 스택의 일부가 제거되고; 이어 웨이퍼는 보호층 스택의 나머지를 제거하고 제 2 에피택셜 공정을 수행하기 위해 MOCVD 반응기 내에 다시 로딩된다.



- [0040] 위에 언급된 바와 같이 본 방법은 본 공정 단계들이 더 많은 (추가) 노력 없이 CMOS 공정에 통합될 수 있기 때문에, 일 실시예에서 CMOS 공정에서 사용된다. 사실, 본 방법은 종래 기술의 방법들과 달리, CMOS 공정에 통합되기에 매우 적합하다.
- [0041] 본 기판은, 예를들면 Si, SiGe, Ge 기판, 바람직하게는 Si 기판, 예를들면 <111> Si 기판과 같은 본 기판, 및 이들의 조합들로서 예를들면  $\text{Si}_x\text{Ge}_y$ , 및 이들의 (초기) 층들로서 예를들면 한 스택의 층들을 포함하는 기판들을 포함한다.
- [0042] 상기 기판 상에는 에피택셜로 성장된 버퍼층이 제공된다. 본 발명에서 버퍼층은, 예를 들면 1MV/cm 이상, 바람직하게는 2MV/cm 이상, 더욱 바람직하게는 3MV/cm 이상, 예를들면 5MV/cm 이상, 또는 훨씬 더 큰 버퍼층들의 높은 임계 브레이크다운 필드와 같은 본 발명 특징들을 제공하기 위해서, 예를 들면 밴드 갭 버퍼층이 기판의 것 (예를들면 각각 기판의 경우 1.1eV 및 AlN 핵형성 층의 경우 6.2 eV)보다 실질적으로 높은, 적어도 몇 eV 이상, 예를들면 2eV 이상, 바람직하게는 3eV 이상, 더욱 바람직하게는 4eV 이상 이라는 점에서, 기판과는 다른 특성을 갖는다. 버퍼층은 일 실시예에서 III-V 버퍼층이다. 여기에서 III은 III족 원소들을 지칭하는 것으로, 현재는 B, Al, Ga, In, Tl, Sc, Y 및 란타넘(Lanthanide) 및 악티나이드(Actinide) 계열과 같은, 13족 및 3족 원소들이다. 여기에서 V은 V족 원소들을 지칭하는 것으로, 현재는 N, P, As, Sb, Bi와 같은 N족 원소들이다. 버퍼층은 한 스택의 층들을 포함하며, 일 실시예에서 전형적으로 제 1층은 핵형성 층이다.
- [0043] 본 발명의 목적은 기판과 버퍼층 사이에 도전성층을 분열시키는 것이다. 기판 내에 하나 이상의 국부적 격리들이 형성되는 여러가지 실시양태들이 예견된다. 그 결과 예를 들면 도 9에서와 같은 하나 이상의 섬(island) 또는 섬과 같은 구조들이 형성된다. 격리들은 전기적 절연체, 소위 유전체에 관한 것이며, 전기적 전하의 흐름을 저지하는 물질이다. 절연 물질들에서 가전자들(valence electrons)은 이들의 원자들에 단단히 결합된다. 이들 물질들은 절연체들 또는 절연으로서 전기적 장비에서 사용된다. 이들의 기능은 전기적 도체들 자신들을 통하는 전류를 허용함이 없이 이들 도체들을 지원 또는 분리하는 것이다. 다시 말하면 전자들의 흐름을 크게 방지하기 위해서, 비교적 큰 밴드 갭을 가진 물질이 제공된다. 적합한 격리들은 얇은 트렌치 격리(STI), 딥 트렌치 격리, LOCOS, 불순물 주입, 및 이들의 조합들이다. 일 실시예에서는 리소그래픽 공정과 같은 패턴 공정을 사용하는 격리가 제공된다. 바람직하게는 격리들의 치수들은 비교적 작다.
- [0044] 일 실시예에서 격리들은 규칙적인 패턴, 예를들면 반복적인 패턴으로 기판 내에 형성된다. 일 실시예에서 이러한 패턴은 추가의 공정 단계들과 정렬되는데, 예를들면 트랜지스터 및 다이오드의 패턴들과 같은 격리 패턴들 및 IC-패턴들이 기능적으로 중첩한다. 또한, IC패턴의 레벨에서도 예를들면 이들의 하나 이상의 경계들에서 중첩할 수 있다. 또 다른 실시예에서, 패턴의 주기는, 장치의 치수들에 대해, 패턴들이 이의 기능성을 유지하면서 추가의 공정 단계들에 정렬될 필요가 없도록 선택된다.
- [0045] 본 발명의 또 다른 목적은 이질적 기판 상에 III-질화물 층들을 피착할 때 스트레스 엔지니어링을 용이하게 하는 것이다. 반도체 구조의 브레이크다운 전압은 일단 적합한 격리 지역들, 예를 들면 패턴들이 이를 차단하면 도전성층에 의해 제한되지 않기 때문에, III-질화물 층들의 두께는 실질적으로 감소되고 이의 조성이 단순화될 수 있어, 이는 웨이퍼 스루풋 및 비용, 감소된 웨이퍼 휨 및 웨이퍼들의 감소된 휘성에 대한 잇점들을 갖는다.
- [0046] 따라서 본 발명은 위에 언급된 문제들 중 하나 이상에 대한 해결책을 제공한다. 특히, 기판과 버퍼 사이에 도전성층은 차단되고 그 결과로서 이러한 도전성층을 포함하는 구조에 덜 유해하다. 이로써 위에 언급된 결점들 모두가 극복된다.
- [0047] 본 발명의 잇점들은 명세서 전체에 걸쳐 상세히 기술된다.

## 과제의 해결 수단

- [0048] 발명의 상세한 설명
- [0049] 본 발명은 특수한 실시양태들에 관하여 특정의 도면들을 참조하여 기술될 것이지만 본 발명이 이것으로 제한되지 않고 특허청구범위로만 제한된다. 기술되는 도면들은 단지 개략적이며 비제한적이다. 도면들에서, 몇몇 요소들의 크기는 과장될 수 있고 예시 목적을 위해 축척에 맞게 도시되지 않을 수도 있다. 치수들 및 상대적 치수들은 본 발명의 실시예에 대한 실제 축소에 대응하지 않는다.
- [0050] 제 1 측면에서, 본 발명은
- [0051] - 기판, 예를들면 Si, SiGe, Ge, 기판, 및 이들의 조합, 바람직하게는 Si 기판, 예를들면 <111> Si 기판을 제공

하는 단계,

- [0052] - 기판 위에 에피택셜 반도체성 버퍼층, 예를들면 III-V 버퍼층을 제공하여, 계면을 형성시키는 단계, 및
- [0053] - 계면의 기판 내에 하나 이상의 국부적 전기적 격리들, 예를들면 얇은 트렌치 격리(STI), 딥 트렌치 격리, LOCOS, 불순물 주입, 및 이들의 조합을 형성시키는 단계를 포함하는 반도체 구조의 제조 방법에 관한 것이다. 상기 기판 내에 하나 이상의 국부적 격리들은 규칙적인 패턴으로 형성될 수 있다.
- [0054] 특히 본 발명은 장치 형성 전에, 예를 들면 활성층 피착 또는 성장 전에 환전한 웨이퍼 처리에 관한 것이다.
- [0055] 본 방법의 일 실시예에서, 하나 이상의 국부적 격리들은 25nm ~ 2.5 $\mu$ m 폭, 바람직하게는 50nm ~ 1.5 $\mu$ m 폭, 더욱 바람직하게는 100nm ~ 1 $\mu$ m 폭, 예를들면 200 ~ 500nm 폭이며, 및/또는 하나 이상의 국부적 격리들 사이에 공간은 0.2 $\mu$ m ~ 20 $\mu$ m 폭, 바람직하게는 0.5 $\mu$ m ~ 10 $\mu$ m 폭, 더욱 바람직하게는 1 $\mu$ m ~ 5 $\mu$ m 폭, 예를들면 2 $\mu$ m이며, 및/또는 하나 이상의 국부적 격리들의 규칙적 패턴의 주기는 게이트와 드레인간 거리보다 작으며, 주기 및 거리는 동일 평면 내에 있다. 격리들은 도전성층을 충분히 두절시키기 위해서 바람직하게는 너무 작지 않고, 즉 25nm 폭보다 큰 것이 바람직한 것으로 발견되었다. 격리들은 더 이상의 잇점들이 얻어지지 않기 때문에 (비교적) 클 필요는 없다. 2.5 $\mu$ m 폭은 대부분의 적용에 충분할 것이다.
- [0056] (하나 또는) 그 이상의 격리들을 제공함으로써, 이들은 공간에 의해 분리된다. 격리들 사이의 공간은 일 실시예에서 적어도 0.1 $\mu$ m 폭인 것으로 발견되었다. 따라서, 트랜지스터와 같은 구조(또는 장치)의 다른 기능적 특징들은 이의 기능성을 잃지 않고 제조될 수 있다. 그렇기는 하지만, 공간은 더 이상의 잇점들이 얻어지지 않기 때문에 (비교적) 클 필요는 없다. 20 $\mu$ m 폭은 대부분의 적용에 충분할 것이다. 공간이 너무 커지게 되면, 두절되는 도전성층은 여전히 너무 큰 정도로 존재하게 될 것이다. 따라서 격리들 사이의 공간은 실시예에서 20 $\mu$ m보다 작다. 특정의 시점에서 방전에 이르게 되는, 이러한 공간 내 축적된 전하를 고려하여, 공간의 영역은 일 실시예에서 충분히 작으며, 즉 20 $\mu$ m보다 작다.
- [0057] 어느 정도까지, 상기 치수들은 사용된 기술에 따라 다르며, 즉 비교적 더 작은 피쳐들(feature)을 사용하는 더 진보된 기술은 비교적 더 작은 격리들 및 공간들을 사용할 때 더 잘 기능할 것이다.
- [0058] 본 방법의 실시예에서, 버퍼층은 하나 이상의 국부적 격리들을 형성하기 전에 하나 이상의 보호층, 예를 들면, III-V층, 예를들면 GaN, AlN, AlGaIn, 및 InAlGaIn, SiN층, 및 이들의 조합으로 캐핑된다.
- [0059] 전형적인 실시예들 및 치수들은 이하 도면들의 설명에서 주어진다.
- [0060] 본 방법의 실시예에서 하나 이상의 보호층들은 버퍼층 상에 도포된 GaN의 스택, GaN 층 상에 도포된 AlN, 및 AlN 층 상에 도포된 SiN층이다.
- [0061] 하나 이상의 보호층들은 후속되는 처리 도중에 하기의 버퍼층을 보호한다. 그 결과, 본 반도체 구조는 다른 공정들, 특히 CMOS 공정들과 완전히 호환된다. 또한, 버퍼층이 보호되기 때문에, 이것은 매우 좋은 형상으로 잔류하고 추가의 예방조치 없이도 더 처리될 수 있다. 또한, 예를들면 습식 및/또는 건식 에칭에 의해 하나 이상의 보호층들이 제거되는 본 공정의 특성에 의해, 얻어지는 버퍼층의 표면은 예를들면 재-성장을 위해 더욱 처리하기에 매우 좋은 상태에 있게 된다. 이것은 본 공정에 의해 얻어진 잇점들을 현명하게 이용하게 한다.
- [0062] 바람직한 실시예에서, 이 층은 MOCVD 반응기에서 인-사이츄 피착된 고밀도를 가진 SiN이다. 이 SiN은 화학량론적 또는 비-화학량론적일 수 있다. 또 다른 실시예에서, SiN은 얼마간의 Al(AlSiN)을 내포할 수 있다. 일 실시예에서 이것은 전형적으로 50nm ~ 500nm, 예를들면 200nm 두께이다.
- [0063] 본 방법의 실시예에서 하나 이상의 보호층들은 재-성장에 앞서 제거되며, 바람직하게는 선택적으로 제거된다.
- [0064] 버퍼층의 고품질의 표면을 얻기 위해서, 하나 이상의 보호층들이 예를들면 선택적으로 이들의 건식 및/또는 습식 에칭에 의해 제거된다. 이들 공정들은 당업자에 의해 잘 알려져 있다.
- [0065] 본 방법의 실시예에서 격리들은 표면을 형성하며, 이 표면은 보호층들의 제거 전에 예를들면 CMP에 의해 평탄화된다.
- [0066] 격리들, 특히 유전체 격리들을 형성한 후에, 예를 들면 웨이퍼의 표면은 전형적으로 평탄하지 않은데, 즉 충분히 평탄하지 않다. 실질적으로 평탄한 표면을 얻기 위해서, 표면은 예를 들면 CMP에 의해 연마될 수 있거나, 또는 SiO<sub>2</sub>와 같은 (얇은) 유전체층의 피착에 의해 평탄화될 수 있다. 피착된 층은 대부분의 경우에서 어쨌든 제거될 필요가 있기 때문에, CMP는 이것이 공정 단계들을 덜 수반하기 때문에 바람직하다.



- [0067] 본 방법의 실시예에서 재-성장은 바람직하게는 예를 들면 패턴들, 예를들면 SiN 및 SiOx 패턴들, 및 이들의 조합과 같은 격리 지역들로 기관 및/또는 버퍼층을 패터닝함으로써 선택적으로 수행되며, 여기서 바람직하게는 III-N층과 같은 III-V층의 재-성장이 수행된다.
- [0068] 에피택셜 재-성장의 실시예에서, 출발 물질의 표면은 재성장된 에피택셜층들의 핵형성이 다른 무엇보다도 이 표면의 원자 구성에 의해 결정되기 때문에 무결한 상태("에피-에비(epi-ready)")에 있을 필요가 있다. 예를 들면 일반적으로 Al을 함유하는 합금들 및 (In)Al(Ga)N 합금들은 특히 산화 및 다른 유형의 오염(스크래치들, 표면 화학량론의 변화, 등) 되기가 매우 쉽기 때문에, 임의의 공정 단계는 이들 층 스택들의 표면 상태를 악화시켜 이 위에 고품질의 에피택셜 성장을 행하는 것을 불가능하게 만들 수 있다.
- [0069] 일 실시예에서 선택적 과성장은 기관 또는 제 1 에피택셜 구조를 실리콘-산화물 또는 실리콘-질화물 패턴과 같은 유전체 패턴으로 패터닝함으로써 행해진다. 성장 조건들을 조율함으로써, GaN의 에피택셜 재-성장이 유전체(SiOx 또는 SiN) 패턴들 위가 아니라 기관 또는 제 1 에피택셜 구조 위에서 일어난다. 이것은 용어 "선택적" 성장이라 하며, GaN이 SiOx 또는 SiN 위에서 핵이 형성 되지 않는다는 사실에 기인한다. GaN 물질들에 Al을 추가하는 것은 이 선택성을 감소시키는 것으로 알려졌다. 더욱 구체적으로, AlN의 에피택셜 성장은 성장 표면 상에 Al-원자들의 낮은 이동성 때문에 선택적이지 않다. 따라서, Al-농후 AlGaIn의 피착은 임의의 패터닝이 행해지기 전에 일어날 필요가 있다. 그러나, 대기 또는 공정 조건들에 Al-농후 합금을 노출시키면 상기 기술된 바와 같이 맨 위 표면의 오염에 이르게 한다.
- [0070] 일 실시예에서, 에피택셜층들이 성장하는 성장 앞부분의 방향은 성장 조건들을 조율함으로써 변경되어 격리 패턴들이 과성장될 수 있게 한다. 이들 공정들은 당업자에 의해 공지되어 있고 에피택셜 측방 과성장(ELOG)이라고 한다. 성장 방향의 변화는 스트레스가 성장층 내 축적되는 길을 변화시키며 이질적 기관들 상에 III-질화물들을 피착할 때 새로운 파라미터 공간을 연다. 일반적으로, 스트레스 엔지니어링은 AlGaIn 중간층들이 AlN과 GaN 사이에 삽입될 것을 요구하지만, 일 실시예에서 이것은 더 이상 요구되지 않는다.
- [0071] 제 2 측면에서 본 발명은
- [0072] 기관, 예를들면 Si, SiGe, Ge, 기관, 및 이들의 조합들, 바람직하게는 Si 기관, 예를들면 <111> Si 기관,
- [0073] 기관과 버퍼 사이에 계면을 갖는, 기관 위에 버퍼층, 예를들면 III-V 버퍼층을 포함하고,
- [0074] 여기서 도전성 경로가 기관과 버퍼층 사이에 존재하는 반도체 구조에 있어서,
- [0075] 예를들면 얇은 트렌치 격리(STI), LOCOS, 불순물 주입, 및 이들의 조합들로 계면에서 흐르는 전류를 차단하기 위해 계면에 형성된 하나 이상의 국부적 전기적 격리들에 의해 도전성 경로가 차단되는 것을 특징으로 하는 반도체 구조에 관한 것이다.
- [0076] 바람직하게는
- [0077] a) 하나 이상의 국부적 격리들은 25nm ~ 2.5 $\mu$ m 폭, 더욱 바람직하게는 50nm ~ 1.5 $\mu$ m 폭, 더 더욱 바람직하게는 100nm ~ 1 $\mu$ m 폭, 예를들면 200 ~ 500nm 폭이며, 및/또는
- [0078] b) 하나 이상의 국부적 격리들 사이의 공간은 0.2 $\mu$ m ~ 20 $\mu$ m 폭, 더욱 바람직하게는 0.5 $\mu$ m ~ 10 $\mu$ m 폭, 더 더욱 바람직하게는 1 $\mu$ m ~ 5 $\mu$ m 폭이며, 및/또는
- [0079] c) 하나 이상의 국부적 전기적 격리들의 규칙적인 패턴의 주기는 게이트와 드레인간 거리보다 작으며, 여기서 주기 및 거리는 동일 평면 내에 그리고 바람직하게는 실질적으로 동일 방향으로 있다.
- [0080] 본 발명의 반도체 구조는 예를 들면 전압 브레이크다운, 용량성 결함(의 부재), 고전압 동작, 등의 면에서 안정된 기관-버퍼층 구조를 제공한다.
- [0081] 본 발명의 반도체 구조의 실시예에서 기관은 국부적으로 제거되었다.
- [0082] 일 실시예에서 격리들은 예를 들면 동반된 도면들에 도시된 바와 같이, 기관 내에 부분적으로 형성된다.
- [0083] 일 실시예에서, 반도체 구조가 도전성층에서 조기 브레이크다운이 제거되었기 때문에 높은 브레이크다운 전압을 유지하면서도 버퍼층들의 두께는 매우 얇게 유지되고 에피(epi) 층 스택의 두께는 더 이상 브레이크다운을 결정하는 파라미터가 아니다. 일 실시예에서, 버퍼 구조는 장벽층 및 SiN 패시베이션층이 캐핑된, AlN 핵형성 층 및 250nm(150 ~ 500nm의 범위 확실하게는 1 $\mu$ m 미만)의 얇은 GaN 채널로만 구성된다.

- [0084] 제 3 측면에서 본 발명은 반도체 구조, 예를 들어 트랜지스터, FET, HEMT, DHFET, LED, 다이오드, 및 파워 장치를 포함하는 장치에 관한 것이다.
- [0085] FET들의 유형들 및 이들의 적용들은 예를 들면 다음과 같다:
- [0086] CNFET, DEPFET는 완전히-공핍된 기관 내 형성되는 FET이며, 센서, 증폭기 및 메모리 노드로서 동시에 작용한다; 이것은 이미지 (포톤) 센서로서 사용될 수 있다. DGMOSFET는 이중 게이트들을 가진 MOSFET이다. AlGaAs 또는 AlGaIn와 같은 3원(ternary) 반도체에서 밴드 갭 엔지니어링을 사용하여 만들어질 수 있는 HFET(헤테로구조 FET)라고도 하는 HEMT(고전자 이동도 트랜지스터); 완전 공핍된 넓은-밴드-갭 물질은 게이트와 바디 사이에 격리를 형성한다; IGBT(단열된 게이트 이극성 트랜지스터)는 파워 제어를 위한 장치이다; 이것은 바이폴라와 유사한 주요 전도(conduction) 채널과 결합된 MOSFET와 유사한 구조를 갖는다; 이들은 일반적으로 동작의 200 ~ 3000V 드레인-소스간 전압 범위를 위해 사용된다. 파워 MOSFET은 여전히 1 내지 200V의 드레인-소스간 전압을 위해 선택되는 장치이다; ISFET는 용액 내에 이온 농도를 측정하기 위해 사용되는 이온-감응 전계효과 트랜지스터이다; 이온 농도(예를들면 H<sup>+</sup>, pH 전극 참조)가 변화하였을 때, 트랜지스터를 통하는 전류는 이에 따라 변할 것이다; 바디로부터 게이트를 분리하기 위해 역바이어스된 p-n 접합을 사용하는 JFET(정합형 전계 효과 트랜지스터); JFET의 p-n 접합을 쇼트키 장벽으로 대체하는 MESFET(금속 반도체 전계효과 트랜지스터); GaAs 및 이외 다른 III-V 반도체 물질들에서 사용된다; 게이트와 바디 사이에 절연체(전형적으로 SiO<sub>2</sub>)를 이용하는 MOSFET(금속 산화물 반도체 전계 효과 트랜지스터); 및 고속 스위칭 및 전압 차단 능력들이 중요한, 내연기관 점화 코일들을 스위칭하는 데에 응용될 수 있는 IGBT.
- [0087] FET들에서 전자들은 선형 모드에서 동작될 때 채널을 통하여 어느 한 방향으로 흐를 수 있고, 드레인 단자 및 소스 단자의 명명 규칙은 장치들이 전형적으로(항상 그렇지 않지만) 소스에서 드레인으로 대칭적으로 형성되기 때문에 다소 임의적이다. 이것은 FET를 경로사이의 아날로그 신호(멀티플렉싱) 또는 전기적 파워를 스위칭(양방향 파워 스위칭)하기에 적합하게 만든다. 이러한 개념으로, 예를 들면 고체-상태 믹싱 보드 또는 파워 매트릭스 변환기를 제작할 수 있다.
- [0088] 일부 응용들, 예를 들면 고전압 FET의 경우, 장치는 전형적으로, 드레인 단자와 다른 단자들 사이에 고전압을 견디기 위해서 드레인 단자가 더 큰 간격만큼 소스 및 게이트 단자로부터 분리되어 비대칭으로 형성된다.
- [0089] 제 4 측면에서 본 발명은 예를들면 전자회로, 스위치, 고 파워 RF 증폭기, 고 파워 응용, 고전압 응용, 이미지 센서, 바이오센서, 이온 센서, 인버터 회로들, 하프 브리지들,..., RF 파워 증폭기들과 같은, 장치 및/또는 반도체 구조를 포함하는 전자회로에 관한 것이다.
- [0090] 전자회로는 최신의 클럭식 아날로그 회로들, 전압 레귤레이터들, 증폭기들, 파워 전송기들, 예를들면 AC-DC 변환기들, DC-DC 변환기들(예를 들면 하프-브리지, 풀-브리지 또는 푸시풀 회로들) 및 DC-AC 변환기들과 같은 파워 변환기들, 모터 구동기들 등을 포함하여, 예를 들면 디지털 회로들 및 파워 응용들에서도 응용될 수 있다.
- [0091] 본 발명의 전자회로는 예를 들면 언급된 디지털 회로에, 또는 파워 변환 및 파워 스위칭 응용들을 위한 회로들에 적용된다.
- [0092] 본 발명의 전자회로는 예를 들면 생물학적 부품을 물리화학적 검출기 부품과 결합하는 아날라이트의 검출을 위한 분석 장치인 바이오센서에 적용된다. 일 실시예에서 이것은 3 부분들로서,
- [0093] 민감성 생물학적 요소, 생물학적으로 유도된 물질 또는 바이오미믹(biomimic);
- [0094] 아날라이트가 생물학적 요소와 상호작용하여 나온 신호를 다른 신호로 변환하는 트랜스듀서 또는 검출기 요소; 및
- [0095] 연관된 전자장치들 또는 신호 프로세서들로 구성된다.
- [0096] 본 발명의 전자회로는 예를 들면 가스 센서 또는 이온 센서에 적용된다.
- [0097] 본 발명은 예시적이고 특성을 설명해 주고 본 발명의 범위를 제한하지 않는 첨부된 도면들에 의해 더욱 상세히 기술된다. 당업자에게 본 청구항들에 의해 정의되는 보호의 범위 내 포함되는, 자명하거나 또는 자명하지 않은 많은 변형들이 인식될 수 있다는 것이 명백할 수 있다.

### 도면의 간단한 설명

- [0098] 도 1은 종래 기술에 따른 반도체 장치의 단면도이다.

도 2는 본 발명에 따른 반도체 장치를 제조하는 방법의 단면도이다.

도 3a ~ 도 3b는 본 발명에 따른 반도체 장치를 제조하는 방법의 단면도이다.

도 4 ~ 도 7 및 도 8a ~ 도 8d는 본 발명에 따른 반도체 장치를 제조하는 방법의 단면도이다.

도 9a ~ 도 9f는 본 발명에 따른 반도체 장치를 제조하는 방법의 평면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0099] 본 발명은 특수한 실시형태에 관하여 특정의 도면들을 참조하여 기술될 것이지만 본 발명이 이것으로 제한되지 않고 청구항들에 의해서만 제한된다. 기술되는 도면들은 단지 개요적이며 비제한적이다. 도면들에서, 몇몇 요소들의 크기는 과장될 수 있고 예시 목적을 위해 축척에 맞게 도시되지 않았다. 치수들 및 상대적 치수들은 발명의 실시예에 대한 실제 축소에 대응하지 않는다.
- [0100] 청구항들에서 사용되는 "포함하다"라는 용어는 이후에 열거되는 수단으로 제한되는 것으로서 해석되지 않아야 한다. 따라서, "수단 A 및 B를 포함하는 장치"라는 표현의 범위는 부품 A 및 부품 B만으로 구성되는 장치들로 제한되지 않아야 한다. 이것은 본 발명에 관하여, 장치의 유일한 관계된 부품은 A 및 B임을 의미한다.
- [0101] 유사하게, "결합된"이라는 용어는 단지 직접적인 연결들로 제한되는 것으로서 해석되지 않아야 함에 유의한다. 이에 따라, "장치 B에 결합된 장치 A"는 장치 A의 출력이 장치 B의 입력에 직접 연결되는 장치들 또는 시스템들로 제한되지 않아야 한다. 이것은 다른 장치들 또는 수단을 포함한 경로일 수 있는, A의 출력과 B의 입력 사이의 경로가 존재함을 의미한다.
- [0102] 본 발명은 발명의 몇몇 실시형태들의 상세한 설명에 의해 기술될 것이다. 발명의 다른 실시형태들은 본 발명의 진정한 정신 또는 기술적 교시를 벗어나지 않고 당업자에 의해 구성될 수 있고, 그러므로 본 발명은 첨부된 청구항들에 관해서만 제한되는 것이 자명하다. 본 발명은 특정한 장치 기술이 아니라 물질들(예를 들면 Si와 같은 기관 상의 넓은 밴드갭)에 주로 관계된다. 본 발명은 특히 처리 기술에 의해 제한되지 않을 것으로 예상된다. 따라서, 본 발명은 예를 들면 바이폴라, CMOS, BICMOS로 제한되지 않으나 이들을 포함하여, 임의의 트랜지스터 기술로 구성될 수 있는 유사한 회로들에도 적용될 수 있음이 당업자에게 명백할 것이다.
- [0103] 발명 및 제조 단계들의 설명
- [0104] 본 발명의 실시예에서, AlN 핵형성 층으로 구성되고 선택적으로, GaN(층 3), 선택적으로 Al(Ga)N(층 4) 및 SiN(층 5)(비교로서 종래기술을 반영하는 도 1을 참조)로 구성된 보호층 스택이 인-사이츄(in-site) 캐핑(cap)된 하나 이상의 (In)AlGaIn 버퍼층들로 구성된, 기관(층 1) 상의 에피택셜 버퍼 구조(층 2)가 제공된다. 상기 구조는 추가로, 기관과 버퍼 구조 층 사이에 형성되는 도전성 채널을 포함한다(도 1에서 화살표 표시). 상기 구조는 여러 표준 반도체 공정 단계들(예를 들면 리소(litho), 에칭, 피착, 주입, 산화, 등)에 적용될 수 있고 또한 버퍼층들 상에 선택적 에피택셜 재-성장을 위해 MOCVD 반응기 내에 재도입될 수 있다.
- [0105] 일 실시예에서 기관(1)은 Si <111>이다. 또 다른 실시예에서, 기관(1)은 Ge <111>이다. 또 다른 실시예에서, 기관(1)은 결정질 Ge 캡(cap)을 가진 Si이다. Si와 Ge 사이에 SiGe 전이층이 있을 수 있다.
- [0106] 일 실시예에서 AlN 핵형성 층은 전형적으로 200nm 두께(50nm ~ 500nm)이다. AlGaIn 버퍼층들은 실시예에서 개별적으로 전형적으로 300nm 두께(50nm ~ 500nm)이고 Al 함량은 전형적으로 0% ~ 100%, 바람직하게는 1% ~ 99%, 더욱 바람직하게는 20% 내지 90%, 예를 들면 50%로 변한다. 또한, 이들 버퍼층들은 선택적으로 이들 사이에 인듐과 같은 일부 다른 III-원소를 가질 수 있다. 총 AlGaIn 버퍼(2)는 전형적으로 100nm 내지 5μm, 예를 들면 500nm 내지 4μm 두께이다. 일 실시예에서 보호층 스택 내 개개의 층들의 전형적인 두께는 GaN에 대해선 0.1nm ~ 100nm, 예를 들면 5nm, Al(Ga)N에 대해선 0nm ~ 100nm, 예를 들면 2nm 및 SiN에 대해선 50nm ~ 500nm, 예를 들면 200nm이다.
- [0107] SiN(층 5)과 같은 맨 위 보호층은 다른 무엇보다도, 이의 고온 안정성 및 화학적 특성들 때문에, 필요한 임의의 공정 단계들(예를 들면 패터닝된 트렌치 에칭, STI 형성, 딥 트렌치 격리, 패터닝된 주입 등) 도중에 하기의 III-질화물 층들을 보호할 것이다. SiN(SiO<sub>x</sub>과 더불어)은 특히 추가의 처리 동안의 민감한 웨이퍼 영역들을 보호하기 위한 (희생) 캐핑 물질로서 Si CMOS 기술에서 공통적으로 사용되는 유전체들이다. 바람직한 실시예에서, 상기 층은 MOCVD 반응기 내에서 인-사이츄 피착되는 고밀도를 가진 SiN이다. 상기 SiN은 화학량론적 또는 비-화학량론적일 수 있다. 또 다른 실시예에서, SiN은 얼마간의 Al(AlSiN)을 내포할 수 있다. 일 실시예에서 이것은 전형적으로 50nm ~ 500nm, 예를 들면 200nm 두께이다. 공정의 종료시, 이 SiN은 건식 또는 습식 에치(F-기반 화

학물에서)에 의해 제거될 것이다. 인-사이츄 SiN은 그외 임의의 다른 처리이 행해지기 전에 PECVD 또는 LPCVD SiN 또는 SiOx(500nm을 넘는 두께에 대해서) 혹은 그외 임의의 다른 물질 또는 물질 스택에 의해 외부적으로 두꺼워질 수 있다.

[0108] 바람직한 실시예에서, 도전성 채널의 차단은 (바람직하게는 주기적이고 반복적인) 리소그래픽적 패턴들이 트랜치들(6a)의 위치를 정의하는 수정된 STI 공정(도 2과 도 3a 및 도 3b 참조)에 의해 행해진다. 상기 트랜치들은 예를 들면 C1-기반 건식 에칭 공정(도 2 참조)을 사용함으로써 SiN 및 모든 III-질화물 버퍼층들을 관통하여 Si 기판 내로 에칭된다. 레지스트의 제거 후에, 트랜치의 측벽들은 예를 들면 열적으로 산화되고, 트랜치들을 채우기 위해(도 3a 참조) 예를 들면 CVD SiOx(또는 SiN 또는 이들의 조합)이 피착된다. 일 실시예에서 STI 공정의 마지막 단계에서(도 3b 참조), 웨이퍼는 화학기계식 연마(CMP) 단계에서 평탄화된다.

[0109] 일 실시예에서 전형적으로 트랜치들은 25nm ~ 2.5 $\mu$ m 폭, 바람직하게는 50nm ~ 1.5 $\mu$ m 폭, 더욱 바람직하게는 100nm ~ 1 $\mu$ m 폭, 예를들면 200 ~ 500nm 폭이며, 및/또는 하나 이상의 국부적 격리들 사이에 공간은 0.2 $\mu$ m ~ 20 $\mu$ m 폭, 바람직하게는 0.5 $\mu$ m ~ 10 $\mu$ m 폭, 더욱 바람직하게는 1 $\mu$ m ~ 5 $\mu$ m 폭이다. 바람직한 일 실시예에서, 상기 장치의 세로 방향으로의 STI 패턴의 주기는 적어도 하나의 연속적인 트랜치가 확실하게 게이트와 드레인 사이에 위치되게 하기 위해서, 게이트와 드레인간 거리 (동일 방향으로 정의된)보다 (현저하게) 더 작다. 패턴들의 전형적인 실시예들은 장방형, 삼각형, 육각형, 원형 및 타원형, 정방형, 다각형, 등과 같은 것으로서 도 9a 내지 도 9f에서 발견될 수 있다. 또 다른 실시예에서, STI 패턴들 및 장치는 이러한 방식으로 설계되고 장치 리소그래피 공정들에서 서로에 대해 위치되거나 정렬된다. 일 실시예에서, 배치 또는 정렬은 적어도 하나 또는 단일의 트랜치가 장치의 고전압 단자(또는 제 1)와 저전압 단자(또는 제 2) 사이에 위치되게 수행된다. 일 실시예에서, 배치 또는 정렬은 적어도 하나 또는 단일의 트랜치가 상기 고 또는 저전압 단자들 밑 또는 아래가 아니라, 장치의 고전압 단자와 저전압 단자 사이에만 위치되게 수행된다. 일 실시예에서, 배치 또는 정렬은 장치의 고전압 단자와 저전압 단자 사이에 위치되는 적어도 하나, 또는 단일, 즉 모든 트랜치(들)이 고 또는 저전압 단자 밑 또는 아래가 아니라, 장치의 고전압 단자와 저전압 단자 사이에만 위치되게 수행된다.

[0110] 또 다른 실시예에서, 배치는 적어도 하나 또는 단일의 트랜치가 장치의 게이트와 드레인 사이에 위치되게 수행된다. 또 다른 실시예에서, 배치는 적어도 한 또는 단일의 트랜치가 게이트 또는 드레인 밑 또는 아래가 아니라 장치의 게이트와 드레인 사이에만 위치되게 수행된다. 일 실시예에서, 배치 또는 정렬은 장치의 게이트와 드레인 사이에 위치되는 적어도 하나, 또는 단일, 즉 모든 트랜치(들)이 게이트 또는 드레인 단자 밑 또는 아래가 아니라, 장치의 게이트와 드레인 사이에만 위치되게 수행된다.

[0111] 고전압 단자 및 저전압 단자는 트랜지스터 장치의 드레인 및 게이트에 각각 대응할 수 있음을 알 것이다. 고전압 단자 및 저전압 단자는 다이오드 장치의 캐소드 및 애노드에 각각 대응할 수 있음을 알 것이다. 상기 고 및 저전압들에 대한 전형적인 값들은 당업자에게 공지되어 있다. 저전압은 예를 들면 10V 미만의 전압일 수 있다. 고전압은 10V 이상의 전압일 수 있다.

[0112] 또 다른 실시예에서, 격리 패턴들 및 장치는 장치의 게이트가 격리 패턴 위에 수직으로, 즉 과성장 영역 위에 위치되는 방식으로 배치 또는 정렬된다. 이것은 게이트 밑에 에피택셜 물질이 낮은 전위(dislocation) 밀도를 가져 더 신뢰성있는 장치들이 되게 하는 잇점을 갖는다.

[0113] 또 다른 실시예에서, 트랜치는 장치의 주변에 또는 그 너머에 위치되어 장치를 완전히 둘러싼다(도 9f 참조).

[0114] 또 다른 실시예에서, III-질화물 층들을 관통한 Si 기판 내로의 딥 트랜치 에칭(6a)에 의해 격리가 행해진다.

[0115] 또 다른 실시예에서, 트랜치 에칭에 이어 트랜치 에치에 의해 드러난 Si 기판의 부분적 열 산화가 이어진다(도 4 참조).

[0116] 또 다른 실시예에서, 불순물 주입(트랜치 에칭과 조합하여 혹은 하지 않고)에 의해 격리가 행해진다.

[0117] 또 다른 실시예에서, 격리는 트랜치 에칭 및 이에 이어 플라즈마 처리에 의한 얇은 주입에 의해 행해진다.

[0118] 또 다른 실시예에서, 격리는 트랜치 에칭 및 이에 이은 불순물들의 열적 내부-확산(Si 내로)에 의해 행해진다.

[0119] 선택적으로 보호층 스택은 예를들면 SiN 밑에 에치 정지층을 포함한다. 상기 에치 정지층은 AlGaIn을 포함할 수 있다. 불소 화합물 내에서 건식 및 습식 에치들 둘 다는 매우 높은 선택성을 갖고(도 5 참조) AlGaIn 층 위에서 정지할 것이며, 따라서 이것은 AlGaIn 또는 밑에 층들의 어느 것이든 제거함이 없이 남은 SiN을 철저히 제거할 수 있게 한다. 이에 따라, 하기의 층들의 두께는 매우 얇게 유지될 수 있다. 바람직한 실시예에서, 상기 에치 정지층은 순수한 AlN이고 이어 습식 에치에서, 예를 들면 알칼리 용액에서 혹은 레지스트 현상액에서 AlN이 제



거되어 GaN층을 노출시킨다(도 6 참조). 또 다른 실시예에서, AlN은 또한 얼마간의 Ga를 내포하며, 제거는 제어된 건식 에치 공정(GaN 쪽으로 비선택적인)에서 행해진다.

[0120] 각각 (In)Al(Ga)N 기능층 및 GaN 캡에 의해 중지된 에피택셜층 스택을 내포하는 남겨진 구조는 재-성장(도 6에 도시된 바와 같은 구조)을 위해 반응기 내에 로딩된다. 바람직한 실시예에서, GaN 캡의 두께는 이것이 에치 정지층에 의해 보호되었고 상기 에치 정지층은 완벽하고 완전하게 선택적으로 제거되었기 때문에, 이 지점에서 2 ~ 10nm, 예를들면 5nm 두께이다. 재-성장에 앞서, 층 스택은 일 실시예에서 암모니아 오버플로 하에서 고온까지 가열된다. 선택된 조건들 하에서, GaN은 전형적으로 2nm/min ~ 40nm/min, 예를들면 10nm/min의 레이트로 증발(evaporate)하여, 버퍼 스택의 맨 위에 AlGaIn 층을 노출시킨다(도 7 참조). 이 지점까지, 얻어진 잇점은 이 층이 항상 캐핑되었고 결과적으로 결코 어떠한 가능한 오염원에도 노출되지 않았기 때문에, 이의 표면은 제대로 오염되지 않은 상태에 있어 에피택셜 재-성장을 할 수 있게 한다. 성장은 제 1 국면에서 STI 트렌치들 사이의 표면 상에만 일어날 것이다(도 8a 참조). 어떤 지점에서, 성장 조건들은 변화되고, III-질화물 층들이 측방으로 성장하기 시작할 것이며(도 8b 참조), 따라서 성장 앞부분이 트렌치들 위로해서 옆으로 이동하면서 결국에 이들을 완전히 덮고 이에 따라 연속된 합쳐진 층을 형성한다(도 8c 참조).

[0121] 일 실시예에서, 에피택셜층들이 성장하는 성장 앞부분의 방향은 격리 패턴들이 과성장될 수 있게, 성장 조건들을 조율함으로써 변화된다. 이들 공정들은 당업자에 의해 잘 알려져 있고 에피택셜 측방 과성장(ELG)이라고 한다. 성장 방향의 변화는 성장층 내에 스트레스가 축적되는 길을 변화시키며 이질적 기판들 상에 III-질화물들을 피착할 때 새로운 파라미터 공간을 연다. 일반적으로 스트레스 엔지니어링은 AlGaIn 중간층들이 AlN과 GaN 사이에 삽입될 것을 요구하지만, 일 실시예에서 이것은 더 이상 요구되지 않는다.

[0122] 성장은 이제 이들 과성장 구조들 위에 활성 장치층들을 포함하게 계속될 수 있다(도 8d 참조). 일 실시예에서, 활성 장치층들은 채널층 및 장벽층을 포함한다. 일 실시예에서, 채널층은 GaN 또는 이의 합금들 중 하나를 포함한다. 일 실시예에서, 장벽층, 장벽층은 AlGaIn, InAlN, 또는 InAlGaIn을 포함한다. 또 다른 실시예에서, 채널 및 장벽층은 SiN 패시베이션층에 의해 캐핑된다. 상기 SiN은 상기 채널 및 장벽층과 동일한 에피택셜 공정에서, MOCVD에 의해 피착될 수 있다.

[0123] 또 다른 실시예에서, 활성 장치층들은 n-형 반도체층, 활성 발광층 스택 및 p-형 반도체층을 포함한다. 일 실시예에서, n-형 반도체층은 적합한 원소, 예를 들면 Si으로 불순물 도핑된, GaN 또는 AlGaIn 또는 InGaIn 또는 이들의 합금들을 포함한다. 일 실시예에서, 활성 발광층 스택은 InAlGaIn 장벽들에 의해 서로로부터 분리된 하나 이상의 InAlGaIn 양자 웰(들)을 포함한다. 일 실시예에서, p-형 반도체층은 적합한 원소, 예를 들면 Mg로 불순물 도핑된, GaN 또는 AlGaIn 또는 InGaIn 또는 이들의 합금들을 포함한다.

[0124] 바람직한 실시예에서, 활성 장치는 트랜지스터이다. 트랜지스터는 일 실시예에서 HEMT 장치로서 정의된다. 문턱으로부터 다양한 유형들의 HEMT 장치들, 예를 들면 PHEMT, E-HEMT, D-HEMT 또는 DHFET이 공지되어 있다.

[0125] 또 다른 실시예에서, 활성 장치는 다이오드이다. 또 다른 실시예에서, 활성 장치는 발광 다이오드이다.

[0126] 상기 방법 단계들, 실시예들, 치수들, 등 중 2 이상은 예를 들면 최종의 장치, 트랜지스터, 등의 요건들에 따라, 본 발명에서 조합될 수 있다.

[0127] 일 실시예에서, 활성 장치의 처리는 오픈 콘택들의 형성으로 시작된다. 일 실시예에서, 이것은 포토레지스트의 피착과 오픈 콘택들의 영역들을 정의하고, 존재 한다면 패시베이션층을 제거하는 리소그래피 단계로 시작됨으로써 행해진다. 일 실시예에서 상기 제거는 예를 들면 불소 화합물에 기초한 건식 에칭 시스템, 예를 들면 에칭 가스로서 SF<sub>6</sub> 또는 CF<sub>4</sub>와 각각 10W 및 150W의 RF(또는 "플라젠") 및 ICP(또는 "코일") 에칭 파워들을 사용하는 유도결합 플라즈마 시스템에서 행해진다. 다음 단계에서, Ti 및 Al을 포함하는, 한 스택의 금속들이 예를 들면 열 증발에 의해, 또는 스퍼터링에 의해, 또는 e-빔 증발에 의해 피착된다. 일 실시예에서, Ti 및 Al은 또 다른 금속(예를들면 내화 금속 또는 Ti 또는 Ni) 및 Au에 의해 추가로 캐핑된다. 금속 패턴들은 장벽층과 접촉하지 않고 포토레지스트 위에 금속의 리프트-오프를 수행함으로써 연속하여 정의된다. 또 다른 실시예에서, 포토레지스트가 먼저 제거되고, 이어 Ti 및 Al을 포함하는 금속 스택이 피착되고, 이어 원하지 않는 영역들 내 금속 스택을 건식 에칭할 수 있게 하고 포토레지스트를 제거하기 위해 제 2 포토레지스트 피착 및 포토리소그래피 단계가 행해진다. 일 실시예에서, 이와 같이 하여 정의된 금속 패턴들은 합금하는 단계들, 예를 들면 800℃와 900℃ 사이의 온도에서 (수소 또는 형성 가스 또는 질소 가스)와 같은 환원(reducing) 또는 불활성 분위기에서 1분 동안 금속 열 어닐링 단계가 가해진다.

[0128] 일 실시예에서, 처리는 격리 패턴들을 정의함으로써 계속된다. 이것은 포토레지스트 피착 및 포토리소그래피 단



계를 수행함으로써 행해진다. 일 실시예에서 이와 같이 하여 형성된 포토레지스트 패턴들은 예를 들면 염소 화합물에 기초한 건식 에칭 시스템, 예를 들면 에칭 가스로서  $Cl_2$  또는  $BCl_3$ 와 각각 50W 및 150W의 RF(또는 "플라텐") 및 ICP(또는 "코일") 에칭 파워들을 사용하는 유도결합 플라즈마 시스템에서, 메사(mesa)의 에칭을 위한 마스크로서 작용한다. 또 다른 실시예에서, 이와 같이 하여 형성된 패턴들은 예를 들면 질소, 헬륨, 수소, 보론, 철, 또는 마그네슘을 주입함으로써 불순물 주입을 위한 마스크로서 작용한다. 일 실시예에서, 불순물 주입은 3개로 이루어진 주입 단계들로서, 예를 들면 30keV의 가속 전압에서  $6 \times 10^{12}/cm^2$ 의  $N^{14}$  도우즈를 주입하는 제 1 단계, 160keV의 가속 전압에서  $1.8 \times 10^{13}/cm^2$ 의  $N^{14}$  도우즈를 주입하는 제 2 단계, 및 400keV의 가속 전압에서  $2.5 \times 10^{13}/cm^2$ 의  $N^{14}$  도우즈를 주입하는 제 3 단계를 사용한다.

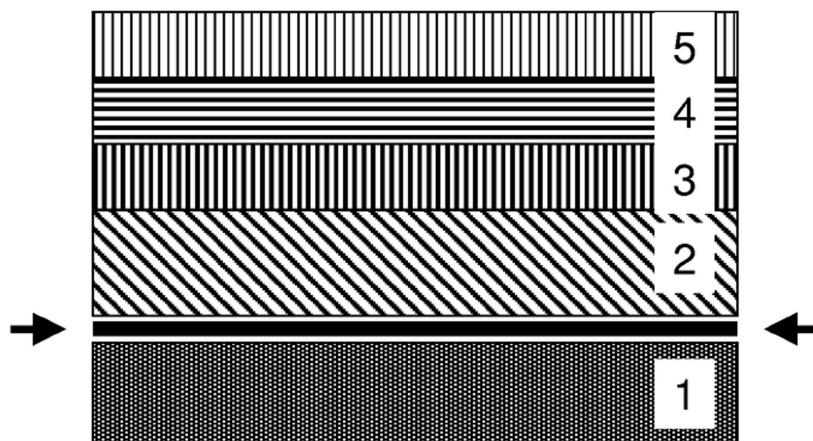
[0129] 일 실시예에서, 처리은 게이트 콘택의 정의에 의해 계속된다. 일 실시예에서, 이것은 포토레지스트의 피착과, 게이트 콘택의 푸트(foot)를 정의하고, 존재 한다면 패시베이션층을 제거하는 리소그래피 단계로 시작됨으로써 행해진다. 일 실시예에서 이 제거는 불소 화합물에 기초한 건식 에칭 시스템, 예를 들면 에칭 가스로서  $SF_6$  또는  $CF_4$ 와 20 mTorr의 압력에서 각각 10W 및 150W의 RF(또는 "플라텐") 및 ICP(또는 "코일") 에칭 파워들을 사용하는 저 손상 에칭 공정을 가진 유도결합 플라즈마 시스템에서 행해진다. 일 실시예에서, SiN의 국부적 제거 후에, 포토레지스트가 제거되고, 노출된 AlGaIn 장벽은 예를 들면 암모니아, 또는 수소, 또는 산소, 또는 질소, 또는 오존에서 300℃와 600℃ 사이의 온도에서 열 어닐링에 의해서, 혹은 암모니아, 또는 수소, 또는 산소, 또는 질소, 또는 오존 화합물에서 플라즈마 처리에 의해 회복 단계들이 가해진다.

[0130] 일 실시예에서, 회복 단계 후에, 포토레지스트 피착 및 리소그래피 단계가 수행되고 게이트 푸트에 잘 정렬된다. 이어, 예를 들면 Ni, Pt, W, WN, 또는 TiN을 포함하고 Al, Au 또는 Cu으로 캐핑된 게이트 금속 스택이 피착된다. 장벽층에 접촉하지 않고 포토레지스트 위에 금속의 리프트-오프를 수행함으로써 연속하여 금속 패턴들이 정의된다. 또 다른 실시예에서, 회복 단계 후에, 예를 들면 Ni, Pt, W, WN, 또는 TiN을 포함하고 Al, Au 또는 Cu으로 캐핑된 게이트 금속 스택이 피착된다. 이어, 포토레지스트 피착 및 리소그래피 단계가 수행되고 게이트 푸트에 잘 정렬된다. 이와 같이 하여 정의된 포토레지스트 패턴들은 원하지 않는 영역들 내 금속 스택의 건식 에칭을 위한 마스크로서 작용한다. 다음에 포토레지스트가 제거된다. 일 실시예에서, 추가의 패시베이션층들이 더해진다. 일 실시예에서, 패시베이션층은 예를 들면 LPCVD, 또는 PE-CVD 또는 ICP-CVD에 의해 피착되는 SiN 또는 Si-산화물을 포함한다. 일 실시예에서, 포토리소그래피 단계를 수행하고 패시베이션층을 에칭함으로써, 예를 들면 HF 또는 버퍼된 HF 내에서 습식 에칭에 의해서 혹은 불소 화합물에서 RIE 또는 ICP 플라즈마 툴 내에서 건식 에칭함으로써, 장치 단자들을 노출시키기 위해 패시베이션층 내에 개구들이 만들어진다.

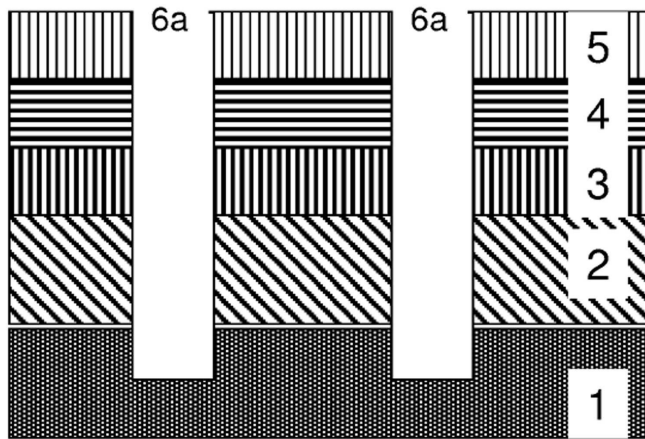
[0131] 일 실시예에서, 게이트, 소스 및 드레인 전류들에 대한 저 저항성 경로들을 허용하기 위해, 당업자에게 공지된 방법들을 사용하여 추가의 금속 상호연결 층들이 정의된다.

## 도면

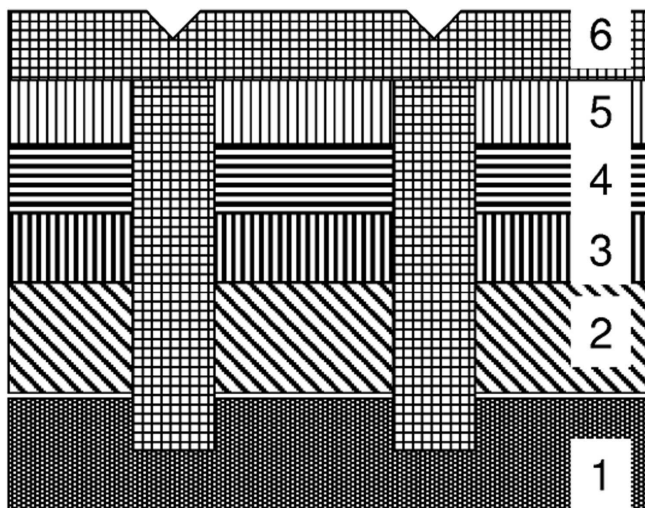
### 도면1



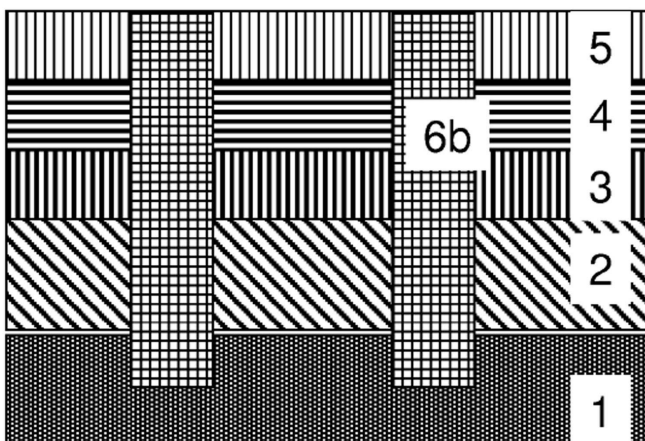
도면2



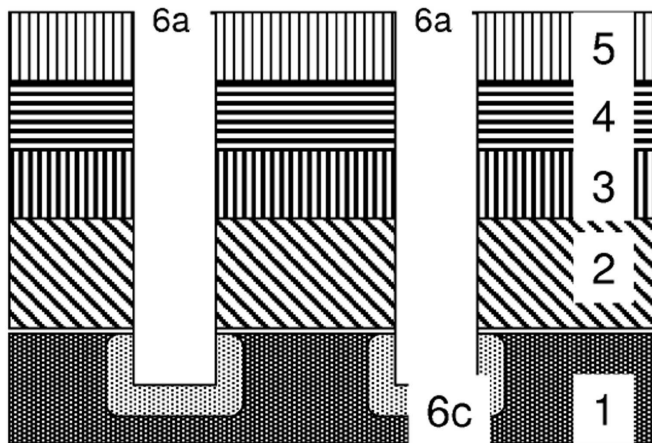
도면3a



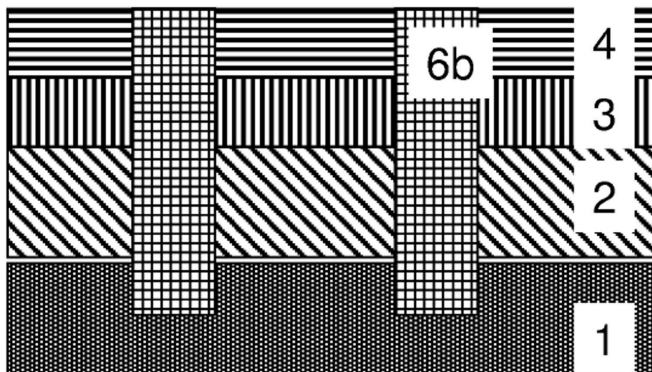
도면3b



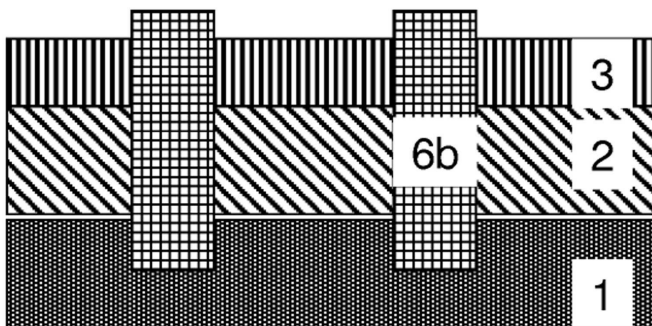
도면4



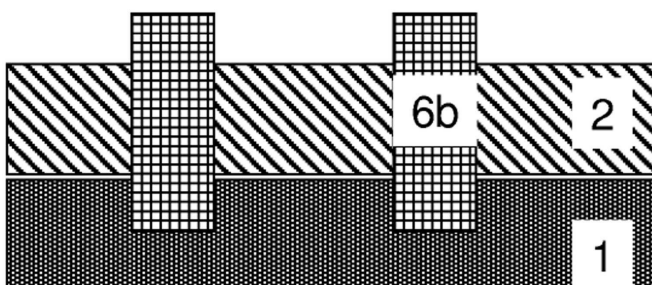
도면5



도면6

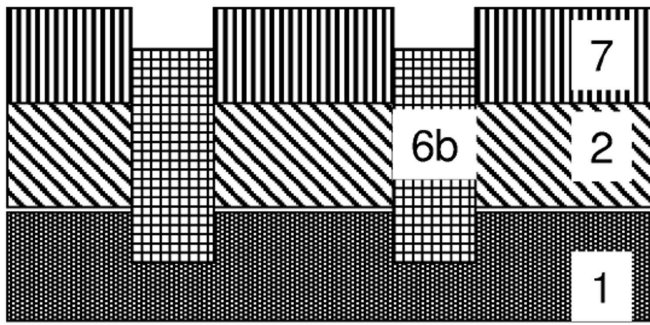


도면7

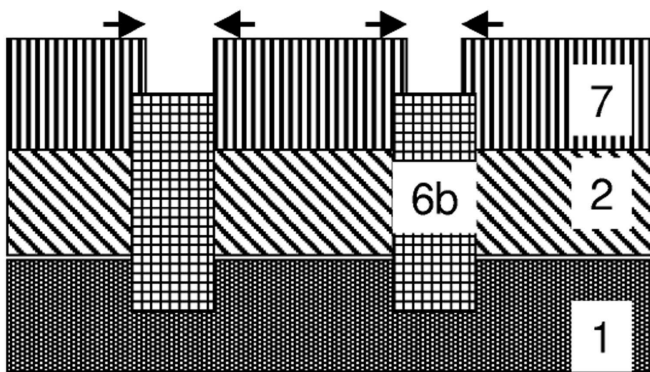




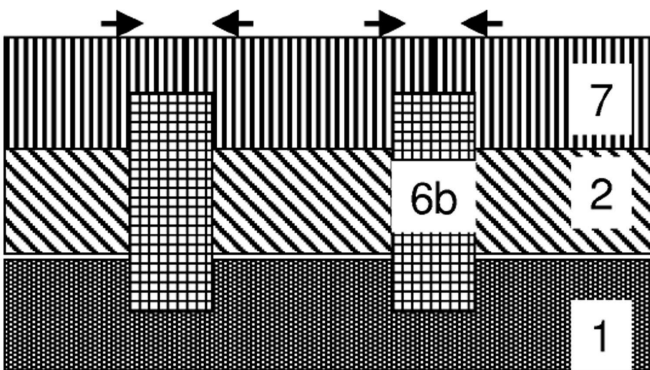
도면8a



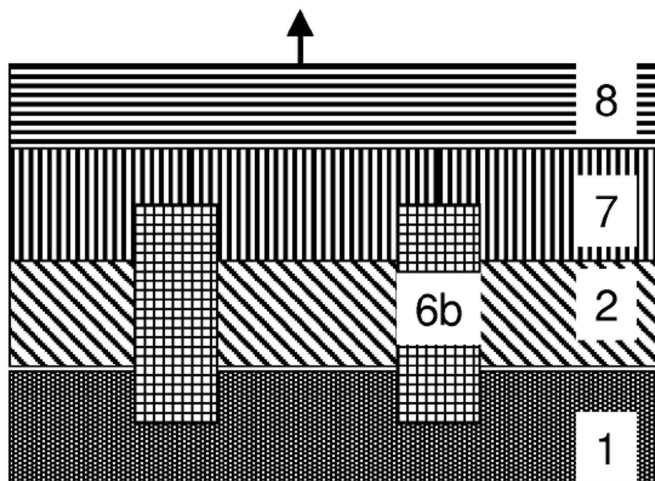
도면8b



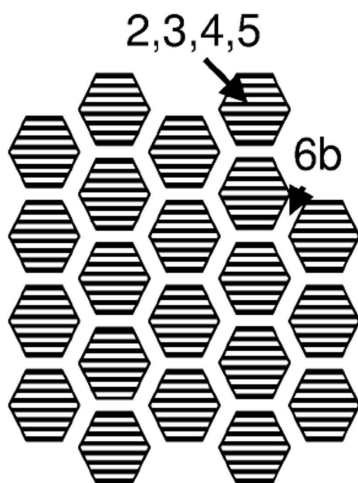
도면8c



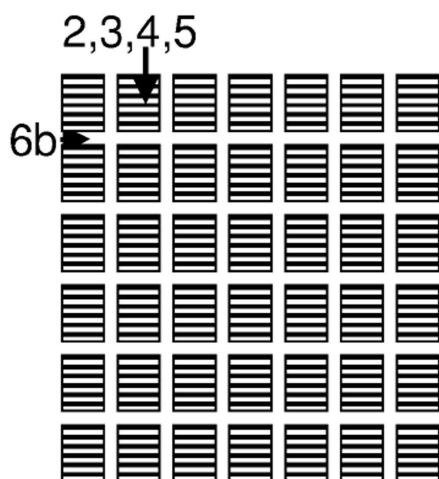
도면8d



도면9a

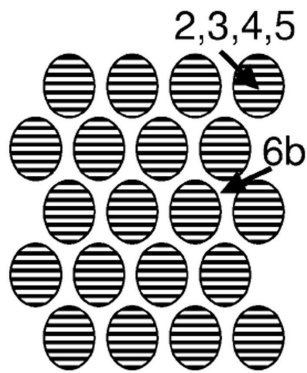


도면9b





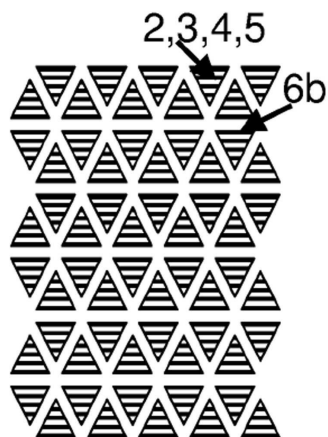
도면9c



도면9d



도면9e



도면9f

