

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4544860号  
(P4544860)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int.Cl.	F I
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 A
GO 2 F 1/1345 (2006.01)	GO 2 F 1/1345
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 L
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 C

請求項の数 10 (全 30 頁) 最終頁に続く

(21) 出願番号	特願2003-544822 (P2003-544822)	(73) 特許権者	503447036
(86) (22) 出願日	平成14年10月8日(2002.10.8)		サムスン エレクトロニクス カンパニー リミテッド
(65) 公表番号	特表2005-510064 (P2005-510064A)		大韓民国キョンギード, スウォン-シ, ヨ ントン-ク, マエタン-ド ン 4 1 6
(43) 公表日	平成17年4月14日(2005.4.14)	(74) 代理人	100094145
(86) 国際出願番号	PCT/KR2002/001878		弁理士 小野 由己男
(87) 国際公開番号	W02003/043094	(74) 代理人	100106367
(87) 国際公開日	平成15年5月22日(2003.5.22)		弁理士 稲積 朋子
審査請求日	平成17年5月16日(2005.5.16)	(72) 発明者	キム, ボ-スン
(31) 優先権主張番号	2001/70043		大韓民国, ソウル 1 5 1 - 8 1 0, カナ ク-グ, ボンチョン 6-ド ン, 1 0 0 - 5 2 4, ソンヒュン ヴィラ 3 0 1
(32) 優先日	平成13年11月12日(2001.11.12)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 半導体素子の接触部の製造方法、並びにこれを含む液晶表示装置用薄膜トランジスタアレイ基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板の上部に第 1 配線を形成する段階と、  
前記第 1 配線の上部に下部膜を形成する段階と、  
前記下部膜の上部に、感光性有機物質を用いて上部膜を形成する段階と、  
半透過領域を有するマスクで前記上部膜を露光及び現像して接触孔を形成しようとする領域には上部膜が除去され、その周辺の領域には第 1 厚さの上部膜が存在し、その他の領域には前記第 1 厚さより厚い第 2 厚さを有する上部膜を形成する段階と、  
前記上部膜をエッチングマスクとして用いて前記下部膜をエッチングして、前記第 1 配線を露出する接触孔を形成する段階と、  
アッシング工程で前記上部膜のうちの第 1 厚さを有する部分を除去して、前記接触孔を定義する前記下部膜の上部面を露出する段階と、  
前記接触孔を介して前記第 1 配線と連結される第 2 配線を形成する段階と、  
を含み、前記下部膜のエッチング時には前記第 1 厚さを有する部分の下部でアンダーカットが発生する、半導体素子の製造方法。

【請求項 2】

前記下部膜は、窒化ケイ素又は酸化ケイ素からなる絶縁膜で形成する、請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

絶縁基板の上にゲート線、前記ゲート線に連結されているゲート電極、及び前記ゲート

線の一端に連結されているゲートパッドを含むゲート配線を形成する段階と、

前記ゲート配線上にゲート絶縁膜を積層する段階と、

前記ゲート絶縁膜上にパターニングした半導体層を形成する段階と、

前記ゲート絶縁膜上に、前記ゲート線と交差するデータ線、前記データ線と連結されており、パターニングした半導体層に隣接するソース電極、前記ゲート電極に対して前記ソース電極の対向側に位置するドレーン電極、及び前記データ線の一端に連結されているデータパッドを含むデータ配線を形成する段階と、

下部絶縁膜を積層する段階と、

前記下部絶縁膜の上部に感光性有機絶縁物質で形成された上部絶縁膜を形成する段階と、

半透過領域を有するマスクで前記上部絶縁膜を露光及び現像して接触孔を形成しようとする領域には前記上部絶縁膜が除去され、その周辺の領域には第1厚さの上部絶縁膜が存在し、その他の領域には前記第1厚さより厚い第2厚さを有する上部絶縁膜を形成する段階と、

前記上部絶縁膜をエッチングマスクとして用いて前記下部絶縁膜をエッチングして、前記ゲートパッド又は前記データパッドを露出する第1接触孔を形成する段階と、

アッシング工程を行って、前記上部絶縁膜のうちの第1厚さを有する部分を除去し、前記第1接触孔の周辺の前記下部絶縁膜の上部面を露出する段階と、

前記第1接触孔を介して前記ゲートパッド又は前記データパッドに連結される補助パッドを形成する段階と、

を含み、前記下部絶縁膜のエッチング時には前記第1厚さを有する部分の下部でアンダーカットが発生する、液晶表示装置用薄膜トランジスタアレイ基板の製造方法。

#### 【請求項4】

前記下部絶縁膜は、窒化ケイ素又は酸化ケイ素からなる絶縁膜で形成する、請求項3に記載の液晶表示装置用薄膜トランジスタアレイ基板の製造方法。

#### 【請求項5】

第1厚さと第2厚さを有する前記上部絶縁膜を形成する段階の後、前記上部絶縁膜をエッチングマスクとして用いて前記下部絶縁膜をエッチングして、前記ドレーン電極を露出する第2接触孔を形成する段階と、

アッシング工程を行って、前記上部絶縁膜のうちの第1厚さを有する部分を除去し、前記第2接触孔の周辺の前記下部絶縁膜の上部面を露出する段階と、

前記補助パッドと同一層に、前記第2接触孔を介して前記ドレーン電極と電氣的に連結される画素電極を形成する段階をさらに含む、請求項3に記載の液晶表示装置用薄膜トランジスタアレイ基板の製造方法。

#### 【請求項6】

前記第2接触孔は前記第1接触孔と共に形成し、前記第2接触孔の周辺の前記上部絶縁膜は他の部分より薄く形成する、請求項5に記載の液晶表示装置用薄膜トランジスタアレイ基板の製造方法。

#### 【請求項7】

前記液晶表示装置用薄膜トランジスタアレイ基板は、液晶物質を溜める封印材が形成される部分を有し、

前記部分の前記上部絶縁膜は他の部分より薄く形成する段階と、

前記アッシング工程で前記部分の前記上部絶縁膜を除去する段階とをさらに含む、請求項4に記載の液晶表示装置用薄膜トランジスタアレイ基板の製造方法。

#### 【請求項8】

前記データ配線及び前記半導体層は、部分的に厚さの異なる感光膜パターンを用いた写真エッチング工程で共に形成する、請求項3に記載の液晶表示装置用薄膜トランジスタアレイ基板の製造方法。

#### 【請求項9】

基板の上部に第1配線を形成する段階と、

10

20

30

40

50

前記第 1 配線の上部に下部膜及び上部膜を形成する段階と、  
 前記上部膜の上部に、感光性有機物質を用いて感光膜を形成する段階と、  
 半透過領域を有するマスクで前記感光膜を露光及び現像して接触孔を形成しようとする領域には感光膜が除去され、その周辺の領域には第 1 厚さの感光膜が存在し、その他の領域には前記第 1 厚さより厚い第 2 厚さを有する感光膜パターンを形成する段階と、  
 前記感光膜パターンをエッチングマスクとして用いて前記上部膜及び前記下部膜をエッチングして、前記第 1 配線を露出する接触孔を形成する段階と、  
 アッシング工程で前記感光膜のうちの第 1 厚さを有する部分を除去して、前記感光膜をマスクとして前記上部膜をエッチングして前記接触孔を定義する前記下部膜の上部面を露出する段階と、  
 前記接触孔を介して前記第 1 配線と連結される第 2 配線を形成する段階と、  
 を含み、前記下部膜のエッチング時には前記第 1 厚さを有する部分の下部でアンダーカットが発生する、半導体素子の製造方法。

10

【請求項 10】

前記下部膜または上記上部膜は、窒化ケイ素又は酸化ケイ素からなる絶縁膜で形成する、請求項 9 に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の接触部及びその製造方法と、これを含む液晶表示装置用薄膜トランジスタアレイ基板及びその製造方法とに関するものである。

20

【背景技術】

【0002】

一般に、半導体素子が集積化されるほど、半導体素子の面積を最適化して、配線を多層に形成するのが好ましい。この時、層間の絶縁膜は、配線を通じて伝達される信号の干渉を最小化するために、低い誘電率を有する物質で形成するのが好ましく、互いに同一な信号が伝達される配線は、絶縁膜に接触孔を形成して、配線を電氣的に互いに連結しなければならない。しかし、絶縁膜をエッチングして接触孔を形成する際に、接触部でアンダーカット構造が発生すると、接触部のステップカバリッジ (step coverage) が悪くなる。これによって、絶縁膜の上部に形成される配線のプロファイルが悪くなったり、接触部で配線が断線する問題点が発生する。

30

【0003】

一方、液晶表示装置は、現在最も広く用いられている平板表示装置のうちの一つであって、電極が形成されている二枚の基板とその間に挿入されている液晶層とから構成され、電極に電圧を印加して液晶層の液晶分子を再配列させることによって、透過する光の量を調節する表示装置である。

【0004】

液晶表示装置の中でも現在主に用いられているのは、二つの基板に電極が各々形成されており、電極に印加される電圧をスイッチングする薄膜トランジスタを有する液晶表示装置である。

40

【0005】

一般に、薄膜トランジスタが形成されている基板には、薄膜トランジスタ以外にも、走査信号を伝達するゲート線及び画像信号を伝達するデータ線を含む配線と、外部から走査信号又は画像信号の印加を受けてゲート線及びデータ線に各々伝達するゲートパッド及びデータパッドとが形成されており、ゲート線とデータ線とが交差して定義される画素領域には、薄膜トランジスタと電氣的に連結されている画素電極が形成されている。

【0006】

この時、液晶表示装置の表示特性を向上させるためには、画素の開口率を確保するのが好ましい。このために、配線と画素電極は、互いに重なるように形成し、これらの間には、配線を通じて伝達される信号の干渉を最小化するために、低い誘電率を有する有機物質

50

からなる絶縁膜を形成する。

【0007】

このような液晶表示装置用薄膜トランジスタアレイ基板の製造方法では、外部から信号の伝達を受けるためにパッドを露出したり、その他の配線を互いに連結するために配線を露出する工程が必要である。しかし、接触孔を有する絶縁膜をマスクとして用いて下部膜をエッチングして、下部膜に接触孔を形成する場合、絶縁膜の下で下部膜は甚だしくアンダーカット（under cut）され、接触部のステップカバリッジが悪くなる。これにより、その後形成される他の上部膜のプロファイルが悪くなったり、接触部で上部膜が断線する問題点が発生する。このような問題点を解決するために、接触部で接触孔の側壁を階段形状に形成するのが好ましいが、このためには、有機絶縁膜を写真エッチング工程で何回もパターンニングしなければならないため、製造工程が複雑になるという問題点がある。

10

【0008】

一方、液晶パネルの周りには、二つの基板を付着させ、二つの基板の間に注入されている液晶物質を溜めるための封印材が形成されているが、このような封印材が有機絶縁膜の上部に形成される場合には、二つの基板の接触が不良になる。

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の技術的課題は、接触部のプロファイルを改善することができる半導体素子の接触部及びその製造方法、並びにこれを含む薄膜トランジスタアレイ基板及びその製造方法を提供することにある。

20

【0010】

また、本発明の他の技術的課題は、薄膜トランジスタアレイ基板の製造方法を単純化することにある。

【0011】

また、本発明の他の技術的課題は、液晶表示装置の接触不良を除去することができる薄膜トランジスタアレイ基板を提供することにある。

【課題を解決するための手段】

【0012】

このような問題点を解決するために、本発明では、接触孔を有する有機絶縁膜を形成する際に、接触孔の周りは他の部分より薄く形成する。次に、有機絶縁膜をエッチングマスクとして用いて下部膜をエッチングして下部膜に接触孔を形成した後、アッシング工程を行って厚さの薄い有機絶縁膜を除去し、有機絶縁膜の接触孔を介して下部膜を露出する。この時、下部膜の下でアンダーカット構造が残っている場合には、有機絶縁膜をマスクとして用いて下部膜をエッチングする工程を追加することができる。

30

【0013】

より詳細に、本発明による半導体素子の接触部及びその製造方法では、まず、基板の上部に第1配線を形成し、これを覆う下部膜を形成する。次に、下部膜の上部に感光性有機物質を用いて感光膜パターンを形成し、これをエッチングマスクとして用いて下部膜をエッチングして、第1配線を露出する接触孔を形成する。次に、アッシング工程で感光膜パターンの一部を除去して、接触孔を定義する下部膜の境界線を露出した後、接触孔を介して第1配線に連結される第2配線を形成する。

40

【0014】

下部膜は、窒化ケイ素又は酸化ケイ素からなる絶縁膜で形成することができ、導電物質の導電膜で形成することもできる。

【0015】

また、下部膜は、第1絶縁膜及び第2絶縁膜で形成することができ、この際には、下部膜の境界線を露出した後、感光膜パターンで覆わない第2絶縁膜をエッチングして、接触孔で第1絶縁膜の境界線を露出するのが好ましく、第2絶縁膜は、4.0以下の低い誘電率を有し、化学気相蒸着で形成される低誘電率絶縁膜で形成することができる。

50

## 【0016】

この時、接触孔の周辺の感光膜パターンは他の部分より薄く形成するのが好ましい。

## 【0017】

このような本発明による半導体素子の接触部及びその製造方法は、液晶表示装置用薄膜トランジスタアレイ基板及びその製造方法に同一に適用することができる。

## 【0018】

まず、本発明による液晶表示装置用薄膜トランジスタアレイ基板の製造方法では、絶縁基板の上にゲート線、ゲート線に連結されているゲート電極、及びゲート線の一端に連結されて外部から伝達される走査信号をゲート信号に伝達するゲートパッドを含むゲート配線を形成する。次に、ゲート絶縁膜及び半導体層を形成した後、ゲート線と交差するデータ線、データ線に連結されており、ゲート電極に隣接するソース電極、ゲート電極に対してソース電極の対向側に位置するドレーン電極、及びデータ線の一端に連結されて外部から伝達される映像信号をデータ線に伝達するデータパッドを含むデータ配線を形成する。次に、絶縁膜を積層し、その上部に感光性有機絶縁膜パターンを形成した後、これをエッチングマスクとして用いて絶縁膜をエッチングして、ゲートパッド又はデータパッドを露出する第1接触孔を形成する。次に、アッシング工程を行って、第1接触孔で絶縁膜の境界線を露出した後、第1接触孔を介してゲートパッド又はデータパッドに連結される補助パッドを形成する。

10

## 【0019】

第1接触孔の周辺の有機絶縁膜パターンは他の部分より薄く形成するのが好ましい。

20

## 【0020】

絶縁膜は、第1及び第2絶縁膜で形成することができ、この場合には、絶縁膜の境界線を露出した後、有機絶縁膜パターンで覆わない第2絶縁膜をエッチングし、有機絶縁膜パターンを除去するのが好ましい。この時、第2絶縁膜は、4.0以下の低い誘電率を有し、化学気相蒸着で形成される低誘電率絶縁膜からなるのが好ましい。

## 【0021】

ここで、有機絶縁膜パターンは、ドレーン電極を露出する第2接触孔を有し、補助パッドと同一層に、第2接触孔を介してドレーン電極と電気的に連結される画素電極を形成するのが好ましい。

## 【0022】

第2接触孔は第1接触孔と共に形成し、第2接触孔の周辺の有機絶縁膜パターンは他の部分より薄く形成するのが好ましい。

30

## 【0023】

データ配線及び半導体層は、部分的に厚さの異なる感光膜パターンを用いた写真エッチング工程で共に形成することができる。

## 【発明の効果】

## 【0024】

本発明によれば、接触部で下部膜がアンダーカットされた場合に、接触孔の周辺の感光膜を他の部分より薄く形成した後にアッシングすることにより、接触孔で下部絶縁膜の境界が露出され、接触孔の側壁を階段形状に形成するので、接触部でのアンダーカットを除去することができる。これによって、接触部で断線が発生するのを防止し、接触部の信頼性を確保して製品の表示特性を向上させることができ、写真エッチング工程を最小化して液晶表示装置用薄膜トランジスタ基板を製造することにより、製造工程を単純化し、製造費用も減らすことができる。また、封印材が形成される部分の有機膜を除去することによって、液晶表示装置の二つの基板の接触不良を改善することができる。

40

## 【発明を実施するための最良の形態】

## 【0025】

以下、添付した図面を参照して、本発明の実施例による半導体素子の接触部及びその製造方法、並びにこれを含む薄膜トランジスタアレイ基板及びその製造方法について、本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明

50

する。

【0026】

まず、本発明の実施例による半導体素子の接触部及びその製造方法について説明する。

【0027】

一般に、半導体素子が集積化されるほど、半導体素子の面積を最適化したり、外部からの信号の伝達を受けるために、信号線に連結されているパッドを補助するように配線を多層に形成するのが好ましい。本発明の実施例による半導体素子は、配線を通じて伝達される信号の干渉を最小化するために、配線間の層間絶縁膜は、低い誘電率を有して平坦化特性の優れた有機物質からなる有機絶縁膜を含む。ここで、層間の配線を互いに電氣的に連結するためには、絶縁膜に接触孔を形成しなければならないが、本発明の実施例による製造方法では、層間の絶縁膜をエッチングして接触孔を形成する際に、接触部で発生するアンダーカット構造を除去するために、有機絶縁膜の接触孔の周りを他の部分より薄く形成する。次に、有機絶縁膜をエッチングマスクとして用いて下部膜をエッチングした後、アッシング工程を行って、厚さの薄い絶縁膜を除去して下部膜を露出する。

10

【0028】

図1a乃至図1eは、本発明の第1実施例による半導体素子の接触部の製造方法をその工程順序にしたがって示した断面図であり、図2a及び図2dは、本発明の第2実施例による半導体素子の接触部の製造方法をその工程順序にしたがって示した断面図である。

【0029】

本発明の第1実施例による半導体素子の接触部の製造方法では、まず、図1aのように、第1配線200が形成されている基板100の上部に、窒化ケイ素又は酸化ケイ素からなる下部絶縁膜310を積層し、その上部に、上部絶縁膜として、低い誘電率を有し、感光性有機物質からなる有機絶縁膜320を塗布して、層間絶縁膜300を形成する。

20

【0030】

次に、図1bのように、第1配線200を露出する接触孔を形成するために、接触孔330に対応する部分には透過領域が形成されており、透過領域の周りには、光透過量を調節するために主にスリット(slit)や格子形態のパターンが形成されたり半透明膜が形成されている半透過領域を有するマスクを用いて、有機絶縁膜320を露光及び現像して、第1配線200の上部の下部絶縁膜310を露出する接触孔330を有する有機絶縁膜パターン320を形成する。この時、半透過領域を有するマスクを用いて露光及び現像することにより、開口部の周辺の有機絶縁膜320は他の部分より薄く残るようになる。これについては、4枚マスクを用いて液晶表示装置用薄膜トランジスタ基板を完成する本発明の第4実施例による液晶表示装置用薄膜トランジスタ基板の製造方法で具体的に説明する。この時、接触孔330の周辺の有機絶縁膜パターン320の厚さは、以後に行うアッシング工程で除去できる厚さを考慮して、2,000以下に形成するのが好ましい。

30

【0031】

次に、図1cのように、接触孔330を介して露出された下部絶縁膜310をエッチングして第1配線200を露出する。この時、下部絶縁膜310をエッチングする工程では、湿式エッチングはもちろん乾式エッチングを用いても、エッチングが進められる間はエッチング気体の反応が等方的に行われるので、図面から分かるように、有機絶縁膜パターン320の下部まで下部絶縁膜310がエッチングされて、アンダーカット構造が発生する。

40

【0032】

次に、図1dのように、アッシング工程を行って感光膜の有機絶縁膜パターン320の一部を除去する。この時、接触孔330の周辺の他の部分より薄く形成されている有機絶縁膜パターン320は完全に除去して、接触孔330を介して下部絶縁膜310の境界線が露出されるようにする。

【0033】

次に、図1eのように、有機絶縁膜パターン320の上部に導電物質を積層し、マスクを用いた写真エッチング工程でパターンニングして、接触孔330を介して第1配線200

50

と電氣的に連結される第2配線400を形成する。

【0034】

このような本発明の第1実施例による半導体素子の接触部及びその製造方法では、層間絶縁膜を有機物質で形成し、第1配線200を露出する接触孔330を形成する際に接触孔330を定義する層間絶縁膜300の側壁を階段形状に形成し、下部絶縁膜310をエッチングした後にアッシング工程を行って、接触部の有機絶縁膜320の下部で発生したアンダーカット構造を除去する。これにより、接触部で、接触孔330を介して第1配線200と連結される第2配線400が断線するのを防止することができ、接触部で第2配線400のプロファイルを緩慢に改善することができる。

【0035】

前記では有機絶縁膜320の下部の下部絶縁膜310を例に挙げて説明したが、有機絶縁膜320の下部膜が導電膜である場合にも同一に適用することができる。つまり、本発明の接触部の製造方法と同様に、有機絶縁膜の下部の導電膜をエッチングする際に、導電膜が有機絶縁膜の下部までエッチングされて接触部でアンダーカット構造が形成されると、接触孔の周辺を薄く形成し、これをアッシング工程で除去して、接触部で導電膜を露出することにより、接触部で発生するアンダーカット構造を除去することができる。

【0036】

一方、本発明の第2実施例による半導体素子の接触部及びその製造方法では、図2aのように、層間絶縁膜300を下部絶縁膜310及び上部絶縁膜320を含む2重膜で形成する。有機絶縁膜320(図1b参照)をエッチングマスクである感光膜パターン500として用いて絶縁膜300をパターニングして第1配線200を露出する接触孔330を形成した場合、上部絶縁膜320の下まで下部絶縁膜310がエッチングされてアンダーカット構造が発生することがある。この時にも、図2aのように、接触孔330の周辺の感光膜パターン500の一部を他の部分より薄く形成する。

【0037】

次に、図2bのように、アッシング工程を行って、他の部分より薄く形成されていた接触孔330の周辺の感光膜パターン500の一部を除去する。

【0038】

次に、図2cのように、感光膜パターン500をエッチングマスクとして用いて上部絶縁膜320をエッチングして接触孔330を完成し、感光膜パターンを除去する。この時、エッチングは、上部絶縁膜320と下部絶縁膜310とのエッチング選択比を有する条件で行うのが好ましい。

【0039】

次に、図2dのように、感光膜パターン500を除去し、上部絶縁膜320の上部に導電物質を積層し、マスクを用いた写真エッチング工程でパターニングして、接触孔330を介して第1配線200と電氣的に連結される第2配線400を形成する。

【0040】

このような本発明の第2実施例による半導体素子の接触部及びその製造方法では、感光膜パターンを用いて絶縁膜をパターニングして第1配線200を露出する接触孔330を形成する際に、接触孔330を定義する感光膜パターン500を階段形状に形成し、絶縁膜300をエッチングした後にアッシング工程を行って、接触部の感光膜の一部を除去し、再び感光膜パターンをマスクとして用いて上部絶縁膜をエッチングして、接触部で発生したアンダーカット構造を除去する。これにより、接触部で接触孔330を介して第1配線200と連結される第2配線400が断線するのを防止することができ、接触部で第2配線400のプロファイルを緩慢に改善することができる。

【0041】

一方、このような本発明の第1及び第2実施例による半導体素子の接触部及びその製造方法は、液晶表示装置用薄膜トランジスタアレイ基板及びその製造方法に同一に適用することができる。ここで、本発明の第1実施例による半導体素子の接触部及びその製造方法は、本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板及びその製造方法に

10

20

30

40

50

適用して説明し、本発明の第2実施例による半導体素子の接触部及びその製造方法は、本発明の第2実施例による液晶表示装置用薄膜トランジスタ基板及びその製造方法に適用して説明する。

【0042】

まず、図3及び図4を参照して、本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板の構造について詳細に説明する。

【0043】

図3は、本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板であり、図4は、図3に示した薄膜トランジスタ基板のI V - I V '線の断面図である。

【0044】

絶縁基板10の上に、低抵抗を有するアルミニウム系列の金属物質を含むゲート配線が形成されている。ゲート配線は、横方向に延びているゲート線22、ゲート線22の一端に連結されており、外部から伝達されるゲート信号をゲート線に伝達するゲートパッド24、及びゲート線22に連結されている薄膜トランジスタのゲート電極26を含む。

【0045】

ゲート配線22、24、26は、アルミニウム系列の単一膜で形成するのが好ましいが、2重層以上に形成することもできる。2重層以上に形成する場合には、一つの層は抵抗の小さい物質で形成し、他の層はITO又はIZO又は基板など他の物質との接触特性の良いクロム又はモリブデン系列などの物質で形成するのが好ましい。

【0046】

基板10の上には、窒化ケイ素(SiNx)などからなるゲート絶縁膜30がゲート配線22、24、26を覆っており、ゲート絶縁膜30は、以後に形成される保護膜70と共に、ゲートパッド24を露出する接触孔74を有する。

【0047】

ゲート電極24を覆うゲート絶縁膜30の上部には、非晶質シリコンなどの半導体からなる半導体層40が形成されており、半導体層40の上部には、シリサイド又はn型不純物が高濃度にドーピングされているn<sup>+</sup>水素化非晶質シリコンなどの物質からなり、ゲート電極26を中心に二つの部分に分離された抵抗接触層55、56が各々形成されている。

【0048】

抵抗接触層55、56及びゲート絶縁膜30の上には、アルミニウム(Al)又はアルミニウム合金(Al alloy)、モリブデン(Mo)又はモリブデン-タングステン(MoW)合金、クロム(Cr)、タンタル(Ta)などの金属、又は導電体からなるデータ配線62、64、65、66、68が形成されている。データ配線は、縦方向に形成され、ゲート線22と交差して画素を定義するデータ線62、データ線62の分枝であり、抵抗接触層54の上部まで延びているソース電極65、データ線62の一端に連結されており、外部からの画像信号の伝達を受けるデータパッド68、及びソース電極65と分離されており、ゲート電極26に対してソース電極65の反対側の抵抗接触層56の上部に形成されているドレーン電極66を含む。一方、データ配線は、ゲート線22と重なって保持容量を確保するための維持蓄電器用導電体パターン64を含むことができる。

【0049】

データ配線62、64、65、66、68も、アルミニウム又はアルミニウム合金の単一膜で形成することができ、2重層以上に形成することもできる。2重層以上に形成する場合には、一つの層は抵抗の小さい物質で形成し、他の層は他の物質との接触特性の良い物質で形成するのが好ましい。その例としては、Cr/Al(又はAl合金)又はAl/Moなどが挙げられ、この時、Cr膜は、アルミニウム膜又はアルミニウム合金膜がケイ素層40、55、56へ拡散するのを防止する機能を有すると同時に、データ配線62、64、65、66、68と画素電極82との間の接触特性を確保するための接触部の機能を有する。

【0050】

10

20

30

40

50



データ配線 62、64、65、66、68 及びこれらが覆わない半導体層 40 の上部には、窒化ケイ素からなる保護膜 70 と、平坦化特性及び低い誘電率を有するアクリル系の感光性有機物質からなる有機絶縁膜 75 とが形成されている。保護膜 70 には、維持蓄電器用導電体パターン 64、ドレーン電極 66、及びデータパッド 68 を各々露出する接触孔 72、76、78 が各々形成されており、ゲート絶縁膜 30 と共にゲートパッド 24 を露出する接触孔 74 が形成されている。この時、接触孔 72、76 では、有機絶縁膜 75 の境界線が保護膜 70 の上部に形成されて保護膜 70 又はゲート絶縁膜 30 の境界線が露出されているため、接触孔 72、76 を定義する側壁は階段形状に形成されている。また、図 4 のように、有機絶縁膜 75 は、ゲートパッド及びデータパッドが形成されているパッド部では除去されているのが好ましく、ゲートパッド 24 を露出する接触孔 74 はゲートパッド 24 より大きく形成されている。

10

#### 【0051】

有機絶縁膜 75 の上には、接触孔 76 を介してドレーン電極 66 と連結されており、画素に位置する画素電極 82 と、接触孔 74、78 を介して各々ゲートパッド 24 及びデータパッド 68 に連結されている補助ゲートパッド 84 と、補助データパッド 88 とを含み、透明な導電物質である ITO 又は IZO からなる画素配線が形成されている。この時、前述したように、接触部では、下部絶縁膜の保護膜 70 又は有機絶縁膜 75 の側壁が階段形状であったりアンダーカット構造がないので、接触部で画素電極 82、補助ゲートパッド 84、及び補助データパッド 88 が断線するのを防止することができる。ここで、パッド部では有機絶縁膜 75 が除去されていて、補助ゲートパッド 84 及び補助データパッド 88 は保護膜 70 の上部までのみ形成されている。これは、有機絶縁膜 75 は、窒化ケイ素の保護膜 70 と比較すると、接着力、耐化学性、硬度、機械的強度、ストレスなどに非常に弱いため、パッド部に有機絶縁膜 75 が存在する場合には、液晶表示装置用薄膜トランジスタ基板に COG (chip on glass) 方式で駆動集積回路を直接実装したり、フィルムに駆動集積回路が実装されている TCF 方式又は COF 方式でフィルムを付着すると、パッド部の接着力が弱くて接着不良が発生しやすいためである。また、接着不良を改善するために再作業が必要な場合には、化学的及び機械的な方法でパッド部より駆動集積回路又はフィルムを剥離した後に異方性導電膜を除去しなければならないが、この時に有機絶縁膜が残留すると、パッド部の表面の損傷又は有機絶縁膜及び補助パッド 84、88 の ITO 膜剥離などの問題が発生する。したがって、パッド部から有機絶縁膜 75 を完全に除去することで、パッドと駆動集積回路又はフィルムとの間の接着力を向上させることができ、再作業を非常に容易に行うことができる。

20

30

#### 【0052】

ここで、画素電極 82 は、図 3 及び図 4 のように、ゲート線 22 と重なって維持蓄電器を構成し、保持容量が不足する場合には、ゲート配線 22、24、26 と同一層に、ゲート配線 22、24、26 と分離されている別途の保持容量用配線を追加することもできる。

#### 【0053】

以下、このような本発明の第 1 実施例による構造の液晶表示装置用薄膜トランジスタ基板の製造方法について、図 3 及び図 4 と図 5 a 乃至図 10 とを参照して詳細に説明する。

40

#### 【0054】

まず、図 5 a 及び 5 b に示したように、基板 10 の上に、他の物質との接触特性の優れている、導電物質又はアルミニウム又はアルミニウム合金又は銀又は銀合金のように低抵抗を有する導電物質を積層しパターニングして、ゲート線 22、ゲート電極 26、及びゲートパッド 24 を含むゲート配線を形成する。

#### 【0055】

次に、図 6 a 及び図 6 b に示したように、ゲート絶縁膜 30、非晶質シリコンからなる半導体層 40、ドーピングされた非晶質シリコン層 50 の 3 層膜を連続して積層し、マスクを用いたパターニング工程によって半導体層 40 及びドーピングされた非晶質シリコン層 50 をパターニングして、ゲート電極 24 と対向するゲート絶縁膜 30 の上部に半導体

50

層 40 及び抵抗接触層 50 を形成する。この時、図面から分かるように、半導体層 40 及び抵抗接触層 50 は、以後に形成されるデータ線 62 に沿って形成されることもできる。

【0056】

次に、図 7 a 乃至図 7 b に示したように、クロム又はモリブデン又はモリブデン合金又はアルミニウム又はアルミニウム合金又は銀又は銀合金の導電物質を積層した後、マスクを用いた写真工程でパターニングして、ゲート線 22 と交差するデータ線 62、データ線 62 に連結されてゲート電極 26 の上部まで延びているソース電極 65、データ線 62 の一端に連結されているデータパッド 68、ソース電極 65 と分離されており、ゲート電極 26 を中心にソース電極 66 と対向するドレーン電極 66、及びゲート線 22 と重なる維持蓄電器用導電体パターン 64 を含むデータ配線を形成する。

10

【0057】

次に、データ配線 62、64、65、66、68 で覆わないドーピングされた非晶質シリコン層パターン 50 をエッチングして、ゲート電極 26 を中心に両側に分離させる一方で、両側のドーピングされた非晶質シリコン層 55、56 の間の半導体層 40 を露出させる。次に、露出された半導体層 40 の表面を安定化させるために酸素プラズマを実施するのが好ましい。

【0058】

次に、図 8 a 及び図 8 b に示したように、窒化ケイ素からなる保護膜 70 を 2,000 以下、好ましくは 1,000 以下の厚さに積層し、その上部に感光性を有する有機絶縁物質からなる有機絶縁膜 75 を 2~4 μm の範囲の厚さに形成し、まず、マスクを用いた写真工程で有機絶縁膜 75 のみを露光及び現像して、維持蓄電器用導電体パターン 64、ゲートパッド 24、ドレーン電極 66、及びデータパッド 68 の上部に接触孔 72、74、76、78 を形成する。この時、マスクの透過領域の周辺の光透過量を減らすように、主にスリットや格子形態のパターン又は半透明膜からなる半透過領域を形成し、複数のパッド 24、68 が形成されているパッド部又は接触孔 74、78 の周辺の有機絶縁膜 75 は他の部分より薄く、好ましくは、1,000~5,000 の範囲の厚さに形成する。もちろん、この時にドレーン電極 76 及び維持蓄電器用導電体パターン 64 を露出する接触孔 72、76 の周りにも有機絶縁膜 75 の厚さを他の部分より薄く形成する階段形状の構造を形成することができる。

20

【0059】

一方、液晶表示装置の二つの基板を付着すると同時に、二つの基板の間に注入されている液晶物質を溜めるために、液晶表示装置の二つの基板のうちの一つの基板の上部には封印材を形成するが、このような封印材を有機絶縁膜の上部に形成すると、封印材の接着力が弱くなるため、二つの基板の接着不良が発生する恐れがある。これを防止するためには、封印材が形成される部分の有機絶縁膜 75 を除去するのが好ましく、このために、図 8 c のように封印材が形成される部分にはマスクに半透過領域を形成して有機絶縁膜 75 を他の部分より薄く形成するのが好ましい。

30

【0060】

ここで、感光膜の厚さを調節する方法については、4枚のマスクを用いて液晶表示装置用薄膜トランジスタアレイ基板を製造する方法を説明する際に具体的に説明する。

40

【0061】

次に、図 9 のように、有機絶縁膜 75 をエッチングマスクとして用いて接触孔 72、74、76、78 を介して露出された保護膜 70 及びゲート絶縁膜 30 をエッチングして、維持蓄電器用導電体パターン 64、ゲートパッド 24、ドレーン電極 66、及びデータパッド 68 を露出する。ここで、保護膜 70 をエッチングする方法は乾式エッチングが好ましく、乾式エッチングの気体としては、 $\text{SF}_6^+\text{O}_2$  又は  $\text{CF}_4^+\text{O}_2$  などを用いる。ここで、保護膜 70 及びゲート絶縁膜 30 をエッチングする際に乾式エッチングで行っても、図面から分かるように、保護膜 70 及びゲート絶縁膜 30 が有機絶縁膜 75 の下部までエッチングされて、アンダーカット構造が発生する。

【0062】

50

次に、図10aのように、アッシング工程を行って有機絶縁膜75の一部を除去して、パッド部において厚さの薄い有機絶縁膜75を除去することによって接触孔74、78の周りで保護膜70が露出され、接触孔72、76において有機絶縁膜75の一部を除去することによってゲート絶縁膜30及び保護膜70の境界線が露出される。このようにすれば、接触部で発生したアンダーカット構造を除去することができる。この時、図10bのように、封印材が形成される部分では窒化ケイ素からなる保護膜70が露出される。このようにすれば、以後に形成される封印材を窒化ケイ素からなる保護膜70の上部に形成することができるので、液晶表示装置の二つの基板の間の接着力を向上させることができる。

#### 【0063】

最後に、図3及び4に示したように、ITO又はIZOを積層し、マスクを用いたパターンニングを行って、接触孔72、76を介して維持蓄電器用導電体パターン64及びドレーン電極66に連結される画素電極82、接触孔74、78を介してゲートパッド24及びデータパッド68に各々連結される補助ゲートパッド84、及び補助データパッド88を各々形成する。この時、前述したように、接触部で発生するアンダーカット構造を、接触孔72、74、76、78の周辺の有機絶縁膜75を薄く形成し、アッシング工程を行って除去することにより、接触部で画素電極82、補助ゲートパッド84、及び補助データパッド88が断線するのを防止することができ、これらのプロファイルを緩慢に形成することができる。この時、図面に示されたように、補助ゲートパッド84及び補助データパッド88は保護膜70の上部まで形成する。補助ゲートパッド84及び補助データパッド88は、腐食防止のために、下部の金属パッド24、68を完全に覆わなければならないので、保護膜70の上部まで形成すると、補助パッド84、88の接着力が向上し、パッド84、88の面積を拡大するという長所がある。

#### 【0064】

このような第1実施例による液晶表示装置用薄膜トランジスタ基板の製造方法では、5枚のマスクを用いる製造方法について説明したが、4枚のマスクを用いる液晶表示装置用薄膜トランジスタ基板の製造方法にも同一に適用することができる。これについて、図面を参照して詳細に説明する。ここでは、有機絶縁膜を層間絶縁膜として用いず感光膜パターンとして用い、絶縁膜として、4.0以下の低い誘電率を有し、化学気相蒸着で形成される低誘電率CVD絶縁膜を追加する、第2実施例による半導体素子の製造方法を適用して説明する。

#### 【0065】

まず、図11乃至図13を参照して、本発明の実施例による4枚マスクを用いて完成した液晶表示装置用薄膜トランジスタアレイ基板の単位画素構造について詳細に説明する。

#### 【0066】

図11は、本発明の第2実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図12及び図13は、各々図11に示した薄膜トランジスタ基板のXII-XII'線及びXIII-XIII'線の断面図である。

#### 【0067】

まず、絶縁基板10の上に、第1実施例と同一に、アルミニウム又はアルミニウム合金や銀又は銀合金などの低抵抗導電物質を含むゲート線22、ゲートパッド24、及びゲート電極26を含むゲート配線が形成されている。ゲート配線は、また、基板10の上部に、ゲート線22と平行で、上板の共通電極に入力される共通電極電圧などの電圧の伝達を外部から受ける維持電極28を含む。維持電極28は、画素電極82に連結された維持蓄電器用導電体パターン68と重なって画素の電荷保存能力を向上させる維持蓄電器を構成し、画素電極82とゲート線22とが重なって発生する保持容量が十分である場合には形成しないこともある。

#### 【0068】

ゲート配線22、24、24、68の上には、窒化ケイ素(SiNx)などからなるゲート絶縁膜30が形成されて、ゲート配線22、24、24、68を覆っている。

## 【 0 0 6 9 】

ゲート絶縁膜 30 の上には、水素化非晶質シリコン (hydrogenated amorphous silicon) などの半導体からなる半導体パターン 42、48 が形成されており、半導体パターン 42、48 の上には、リン (P) などの n 型不純物で高濃度にドーピングされた非晶質シリコンなどからなる抵抗性接触層 (ohmic contact layer) パターン又は中間層パターン 55、56、58 が形成されている。

## 【 0 0 7 0 】

抵抗性接触層パターン 55、56、58 の上には、低抵抗を有するアルミニウム系列の導電物質からなるデータ配線が形成されている。データ配線は、縦方向に延びているデータ線 62、データ線 62 の一端に連結されて外部から画像信号の伝達を受けるデータパッド 68、及びデータ線 62 の分枝である薄膜トランジスタのソース電極 65 からなるデータ線部を含み、また、データ線部 62、68、65 と分離されており、ゲート電極 26 又は薄膜トランジスタのチャンネル部 (C) に対してソース電極 65 の反対側に位置する薄膜トランジスタのドレーン電極 66 と、維持電極 28 の上に位置する維持蓄電器用導電体パターン 64 も含む。維持電極 28 を形成しない場合には、維持蓄電器用導電体パターン 64 も形成しない。

10

## 【 0 0 7 1 】

接触層パターン 55、56、58 は、その下部の半導体パターン 42、48 とその上部のデータ配線 62、64、65、66、68 との接触抵抗を低くする役割を果たし、データ配線 62、64、65、66、68 と完全に同一な形状を有する。つまり、データ線部中間層パターン 55 はデータ線部 62、65、68 と同一であり、ドレーン電極用中間層パターン 56 はドレーン電極 66 と同一であり、維持蓄電器用中間層パターン 58 は維持蓄電器用導電体パターン 68 と同一である。

20

## 【 0 0 7 2 】

一方、半導体パターン 42、48 は、薄膜トランジスタのチャンネル部 (C) を除けば、データ配線 62、64、65、66、68 及び抵抗性接触層パターン 55、56、58 と同一な形状をしている。具体的には、維持蓄電器用半導体パターン 48 と維持蓄電器用導電体パターン 68 と維持蓄電器用接触層パターン 58 とは同一な形状であるが、薄膜トランジスタ用半導体パターン 42 は、データ配線及び接触層パターンの他の部分と若干異なる。つまり、薄膜トランジスタのチャンネル部 (C) でデータ線部 62、68、65、特にソース電極 65 とドレーン電極 66 とが分離されており、データ線部中間層 55 とドレーン電極用接触層パターン 56 とも分離されているが、薄膜トランジスタ用半導体パターン 42 はここで断絶されずに連結されて薄膜トランジスタのチャンネルを生成する。

30

## 【 0 0 7 3 】

データ配線 62、64、65、66、68 の上には、第 1 実施例とは異なって、窒化ケイ素からなる保護膜 70、及び 4.0 以下の低い誘電率を有し、化学気相蒸着で形成された低誘電率絶縁膜 73 が形成されており、これらは、ドレーン電極 66、データパッド 68、及び維持蓄電器用導電体パターン 64 を露出する接触孔 76、78、72 を有し、また、ゲート絶縁膜 30 と共にゲートパッド 24 を露出する接触孔 74 を有している。この時、第 1 実施例と同様に、パッド部では、低誘電率絶縁膜 73 が除去されて保護膜 70 が露出されており、接触孔 72、76 では、下部絶縁膜の保護膜 70 又はゲート絶縁膜 30 の境界線が露出されていて、接触孔 72、76 の側壁は階段形状に形成されている。

40

## 【 0 0 7 4 】

低誘電率絶縁膜 73 の上には、薄膜トランジスタから画像信号の伝達を受け、上板の電極と共に電場を生成する画素電極 82 が形成されている。画素電極 82 は、IZO 又はITO などの透明な導電物質で形成され、接触孔 76 を介してドレーン電極 66 と電氣的に連結されて、画像信号の伝達を受ける。画素電極 82 は、また、隣接するゲート線 22 及びデータ線 62 と重なって開口率を上げているが、重ならないこともある。また、画素電極 82 は、接触孔 72 を介して維持蓄電器用導電体パターン 64 にも連結されて、導電体パターン 64 に画像信号を伝達する。一方、ゲートパッド 24 及びデータパッド 68 の上

50

には、接触孔 74、78 を介して各々これらに連結される補助ゲートパッド 84 及び補助データパッド 88 が形成されており、これらは、パッド 24、68 と外部回路装置との接着性を補完してパッドを保護する役割を果たすものであって、これらを適用するか否かは選択的である。このような本発明の第 2 実施例による薄膜トランジスタアレイ基板でも、前述したように、接触孔 72、76 の側壁が、下部絶縁膜の保護膜 70 が露出されて階段形状の構造をしており、パッド部では保護膜 70 が露出されており、接触部でアンダーカット構造がないので、画素電極 82、補助ゲートパッド 84、及び補助データパッド 88 が断線するのを防止することができる。また、補助ゲートパッド 84 及び補助データパッド 88 は保護膜 70 の上部まで形成されている。

【0075】

ここでは、画素電極 82 の材料として透明な ITO 又は IZO を例に挙げたが、反射型液晶表示装置の場合は不透明な導電物質を用いても差し支えない。

【0076】

以下、図 11 乃至図 13 の構造を有する液晶表示装置用薄膜トランジスタ基板を 4 枚のマスクを用いて製造する方法について、図 11 乃至図 13 と図 14 a 乃至図 20 c とを参照して詳細に説明する。

【0077】

まず、図 14 a 乃至 14 c に示したように、第 1 実施例と同様に、ゲート配線用導電物質を積層し、第 1 マスクを用いた写真エッチング工程によって、基板 10 の上にゲート線 22、ゲートパッド 24、ゲート電極 26、及び維持電極 28 を含むゲート配線を形成する。

【0078】

次に、図 15 a 及び 15 b に示したように、ゲート絶縁膜 30、半導体層 40、中間層 50 を化学気相蒸着によって各々 1,500 乃至 5,000、500 乃至 2,000、300 乃至 600 の厚さに連続蒸着し、次に、低抵抗を有するデータ配線用導電物質からなる導電体層 60 をスパッタリングなどの方法によって 1,500 乃至 3,000 の厚さに蒸着した後、その上に感光膜 110 を 1 μm 乃至 2 μm の厚さに塗布する。

【0079】

その後、第 2 マスクを通じて感光膜 110 に光を照射した後に現像して、図 16 b 及び 16 c に示したように、感光膜パターン 112、114 を形成する。この時、感光膜パターン 112、114 のうちの薄膜トランジスタのチャンネル部 (C)、つまりソース電極 65 とドレーン電極 66 との間に位置した第 1 部分 114 は、データ配線部 (A)、つまりデータ配線 62、64、65、66、68 が形成される部分に位置した第 2 部分 112 より厚さが薄くなるようにし、その他の部分 (B) の感光膜は全て除去する。この時、チャンネル部 (C) に残っている感光膜 114 の厚さとデータ配線部 (A) に残っている感光膜 112 の厚さとの比は、後述するエッチング工程の条件に応じて異なるようにしなければならず、第 1 部分 114 の厚さを第 2 部分 112 の厚さの 1/2 以下にするのが好ましく、例えば 4,000 以下であるのが好ましい。

【0080】

このように、位置によって感光膜の厚さを異ならせる方法としては様々なものがあり得るが、A 領域の光透過量を調節するために、主にスリットや格子形態のパターンを形成したり半透明膜を用いてマスクに半透過領域を形成する。もちろん、このような方法は、第 1 実施例による薄膜トランジスタアレイ基板の製造方法において、接触部で有機絶縁膜 75 (図 7 b 参照) の接触孔 72、74、76、78 (図 7 b 参照) の周りを他の部分より薄く形成する場合にも同一に適用され、アッシング工程を考慮して厚さを調節するのが好ましい。

【0081】

この時、スリットの間位置したパターンの線の幅やパターン間の間隔、つまりスリットの幅は、露光時に用いる露光器の分解能より小さいのが好ましく、半透明膜を用いる場

10

20

30

40

50

合には、マスクを製作する際に、透過率を調節するために、異なる透過率を有する薄膜を用いたり、厚さの異なる薄膜を用いることができる。

【 0 0 8 2 】

このようなマスクを通じて感光膜に光を照射すると、光に直接露出される部分では高分子が完全に分解され、スリットパターンや半透明膜が形成されている部分では光の照射量が少ないので高分子は完全に分解されていない状態であり、遮光膜で覆われた部分は高分子がほとんど分解されない。次に、感光膜を現像すると、高分子が分解されていない部分だけが残り、光が少量照射された部分では、光が全く照射されていない部分より厚さの薄い感光膜を残すことができる。この時、露光時間を長くすると全ての分子が分解されてしまうので注意しなければならない。

10

【 0 0 8 3 】

このような厚さの薄い感光膜 1 1 4 は、リフローの可能な物質からなる感光膜を用いて、光が完全に透過できる部分と完全に透過できない部分とに分けられた通常のマスクで露光した後に現像し、リフローさせて、感光膜が残留しない部分に感光膜の一部が流れるようにして形成することもできる。

【 0 0 8 4 】

次に、感光膜パターン 1 1 4 及びその下部の膜、つまり、導電体層 6 0、中間層 5 0、及び半導体層 4 0 に対するエッチングを行う。この時、データ配線部 ( A ) にはデータ配線及びその下部の膜が、そしてチャンネル部 ( C ) には半導体層のみが残っていなければならない。その他の部分 ( B ) は上の 3 個の層 6 0、5 0、4 0 が全て除去されて、ゲート絶縁膜 3 0 が露出されていなければならない。

20

【 0 0 8 5 】

まず、図 1 7 a 及び図 1 7 b に示したように、その他の部分 ( B ) の露出されている導電体層 6 0 を除去して、その下部の中間層 5 0 を露出させる。この過程では、乾式エッチング又は湿式エッチングを全て用いることができ、この時、導電体層 6 0 はエッチングされ、感光膜パターン 1 1 2、1 1 4 はほとんどエッチングされない条件で行うのが好ましい。しかし、乾式エッチングの場合は、導電体層 6 0 のみがエッチングされ、感光膜パターン 1 1 2、1 1 4 はエッチングされない条件を見つけるのが難しいので、感光膜パターン 1 1 2、1 1 4 も共にエッチングされる条件で行うことができる。この場合には、湿式エッチングの場合より第 1 部分 1 1 4 の厚さを厚くして、この過程で第 1 部分 1 1 4 が除去されて下部の導電体層 6 0 が露出されるのを防止する。

30

【 0 0 8 6 】

ここで、データ配線用導電物質がアルミニウム又はアルミニウム合金である場合には、乾式エッチングまたは湿式エッチングのうちのいずれによっても可能である。しかし、Cr である場合には、乾式エッチングではよく除去されないため、湿式エッチングを用いるのが好ましく、エッチング液として  $CeNH_3O_3$  を用いることができ、クロムを 5 0 0 程度の厚さに非常に薄く積層する場合には、乾式エッチングを用いることもできる。

【 0 0 8 7 】

このようにすれば、図 1 7 a 及び図 1 7 b に示したように、チャンネル部 ( C ) 及びデータ配線部 ( B ) の導電体層、つまりソース/ドレイン用導電体パターン 6 7 と維持蓄電器用導電体パターン 6 4 のみが残り、その他の部分 ( B ) の導電体層 6 0 は全て除去されて、その下部の中間層 5 0 が露出される。この時に残った導電体パターン 6 7、6 4 は、ソース及びドレイン電極 6 5、6 6 が分離されずに連結されている点を除けば、データ配線 6 2、6 4、6 5、6 6、6 8 の形状と同一である。また、乾式エッチングを用いた場合は、感光膜パターン 1 1 2、1 1 4 もある程度の厚さにエッチングされる。

40

【 0 0 8 8 】

次に、図 1 8 a 及び 1 8 b に示したように、その他の部分 ( B ) の露出された中間層 5 0 及びその下部の半導体層 4 0 を、感光膜の第 1 部分 1 1 4 と共に乾式エッチングで同時に除去する。導電体パターン 6 7 を乾式エッチングでエッチングする場合に、中間層 5 0 及び半導体層 4 0 は連続して乾式エッチングで行うことができ、これを原位置 ( in-situ

50

)として進めることもできる。中間層50と半導体層40とのエッチングは、感光膜パターン112、114、中間層50、及び半導体層40(半導体層と中間層とはエッチング選択性がほとんど無い)が同時にエッチングされ、ゲート絶縁膜30はエッチングされない条件で行わなければならない。特に、感光膜パターン112、114と半導体層40とに対するエッチング比がほとんど同一な条件でエッチングするのが好ましい。感光膜パターン112、114と半導体層40とに対するエッチング比が同一である場合、第1部分114の厚さは、半導体層40と中間層50との厚さを合計したものと同一であるかそれより小さくしなければならない。

#### 【0089】

このようにすれば、図18a及び図18bに示したように、チャンネル部(C)及びデータ配線部(B)の導電体層、つまりソース/ドレイン用導電体パターン67と維持蓄電器用導電体パターン64のみが残り、その他の部分(B)の導電体層60は全て除去される。また、チャンネル部(C)の第1部分114が除去されて、ソース/ドレイン用導電体パターン67が露出され、その他の部分(B)の中間層50及び半導体層40が除去されて、その下部のゲート絶縁膜30が露出される。一方、データ配線部(A)の第2部分112もエッチングされるので厚さが薄くなる。また、この段階で半導体パターン42、48が完成する。図面符号57及び58は、各々ソース/ドレイン用導電体パターン67の下部の中間層パターン、及び維持蓄電器用導電体パターン64の下部の中間層パターンを示す。ここで、チャンネル部(C)のソース/ドレイン用導電体パターン67は、別途のPRエッチバック(etch back)工程によって露出することもでき、感光膜を十分にエッチングすることができる条件であれば、PRエッチバック工程を省略することもできる。

#### 【0090】

次に、アッシングを行って、チャンネル部(C)のソース/ドレイン用導電体パターン67の表面に残っている感光膜クズを除去する。

#### 【0091】

次に、図19a及び19bに示したように、チャンネル部(C)のソース/ドレイン用導電体パターン67及びその下部のソース/ドレイン用中間層パターン57をエッチングして除去する。この時、エッチングは、ソース/ドレイン用導電体パターン67と中間層パターン57との全てに対して乾式エッチングのみで行うことができ、ソース/ドレイン用導電体パターン67に対しては湿式エッチングで、中間層パターン57に対しては乾式エッチングで行うこともできる。この時、図15bに示したように、半導体パターン42の一部が除去されて厚さが薄くなる可能性があり、感光膜パターンの第2部分112もこの時にある程度の厚さにエッチングされる。この時のエッチングは、ゲート絶縁膜30がエッチングされない条件で行わなければならない。第2部分112がエッチングされてその下部のデータ配線62、64、65、66、68が露出されることがないように、感光膜パターンを厚くするのが好ましい。

#### 【0092】

このようにすれば、ソース電極65とドレイン電極66とが分離されて、データ配線62、64、65、66、68とその下部の接触層パターン55、56、58とが完成する。

#### 【0093】

最後に、データ配線部(A)に残っている感光膜の第2部分112を除去する。しかし、第2部分112の除去は、チャンネル部(C)ソース/ドレイン用導電体パターン67を除去した後で、その下の中間層パターン57を除去する前に行うこともできる。

#### 【0094】

このようにしてデータ配線62、64、65、66、68を形成した後、図20a乃至20cに示したように、窒化ケイ素を化学気相蒸着で蒸着して保護膜70を形成し、その上部に、4.0以下の低い誘電率を有し、化学気相蒸着で形成されるSiOC又はSiOFなどを積層して、低誘電率絶縁膜73を形成する。次に、低誘電率絶縁膜73の上部に

10

20

30

40

50

スピンコーティングで感光性有機絶縁膜を形成した後、第3マスクを用いて感光性有機絶縁膜を露光及び現像して感光膜パターン250を形成し、これをエッチングマスクとして用いて維持蓄電器用導電体パターン64、ゲートパッド24、ドレーン電極66、及びデータパッド68を露出する接触孔72、74、76、78を形成する。この時にも、保護膜70又はゲート絶縁膜30は、低誘電率絶縁膜73の下部までエッチングされて接触部にはアンダーカット構造が発生し、これを除去するために、第2実施例による半導体素子の製造方法と同様に、少なくとも接触孔74、78の周辺のパッド部は他の部分より感光膜パターン250を薄く形成する。もちろん、維持蓄電器用導電体パターン64、及びドレーン電極を露出する接触孔72、74の周りも、マスクにスリットパターンを形成して、厚さの薄い感光膜パターンを階段形状に形成することもできる。

10

#### 【0095】

次に、図21a及び図21bのように、アッシング工程を行って感光膜パターン250の一部の厚さを除去することにより、接触孔74、78の上の周りに形成されていた厚さの薄い感光膜を除去した後、感光膜パターン250をエッチングマスクとして用いて露出された低誘電率絶縁膜73をエッチングする。そして、図面に示したように、パッド部では保護膜70が露出される。この時、アッシング工程では、接触孔72、76の上部の感光膜の一部も除去されて、接触孔72、76を定義する低誘電率絶縁膜73の境界線が露出され、このような感光膜パターンをエッチングマスクとして用いて低誘電率絶縁膜73をエッチングすれば、図面から分かるように、接触孔72、76の側壁でアンダーカット構造を除去することができる。この時、エッチングは乾式エッチングが好ましく、保護膜70と低誘電率絶縁膜73との間にエッチング選択比を有するエッチング条件を適用しなければならない。エッチング気体としては、 $SF_6 + O_2$ 、 $CF_4 + O_2$ 又は $C_2F_6 + O_2$ などのようなフッ素置換気体と酸素とを混合した気体を用いることができ、組成比は、低誘電率絶縁膜73の形成条件によって可変的である。

20

#### 【0096】

最後に、感光膜パターンを除去した後に、図11乃至図13に示したように、400乃至500の厚さのITO又はIZOを蒸着し、第4マスクを用いてエッチングして、ドレーン電極66及び維持蓄電器用導電体パターン64に連結された画素電極82、ゲートパッド24に連結された補助ゲートパッド84、及びデータパッド68に連結された補助データパッド88を形成する。

30

#### 【0097】

このような本発明の第2実施例では、第1実施例による効果だけでなく、データ配線62、64、65、66、68、その下部の接触層パターン55、56、58、及び半導体パターン42、48を一つのマスクを用いて形成し、この過程でソース電極65とドレーン電極66とが分離されるので、製造工程を単純化することができる。もちろん、第2実施例による液晶表示装置用薄膜トランジスタ基板の製造方法でも、封印材が形成される部分の感光膜パターンを薄く形成し、その部分から低誘電率絶縁膜73のみを除去して保護膜70を露出することができる。

#### 【0098】

このような製造工程によって完成した液晶表示装置用薄膜トランジスタ基板は、前述したように、フィルムに駆動集積回路が実装されているTCP又はCOF方式を通じてパッド部と駆動集積回路とを連結することができ、駆動集積回路を基板の上部に直接実装するCOG方式を通じて駆動集積回路とパッドとを電気的に連結することができる。

40

#### 【図面の簡単な説明】

#### 【0099】

【図1a】本発明の第1実施例による半導体素子の接触部の製造方法を工程順序にしたがって示した断面図である。乃至

【図1b】本発明の第1実施例による半導体素子の接触部の製造方法を工程順序にしたがって示した断面図である。乃至

【図1c】本発明の第1実施例による半導体素子の接触部の製造方法を工程順序にしたが

50



って示した断面図である。乃至

【図 1 d】本発明の第 1 実施例による半導体素子の接触部の製造方法を工程順序にしたがって示した断面図である。乃至

【図 1 e】本発明の第 1 実施例による半導体素子の接触部の製造方法を工程順序にしたがって示した断面図である。

【図 2 a】本発明の第 2 実施例による半導体素子の接触部の製造方法を工程順序にしたがって示した断面図である。

【図 2 b】本発明の第 2 実施例による半導体素子の接触部の製造方法を工程順序にしたがって示した断面図である。

【図 2 c】本発明の第 2 実施例による半導体素子の接触部の製造方法を工程順序にしたがって示した断面図である。

10

【図 2 d】本発明の第 2 実施例による半導体素子の接触部の製造方法を工程順序にしたがって示した断面図である。

【図 3】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタアレイ基板である。

【図 4】図 3 に示した薄膜トランジスタ基板の I V - I V ' 線の断面図である。

【図 5 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程での薄膜トランジスタ基板の配置図である。

【図 5 b】図 5 a の V b - V b ' 線の断面図である。

【図 6 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程での薄膜トランジスタ基板の配置図である。

20

【図 6 b】図 6 a の V I b - V I b ' 線の断面図であって、図 5 b の次の段階を示した断面図である。

【図 7 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程での薄膜トランジスタ基板の配置図である。

【図 7 b】図 7 a の V I I b - V I I b ' 線の断面図であって、図 6 b の次の段階を示した断面図である。

【図 8 a】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程での薄膜トランジスタ基板の配置図である。

【図 8 b】図 8 a の V I I I b - V I I I b ' 線の断面図であって、図 7 b の次の段階を示した断面図である。

30

【図 8 c】本発明の第 1 実施例による液晶表示装置用薄膜トランジスタアレイ基板において、封印材が形成される部分を示した断面図である。

【図 9】図 8 a の V I I I b - V I I I b ' 線の断面図であって、図 8 b の次の段階を示した断面図である。

【図 10 a】図 8 a の V I I I b - V I I I b ' 線の断面図であって、図 9 b の次の段階を示した断面図である。

【図 10 b】図 8 c の次の段階を示した断面図である。

【図 11】本発明の第 2 実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図 12】図 11 に示した薄膜トランジスタ基板の X I I - X I I ' 線の断面図である。

40

【図 13】図 11 に示した薄膜トランジスタ基板の X I I I - X I I I ' 線の断面図である。

【図 14 a】本発明の第 2 実施例によって製造する最初の段階での薄膜トランジスタ基板の配置図である。

【図 14 b】図 14 a の X I V b - X I V b ' 線の断面図である。

【図 14 c】図 14 a の X I V c - X I V c ' 線の断面図である。

【図 15 a】図 14 a の X I V b - X I V b ' 線の断面図であって、図 14 b 及び図 14 c の次の段階での断面図である。及び

【図 15 b】図 14 a の X I V c - X I V c ' 線の断面図であって、図 14 b 及び図 14 c の次の段階での断面図である。

50

【図16a】図15a及び15bの次の段階での薄膜トランジスタ基板の配置図である。

【図16b】図16aのXVIb-XVIb'線の断面図である。

【図16c】図16aのXVIc-XVIc'線の断面図である。

【図17a】図16aのXVIb-XVIb'線の断面図であって、図16b及び16cの次の段階を工程順序にしたがって示したものである。

【図17b】図16aのXVIc-XVIc'線の断面図であって、図16b及び16cの次の段階を工程順序にしたがって示したものである。

【図18a】図16aのXVIb-XVIb'線の断面図であって、図16b及び16cの次の段階を工程順序にしたがって示したものである。

【図18b】図16aのXVIc-XVIc'線の断面図であって、図16b及び16cの次の段階を工程順序にしたがって示したものである。

10

【図19a】図16aのXVIb-XVIb'線の断面図であって、図16b及び16cの次の段階を工程順序にしたがって示したものである。

【図19b】図16aのXVIc-XVIc'線の断面図であって、図16b及び16cの次の段階を工程順序にしたがって示したものである。

【図20a】図19a及び19bの次の段階での薄膜トランジスタ基板の配置図である。

【図20b】図20aのXXb-XXb'線の断面図である。

【図20c】図20aのXXc-XXc'線の断面図である。

【図21a】図20aのXXb-XXb'線の断面図であって、図20b及び20cの次の段階を工程順序にしたがって示したものである。

20

【図21b】図20aのXXc-XXc'線の断面図であって、図20b及び20cの次の段階を工程順序にしたがって示したものである。

【符号の説明】

【0100】

10 絶縁基板

22 ゲート線

24 ゲートパッド

26 ゲート電極

30 ゲート絶縁膜

40 半導体層

30

50 非晶質シリコン層

55、54、56 抵抗接触層

60 導電体層

62 データ線

65 ソース電極

66 ドレイン電極

68 データパッド

70 保護膜

72、74、76、78、330 接触孔

73 低誘電率絶縁膜

40

75、320 有機絶縁膜

82 画素電極

84 補助ゲートパッド

88 補助データパッド

100 基板

110、112、114 感光膜

200 第1配線

300 層間絶縁膜

310 下部絶縁膜

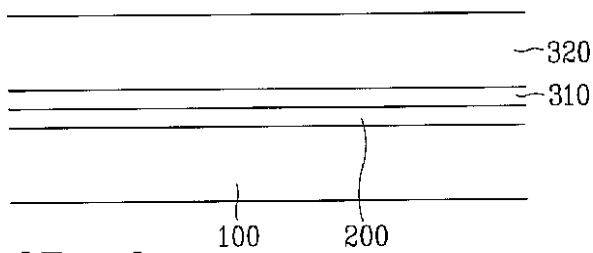
320 上部絶縁膜(有機絶縁膜)

50

4 0 0 第 2 配 線

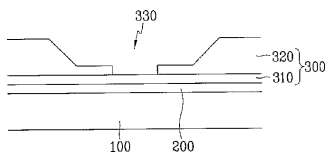
【 図 1 A 】

FIG. 1A



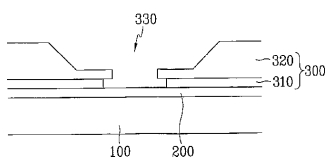
【 図 1 B 】

FIG. 1B



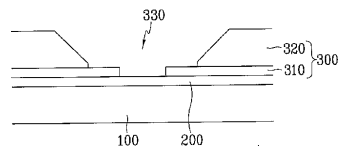
【 図 1 C 】

FIG. 1C



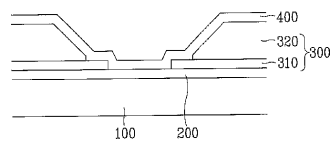
【 図 1 D 】

FIG. 1D



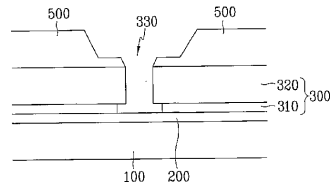
【 図 1 E 】

FIG. 1E



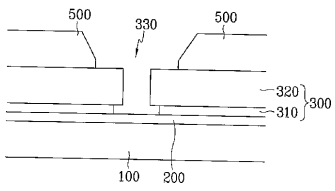
【 図 2 A 】

FIG. 2A



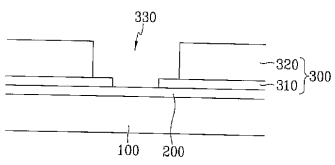
【 2 B 】

FIG. 2B



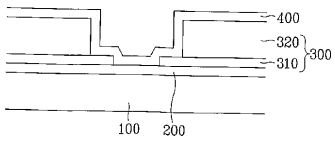
【 2 C 】

FIG. 2C



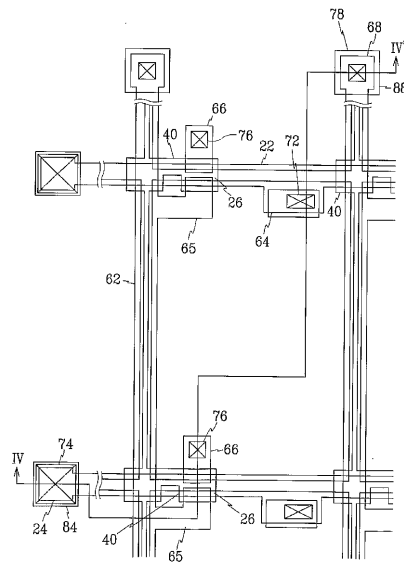
【 2 D 】

FIG. 2D



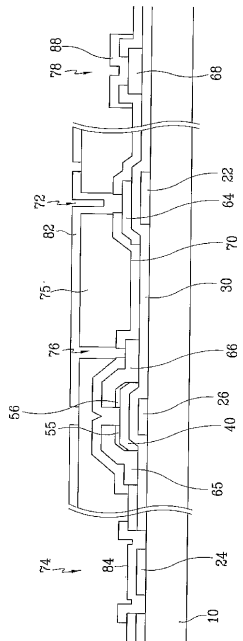
【 3 】

FIG. 3



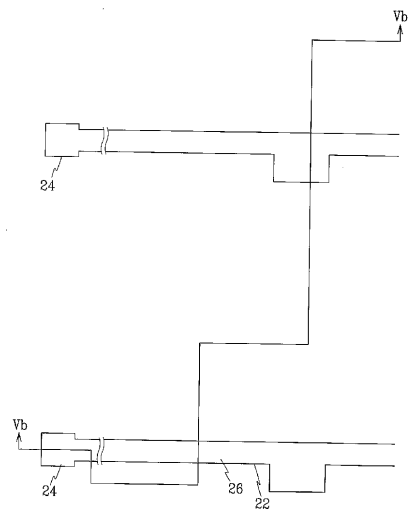
【 4 】

FIG. 4



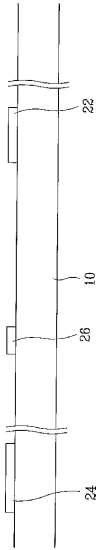
【 5 A 】

FIG. 5A



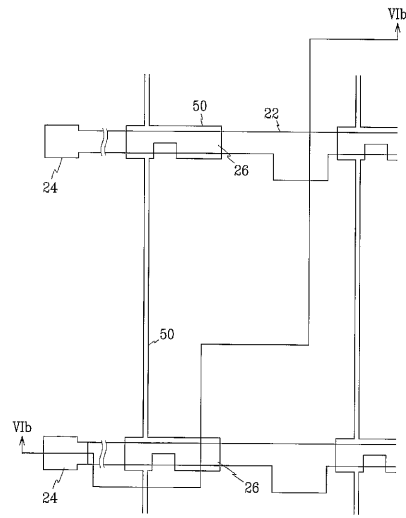
【 5 B 】

FIG. 5B



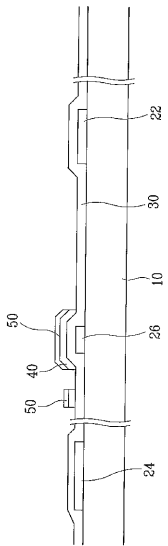
【 6 A 】

FIG. 6A



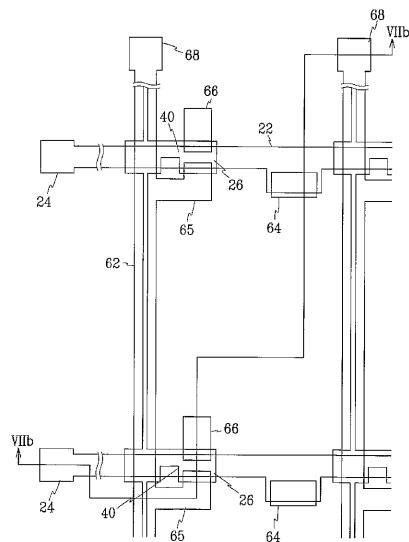
【 6 B 】

FIG. 6B



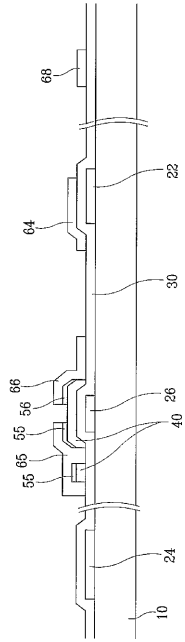
【 7 A 】

FIG. 7A



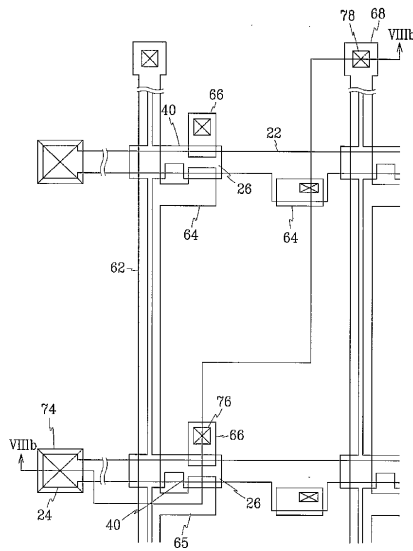
【 7 B 】

FIG. 7B



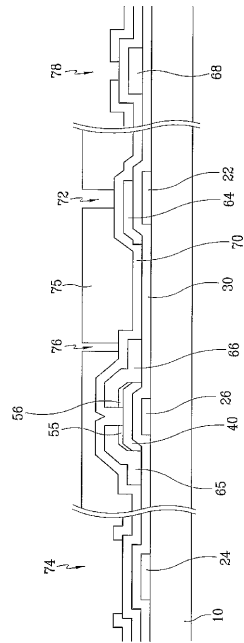
【 8 A 】

FIG. 8A



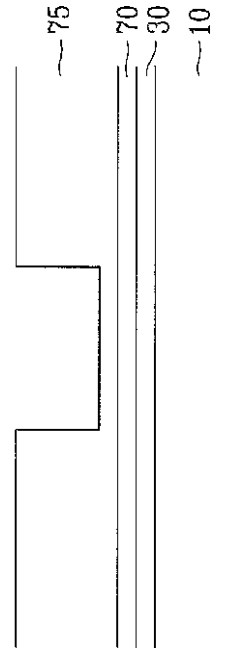
【 8 B 】

FIG. 8B



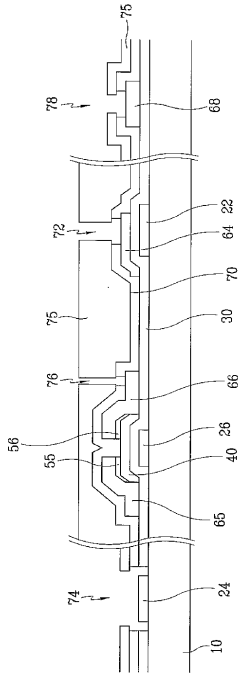
【 8 C 】

FIG. 8C



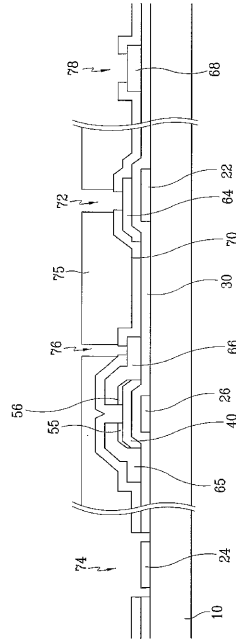
【図9】

FIG. 9



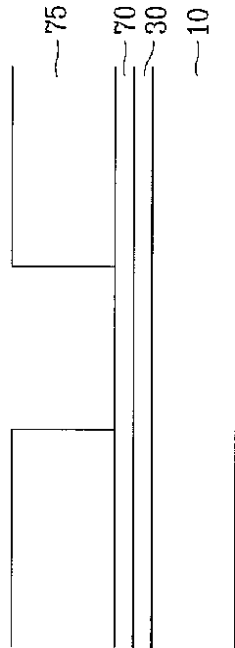
【図10A】

FIG. 10A



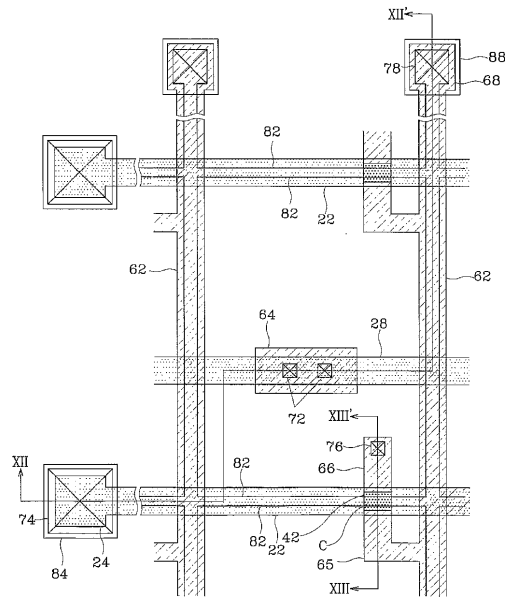
【図10B】

FIG. 10B



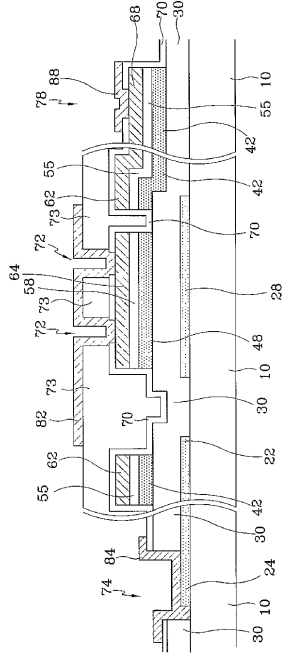
【図11】

FIG. 11



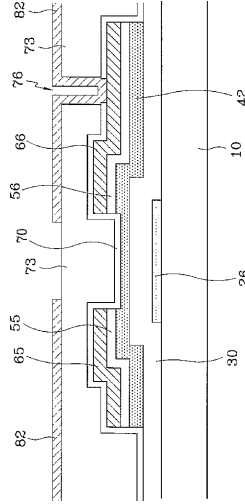
【 1 2 】

FIG. 12



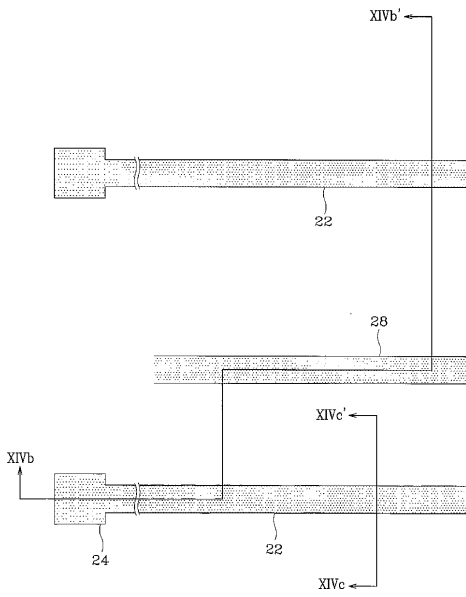
【 1 3 】

FIG. 13



【 1 4 A 】

FIG. 14A



【 1 4 B 】

FIG. 14B

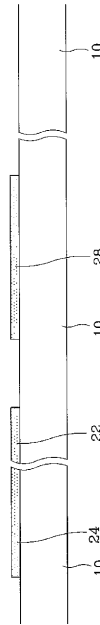




FIG. 14C

【 14 C 】

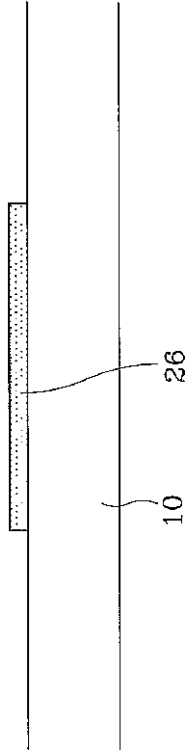


FIG. 15A

【 15 A 】

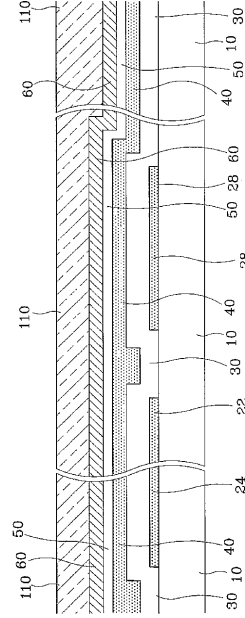


FIG. 15B

【 15 B 】

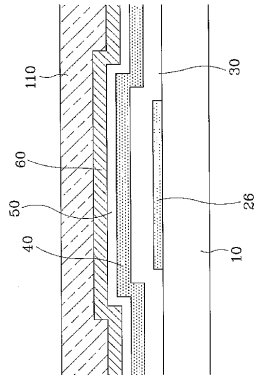


FIG. 16A

【 16 A 】

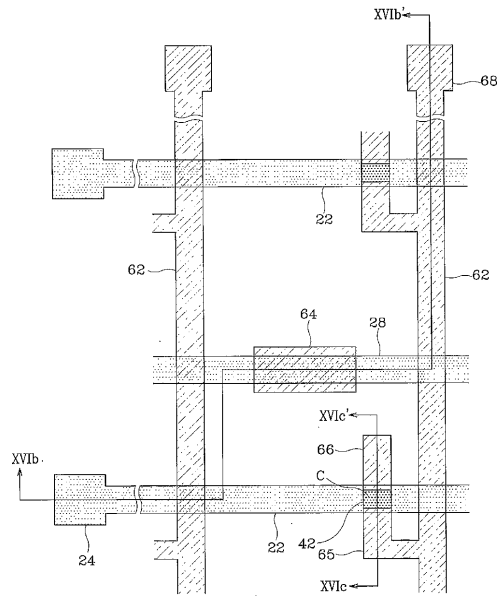


FIG. 16B

【 16 B 】

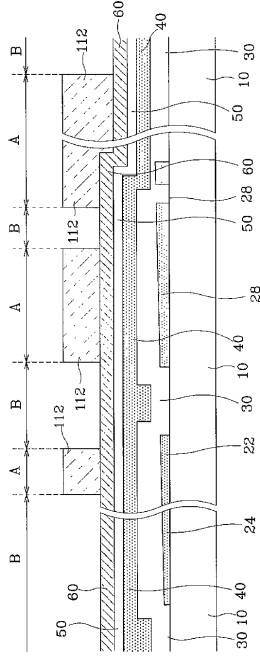


FIG. 16C

【 16 C 】

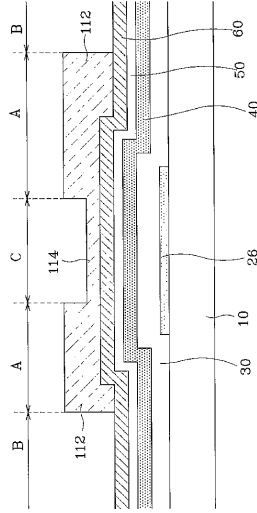


FIG. 17A

【 17 A 】

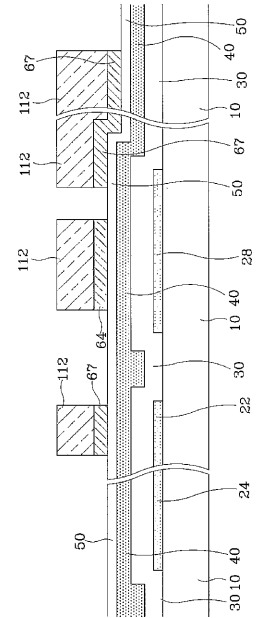
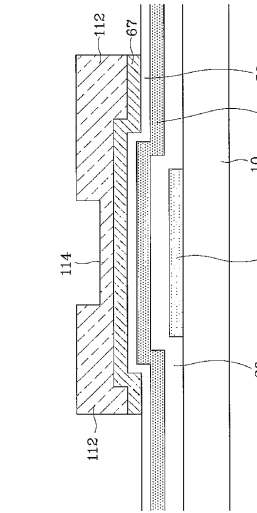


FIG. 17B

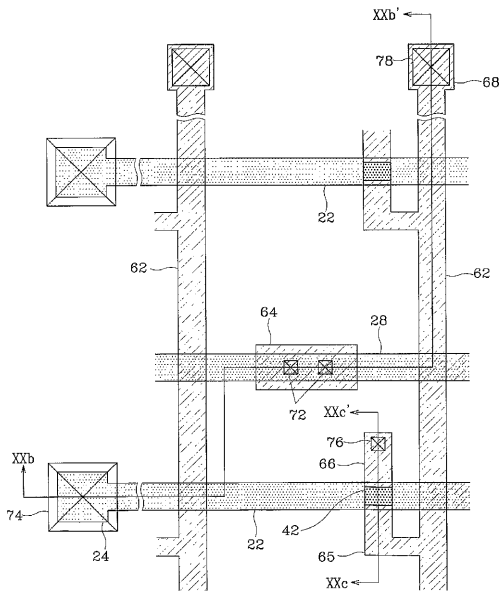
【 17 B 】





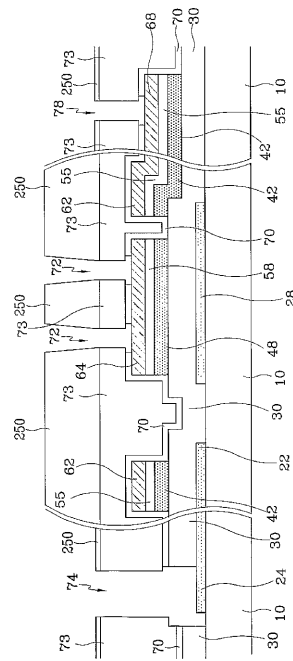
【 20 A 】

FIG.20A



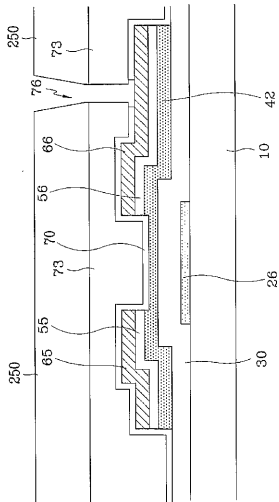
【 20 B 】

FIG. 20B



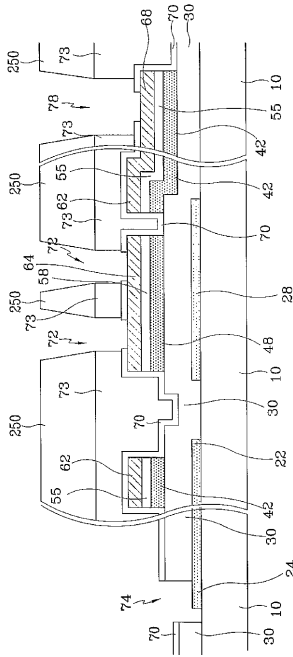
【 20 C 】

FIG. 20C



【 21 A 】

FIG. 21A




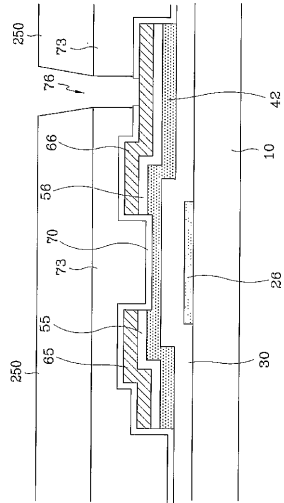
【 2 1 B】

FIG. 21B



## フロントページの続き

(51)Int.Cl. F I  
**H 0 1 L 21/336 (2006.01)** H 0 1 L 29/78 6 1 2 D

(72)発明者 ジュン,カン-ウック  
 大韓民国,キョンギ-ド,442-726 スウォン-シティ,パルダル-グ,ヨントン-ドン,  
 911-1502 ビョクゾクゴル ジュコン アパート

(72)発明者 ホン,ワン-シク  
 大韓民国,ソウル 137-060,ソチョ-グ,バンベ-ドン,1038,104-402 デ  
 ウ ヒョリョン アパート

(72)発明者 キム,サン-ガブ  
 大韓民国,ソウル 134-070,カンドン-グ,ミュンイル-ドン,309-1,205-9  
 13 サミク アパート

(72)発明者 ホン,ムン-ピョ  
 大韓民国,キョンギ-ド,463-781 ソンナム-シティ,ブンダン-グ,スネ-ドン,40  
 1-2202 ブルン マウル サンヨン アパート

審査官 河本 充雄

(56)参考文献 特開平02-028923(JP,A)  
 特開平08-107143(JP,A)  
 特開平10-041519(JP,A)  
 特開2000-347173(JP,A)  
 特開平10-092926(JP,A)  
 特開2001-230321(JP,A)  
 特開2001-033826(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/28-21/288  
 H01L 21/3205  
 H01L 21/3213  
 H01L 21/44-21/445  
 H01L 21/768  
 H01L 23/52-23/522  
 H01L 29/40-29/49  
 H01L 29/872  
 H01L 21/336  
 H01L 29/786  
 G02F 1/1345  
 G02F 1/1368