



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월25일
(11) 등록번호 10-1017226
(24) 등록일자 2011년02월17일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2003-0022263
(22) 출원일자 2003년04월09일
심사청구일자 2008년04월08일
(65) 공개번호 10-2003-0081104
(43) 공개일자 2003년10월17일

(30) 우선권주장

JP-P-2002-00107197 2002년04월09일 일본(JP)

(56) 선행기술조사문헌

US20010005606 A1
US20010051416 A1

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

무라카미, 사토시

일본 243-0036 가나가와Ken, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이에네루기 켄큐쇼내

하야카와, 마사히코

일본 243-0036 가나가와Ken, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이에네루기 켄큐쇼내

야마자키, 순페이

일본 243-0036 가나가와Ken, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이에네루기 켄큐쇼내

(74) 대리인

장훈

심사관 : 김태훈

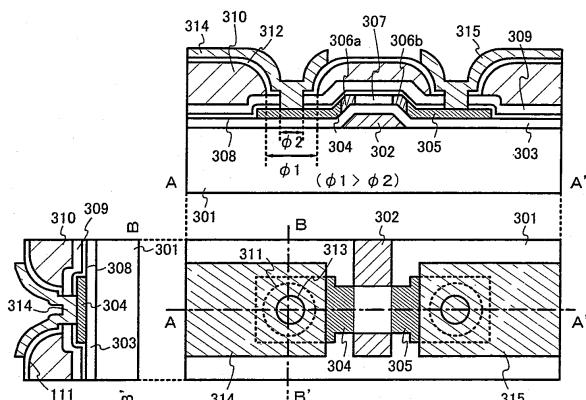
전체 청구항 수 : 총 48 항

(54) 반도체 소자 및 이를 이용한 표시 장치

(57) 요 약

활성층을 갖는 반도체와; 반도체에 접속된 게이트 절연막과; 게이트 절연막을 통해 활성층과 대향된 게이트 전극과; 활성층 상에 형성된 제 1 질화 절연막과; 제 1 질화 절연막 상에 형성된 감광성 유기 수지막과; 제 2 질화 절연막 상에 제공된 배선을 포함하는 반도체 소자가 제공되며, 제 1 개구부가 감광성 유기 수지막에 제공되고, 제 1 개구부의 내부 벽 표면은 제 2 질화 절연막으로 도포되며, 제 2 개구부는 제 1 개구부 내부에 게이트 절연막, 제 1 질화 절연막, 및 제 2 질화 절연막을 포함하는 적층체(laminate)로 제공되고, 반도체는 제 1 개구부와 제 2 개구부를 통해서 배선과 연결된다.

대 표 도 - 도12



특허청구의 범위

청구항 1

반도체 소자에 있어서:

활성층을 가진 반도체;

상기 반도체와 접하는 게이트 절연막;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극;

상기 활성층 위에 형성된 제 1 질화 절연막;

상기 제 1 질화 절연막 위에 형성된 감광성 유기 수지막;

상기 감광성 유기 수지막 위에 형성된 제 2 질화 절연막;

상기 제 2 질화 절연막 위에 설치된 배선; 및

상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 감광성 유기 수지막에 설치되고, 상기 제 1 개구부의 내벽 표면이 상기 제 2 질화 절연막으로 덮이고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 질화 절연막, 및 상기 제 2 질화 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선에 접속된, 반도체 소자.

청구항 2

반도체 소자에 있어서:

활성층을 가진 반도체;

상기 반도체와 접하는 게이트 절연막;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극;

상기 활성층 위에 형성된 제 1 질화 절연막;

상기 제 1 질화 절연막 위에 형성된 감광성 유기 수지막;

상기 감광성 유기 수지막 위에 형성된 제 2 질화 절연막;

상기 제 2 질화 절연막 상에 설치된 배선; 및

상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 감광성 유기 수지막에 설치되고, 상기 제 1 개구부의 내벽 표면이 상기 제 2 질화 절연막으로 덮이고, 상기 제 1 질화 절연막과 상기 제 2 질화 절연막은 상기 제 1 개구부의 바닥에서 길이가 $0.3 \mu\text{m} \sim 3 \mu\text{m}$ 의 영역에서 서로 접하고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 질화 절연막, 및 상기 제 2 질화 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선에 접속된, 반도체 소자.

청구항 3

반도체 소자에 있어서:

활성층을 가진 반도체;

상기 반도체와 접하는 게이트 절연막;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극;

상기 활성층 위에 형성된 제 1 질화 절연막;

상기 제 1 질화 절연막 위에 형성된 포지티브 타입의 감광성 아크릴막;

상기 포지티브 타입의 감광성 아크릴막 위에 형성된 제 2 질화 절연막;

상기 제 2 질화 절연막 위에 설치된 배선; 및

상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 포지티브 타입의 감광성 아크릴막에 설치되고, 상기 제 1 개구부의 내벽 표면이 상기 제 2 질화 절연막으로 덮이고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 질화 절연막, 및 상기 제 2 질화 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선에 접속된, 반도체 소자.

청구항 4

반도체 소자에 있어서:

활성층을 가진 반도체;

상기 반도체와 접하는 게이트 절연막;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극;

상기 활성층 위에 형성된 제 1 질화 절연막;

상기 제 1 질화 절연막 위에 형성된 포지티브 타입의 감광성 아크릴막;

상기 포지티브 타입의 감광성 아크릴막 위에 형성된 제 2 질화 절연막;

상기 제 2 질화 절연막 위에 설치된 배선; 및

상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 포지티브 타입의 감광성 아크릴 막에 설치되고, 상기 제 1 개구부의 내벽 표면이 상기 제 2 질화 절연막으로 덮이고, 상기 제 1 질화 절연막과 상기 제 2 질화 절연막은 상기 제 1 개구부의 바닥에서 길이가 $0.3 \mu\text{m} \sim 3 \mu\text{m}$ 의 영역에서 서로 접하고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 질화 절연막, 및 상기 제 2 질화 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선에 접속된, 반도체 소자.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 질화 절연막과 상기 제 2 질화 절연막 각각은 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막, 및 산화질화 알루미늄막으로 구성된 그룹으로부터 선택된 하나인, 반도체 소자.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 인, 반도체 소자.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 의 범위에서 연속적으로 변화하는, 반도체 소자.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제 1 항 또는 제 2 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 질화 절연막과 상기 감광성 유기 수지막에 의해 형성된 접촉각(θ)은 $30^\circ < \theta < 65^\circ$ 를 만족하는, 반도체 소자.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

복수의 화소들을 포함하는 화소부를 포함하는 표시 장치에 있어서,

상기 화소들의 각각에서 반도체 소자 및 상기 반도체 소자에 접속된 저장 커패시터가 기판 상에 설치되고,

상기 반도체 소자는: 활성층을 가진 반도체; 상기 반도체와 접하는 게이트 절연막; 상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극; 상기 활성층 위에 형성된 제 1 질화 절연막; 상기 제 1 질화 절연막 상에 형성된 감광성 유기 수지막; 상기 감광성 유기 수지막 상에 형성된 제 2 질화 절연막; 상기 제 2 질화 절연막 상에 설치된 배선; 및 상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 감광성 유기 수지막에 설치되고, 상기 제 1 개구부의 내벽 표면이 상기 제 2 질화 절연막으로 덮이고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 질화 절연막, 및 상기 제 2 질화 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선에 접속되고,

상기 저장 커패시터는 상기 제 1 질화 절연막과 상기 제 2 질화 절연막을 유전체들로서 포함하는, 표시 장치.

청구항 22

복수의 화소들을 포함하는 화소부를 포함하는 표시 장치에 있어서,

상기 화소들의 각각에서 반도체 소자 및 상기 반도체 소자에 접속된 저장 커패시터가 기판 상에 설치되고,

상기 반도체 소자는: 활성층을 가진 반도체; 상기 반도체와 접하는 게이트 절연막; 상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극; 상기 활성층 위에 형성된 제 1 질화 절연막; 상기 제 1 질화 절연막 상에 형성된 감광성 유기 수지막; 상기 감광성 유기 수지막 상에 형성된 제 2 질화 절연막; 상기 제 2 질화 절연막 상에 설치된 배선; 및 상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 감광성 유기 수지막에 설치되고, 상기 제 1 개구부의 내벽 표면이 상기 제 2 질화 절연막으로 덮이고, 상기 제 1 질화 절연막과 상기 제 2 질화 절연막은 상기 제 1 개구부의 바닥에서 길이가 $0.3 \mu\text{m}$ ~ $3.0 \mu\text{m}$ 의 영역에서 서로 접하고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 질화 절연막, 및 상기 제 2 질화 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선에 접속되고,

상기 저장 커패시터는 상기 제 1 질화 절연막과 상기 제 2 질화 절연막을 유전체들로서 포함하는, 표시 장치.

청구항 23

복수의 화소들을 포함하는 화소부를 포함하는 표시 장치에 있어서,

상기 화소들의 각각에서 반도체 소자 및 상기 반도체 소자에 접속된 저장 커패시터가 기판 상에 설치되고,

상기 반도체 소자는: 활성층을 가진 반도체; 상기 반도체와 접하는 게이트 절연막; 상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극; 상기 활성층 위에 형성된 제 1 질화 절연막; 상기 제 1 질화 절연막 상에 형성된 포지티브 타입의 감광성 아크릴막; 상기 포지티브 타입의 감광성 아크릴막 상에 형성된 제 2 질화 절연막; 상기 제 2 질화 절연막 상에 설치된 배선; 및 상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 포지티브 타입의 감광성 아크릴막에 설치되고, 상기 제 1 개구부의 내벽 표면이 상기 제 2 질화 절연막으로 덮이고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 질화 절연막, 및 상기 제 2 질화 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선에 접속되고,

상기 저장 커패시터는 상기 제 1 질화 절연막과 상기 제 2 질화 절연막을 유전체들로서 포함하는, 표시 장치.

청구항 24

복수의 화소들을 포함하는 화소부를 포함하는 표시 장치에 있어서,

상기 화소들의 각각에서 반도체 소자 및 상기 반도체 소자에 접속된 저장 커패시터가 기판 상에 설치되고,

상기 반도체 소자는: 활성층을 가진 반도체; 상기 반도체와 접하는 게이트 절연막; 상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극; 상기 활성층 위에 형성된 제 1 질화 절연막; 상기 제 1 질화 절연막 상에 형성된 포지티브 타입의 감광성 아크릴막; 상기 포지티브 타입의 감광성 아크릴막 상에 형성된 제 2 질화 절연막; 상기 제 2 질화 절연막 상에 설치된 배선; 및 상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 포지티브 타입의 감광성 아크릴 막에 설치되고, 상기 제 1 개구부의 내벽 표면이 상기 제 2 질화 절연막으로 덮이고, 상기 제 1 질화 절연막과 상기 제 2 질화 절연막은 상기 제 1 개구부의 바닥에서 길이가 $0.3 \mu\text{m}$ ~ $3 \mu\text{m}$ 의 영역에서 서로 접하고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 질화 절연막, 및 상기 제 2 질화 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선에 접속되고,

상기 저장 커패시터는 상기 제 1 질화 절연막과 상기 제 2 질화 절연막을 유전체들로서 포함하는, 표시 장치.

청구항 25

제 21 항 내지 제 24 항 중 어느 한 항에 있어서,

상기 제 1 질화 절연막과 상기 제 2 질화 절연막 각각은 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막, 및 산화질화 알루미늄막으로 구성된 그룹으로부터 선택된 하나인, 표시 장치.

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

제 21 항 내지 제 24 항 중 어느 한 항에 있어서, 상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 인, 표시 장치.

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

제 21 항 내지 제 24 항 중 어느 한 항에 있어서, 상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 의 범위에서 연속적으로 변화하는, 표시 장치.

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

제 21 항 또는 제 22 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 질화 절연막과 상기 감광성 유기 수지막에 의해 형성된 접촉각(θ)은 $30^\circ < \theta < 65^\circ$ 을 만족하는, 표시 장치.

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

반도체 소자를 제조하는 방법에 있어서:

활성층을 가진 반도체를 형성하는 단계;

상기 반도체와 접하는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극을 형성하는 단계;

상기 활성층 위에 형성된 제 1 질화 절연막을 형성하는 단계;

상기 제 1 질화 절연막 위에 형성된 감광성 유기 수지막을 형성하는 단계;

상기 감광성 유기 수지막에 제 1 개구부를 형성하는 단계;

상기 감광성 유기 수지막 및 상기 제 1 개구부 위에 제 2 질화 절연막을 형성하는 단계;

상기 제 1 개구부 내부의 상기 게이트 절연막, 상기 제 1 질화 절연막 및 상기 제 2 질화 절연막에 제 2 개구부를 형성하는 단계; 및

상기 제 1 개구부 및 상기 제 2 개구부를 통해 상기 반도체와 접하는, 상기 제 2 질화 절연막 위에 설치된 배선을 형성하는 단계를 포함하는, 반도체 소자 제조 방법.

청구항 42

반도체 소자를 제조하는 방법에 있어서:

활성층을 가진 반도체를 형성하는 단계;

상기 반도체와 접하는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극을 형성하는 단계;

상기 활성층 위에 형성된 제 1 질화 절연막을 형성하는 단계;

상기 제 1 질화 절연막 위에 형성된 감광성 유기 수지막을 형성하는 단계;

상기 감광성 유기 수지막에 제 1 개구부를 형성하는 단계;

상기 감광성 유기 수지막 및 상기 제 1 개구부 위에 제 2 질화 절연막을 형성하는 단계;

상기 제 1 개구부 내부의 상기 게이트 절연막, 상기 제 1 질화 절연막 및 상기 제 2 질화 절연막에 제 2 개구부를 형성하는 단계; 및

상기 제 1 개구부 및 상기 제 2 개구부를 통해 상기 반도체와 접하는, 상기 제 2 질화 절연막 위에 설치된 배선을 형성하는 단계를 포함하고,

상기 제 1 질화 절연막과 상기 제 2 질화 절연막은 상기 제 1 개구부의 바닥에서 길이가 $0.3 \mu\text{m}$ ~ $3 \mu\text{m}$ 의 영역에서 서로 접하는, 반도체 소자 제조 방법.

청구항 43

반도체 소자를 제조하는 방법에 있어서:

활성층을 가진 반도체를 형성하는 단계;

상기 반도체와 접하는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극을 형성하는 단계;

상기 활성층 위에 형성된 제 1 질화 절연막을 형성하는 단계;

상기 제 1 질화 절연막 위에 형성된 포지티브 타입의 감광성 유기 수지막을 형성하는 단계;

상기 포지티브 타입의 감광성 유기 수지막에 제 1 개구부를 형성하는 단계;

상기 포지티브 타입의 감광성 유기 수지막 및 상기 제 1 개구부 위에 제 2 질화 절연막을 형성하는 단계;

상기 제 1 개구부 내부의 상기 게이트 절연막, 상기 제 1 질화 절연막 및 상기 제 2 질화 절연막에 제 2 개구부를 형성하는 단계; 및

상기 제 1 개구부와 제 2 개구부를 통해 상기 반도체와 접하는, 상기 제 2 질화 절연막 위에 설치된 배선을 형성하는 단계를 포함하는, 반도체 소자 제조 방법.

청구항 44

반도체 소자를 제조하는 방법에 있어서:

활성층을 가진 반도체를 형성하는 단계;

상기 반도체와 접하는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극을 형성하는 단계;

상기 활성층 위에 형성된 제 1 질화 절연막을 형성하는 단계;

상기 제 1 질화 절연막 위에 형성된 포지티브 타입의 감광성 유기 수지막을 형성하는 단계;

상기 포지티브 타입의 감광성 유기 수지막에 제 1 개구부를 형성하는 단계;

상기 포지티브 타입의 감광성 유기 수지막 및 상기 제 1 개구부 위에 제 2 질화 절연막을 형성하는 단계;

상기 제 1 개구부 내부의 상기 게이트 절연막, 상기 제 1 질화 절연막 및 상기 제 2 질화 절연막에 제 2 개구부를 형성하는 단계; 및

상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 반도체에 접하는, 상기 제 2 질화 절연막 위에 설치된 배선을 형성하는 단계를 포함하고,

상기 제 1 질화 절연막과 상기 제 2 질화 절연막은 상기 제 1 개구부의 바닥에서 길이가 $0.3 \mu\text{m} \sim 3 \mu\text{m}$ 의 영역에서 서로 접하는, 반도체 소자 제조 방법.

청구항 45

제 41 항 내지 제 44 항 중 어느 한 항에 있어서, 상기 제 1 개구부는 습식 에칭에 의해 형성되는, 반도체 소자 제조 방법.

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

제 41 항 내지 제 44 항 중 어느 한 항에 있어서, 상기 제 2 개구부는 건식 에칭에 의해 형성되는, 반도체 소자 제조 방법.

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

제 41 항 또는 제 42 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 질화 절연막과 상기 감광성 유기 수지막에 의해 형성된 접촉각(Θ)은 $30^\circ < \Theta < 65^\circ$ 를 만족하는, 반도체 소자 제조 방법.

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

반도체 소자에 있어서:

활성층을 갖는 반도체;

상기 반도체와 접하는 게이트 절연막;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극;

상기 활성층 위에 형성된 제 1 절연막;

상기 제 1 절연막 위에 형성된 제 2 절연막;

상기 제 2 절연막 위에 형성된 제 3 절연막;

상기 제 3 절연막 위에 설치된 배선; 및

상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 제 2 절연막에 설치되고, 상기 제 1 개구부의 내벽 표면은 상기 제 3 절연막으로 덮이고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 절연막, 및 상기 제 3 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선과 접속되는, 반도체 소자.

청구항 58

반도체 소자에 있어서:

활성층을 갖는 반도체;

상기 반도체와 접하는 게이트 절연막;

상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극;

상기 활성층 위에 형성된 제 1 절연막;

상기 제 1 절연막 위에 형성된 제 2 절연막;

상기 제 2 절연막 위에 형성된 제 3 절연막;

상기 제 3 절연막 위에 설치된 배선; 및

상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 제 2 절연막에 설치되고, 상기 제 1 개구부의 내벽 표면은 상기 제 3 절연막으로 덮이고,

상기 제 1 절연막과 상기 제 3 절연막은 상기 제 1 개구부의 바닥에서 길이가 $0.3 \mu\text{m} \sim 3 \mu\text{m}$ 의 영역에서 서로 접하고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 절연막, 및 상기 제 3 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선과 접속되는, 반도체 소자.

청구항 59

제 57 항 또는 제 58 항에 있어서, 상기 제 2 절연막은 감광성 유기 수지막을 포함하는, 반도체 소자.

청구항 60

제 57 항 또는 제 58 항에 있어서, 상기 제 2 절연막은 포지티브 타입의 감광성 아크릴 수지막을 포함하는, 반도체 소자.

청구항 61

제 57 항 또는 제 58 항에 있어서, 상기 제 1 절연막과 상기 제 3 절연막 각각은 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막, 및 산화질화 알루미늄막으로 구성되는 그룹으로부터 선택된 하나인, 반도체 소자.

청구항 62

제 57 항 또는 제 58 항에 있어서, 상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 인, 반도체 소자.

청구항 63

제 57 항 또는 제 58 항에 있어서, 상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 의 범위에서 연속적으로 변화하는, 반도체 소자.

청구항 64

제 57 항 또는 제 58 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 질화 절연막과 상기 제 2 질화 절연막에 의해 형성된 접촉각(θ)은 $30^\circ < \theta < 65^\circ$ 를 만족하는, 반도체 소자.

청구항 65

복수의 화소들을 포함하는 화소부를 포함하는 표시 장치에 있어서,

상기 화소들 각각에 반도체 소자 및 상기 반도체 소자와 접속된 저장 커패시터가 기판 상에 설치되고,

상기 반도체 소자는: 활성층을 갖는 반도체; 상기 반도체와 접하는 게이트 절연막; 상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극; 상기 활성층 위에 형성된 제 1 절연막; 상기 제 1 절연막 상에 형성된 제 2 절연막; 상기 제 2 절연막 상에 형성된 제 3 절연막; 상기 제 3 절연막 상에 설치된 배선; 및 상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 제 2 절연막에 설치되고, 상기 제 1 개구부의 내벽 표면은 상기 제 3 절연막으로 덮이고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 절연막, 및 상기 제 3 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선과 접속되고,

상기 저장 커패시터는 상기 제 1 절연막과 상기 제 3 절연막을 유전체들로서 포함하는, 표시 장치.

청구항 66

복수의 화소들을 포함하는 화소부를 포함하는 표시 장치에 있어서,

상기 화소들 각각에 반도체 소자와 상기 반도체 소자와 접속된 저장 커패시터가 기판 상에 설치되고,

상기 반도체 소자는: 활성층을 갖는 반도체; 상기 반도체와 접하는 게이트 절연막; 상기 게이트 절연막을 통해 상기 활성층에 대향하는 게이트 전극; 상기 활성층 위에 형성된 제 1 절연막; 상기 제 1 절연막 상에 형성된 제 2 절연막; 상기 제 2 절연막 상에 형성된 제 3 절연막; 상기 제 3 절연막 상에 설치된 배선; 및 상기 배선 위의 화소 전극을 포함하고,

제 1 개구부가 상기 제 2 절연막에 설치되고, 상기 제 1 개구부의 내벽 표면은 상기 제 3 절연막으로 덮이고, 상기 제 1 절연막과 상기 제 3 절연막은 상기 제 1 개구부의 바닥에서 길이가 $0.3 \mu\text{m} \sim 3.0 \mu\text{m}$ 의 영역에서 서로 접하고, 제 2 개구부가 상기 제 1 개구부 내부에 상기 게이트 절연막, 상기 제 1 절연막, 및 상기 제 3 절연막을 포함하는 적층체에 설치되고, 상기 반도체는 상기 제 1 개구부와 상기 제 2 개구부를 통해 상기 배선과 접속되고,

상기 저장 커패시터는 상기 제 1 절연막과 상기 제 3 절연막을 유전체들로서 포함하는, 표시 장치.

청구항 67

제 65 항 또는 제 66 항에 있어서, 상기 제 2 절연막은 감광성 유기 수지막을 포함하는, 표시 장치.

청구항 68

제 65 항 또는 제 66 항에 있어서, 상기 제 2 절연막은 포지티브 타입의 감광성 아크릴 수지막을 포함하는, 표시 장치.

청구항 69

제 65 항 또는 제 66 항에 있어서, 상기 제 1 절연막과 상기 제 3 절연막 각각은 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막, 및 산화질화 알루미늄막으로 구성되는 그룹으로부터 선택된 하나인, 표시 장치.

청구항 70

제 65 항 또는 제 66 항에 있어서, 상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 인, 표시 장치.

청구항 71

제 65 항 또는 제 66 항에 있어서, 상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 의 범위에서 연속적으로 변화하는, 표시 장치.

청구항 72

제 65 항 또는 제 66 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 질화 절연막과 상기 제 2 질화 절연막에 의해 형성된 접촉각(θ)은 $30^\circ < \theta < 65^\circ$ 를 만족하는, 표시 장치.

청구항 73

표시 장치에 있어서:

기판 위에 설치된, 반도체막을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터 위에 형성된 제 1 절연막;

상기 제 1 절연막 위에 형성된 제 2 절연막;

상기 제 2 절연막 위에 형성된 제 3 절연막; 및

상기 제 3 절연막 위에 설치된 배선을 포함하고,

제 1 개구부가 상기 제 2 절연막에 설치되고,

제 2 개구부가 상기 제 1 개구부 내부의 상기 제 1 절연막에 설치되고,

상기 배선은 상기 제 1 개구부와 상기 제 2 개구부의 내벽 표면들을 덮고, 상기 반도체막과 접하고,

상기 제 3 절연막의 상면의 일부는 상기 제 1 개구부의 상기 배선과 접하고,

상기 제 1 개구부의 상단부의 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 의 범위에서 연속적으로 변화하는, 표시 장치.

청구항 74

제 73 항에 있어서, 상기 제 2 절연막은 감광성 유기 수지막을 포함하는, 표시 장치.

청구항 75

제 73 항에 있어서, 상기 제 2 절연막은 포지티브 타입의 감광성 아크릴 수지막을 포함하는, 표시 장치.

청구항 76

제 73 항에 있어서, 상기 제 1 절연막은 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막, 및 산화질화 알루미늄막으로 구성되는 그룹으로부터 선택된 하나인, 표시 장치.

청구항 77

제 73 항에 있어서, 상기 제 1 개구부의 상기 상단부의 상기 곡률 반경은 $3 \mu\text{m} \sim 30 \mu\text{m}$ 인, 표시 장치.

청구항 78

제 73 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 절연막과 상기 제 2 절연막에 의해 형성된 접촉각 (θ)은 $30^\circ < \theta < 65^\circ$ 를 만족하는, 표시 장치.

청구항 79

제 3 항 또는 제 4 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 절화 절연막과 상기 포지티브 타입의 감광성 아크릴막에 의해 형성된 접촉각(θ)은 $30^\circ < \theta < 65^\circ$ 를 만족하는, 반도체 소자.

청구항 80

제 23 항 또는 제 24 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 절화 절연막과 상기 포지티브 타입의 감광성 아크릴막에 의해 형성된 접촉각(θ)은 $30^\circ < \theta < 65^\circ$ 를 만족하는, 표시 장치.

청구항 81

제 43 항 또는 제 44 항에 있어서, 상기 제 1 개구부의 하단부의 상기 제 1 절화 절연막과 상기 포지티브 타입의 감광성 유기 수지막에 의해 형성된 접촉각(θ)은 $30^\circ < \theta < 65^\circ$ 를 만족하는, 반도체 소자 제조 방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술****[0022] 발명의 분야**

본 발명은 반도체 소자(전형적으로, 트랜지스터) 및 이를 제조하는 방법에 관한 것이며, 보다 구체적으로 디바이스로서 박막 트랜지스터를 사용하는 표시 장치의 기술에 속한 것이다. 즉, 본 발명은 액정 표시 장치, 전기 루미네센스(electroluminescence) 표시 장치 등에 의해 대표되는 표시 장치에 관한 기술, CMOS 센서 등에 의해 대표되는 센서에 관한 기술, 그리고 반도체 집적 회로가 장착되는 다양한 반도체 디바이스들에 관한 다른 기술들에 속한 것이다.

[0024] 관련 기술의 설명

최근에, 박막 트랜지스터들(TFT들)이 유리 기판 상에 집적되는 액정 표시 장치 및 전자 루미네센스 표시 장치에 대한 개발들이 진행되어왔다. 이 표시 장치들 각각은 박막 트랜지스터들이 박막 형성 기술을 사용하여 유리 기판 상에 형성되며, 액정 소자 또는 전자 루미네센스(이하에서 단지 EL로 불림) 소자는 표시 장치로서의 기능이 제공되도록 박막 트랜지스터들로 이루어진 다양한 회로들 상에 형성되는 것을 특징으로 하는 반도체 디바이스들 중 하나이다.

박막 트랜지스터들로 이루어진 회로들은 어느 정도까지는 비평탄성을 일으킨다. 따라서, 액정 소자 또는 EL 소자가 회로들 상에 형성될 때, 유기 수지막 등을 사용하는 평탄화 처리(Leveling processing)가 일반적으로 행해진다. 표시 장치의 디스플레이부에 제공되는 각 화소는 그 안에 화소 전극을 갖는다. 화소 전극은 평탄화를 위

해 상술된 유기 수지막에 제공된 콘택트 홀을 통해 박막 트랜지스터에 접속된다.

[0027] 그러나, 다음의 사실들은 본 출원인의 연구에 의해 알려졌다. 즉, 수지막이 충간 절연막으로서 사용되며 콘택트 홀이 전식 에칭 기술을 사용하여 형성될 때, 완성된 박막 트랜지스터들의 임계 전압(V_{th})은 크게 변하게 된다. 예를 들어, 도 4a 및 도 4b에 도시된 데이터는 SOI 기판 상에 형성된 박막 트랜지스터들의 임계 전압들에서의 변화에 대해 조사된 결과들이다. 도면들에서, 검은 원형 마크는 질화 실리콘막(SiN)과 아크릴막의 적층체 구조가 충간 절연막으로 사용되는 경우를 나타낸다. 게다가, 도면들에서 아웃라인 삼각 마크는 질화산화 실리콘 막(SiNO) 및 산화질화 실리콘막(SiON)의 적층체 구조가 충간 절연막으로 사용되는 경우를 나타낸다. 임의의 경우에, 전식 에칭 기술은 콘택트 홀의 형성을 위해 사용된다. "SiNO" 및 "SiON"은 전자가 산소보다 더 많은 질소의 양을 함유하며, 후자는 질소보다 더 많은 산소의 양을 함유한다는 의미에 따라 별개로 사용됨에 유념하라.

[0028] 도 4a 및 도 4b에 도시된 데이터는 통계 처리를 사용하여 임계 전압들의 변화를 평가함으로써 얻어진 그래프들이다. 세로 좌표는 채널 길이(캐리어 이동 길이)를 나타내며, 가로 좌표는 V_{th} 변화를 나타낸다. 최근에, "4분위(quartile) 편차"는 통계 처리로서 알려져 있다. 4분위 편차는 정규 확률 그래프에서의 25%의 값과 75%의 값 사이의 차이며, 비정상적인 값에 의해 영향을 받지 않는 통계 처리로서 주목되어 왔다. 본 출원인은 4분위 편차(25% 편차로도 불리는)에 기초하여, 16% 편차로서 16%의 값과 84%의 값 사이의 차를 규정하며, 가로 좌표에서 그 값을 "V_{th} 편차"로 플롯한다. 16% 편차는 정규 확률 분포에서 ±σ에 해당함을 유념하라. 따라서, 각각 인자들을 승산하여 ±3σ로 추정된 값들은 데이터 플로팅으로 사용된다. 아크릴막이 충간 절연막으로서 사용될 때, 데이터에서 알 수 있는 바와 같이, 변화는 n-채널 TFT에서 약 4배이며, 변화는 p-채널 TFT에서 아크릴막을 사용하지 않는 경우 약 2배이다. 따라서, 아크릴막이 사용되는 경우가 변화가 더 큼을 알 수 있다. 본 출원인은 전식 에칭시 플라즈마 손상에 의해 아크릴막에서 전하가 포착되며, 그것에 의해 임계 전압을 변화시키는 요인을 제공됨을 추정한다.

발명이 이루고자 하는 기술적 과제

[0029] 본 발명은 상술된 문제점을 고려하여 실행되며, 충간 절연막으로서 유기 수지막을 사용하여 표시 장치를 제조할 때 그 임계 전압을 변화시키지 않고 박막 트랜지스터를 제공하는 기술을 제공하며, 표시 장치의 동작 성능의 안정성의 향상 및 회로 설계시 설계 마진의 확장을 달성하는 것을 목적으로 한다. 게다가, 본 발명의 또 다른 목적은 표시 장치의 화질의 향상을 달성하는 것이다.

[0030] 본 발명은 다음의 수단에 의해 상기 문제점을 해결하는 것을 특징으로 한다. 즉, 감광성의 유기 수지막(바람직하게, 감광성의 아크릴막, 특히, 포지티브 타입의 감광성의 아크릴막)이 유기 수지막으로서 사용되며, 제 1 개구는 감광성의 유기 수지막에 형성되며, 제 1 개구를 덮고 있는 질화 절연막이 형성되며, 제 2 개구는 포토레지스트 등을 사용하여 질화 절연막으로 형성되며, 유기 수지막이 협착되도록 위치한 상부 전극 및 하부 전극은 서로 전기적으로 접속되는 이러한 특징을 갖는다. 포지티브 타입의 감광성 아크릴막이 사용될 때, 이는 일반적으로 밝은 갈색으로 채색되어 있음에 유념하라. 따라서, 제 1 개구가 제공된 후 가시광에 대해 투명하게 되도록 탈색(decolorization) 처리(표백(bleaching) 처리)가 행해질 필요가 있다. 탈색 처리에서는, 현상 후 전체 패턴에 대한 노출을 위해 사용되는 광(전형적으로, 자외선광)이 조사되는 것이 바람직하다.

[0031] 본 발명은 도 1a 및 도 1b를 사용하여 기술될 것이다. 도 1a에서, 참조 번호 101은 기판을 나타내며, 102는 하지막(base film)을 나타내며, 103은 소스 영역을 나타내며, 104는 드레인 영역을 나타내며, 105는 채널 형성 영역을 나타낸다. 하지 막(102) 상에 제공되는 소스 영역, 드레인 영역 및 채널 형성 영역은 반도체 막을 사용하여 형성된다. 게다가, 참조 번호 106은 게이트 절연막을 나타내며, 107은 게이트 전극을 나타내며, 108은 제 1 패시베이션 막을 나타낸다. 공지된 박막 트랜지스터 구조는 여기까지 기술된다. 다양한 공지된 물질들은 각 부분들의 물질들에 대해 사용될 수 있다.

[0032] 다음에, 본 발명의 박막 트랜지스터의 제 1 특성은 감광성 유기 수지막, 특히 포지티브 타입의 감광성 아크릴막이 무기 절연막인 제 1 패시베이션 막(108) 상에 충간 절연막(109)으로서 사용된다는 것이다. 감광성 유기 수지막(109)의 막 두께는 바람직하게 1μm 내지 4μm(바람직하게, 1.5μm 내지 3μm)의 범위에서 선택된다. 제 2 특성은 제 1 개구부(Φ1의 직경으로 나타난)이 감광성 유기 수지막(109)에 제공되고, 유기 수지막인 제 2 패시베이션 막(111)이 감광성 유기 수지막(109)의 상부 표면 및 제 1 개구부(110)의 내부 벽 표면을 덮도록 제공된다는 것이다. 또한, 제 3 특성은 제 2 패시베이션 막(111)이 제 1 개구부(110)의 바닥에서 제 2 개구부(Φ2의 직경으로 나타난)를 가지고 있으며, 제 2 개구부(112)와 동일한 직경을 갖는 개구부가 제 1 패시베이션 막(108) 및 게이트 절연막(106)에 형성된다는 것이다. 다시 말하면, 제 2 개구부는 제 1 개구부(110)내에 게이트 절연막(106), 제 1 패시베이션 막(108), 제 2 패시베이션 막(111)을 포함하는 적층체에 제공된다는 특징을 갖는다. 게다

가, 소스 전극(113)은 제 1 개구부(110) 및 제 2 개구부(112)을 통해 소스 영역(103)과 접속된다. 드레인 전극(114)은 유사하게 드레인 영역(104)과 접속된다.

[0033] 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막, 또는 산화질화 알루미늄막은 제 1 패시베이션막(118) 및 제 2 패시베이션막(111)으로 사용될 수 있음에 유념하라. 게다가, 이 막들을 적어도 일부분 포함하는 적층체막이 사용될 수 있다. $\phi 1$ 의 직경이 $2\mu\text{m}$ 내지 $10\mu\text{m}$ (바람직하게, $3\mu\text{m}$ 내지 $5\mu\text{m}$)로 설정되며, $\phi 2$ 의 직경이 $1\mu\text{m}$ 내지 $5\mu\text{m}$ (바람직하게, $2\mu\text{m}$ 내지 $3\mu\text{m}$)로 설정되는 것이 바람직하다. 포토리소그래피 처리의 정밀도에 따라 개구부의 직경들의 설계 룰이 변화되기 때문에, 이것의 수치 범위들로 본 발명을 제한할 필요는 없다는 점에 유념하라. 다시 말하면, 임의의 경우에, $\phi 1 > \phi 2$ 의 관계가 충족되는 것이 바람직하다.

[0034] 여기서, 점선으로 둘러싸인 영역(115)의 부분의 확대도는 도 1b에 도시된다. 도 1b에는, 제 1 개구부(110)의 일부 및 제 2 개구부(112)의 일부가 도시된다. 제 1 개구부(110)에 관하여, 그 내부 벽 표면은 가파르지 않은 곡면이며, 연속적으로 변화하는 곡률 반경을 갖는다. 예를 들어, 3개의 점들의 곡률 반경들 R1, R2 및 R3이 순서대로 있음에 유념할 때, 각각의 곡률 반경 사이의 관계가 $R1 < R2 < R3$ 이 되고, 이 수치 값들 각각이 $3\mu\text{m}$ 내지 $30\mu\text{m}$ (전형적으로, $10\mu\text{m}$ 내지 $15\mu\text{m}$)내에 있다. 게다가, 제 1 개구부(110)의 바닥에서 감광성 유기 수지막(109)과 제 1 패시베이션 막(108)에 의해 형성된 각(콘택트 각 Θ)은 $30^\circ < \Theta < 65^\circ$ (전형적으로, $40^\circ < \Theta < 50^\circ$)의 범위 내로 설정된다.

[0035] 이 때, 도 1b에서 참조 번호 116으로 표시된 부분에서, 제 1 패시베이션 막(108) 및 제 2 패시베이션 막(111)은 서로 밀착하고 있어, 감광성 유기 수지막(109)이 실링되는(seal) 상태가 얻어진다. 이 때, 밀착한 영역의 길이, 즉 제 1 패시베이션 막(108) 및 제 2 패시베이션 막(111)이 서로 밀착한 영역의 길이는 $0.3\mu\text{m}$ 내지 $3\mu\text{m}$ (바람직하게, $1\mu\text{m}$ 내지 $2\mu\text{m}$)인 것이 바람직하다. 기본적으로, 제 1 개구부(110)의 반경이 제 2 개구부(112)의 반경 보다 $0.3\mu\text{m}$ 내지 $3\mu\text{m}$ 만큼 큰 것이 바람직하다.

[0036] 본 발명에서 사용된 감광성 유기 수지막(여기서, 포지티브 타입의 감광성 아크릴막)은 박막 트랜지스터의 형성 동안 그리고 형성 후 가스 성분을 발생시키는 경우가 있다. 따라서, 박막 트랜지스터 상에 형성되는 액정 소자 및 EL 소자의 열화(deterioration)를 방지할 의도에서 충분한 밀착성을 각각 갖는 유기 절연막들(특히, 고배터리 특성을 갖는 질화 실리콘막 또는 질화산화 실리콘막이 적당한)로 실링하는 것이 매우 중요하다.

[0037] 다음에, 도 1a에 도시된 구조를 갖는 박막 트랜지스터를 제조하는 방법은 도 2a 내지 도 2e를 사용하여 기술되어질 것이다. 먼저, 이는 도 2a를 사용하여 기술되어질 것이다. 하지 막(102)은 기판(101) 상에 형성되며, 에칭으로 처리된 섬형상의 반도체 막이 그 위에 형성된다. 그 다음, 게이트 절연막(106)이 전체 표면상에 형성되며, 게이트 전극(107)이 형성되고, 소스 영역(103) 및 드레인 영역(104)이 마스크로서 게이트 전극(107)을 사용하여 자기 정렬로 형성된다. 이 때에, 채널 형성 영역(105)이 동시에 결정된다. 소스 영역(103) 및 드레인 영역(104)의 형성 후, 소스 영역(103) 및 드레인 영역(104)은 열처리에 의해 활성화된다. 또, 제 1 패시베이션 막(108)이 형성되고, 그 다음 수소 침가(hydrogenation) 처리가 열 처리에 의해 행해진다. 이 때까지 제조 방법은 공지된 기술을 사용하여 행해지는 것이 바람직하다. 다양한 공지된 물질들이 박막 트랜지스터를 구성하는 물질들로서 사용될 수 있다. 다음에, 감광성 유기 수지막, 여기서, 포지티브 타입의 감광성 아크릴막이 충간 절연막(109)으로서 형성된다.

[0038] 다음에, 도 2b를 사용하여 기술될 것이다. 감광성 유기 수지막(109)의 형성 후, 포토리소그래피 처리를 사용하여 노광 처리가 행해지며, 감광성 유기 수지막(109)이 제 1 개구부(110)을 형성하도록 예정된다. 이는 감광성 유기 수지막이 사용되기 때문에 가능한 기술이다. 게다가, 에칭 그 자체는 현상액을 사용하여 습식 예정되기 때문에, 상기 플라즈마 손상과 같은 문제점이 발생하지 않는 효과가 얻어진다. 현상액을 사용하는 에칭 후, 탈색 처리가 감광성 유기 수지막(109)으로 행해진다. 탈색 처리는 바람직하게 전체 패턴을 노출시키는데 사용된 빛보다 강한 빛을 조사함으로써 행해진다. 노출 직후, 즉 소성(baking) 처리 전 탈색 처리가 행해질 필요가 있음에 유념하라. 이는 소성 후, 감광성 유기 수지막(109)의 가교(cross-linking)가 완료되기 때문에 광 조사에 의한 탈색이 불가능하게 된다.

[0039] 또한, 제 1 개구부(110)은 도 1b에 도시된 바와 같은 단면 형상이 되게 되며, 매우 완만한 굴곡의 내부 벽 표면을 갖는다. 따라서, 나중에 형성된 전극의 피복율(coverage)은 매우 만족스럽게 된다. 에칭 후 소성 처리에서, 수지로 수분 및 산소의 흡착 또는 흡수를 방해하기 위해 비활성 분위기(질소 분위기, 희가스 분위기, 또는 수소 분위기)에서 가열이 행해지는 것이 바람직함에 유념하라. 이 때, 비활성 분위기가 명확하게 수분 및 산소의 흡착(또는 흡수) 양을 10ppm 이하(바람직하게, 1ppm 이하)로 억제하기 위해 온도 상승에서 온도 하강까지 지속되

는 것이 바람직하다.

[0040] 다음에, 도 2c를 사용하여 기술되어질 것이다. 제 1 개구부(110)의 형성 후, 제 2 패시베이션막(111)은 감광성 유기 수지막(109)의 상부 표면과 제 1 개구부(110)의 내부 벽 표면을 덮기 위해 형성된다. 제 1 패시베이션 막(108)과 동일한 물질이 제 2 패시베이션 막(111)에 사용될 수 있다. 고주파 방전을 사용하는 스퍼터링 방법이 제 2 패시베이션막(111)의 형성에 사용되는 것이 바람직하다. 조건에 의해, 실리콘 타겟이 사용되며, 질소 가스가 스퍼터링 가스로서 사용되는 것이 바람직하다. 압력은 적절하게 설정되는 것이 바람직하다. 압력이 0.5Pa 내지 1.0Pa이고, 방전 전력은 2.5kW 내지 3.5kW이며, 막 형성 온도는 실온(25°C) 내지 250°C내에 있는 것이 바람직하다. 제 2 패시베이션 막(111)의 형성 후, 포토레지스트(201)가 형성된다. 포토레지스트(201)는 제 2 패시베이션 막(111)에 제 2 개구부(112)을 형성하기 위한 마스크이다.

[0041] 다음에, 도 2d를 사용하여 기술되어질 것이다. 포토레지스트(201)의 형성 후, 에칭 처리가 제 2 패시베이션 막(111), 제 1 패시베이션 막(108), 및 게이트 절연막(106)을 순서대로 에칭하도록 행해지며, 이에 의해 제 2 개구부(112)를 형성한다. 이 때에, 에칭 처리는 건식 에칭 처리 또는 습식 에칭 처리일 수 있다. 제 2 개구부(112)의 바람직한 형상이 얻어지도록 하기 위해 건식 에칭 처리가 바람직하다. 본 발명에 따라, 건식 에칭 처리가 여기에서 행해질 때조차도, 감광성 유기 수지막(109)이 직접 플라즈마에 노출되는 경우는 존재하지 않는다. 그러므로, 본 발명의 특성을 중 하나에 따라, 감광성 유기 수지막 내에 제공된 한 개구부의 내부 벽 표면이 질화 실리콘막과 같은 질화물 절연막에 의해 보호되지만, 보다 작은 직경을 갖는 또 다른 개구부가 개구부의 바닥에 제공된다.

[0042] 또한, 제 2 개구부(112)가 건식 에칭 처리에 의해 형성될 때, 게이트 절연막(106) 및 제 1 패시베이션 막(108)이 에칭된다. 이 에칭에서, 생산성은 무기 절연막들의 결합에 따라 향상될 수 있다. 다시 말하면, 질화 실리콘막이 제 1 패시베이션 막(108)으로 사용되고 산화질화 실리콘막이 게이트 절연막(106)으로 사용될 때, 게이트 절연막(106)은 제 1 패시베이션막(108)을 에칭시 에칭 스토퍼(stopper)로서 기능하고, 소스 영역(실리콘막)(103)은 게이트 절연막(106)을 에칭시 에칭 스토퍼로서 기능한다.

[0043] 예를 들어, 산화질화 실리콘막이 게이트 절연막(106)으로 사용되고 질화 실리콘막이 제 1 패시베이션막(108)으로 사용되는 경우가 고려된다. 제 1 패시베이션막(108)으로서 기능하는 질화 실리콘막이 4플루오르화탄소(CF4) 가스, 헬륨(He) 가스, 및 산소(O2) 가스를 사용하여 에칭될 수 있다. 실리콘막은 또한 이 가스들에 의해 에칭된다. 그러나, 하지 막의 게이트 절연막(106)으로서 기능하는 산화질화 실리콘막이 에칭 스토퍼로서 기능하기 때문에, 소스 영역(103)으로서 기능하는 실리콘막이 상실될 경우는 존재하지 않는다. 게다가, 게이트 절연막(여기서, 산화질화 실리콘막)(106)은 3플루오르화메탄(CHF3) 가스를 사용하여 에칭될 수 있으며, 실리콘막은 좀처럼 에칭되지 않는다. 따라서, 소스 영역(103)은 에칭 스토퍼로서 기능할 수 있다.

[0044] 다음에, 도 2e를 사용하여 기술되어질 것이다. 제 2 개구부(112)의 형성 후, 금속막이 그 위에 형성되며, 소스 전극(113) 및 드레인 전극(114)을 형성하기 위해 에칭함으로써 패터닝된다. 이 전극들을 형성하기 위해, 티타늄막, 질화 티타늄막, 텉스텐 막(합금을 포함하는), 알루미늄 막(합금을 포함하는) 또는 그것들의 적층체 막이 사용되는 것이 바람직하다.

[0045] 그러므로, 도 1a 및 도 1b를 사용하여 기술된 구조를 갖는 박막 트랜지스터가 얻어질 수 있다. 이와 같이 얻어진 박막 트랜지스터는 감광성 유기 수지막을 가지며, 감광성 유기 수지막은 또한 평탄화막으로서 기능한다. 게다가, 감광성 유기 수지막은 질화물 절연막(전형적으로, 질화막 또는 질화산화 실리콘막)으로 실링되어, 가스를 제거할 때 발생되는 문제가 생기지 않는다.

[0046] 여기서, 포지티브 타입의 감광성 아크릴막이 특히 감광성 유기 수지막(109)으로 바람직한 이유는 하기에 기술되어질 것이다.

[0047] 먼저, 도 3a에 도시된 포토그래프는 비감광성 아크릴막(막 두께: 약 1.3 μm)이 패터닝을 행하기 위해 건식 에칭에 의해 처리되는 상태의 단면 SEM(스캐닝 전자 현미경) 사진이며, 도 3b는 그 개략도이다. 비감광성 아크릴 막이 통상적인 경우에서와 같이 건식 에칭에 의해 처리될 때, 굴곡이 있는 표면은 패턴의 상부에 좀처럼 형성되지 않아, 상부 말단 부분은 실질적으로 곡률 반경(R)을 갖지 않는다. 게다가, 패턴의 바닥 부분에서, 테이퍼(taper) 각(콘택트 각)은 약 63° 가 된다. 그러나, 굴곡이 있는 표면은 바닥 말단 부분에서도 관찰되지 않는다.

[0048] 다음에, 도 5a에 도시된 사진은 포지티브 타입의 감광성 아크릴막(막 두께: 약 2.0 μm)이 패터닝을 행하기 위해 노광 및 현상에 의해 처리되는 상태의 단면 SEM 사진이며, 도 5b는 그 개략도이다. 포지티브 타입의 감광성 아

크릴막의 단면 형상에 관하여, 이는 현상액을 사용하여 에칭 처리 후 매우 완만하게 굴곡이 있는 표면을 가지며, 곡률 반경(R)은 연속하여 변하게 된다. 게다가, 약 32° 내지 33° 의 작은 콘택트 각이 얹어진다. 다시 말하면, 막은 도 1b에 도시된 형상 그 자체를 갖는다. 따라서, 본 발명에 따른 박막 트랜지스터 및 표시 장치가 제조될 때, 이러한 형상은 매우 유용한 형상으로 언급될 수 있다. 물론, 콘택트 각 값은 에칭 조건, 막 두께 등에 따라 변하게 된다. 그러나, $30^\circ < \theta < 65^\circ$ 는 상술된 바와 같이 충족되는 것이 바람직하다.

[0049] 다음에, 도 6a에 도시된 포토그래프는 네가티브 타입의 감광성 아크릴막(막 두께: 약 $1.4\mu\text{m}$)이 패터닝을 행하기 위해 노광 및 현상에 의해 처리되는 상태의 단면 SEM 사진이며, 도 6b는 개략도이다. 포지티브 타입의 감광성 아크릴막의 단면 형상에 관하여, 완만하게 S-자형의 굴곡이 있는 표면은 현상액을 사용하여 에칭 처리 후에 형성되며, 패턴의 상부 말단 부분은 곡률 반경(R)에서 굴곡을 갖게 된다. 게다가, 약 47° 의 콘택트 각 값이 얹어진다. 이 경우에, 도 6b에 W로 표시된 테일(하부 슬로프) 부분의 길이가 문제가 된다. 특히, 마이크로제조가 요청되는 콘택트 홀(개구부)에 관하여, 테일 부분이 더 길어지게 될 때, 하부층 전극 또는 배선이 콘택트 홀에서 노출되지 않는 상태가 야기되는 가능성이 존재하게 되어, 불량 콘택트에서 생기는 단락(disconnection)이 염려된다. 테일 부분의 길이(W)가 $1\mu\text{m}$ 이하(바람직하게, 콘택트 홀의 반경보다 더 짧은 길이)일 때, 이러한 단락의 가능성은 더 낮아지게 된다.

[0050] 다음에, 도 7a에 도시된 포토그래프는 포지티브 타입의 감광성 폴리이미드 막(막 두께: 약 $1.5\mu\text{m}$)이 패터닝을 행하기 위해 노광 및 현상에 의해 처리되는 상태의 단면 SEM 사진이며, 도 7b는 그 개략도이다. 포지티브 타입의 감광성 폴리이미드막의 단면 형상에 관하여, 이는 현상액을 사용하여 에칭 처리 후에 적은 테일 부분(길이 W로 표시된)과 굴곡이 있는 상부 말단 부분을 갖는다.

[0051] 상기 단면 형상들이 관찰될 때, 다음이 고려될 수 있다. 전극 또는 배선이 되는 금속막이 콘택트 홀(개구부)의 형성 후 형성될 때, 스퍼터링 방법, 증착(evaporation) 방법, CVD 방법 등이 사용된다. 분자들이 형성될 표면상에 침착되고, 콘택트 홀의 상부 말단 부분과 같은 예리한 각을 갖는 형상(볼록한(convex) 부분이 되는 형상)을 갖는 부분으로 쉽게 모여질 때, 박막 트랜지스터를 구성하는 물질 분자들은 표면상의 안정한 사이트로 이동함이 공지되어 있다. 이러한 경향은 특히 증착 방법에서 주목할만하다. 그러므로, 개구부의 단면형상이 도 3a에 도시된 바와 같은 단면일 때, 물질 분자들은 개구부의 에지에 모여지고, 그 부분만이 구부적으로 두껍게 되고 처마형상의 볼록한 부분이 형성된다. 이는 나중에 단락(스텝 단락)과 같은 결점의 원인이 되며, 바람직하지 않다. 따라서, 도 3a에 도시된 비감광성 아크릴막과 도 7a에 도시된 포지티브 타입의 감광성 폴리이미드막이 피복율의 관점에서 이롭지 못한 물질들인 것으로 언급될 수 있다.

[0052] 또한, 상기의 도 6a 및 7a에 도시된 바와 같이, 테일 부분이 콘택트 홀의 바닥 말단 부분에 형성되는 형상에 관하여, 테일 부분은 몇 가지 경우들에서 콘택트 홀의 바닥 표면에 덮히고 불량한 콘택트가 생기게 되는 가능성이 존재한다. 따라서, 콘택트의 관점에서 이러한 막들이 이롭지 못한 물질들인 것으로 상술될 수 있다. 물론, 테일 부분의 길이가 $1\mu\text{m}$ 이하이면(바람직하게, 콘택트 홀의 반경보다 짧은 길이), 문제가 존재하지 않는다.

[0053] 본 발명이 상기 지점들의 관점에서 실행될 때, 도 5a에 도시된 형상을 갖는 포지티브 타입의 감광성 아크릴 막이 매우 적절한 것으로 상술될 수 있다. 다시 말하면, 포지티브 타입의 감광성 아크릴막이 사용될 때, 콘택트 홀의 상부 말단 부분에서 매우 완만하게 굴곡이 생긴 표면을 갖는다. 따라서, 피복율에 관한 문제점은 완벽하게 존재하지 않는다. 게다가, 콘택트 홀의 바닥 말단 부분에서, 콘택트 홀의 바닥 표면이 테일 부분을 형성하지 않고 $30^\circ < \theta < 65^\circ$ 를 만족하는 콘택트 각을 갖도록 확실하게 결정된다. 따라서, 불량한 콘택트의 문제가 또한 생기지 않는다. 상기 이유들로부터, 본 출원인은 포지티브 타입의 감광성 아크릴막이 본 발명이 실행될 때 특히 유기 수지로 만들어진 충간 절연막에 가장 바람직한 물질인 것으로 간주한다.

[0054] 상술된 바와 같이, 충간 절연막으로서 유기 수지막을 사용하는 박막 트랜지스터가 제조될 때, 감광성 유기 수지 막은 충간 절연막으로서 사용되며 도 1a 및 도 1b에 도시된 콘택트 구조가 사용된다. 따라서, 박막 트랜지스터가 임계 전압 변화 없이 제조될 수 있다. 그러므로, 이를 사용하는 박막 트랜지스터 뿐만 아니라, 표시 장치에 대해서도 동작 성능들의 안정성의 개선 및 회로 설계시 설계 마진의 확장이 달성될 수 있다.

발명의 구성 및 작용

[0055] 바람직한 실시예들의 설명

[0056] [실시예1]

[0057] 본 실시예에서는, 도 1a 및 도 1b에서 제 1 개구부(110)의 형성 위치가 변화되는 예가 도 8a 및 도 8b를 이용하

여 설명될 것이다. 도 8a 및 도 8b 각각은 제 2 개구부의 형성 직후의 단면 구조를 도시한다는 것에 유의하라. 또한, 필요하다면 도 1a 및 도 1b에 사용되는 참조부호들이 언급된다.

[0058] 도 8a에서, 참조번호 801은 ϕ^1 의 직경을 갖는 제 1 개구부를 표시하고, 802는 ϕ^2 의 직경을 갖는 제 2 개구부를 표시한다. 도 8a의 특징은 제 1 개구부(801)가 소스 영역(103)의 단부로부터 뛰어나오도록 제공된다는 것이다. 감광성 유기 수지막(109)은 제 1 패시베이션막(108)이 에칭 스토퍼가 되어 에칭의 진행을 정지시키기 때문에, 본 실시예에서 표시된 위치에 형성될 수 있다. 또한, 도 8b에서, 참조번호 803은 ϕ^3 의 직경을 갖는 제 1 개구부를 표시하고, 804는 ϕ^2 의 직경을 갖는 제 2 개구부를 표시한다. 도 8b의 특징 또한 제 1 개구부(803)가 소스 영역(103)의 측단부로부터 뛰어나오도록 제공된다는 것이다. 이 경우도, 그 감광성 유기 수지막(109)에 대하여, 제 1 패시베이션막(108)이 에칭 스토퍼가 되어, 에칭의 진행을 정지시킨다.

[0059] 앞서 기재된 바와 같이, 에칭 스토퍼가 될 수 있는 유기 절연막은 충간 절연막으로서 사용되는 감광성 유기 수지막의 아래에 위치된다. 그러므로, 제 1 개구부의 직경을 증가시킬 때 조차 아무 문제가 없으므로, 콘택트 홀 형성의 설계 마진이 확대될 수 있기 때문에 매우 유용하다.

[실시예 2]

[0061] 본 실시예에서는, 본 발명이 EL 표시 장치와 같은 발광 디바이스에 적용되는 예가 기재될 것이다. 도 9a는 발광 소자의 화소의 평면도이고(화소 전극의 형성까지의 상태가 표시됨을 유의하라), 도 9b는 그 회로도이고, 도 9c 및 도 9d 각각은 선 A-A' 또는 B-B'를 따른 단면도이다.

[0062] 도 9a 및 도 9b에 도시된 바와 같이, 발광 디바이스의 디스플레이부가 게이트 배선들(951), 데이터 배선들(952), 및 전원 배선들(정전압 또는 정전류를 공급하기 위한 배선들)(953)에 의해 둘러싸이고 매트릭스로 배치된 복수의 화소들을 포함한다. 각각의 화소들에는, 스위칭 소자(이하, 스위칭 TFT로 언급됨)로서 역할을 하는 TFT(954), EL 소자를 발광시키기 위한 전류 및 전압을 공급하기 위한 수단으로서 역할을 하는 TFT(955), 커페시터부(956), 및 EL 소자(957)가 제공된다. 비록 본 명세서에 도시되지는 않았지만, EL 소자(957)는 화소 전극(958)의 위에 발광층을 제공함으로써 형성될 수 있다.

[0063] 본 실시예에서, 멀티-케이트 구조를 갖는 n-채널 TFT가 스위칭 TFT(954)로서 사용되고, p-채널 TFT가 드라이버 TFT(955)로서 사용된다. 그러나, 발광 소자의 화소 구조가 이에 제한될 필요가 없다. 그러므로, 본 발명은 여러 공지된 구조들에 적용될 수 있다.

[0064] 도 9c의 단면도에서는, 그 n-채널 TFT(954) 및 커페시터부(956)가 도시된다. 참조번호 901은 기판을 표시하며, 유리 기판, 세라믹 기판, 석영 기판, 실리콘 기판, 또는 플라스틱 기판(플라스틱막을 포함)이 사용될 수 있다. 또한, 참조번호 902는 질화산화 실리콘막을 표시하고, 903은 산화질화 실리콘막을 표시하며, 그들은 하지막(base film)들로서 역할을 하기 위해 적층체가 된다. 물론, 본 발명이 이러한 재료들에 제한될 필요가 없다. 또한, n-채널 TFT(954)의 활성층이 산화질화 실리콘막(903)에 제공된다. 그 활성층은 소스 영역(904), 드레인 영역(905), LDD 영역들(906a 내지 906d), 및 채널 형성 영역들(907a, 907b)을 갖는다. 다시 말해, 이는 소스 영역(904)과 드레인 영역(905) 사이에 두개의 채널 형성 영역들 및 네개의 LDD 영역들을 갖는다.

[0065] 또한, n-채널 TFT(954)의 활성층은 게이트 절연막(908), 게이트 전극(게이트 전극층들(909a, 909b)), 및 또 다른 게이트 전극(게이트 전극층들(910a, 910b))이 그 위에 제공된다. 본 실시예에서, 산화질화 실리콘막이 게이트 절연막(908)으로 사용된다. 높은 비유전율을 갖는 질화 알루미늄막과 같은 상기 질화 절연막이 사용되는 경우, 소자의 점유 면적을 감소시킬 수 있다. 그러므로, 집적도(scale of integration)의 향상에 효율적이다.

[0066] 또한, 질화 탄탈륨막이 게이트 전극층들(909a, 910a)을 위해 사용되고, 텅스텐막이 게이트 전극층들(909b, 910b)을 위해 사용된다. 이러한 금속막들에 대하여, 선택비가 높다. 그러므로, 도 9b에 도시된 구조는 에칭 조건을 선택함으로써 획득될 수 있다. 그 에칭 조건은 바람직하게 본 출원인에 의한 JP 2001-313397 A에 언급되어 있다.

[0067] 또한, 질화 실리콘막 또는 질화산화 실리콘막이 게이트 전극들을 덮는 제 1 패시베이션막(911)으로서 제공되며, 감광성 유기 수지막(912)(본 실시예에서는, 포지티브 타입 감광성 아크릴막이 사용됨)이 그 위에 제공된다. 또한, 제 2 패시베이션막(913)이 제 1 개구부를 덮기 위해 감광성 유기 수지막(912) 상에 제공된다(도 1a 참조). 제 2 개구부(도 1a 참조)가 제 1 개구부의 저면에 제공된다. 이 실시예에서, 질화 실리콘막 또는 질화산화 실리콘막이 제 2 패시베이션막(913)으로서 사용된다. 물론, 질화 알루미늄막 또는 질화산화 알루미늄막과 같은 또

다른 질화 절연막이 또한 사용될 수 있다.

[0068] 또한, 데이터 배선(952)은 제 2 개구부를 통해 소스 배선(904)과 접속되고, 접속 배선(915)는 제 2 개구부를 통해 드레인 영역(905)과 접속된다. 그 접속 배선(915)은 드라이버 TFT(955)의 게이트 전극에 접속된 배선이다. 알루미늄 또는 구리와 같은 저저항 금속을 주로 함유하는 배선이 다른 금속막들 또는 이러한 금속들의 합금막에 의해 협진되는 구조가 데이터 배선(952) 및 접속 배선(915)을 위해 바람직하게 사용된다.

[0069] 또한, 참조번호 916은 드라이버 TFT(955)의 소스 영역을 표시하고, 전원 배선(953)이 접속된다. 이러한 접속에 대한 콘택트 부에서, 제 1 개구부 및 제 2 개구부가 본 발명을 수행함으로써 형성된다. 또한, 그 전원 배선(953)은 제 1 패시베이션막(911) 및 제 2 패시베이션막(913)을 통해, 드라이버 TFT(955)의 게이트 배선에 대향하므로, 저장 커패시터(956a)가 형성된다. 또한, 그 게이트 배선(917)은 저장 커패시터(956b)가 형성되도록 게이트 절연막(908)을 통해 반도체막(918)에 대향한다. 그 전원 배선(953)이 반도체 층(919)과 접속되기 때문에, 전하가 그로부터 공급되므로, 그 반도체막(918)은 전극으로서 역할을 한다. 그러므로, 그 커패시터부(956)는 저장 커패시터들(956a, 956b)이 병렬로 접속되는 구조가 되므로, 매우 작은 면적으로 대용량을 얻을 수 있다. 더구나, 특히 저장 커패시터(956a)에 대해서는, 높은 비유전율을 갖는 질화 실리콘막이 유전체로 사용되므로, 대용량이 확보될 수 있다. 저장 커패시터(956a)의 유전체가 제 1 패시베이션막(911) 및 제 2 패시베이션막(913)의 적층체 구조로 이루어져 있기 때문에, 핀홀(pinhole)의 발생 확률이 극히 낮다. 그러므로, 높은 신뢰성을 갖는 커패시터가 형성될 수 있다.

[0070] 본 발명이 수행되는 경우, 종래의 경우와 비교하여 제 2 개구부를 형성하기 위해 포토리소그래피 공정에 사용되는 마스크들의 수가 증가된다. 그러나, 마스크들의 수의 증가가 유리하게 이용되는 경우, 새로운 저장 커패시터가 본 실시예에 기재된 바와 같이 형성될 수 있다. 이러한 점 또한 본 발명의 중요한 특징들 중 하나이다. 본 발명의 특징은 마스크들의 수의 증가로부터 생긴 결점(demerit)을 충분히 보상하는 것이므로, 산업 발달에 크게 기여한다. 예를 들어, 고선명 화상 디스플레이가 획득된 경우, 디스플레이 부에서 구경비(aperture ratio)를 향상시키기 위해 각 화소 면적에 대한 저장 커패시터의 상대적인 점유 면적이 감소될 필요가 있다. 그러므로, 저장 커패시터를 증가시키는 것이 극히 유용하다.

[0071] 또한, 도 9d에서, 참조번호(920)가 드라이버 TFT(955)의 드레인 영역을 표시하고, 이는 드레인 배선(921)과 접속된다. 그 드레인 배선(921)은 화소를 구성하기 위해 화소 전극(958)에 접속된다. 이러한 실시예에서, 가시광에 대해 투명한 산화물 도전막(통상적으로, ITO막)이 화소 전극(958)으로 사용된다. 그러나, 본 발명은 그러한 막에 제한되지 않는다.

[0072] EL 소자가 상기 화소 구조를 갖는 발광 디바이스에 실제로 형성된 후의 예가 도 10a 및 도 10b에 도시된다. 도 10a는 도 9d에 도시된 단면에 대응하는 단면도이고, EL 소자(957)가 화소 전극(958) 상에 형성된 상태를 도시한다. 도 10a에 도시된 구조가 사용될 경우, 그 화소 전극(958)은 EL 소자(957)의 애노드에 대응함을 유의하라. 또한, 본 명세서에서, EL 소자가 캐소드와 애노드 사이에 EL층이 제공되고, 전압이 EL층에 인가되거나 전류가 그에 주입되어 광을 발산하는 소자를 나타낸다.

[0073] 화소 전극(958)의 단부는 감광성 유기 수지막(961)으로 덮여있다. 그 감광성 유기 수지막(961)은 각 화소를 프레이밍(frame)하기 위해 격자형으로 제공되고, 행단위 또는 열단위의 스트라이프형으로 제공된다. 임의의 경우에, 콘택트 홀 상에 형성될 경우, 오목한 부분이 효율적으로 삽입되며, 그 전체 표면은 또한 평탄화될 수 있다. 이 실시예에서, 앞서 기재된 충간 절연막으로서 사용되는 감광성 유기 수지막(제 1 감광성 유기 수지막)(912)과 동일한 재료(본 실시예에서, 포지티브 타입 감광성 아크릴막)는 감광성 유기 수지막(제 2 감광성 유기 수지막)(961)에 대해 사용된다. 그러므로, 제조 설비가 최소화될 수 있다. 또한, 도시되지는 않았지만, 도 6a 및 도 6b에 도시된 바와 같이 S-형의 단면이 되는 네가티브 타입 감광성 아크릴막이 사용될 수 있다. 물론, 이 때, 개구부의 상단부 및 하단부의 곡률 반경이 $3\mu\text{m}$ 내지 $30\mu\text{m}$ (통상적으로, $10\mu\text{m}$ 내지 $15\mu\text{m}$)로 설정되는 것이 바람직하다. 또한, 이 경우에, W로 표시된 테일부(tail portion)의 길이가 최소화되지 않을 때, 구경비가 감소되기 때문에, 바람직하지 못하다. 또한, 공지된 레지스트 재료(크롬포어(chromophore)를 함유한 고분자 재료)도 사용될 수 있다.

[0074] 또한, 감광성 유기 수지막(961)의 표면은 제 3 패시베이션막(962)으로서 질화 절연막으로 덮여있으므로, 그 감광성 유기 수지막으로부터의 디개싱(degassing)이 억제될 수 있다. 또한, 제 3 패시베이션막(962)은 개구부를 제공하기 위해 화소 전극(958) 상에 예치된다. 개구부에서, EL층(963)이 화소 전극(958)과 접촉한다. EL층(963)은 일반적으로 발광층, 전하 주입층, 및 전하 수송층과 같은 박막들을 적층체가 됨으로써 구성된다. 그러나, 발광이 관찰되는 다양한 구조들 및 다양한 재료들이 사용될 수 있다. 예를 들어, 실리콘을 함유하는 유기 시스

템 재료로서 Alq_3 (Alq_3 의 3 리간드들 중 하나가 트리페닐실라놀(triphenylsilanol) 구조로 대체됨)가 전하 수송층 또는 홀 블록킹(hole blocking) 층으로서 또한 사용된다.

[0075] 물론, 그 EL층은 반드시 유기 박막으로만 구성되는 것은 아니며, 유기 박막 및 무기 박막이 적층체가 된 구조 또한 사용될 수 있다. 고분자 박막 또는 저분자 박막이 사용될 수 있다. 또한, 고분자 박막이 사용되는지 아니면 저분자 박막이 사용되는지에 따라서 형성 방법이 변화한다. 그러나, 그 박막은 바람직하게는 공지된 방법으로 형성된다.

[0076] 또한, 캐소드(964)는 EL층(963) 상에 형성되고, 제 4 패시베이션막(965)으로서 질화 절연막이 최종적으로 그 위에 제공된다. 주기율표의 1족 또는 2족에 속하는 원소를 함유한 금속 박막은 바람직하게는 캐소드(964)로서 사용된다. 0.2wt% 내지 1.5wt%(바람직하게는, 0.5wt% 내지 1.0wt%)의 리튬이 알루미늄에 첨가된 금속막이 전하 주입 속성 등의 면에서 적절하다. 리튬이 확산되면, TFT의 동작이 그에 영향을 미치는 것이 염려된다는 것을 유의하라. 그러나, 본 실시예에 따라서, 그 FT는 제 1 패시베이션막(911), 제 2 패시베이션막(913), 제 3 패시베이션막(962)에 의해 완벽히 보호되므로, 리튬의 확산을 염려할 필요는 없다.

[0077] 여기서, 고주파수 방전을 사용한 스퍼터링 방법에 의해 형성된 질화 실리콘막의 리튬에 대한 블록킹 효과를 나타내는 데이터가 도 17a 및 도 17b에 도시된다. 도 17a는 고주파수 방전을 사용한 스퍼터링 방법에 의해 형성된 질화 실리콘막(RF-SP SiM으로 표시됨)이 유전체로서 사용되는 경우의 MOS 구조의 C-V 특성을 도시한다. "Li-dip"은 리튬을 함유하는 용액이 질화 실리콘막 상에 스핀-코팅됨(spin-coated)을 의미하고, 테스트를 위해 의도적으로 리튬을 사용한 오염이 야기됨을 의미한다는 것을 유의하라. 또한, 도 17b는 비교의 경우, 플라즈마 CVD 방법에 의해 형성된 질화 실리콘막이 유전체로서 사용되는 MOS 구조의 C-V 특성을 도시한다. 도 17b에 도시된 데이터에 대해, 리튬이 알루미늄에 첨가되는 합금막이 금속 전극으로 사용됨을 유의하라. 일반적인 BT 테스트가 이러한 막들에 수행된다(특히, 열처리가 1.7MV의 전압 인가에 추가하여, 1시간동안 $\pm 150^{\circ}\text{C}$ 에서 행해진다). 결과적으로, 도 17a에 도시된 바와 같이, 고주파수 방전을 이용한 스퍼터링 방법에 의해 형성된 질화 실리콘막의 경우는 C-V 특성 변화가 거의 관찰되지 않는다. 다른 한편, 플라즈마 CVD 방법에 의해 형성된 질화 실리콘막의 경우는 C-V 특성의 큰 변화가 관찰된다. 이러한 데이터는 고주파수 방전을 이용한 스퍼터링 방법에 의해 형성된 질화 실리콘막이 리튬 확산에 매우 효율적인 블록킹 효과를 가짐을 제안한다.

[0078] 더욱이, 질화 절연막이 제 2 패시베이션막(913) 또는 제 3 패시베이션막(962)으로 사용되는 경우, 방열 효과를 예상할 수 있다. 예를 들어, 실리콘 산화막의 열전도율이 1이라고 가정하면, 질화 실리콘막의 열전도율은 약 5이며, 질화 알루미늄막의 열전도율은 약 35 내지 130이므로, 매우 높은 열전도율을 얻을 수 있다. 그러므로, EL 소자가 열을 발생하는 경우에도 열이 효율적으로 방사되므로, 자기 열방사에 기인한 EL층(963)의 열화가 억제될 수 있다.

[0079] 제 1 패시베이션막(911) 및 제 2 패시베이션막(913)에 사용되는 질화 절연막과 동일한 재료가 제 3 패시베이션막(962) 및 제 4 패시베이션막(965)에 사용될 수 있음을 유의하라.

[0080] 도 10a에 도시된 구조가 사용되는 경우, EL 소자로부터 방출된 광은 화소 전극(958)을 투과하여 기판(901)으로부터 출사된다. 이 때, 그 투과광은 감광성 유기 수지막(912)을 통해 투과한다. 그러므로, 충분히 투명하게 되도록 감광성 유기 수지막(912)에 대해 충분한 탈색 처리가 수행될 것을 필요로 한다.

[0081] 다음으로, 도 10b는 반사 속성을 갖는 금속막(971)이 화소 전극(958) 대신에 사용되는 예를 도시한다. 반사 속성을 갖는 금속막(971)으로서, 높은 일 함수(work function)를 갖는 백금(Pt) 또는 금(Au)과 같은 금속막이 애노드로서 역할을 하는데 사용된다. 또한, 그러한 금속은 비싸기 때문에, 적어도 백금 또는 금이 맨위의 표면상에 노출되는 화소 전극을 형성하기 위해 알루미늄막 또는 텅스텐막과 같은 적절한 금속막 상에 적층체가 될 수 있다. 참조번호(972)는 EL층을 표시하고, 발광이 관찰된 다양한 구조들 및 다양한 재료들이 도 10a에 도시된 경우와 같이 사용될 수 있다. 또한, 참조번호(973)는 작은 막두께(바람직하게는, 10nm 내지 50nm)를 갖는 금속막을 표시한다. 주기율표의 1족 또는 2족에 속하는 원소를 함유한 금속막이 캐소드로서 역할을 하는데 사용된다. 더욱이, 산화물 도전막(통상적으로는 ITO막)이 금속막(973) 상에 그를 적층체가 됨으로써 제공되며, 제 4 패시베이션막(975)이 그 위에 제공된다.

[0082] 도 10b에 도시된 구조가 사용되는 경우, EL 소자로부터 방출된 광이 화소 전극(971)에 의해 반사되고, 금속막(973), 산화물 도전막(974) 등을 통해 투과하며, 기판으로부터 출사된다. 이 때, 그 광은 화소 전극(971) 하부를 통해 투과하지 않기 때문에, 메모리 소자, 저항 소자 등이 그에 제공될 수 있고, 그 감광성 유기 수지막(912)은 착색될 수 있다. 그러므로, 설계의 유연성의 정도가 높아지고, 제조 공정 또한 간략화될 수 있다. 그러

므로, 이 구조는 일반적으로 제조 비용의 감소에 기여하는 것으로 일컬어진다.

[0083] [실시예 3]

이 실시예에서, 일례가 드레인 배선(921)과 화소 전극(958) 간의 접속 구조가 실시예 2에 기재된 발광 디바이스로 변경됨을 나타낸다. 도 9c에 도시된 것에 비해 기본적인 구조는 변화되지 않았음을 유의하라. 그러므로, 본 실시예에서, 참조부호들은 단지 필요한 부분들에만 제공되고, 기재될 것이다.

도 11a에 도시된 바와 같이, 산화 도전막으로부터 이루어진 화소 전극(501)이 형성되고, 이어서 드레인 배선(502)이 형성되므로, 드레인 배선(502)은 그의 단부를 덮기 위해 화소 전극(501)에 접촉하는 구조가 획득된다. 그러한 구조가 획득될 때, 그 화소 전극(501)은 제 2 개구부(503)의 형성 후에 형성될 수 있다. 대안으로, 제 2 개구부(503)는 화소 전극(501)의 형성 후 형성될 수 있다. 임의의 경우에, 건식 에칭 처리(dry etching process)가 수행되는 경우에도, 그 감광성 유기 수지막(912)은 제 2 패시베이션막(913)에 의해 플라즈마 손상으로부터 항상 보호된다. 그러므로, 박막 트랜지스터의 전기적 특성에 악영향을 미치는 경우는 없다.

다음으로, 도 11b에 도시된 바와 같이, 무기 절연막으로부터 이루어진 충간 절연막(504)이 제 1 패시베이션막(911) 상에 제공되며, 드레인 배선(505)이 그 위에 제공된다. 접속 배선(506)이 그 드레인 배선과 동시에 형성된다. 그 드레인 배선(505) 및 접속 배선(506)은 제 1 개구부(507)를 갖는 감광성 유기 수지막(508)로 덮여진다. 그 제 1 개구부(507)는 질화 절연막으로부터 이루어진 제 2 패시베이션막(509)로 덮여진다. 제 2 패시베이션막(509)은 제 1 개구부(507)의 저면에 제 2 개구부(510)를 갖는다. 산화물 도전막으로 이루어진 화소 전극(511)이 제 1 개구부(507) 및 제 2 개구부(510)를 통해 드레인 배선(505)와 접속된다.

이 때, 접속 배선(506), 제 2 패시베이션막(509), 및 화소 전극(511)으로 구성된 저장 커패시터(512)가 접속 배선(506) 상에 생성된다. 도 11b에 도시된 구조의 경우에서, 단지 높은 비유전율 상수를 갖는 제 2 패시베이션막(509)이 유전체로서 사용되므로, 큰 커패시턴스 값을 갖는 저장 커패시터가 생성될 수 있다. 물론, 한쌍의 전극들로서 화소 전극(511) 및 커패시터 배선(917)을 사용한 저장 커패시터가 또한 생성될 수 있다. 그러나, 이 경우, 제 2 패시베이션막(509), 충간 절연막(504), 및 제 1 패시베이션막(911)이 유전체로서 사용되기 때문에, 커패시턴스 값이 도 11b에 도시된 구조의 커패시턴스 값보다 낮게 된다.

다음으로, 도 11c는 도 11b에서의 드레인 배선(505) 및 접속 배선(506)의 형성 후에, 질화 절연막(513)이 또 다른 패시베이션막으로서 제공되는 예를 도시한다. 그러한 경우에서, 저장 커패시터(514)이 접속 배선(506), 질화 절연막(513), 제 2 패시베이션막(509), 및 화소 전극(511)으로 구성된다. 이러한 경우에, 막두께는 도 11b의 막 두께와 비교하여 증가되고, 그리하여 커패시턴스 값이 약간 감소된다. 그러나, 적층체(laminate)가 유전체로 사용되는 경우, 핀홀(pinhole)에 관계된 문제 등이 감소될 수 있으므로, 그 저장 커패시터의 신뢰도가 개선된다.

앞서 기재된 바와 같이, 본 발명은 실시예 2에 기재된 구조에 제한되는 것이 아니므로, 충간 절연막으로서 유기 수지막을 사용하는 다양한 트랜지스터 구조들에 적용될 수 있다. 본 실시예에 기재된 구조에서, 앞서 기재된 실시예 1 및 실시예 2에서 질화 절연막은 제 2 패시베이션막(509) 및 질화 절연막(513)에 대해 사용될 수 있음을 유의하라.

[0090] [실시예 4]

본 실시예에서, 저면 게이트 박막 트랜지스터(특히, 역 스태거 타입 TFT)가 실시예 1 내지 실시예 3에서, 박막 트랜지스터로 사용되는 예가 기재될 것이다. 다시 말해서, 역 스태거 타입 TFT가 실시예 2 또는 실시예 3에서 스위칭 TFT 및 드라이버 TFT로 사용되는 경우에도, 본 발명이 실행될 수 있다.

본 실시예는 도 12를 사용하여 기재될 것이다. 도 12에서, 참조번호 301은 기판을 표시하고, 302는 게이트 전극을 표시하고, 303은 게이트 절연막을 표시하고, 304는 소스 영역을 표시하고, 305는 드레인 영역을 표시하고, 306a 및 306b는 LDD 영역들을 표시하고, 307은 채널 형성 영역을 표시한다. 소스 영역, 드레인 영역, LDD 영역들, 및 채널 형성 영역은 게이트 전극(302)을 덮는 게이트 절연막(302) 상에 제공된 반도체막으로부터 이루어진다. 또한, 참조번호들(308, 309)은 무기 절연막들을 표시한다. 본 실시예에서, 308은 실리콘 산화막을 표시하고, 309는 질화 실리콘막을 표시한다. 질화 실리콘막(309)은 제 1 패시베이션막으로서 역할을 한다. 실리콘 산화막(308)은 하층이 되는 반도체 층과 실리콘 질화으로 이루어진 제 1 패시베이션막(309) 간의 베퍼층으로서 역할을 한다. 공지된 박막 트랜지스터 구조가 여기까지 기재된다. 다양한 공지된 재료들이 각 부분들의 재료들에 사용될 수 있다.

다음으로, 감광성 유기 수지막, 특히, 포지티브 타입 감광성 아크릴막이 제 1 패시베이션막(309) 상에 충간 절

연막(310)으로서 제공된다. 제 1 개구부(직경 $\phi 1$ 으로 표시됨)(311)가 감광성 유기 수지막(310)에 제공된다. 더욱이, 무기 절연막으로 이루어진 제 2 패시베이션막(312)이 감광성 유기 수지막(310)의 상면 및 제 1 개구부(311)의 내벽면을 덮기 위해 제공된다. 제 2 개구부(직경 $\phi 2$ 로 표시됨)(313)가 제 1 개구부(311)의 저면의 제 2 패시베이션막(312)에 제공된다. 참조번호 314는 소스 전극을 표시하며, 315는 드레인 전극을 표시한다.

[0094] 본 실시예에서도, 실시예 1에서와 같이, 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 또는 산화질화 알루미늄막이 제 1 패시베이션막(309) 및 제 2 패시베이션막(312)에 대해 사용될 수 있다. 또한, 그의 적어도 일부에 이러한 막들을 포함하는 적층체막이 사용될 수 있다. 직경 $\phi 1$ 이 $2\mu m$ 내지 $10\mu m$ (바람직하게는 $3\mu m$ 내지 $5\mu m$)로 설정되고, 직경 $\phi 2$ 이 $1\mu m$ 내지 $5\mu m$ (바람직하게는 $2\mu m$ 내지 $3\mu m$)로 설정된다. $\phi 1 > \phi 2$ 의 관계가 만족되는 것이 바람직하다. 제 1 개구부(311)의 단면 형태는 "발명의 요약"에서 상세히 설명되었으므로, 여기서는 생략한다는 것에 유의하라. 제 1 개구부의 내벽면이 점진적으로 휘어진 표면이고, 연속적으로 변화하는 곡률 반경을 갖는 것이 바람직하다. 특히, 세 점들의 곡률 반경들(R1, R2, R3)을 순서대로 주목할 때, 각각의 곡률 반경들 간의 관계는 $R1 < R2 < R3$ 가 되고, 이러한 수적인 값들은 각각 $3\mu m$ 내지 $30\mu m$ (통상적으로, $10\mu m$ 내지 $15\mu m$)에 있는 것이 바람직하다. 또한, 감광성 유기 수지막(310) 및 제 1 개구부(311)의 저면에서의 제 1 패시베이션막(309)에 의해 형성된 각(접촉각 Θ)이 바람직하게 $30^\circ < \Theta < 65^\circ$ (통상적으로는, $40^\circ < \Theta < 50^\circ$)의 범위내로 유지된다.

[0095] 앞서 기재된 바와 같이, 본 발명이 수행되는 경우 박막 트랜지스터의 구조는 반드시 단지 상부 게이트 타입 또는 단지 하부 게이트 타입으로만 제한되는 것은 아니다. 그러므로, 본 발명은 임의의 구조를 갖는 박막 트랜지스터에 적용될 수 있다. 더구나, 본 발명은 반드시 박막 트랜지스터에 제한되는 것은 아니며, 실리콘 웰(silicon well)을 사용하여 형성된 MOS 구조를 갖는 트랜지스터에 적용될 수 있다.

[0096] [실시예 5]

[0097] 본 실시예에서, 본 발명이 액정 표시 장치에 적용되는 예가 기재될 것이다. 도 13a는 액정 표시 장치의 화소의 평면도이고(화소 전극의 형성까지의 상태가 지시됨을 주목하라), 도 13b는 그 회로도이며, 도 13c 및 도 13d 각각은 선 A-A' 또는 B-B'에 따른 단면도이다.

[0098] 도 13a 및 도 13b에 도시된 바와 같이, 액정 표시 장치의 디스플레이부가 게이트 배선(851) 및 데이터 배선(852)에 의해 둘러싸이고, 행렬로 배치된 복수의 화소들을 포함한다. 각각의 화소들에서, 스위칭 소자로서 역할을 하는 TFT(853)(이후, 스위칭 TFT로서 언급됨), 커패시터부(854), 및 액정 소자(855)가 제공된다. 도 13b에 도시된 회로에서, 커패시터부(854) 및 액정 소자(855) 둘 모두가 정전위 선(856)에 접속된다. 그러나 그들은 반드시 동일한 전위에 유지되는 것은 아니며, 즉, 하나는 공통 전위에 유지될 수 있고, 다른 하나는 그라운드 전위(접지 전위)에 유지될 수 있다. 또한, 본 명세서에는 도시되지 않았지만, 액정 소자는 화소 전극(857) 위에 액정층을 제공함으로써 형성될 수 있다. 본 실시예에서는 멀티-게이트 구조를 갖는 n-채널 TFT가 스위칭 TFT(853)로 사용될 수 있을지라도, p-채널 TFT가 대안으로 사용될 수 있음을 유의하라. 스위칭 TFT의 레이아웃(layout)은 바람직하게 오퍼레이터(operator)에 의해 적절하게 결정된다.

[0099] 도 13c의 단면도에서, 스위칭 TFT(853) 및 커패시터부(854)가 도시된다. 참조번호 801은 기판을 표시하고, 유리 기판, 세라믹 기판, 석영 기판, 실리콘 기판, 또는 플라스틱 기판(플라스틱막을 포함)이 사용될 수 있다. 또한, 참조번호 802는 질화산화 실리콘막을 표시하고, 803은 산화질화 실리콘막을 표시하며, 그들은 하지막(base film)을 형성하기 위해 적층체가 된다. 물론, 본 발명은 반드시 이러한 재료들에 제한되는 것은 아니다. 더욱이, 스위칭 TFT(853)의 활성층이 산화질화 실리콘막(803)에 제공된다. 활성층은 소스 영역(804), 드레인 영역(805), LDD 영역들(806a 내지 806d), 및 채널 형성 영역들(807a, 807b)을 갖는다. 다시 말해서, 소스 영역(804) 및 드레인 영역(805) 간에 두개의 채널 형성 영역들 및 네개의 LDD 영역들을 갖는다.

[0100] 또한, 스위칭 TFT(853)의 활성층은 게이트 절연막(808) 및 게이트 전극(게이트 전극층들(809a, 809b)로 덮여 있고, 또 다른 게이트 전극(게이트 전극층들(810a, 810b))이 그 위에 제공된다. 본 실시예에서, 산화질화 실리콘막이 게이트 절연막(808)으로 사용된다. 또한, 질화 탄탈륨막이 게이트 전극층들(809a, 810a)에 대해 사용되고, 텅스텐막이 게이트 전극층들(809b, 810b)에 대해 사용된다. 이러한 금속화 막들에 대해, 선택비는 높다. 따라서, 도 13b에 도시된 바와 같은 구조는 애칭 상태를 선택함으로써 얻어질 수 있다. 애칭 상태는 본 출원에 따른 JP 2001-313397 A를 참조할 수 있다.

- [0101] 또한, 질화 실리콘막 또는 질화산화 실리콘막이 게이트 전극들을 덮는 제 1 패시베이션 막(811)으로 제공되고, 감광성 유기 수지막(812)(본 실시예에서, 포지티브 타입 강광성 아크릴막이 사용됨)이 그 위에 제공된다. 또한, 제 2 패시베이션막(813)이 감광성 유기 수지막(812) 위에 제공되어 제 1 개구부를 덮는다(도 1a를 보라). 제 2 개구부(도 1a를 보라)는 제 1 개구부의 저면에 제공된다. 이러한 실시예에서, 질화 실리콘막 또는 질화산화 실리콘막이 제 2 패시베이션막(813)으로 사용된다. 물론, 질화 알루미늄막 또는 질화 알루미늄 산화막과 같은 다른 질화 절연막이 또한 사용될 수 있다.
- [0102] 또한, 데이터 배선(852)이 제 1 개구부를 통해 소스 영역(804)과 연결되고, 드레인 배선(815)이 제 2 개구부를 통해 드레인 영역(805)과 연결된다. 드레인 배선(815)은 커패시터부의 저장 커패시터를 구성하는 전극으로 사용되며, 화소 전극(857)과 전기적으로 연결된다. 이 실시예에서, 가시광에 대하여 투명한 산화도전막(전형적으로, ITO막)이 화소 전극(857)으로 사용된다. 그러나, 본 발명은 이러한 막에 제한되지 않는다. 부가적으로, 알루미늄 또는 구리와 같은 매우 낮은 저항의 금속을 포함하는 배선의 구조가 다른 금속성 막들에 의해 협진되거나 이러한 금속들의 합금막이 데이터 배선(852)과 드레인 배선(815)에 대해 바람직하게 사용된다.
- [0103] 드레인 배선(815)은 제 1 패시베이션막(811) 및 제 2 패시베이션막(813)을 통해 게이트 전극들(즉, 게이트 전극들로서 동일한 표면에 형성되는)과 함께 형성되는 커패시터 배선(816)과 대향하여 저장 커패시터(854a)가 생성된다. 또한, 커패시터 배선(816)은 게이트 절연막(808)을 통해 반도체막(817)과 대향하여 저장 커패시터(854b)가 생성된다. 반도체막(817)이 드레인 영역(805)과 전기적으로 연결되기 때문에, 일정한 전압이 커패시터 배선(816)에 인가될 때, 반도체 막은 전극으로 작용한다. 따라서 커패시터부(854)는 저장 커패시터들(854a 및 854b)이 별별로 연결되고, 그에 의해 매우 작은 영역을 갖는 큰 용량을 얻는 구조가 된다. 또한, 특히 저장 커패시터(854a)에 대해, 상대적으로 높은 유전 상수를 갖는 질화 실리콘막이 유전체로 사용되고, 큰 용량이 확보될 수 있다.
- [0104] 예로써, 위의 화소 구조를 갖는 액정 표시 장치의 액정 소자의 실제적인 형성이 도 14a 및 도 14b에 도시된다. 도 14a는 도 13c에 도시된 단면에 대응하는 단면도이고 액정 소자(855)가 화소 전극(857)상에 형성되는 상태를 도시한다. 유기 수지로 만들어진 스페이서(821)가 드레인 배선(815) 상에 제공되고, 정렬막(822)이 그 위에 제공된다. 스페이서(821)와 정렬막(822)의 형성 단계는 반대일 것이다. 또한, 광차폐막(824)이 금속막으로부터 만들어지고, 카운터 전극(825)이 산화 도전막으로부터 만들어지며, 정렬막(826)이 다른 기판(카운터 기판)(823)상에 제공되고, 이후 정렬막(822) 및 정렬막(826)이 실링 재료(도시되지 않음)를 사용하여 서로 대향하여 접착된다. 또한, 액정(827)이 실링 재료에 제공된 액정 주입부로부터 주입되고, 액정 주입부는 이후 액정 표시 장치를 완성하기 위해 실링된다. 일반적인 액정 셀 어셈블리 공정이 스페이서(821)의 형성 후의 공정에 바람직하게 적용된다는 것이 주의된다. 따라서, 상세한 설명이 특별히 생성되지 않는다.
- [0105] 도 14a에 도시된 구조가 사용될 때, 광은 액정(827)을 통해 변조된 카운터 기판(823)의 측면으로부터 입사되고, 기판(801)의 측면으로부터 출사한다. 이 때, 투과 광은 충간 절연막으로 사용된 감광성 유기 수지막(812)을 통해 투과한다. 따라서, 충분한 탈색 공정이 감광성 유기 수지막(812)에 대해 수행되어, 충분히 투과되도록 한다.
- [0106] 다음, 도 14b는 반사 특성을 가진 금속성막으로부터 생성된 드레인 배선(831)이 화소 전극(857) 대신 변경없이 사용되는 예를 도시한다. 반사 특성을 가진 금속성 막과 같이, 알루미늄막(알루미늄 합금 막 포함) 또는 적어도 그 표면 상에 은 박막을 가진 도전막이 사용된다. 도 14a에 제공되는 것과 동일한 참조 심볼들에 대해 다른 부분들과 관련된 설명은 여기서는 생략된다. 도 14b에 도시된 구조가 사용될 때, 광은 액정(827)을 통해 변조된 카운터 기판(823)의 측면으로부터 입사하여, 카운터 기판(823)의 측면으로부터 다시 출사한다. 이때, 광은 드레인 배선(831) 하의 부분을 통해 투과하지 않기 때문에, 메모리 소자, 저항 소자 또는 유사물이 그에 제공될 수 있고 감광성 유기 수지막(812)이 착색될 수 있다. 따라서, 설계에서의 유연성의 정도가 높고 제조 공정이 또한 간단해질 수 있다. 그러므로, 상기 구조는 일반적으로 제조 비용의 감소 기여할 수 있다.
- [0107] [실시예 6]
- [0108] 본 실시예에서, 도들 9a 내지 9d에 도시된 모든 광방출 디바이스의 구조가 도들 15a 내지 15d를 사용하여 설명될 것이다. 도 15a는 박막 트랜지스터들이 실링 재료로 형성되는 소자 기판을 실링함으로써 생성된 광방출 디바이스의 평면도이다. 도 15b는 도 9a의 선 B-B'를 따르는 단면도이다. 도 15c는 도 15a의 선 A-A'을 따르는 단면도이다.
- [0109] 화소부(디스플레이부)(402), 데이터선 드라이버 회로(403), 게이트선 드라이버 회로들(404a 및 404b), 및 보호회로(405)가 화소부(402)의 주변에 제공되고, 기판(401) 상에 위치되며, 실링 재료(406)가 이들의 주변에 제공

된다. 화소부(402)의 구조는 바람직하게 도들 10a 및 10b와 그 설명을 참조한다. 실링 재료(406)로서, 유리 재료, 금속성 재료(전형적으로, 스테인레스 재료), 세라믹 재료 또는 플라스틱 재료(플라스틱 막 포함)가 사용될 수 있다. 도들 10a 및 10b에 도시된 바와 같이, 이는 또한 절연 막으로 실링될 수 있다. 부가적으로, EL 소자로부터 광의 방사 방향에 따라 반투명 재료를 사용하는 것이 필요하다.

[0110] 실링 재료(406)는 데이터선 드라이버 회로(403), 게이트선 드라이버 회로들(404a 및 404b), 및 보호 회로(405)에 부분적으로 오버랩하여 제공될 수 있다. 실링 재료(407)는 실링 재료(406)를 사용하여 제공되며, 폐쇄 공간(408)이 기판(401), 실링 재료(406), 및 실링 재료(407)에 의해 생성된다. 겸습 약품(산화 바륨, 산화 칼슘 등)(409)이 실링 재료(407)의 오목한 부분에 먼저 제공되어 위의 폐쇄 공간(408) 내부의 공기를 개끗하게 유지하기 위해 습기, 산소 등을 흡수하는 기능을 가지며, 이에 의해 EL 층의 열화를 막는다. 오목한 부분은 가는 그물 모양의 도포 재료(410)로 덮어진다. 도포 재료(410)는 공기 및 습기가 통과하는 것을 허용하지만 겸습 약품(409)은 그렇지 않다. 폐쇄 공간(408)은 바람직하게 질소 또는 아르곤과 같은 희가스(noble gas)로 채워지고, 또한 비활성의 경우 수지 또는 용액으로 채워질 수도 있다.

[0111] 또한, 신호들을 데이터선 드라이버 회로(403)와 게이트선 드라이버 회로들(404a 및 404b)로 통과시키기 위한 입력 단말부(411)가 기판(401) 상에 제공된다. 비디오 신호들과 같은 데이터 신호들은 FPC(flexible printed circuit; 412)를 통해 입력 단말부(411)로 전송된다. 도 15b에 도시된 입력 단말부(411)의 단면도에 대해, 산화 도전막(414)이 게이트 배선 또는 데이터 배선과 함께 형성된 배선(413) 상에 적층체되는 구조를 갖는 입력 배선이 전도체(416)가 분산된 수지(417)를 통해 FPC(412) 측면에 제공된 배선(415)에 전기적으로 연결된다. 금 또는 은을 사용하는 평탄화 공정이 전도되는 복합 구형 폴리머는 바람직하게 전도체들(416)에 대해 사용된다.

[0112] 또한, 도 15c에 접선으로 둘러진 영역(418)의 확대도가 도 15d에 도시된다. 보호 회로(405)는 바람직하게 박막 트랜지스터(419)와 커패시터(420)에 의해 조합됨으로써 구성되고, 임의의 공지된 구조가 그를 위해 사용될 수 있다. 본 발명은 커패시터의 형성이 콘택트 홀들의 개선과 함께 포토리소그래피 단계들의 수가 증가하지 않아도 가능한 이러한 특성을 가진다. 본 실시예에서, 커패시터(420)는 특성을 사용하여 형성된다. 박막 트랜지스터(419) 및 커패시터(420)의 구조는 도들 10a 및 10b 및 그의 설명이 참조될 수 있다면 이해될 수 있을 것이고, 따라서 그 설명은 여기서는 생략한다.

[0113] 본 실시예에서, 보호 회로(405)는 입력 단말부(411)와 데이터선 드라이버 회로(403) 사이에 제공된다. 예상치 못한 펄스 신호와 같은 정전 신호가 그 사이에 입력되면, 보호 회로는 펄스 신호를 외부로 방출한다. 이때, 먼저 그때 입력된 높은 전압 신호가 커패시터(420)에 의해 무디어질 수 있고, 다른 높은 전압들이 박막 트랜지스터와 박막 다이오드로 이루어진 회로를 통해 외부로 방출될 수 있다. 물론, 보호 회로는 예를 들면, 화소부(402) 및 데이터선 드라이버 회로(403) 사이의 위치 또는 화소부(402)와 게이트선 드라이버 회로들(404a 및 404b) 사이의 위치들과 같은 다른 장소에서 제공될 수도 있다.

[0114] 위에서 설명된 바와 같이, 이러한 실시예를 따라, 본 발명이 수행될 때 예를 들면 입력 단말부에 제공되는 정전 한계들 등에 대한 보호 회로를 위해 사용된 커패시터가 동시에 형성된다는 것이 나타난다. 이러한 실시예는 실시예들 1 내지 5의 임의의 구조로 조합되는 것에 의해 수행될 수 있다.

[0115] [실시예 7]

[0116] 본 발명의 디스플레이 장치를 디스플레이부로 사용하는 전자 장치들의 예들은: 비디오 카메라; 고글형 디스플레이(헤드 마운트 디스플레이); 네비게이션 시스템; 음향 재생 장치(카 오디오, 오디오 콤포넌트, 등); 랩탑 컴퓨터; 게임 기기; 휴대용 정보 단말(모바일 컴퓨터, 휴대 전화, 휴대형 게임기, 전자책, 등); 및 기록 매체를 포함하는 이미지 재생 장치(특히, DVD(Digital Versatile Disk)와 같은 기록 매체에 데이터를 처리하는 것이 가능하고 데이터의 이미지를 디스플레이할 수 있는 디스플레이 장치를 갖는 장치)가 있다. 전자장치들의 특정 예들이 도들 16a 내지 16h에 도시된다.

[0117] 도 16a는 케이싱(2001), 지지 기반(2002), 디스플레이 유닛(2003), 스포커 유닛들(2004), 비디오 입력 단말(2005) 등을 포함하는 텔레비전을 도시한다. 본 발명은 디스플레이 유닛(2003)에 적용된다. 텔레비전이라는 용어는 개인 컴퓨터를 위한, TV 방송을 수신하기 위한, 및 광고를 위한 정보를 디스플레이 하기 위한 모든 텔레비전을 포함한다.

[0118] 도 16b는 주 몸체(2101), 디스플레이 유닛(2102), 이미지 수신 유닛(2103), 동작 키들(2104), 외부 연결 포트(2105), 셔터(2106) 등을 포함하는 디지털 카메라를 도시한다. 본 발명은 디스플레이 유닛(2102)에 적용된다.

[0119] 도 16c는 주 몸체(2201), 케이싱(2202), 디스플레이 유닛(2203), 키보드(2204), 외부 연결 포트(2205), 포인팅

마우스(2206) 등을 포함하는 랙탑 컴퓨터를 도시한다. 본 발명은 디스플레이 유닛(2203)에 적용된다.

[0120] 도 16d는 주 몸체(2301), 디스플레이 유닛(2302), 스위치(2303), 동작 키들(2304), 적외선 포트(2305) 등을 포함하는 이동 컴퓨터를 도시한다. 본 발명은 디스플레이 유닛(2302)에 적용된다.

[0121] 도 16e는 기록 매체(특히, DVD 플레이어)에 갖추어진 휴대용 이미지 재생 장치를 도시한다. 장치는 주 몸체(2401), 케이싱(2402), 디스플레이 유닛 A(2403), 디스플레이 유닛 B(2404), 기록 매체(DVD와 같은) 판독 유닛(2405), 동작 키들(2406), 스피커 유닛들(2407) 등을 포함한다. 디스플레이 유닛 A(2403)는 주로 이미지 정보를 디스플레이하고, 디스플레이 유닛 B(2404)는 주로 텍스트 정보를 디스플레이한다. 본 발명은 디스플레이 유닛 A(2703) 및 B(2404)에 적용된다. 기록 매체에 갖추어진 휴대용 이미지 재생 장치라는 용어는 가정의 게임 기기들을 포함한다.

[0122] 도 16f는 주 몸체(2501), 디스플레이 유닛(2502), 및 암(arm) 유닛들(2503)을 포함하는 고글형 디스플레이(헤드 마운트 디스플레이)를 도시한다. 본 발명은 디스플레이 유닛(2502)에 적용된다.

[0123] 도 16g는 주 몸체(2601), 디스플레이 유닛(2602), 케이싱(2603), 외부 연결 포트(2604), 원격 제어 수신 유닛(2605), 이미지 수신 유닛(2606), 배터리(2607), 오디오 입력 유닛(2608), 동작 키들(2609), 등을 포함하는 비디오 카메라를 도시한다. 본 발명은 디스플레이 유닛(2602)에 적용된다.

[0124] 도 16h는 주 몸체(2701), 케이싱(2702), 디스플레이 유닛(2703), 오디오 입력 유닛(2704), 동작 키들(2706), 외부 연결 포트(2707), 안테나(2708) 등을 포함하는 휴대 전화를 도시한다. 본 발명은 디스플레이 유닛(2703)에 적용된다. 디스플레이 유닛(2703)이 검은 배경에 흰 문자들을 디스플레이하면, 휴대 전화의 전원 소비가 감소될 수 있다.

[0125] 위에서 설명된 바와 같이, 본 발명을 적용함에 의해 얻어진 디스플레이 장치는 모든 전자 기기들의 디스플레이 유닛들로서 사용될 수 있다. 저가격 디스플레이 장치가 제공될 수 있으며 전자 기기들의 부품들의 가격이 낮아질 수 있다. 디스플레이 장치의 동작의 안정성이 개선될 수 있기 때문에 회로 설계에서의 설계 마진이 본 발명에서 확장될 수 있고, 저가격 디스플레이 장치가 제공될 수 있으며 전자 기기들의 부품들의 가격이 낮아질 수 있다. 또한, 본 실시예의 전자 기기들은 실시예들 1 내지 6에 도시된 디스플레이 장치들의 임의의 구성을 사용할 수 있다.

[0126] 본 발명에 따라, 회로 설계에서 높은 설계 마진을 갖는 처리에 의해 박막 트랜지스터의 임계 전압을 변화시키지 않고 표시 장치가 제조될 수 있으며, 표시 장치의 동작 수행의 안정성의 개선이 이루어질 수 있다. 또한, 포토리소그래피 단계들의 수를 증가시키지 않고 위의 박막 트랜지스터 갖는 작은 영역의 큰 커페시터가 제조될 수 있으며, 이에 의해 표시 장치의 이미지 품질이 개선된다.

발명의 효과

[0127] 본 발명은 충간 절연막으로서 유기 수지막을 사용하여 표시 장치를 제조할 때 그 임계 전압을 변화시키지 않고 박막 트랜지스터를 제공함으로써 표시 장치의 동작 성능의 안정성의 향상 및 회로 설계시 설계 마진의 확장을 달성하고, 표시 장치의 화질의 향상을 달성한다.

도면의 간단한 설명

[0001] 도 1a 및 도 1b는 박막 트랜지스터의 구조를 도시한 도면.

[0002] 도 2a 내지 도 2e는 박막 트랜지스터를 제조하는 공정을 도시한 도면.

[0003] 도 3a 및 도 3b는 유기 수지막의 단면 구조를 도시하는 SEM 사진 및 개략도.

[0004] 도 4a 및 도 4b는 임계 전압들에서의 분산들을 도시한 도면.

[0005] 도 5a 및 도 5b는 유기 수지막의 단면 구조를 도시하는 SEM 사진 및 개략도.

[0006] 도 6a 및 도 6b는 유기 수지막의 단면 구조를 도시하는 SEM 사진 및 개략도.

[0007] 도 7a 및 도 7b는 유기 수지막의 단면 구조를 보여주는 SEM 사진 및 개략도.

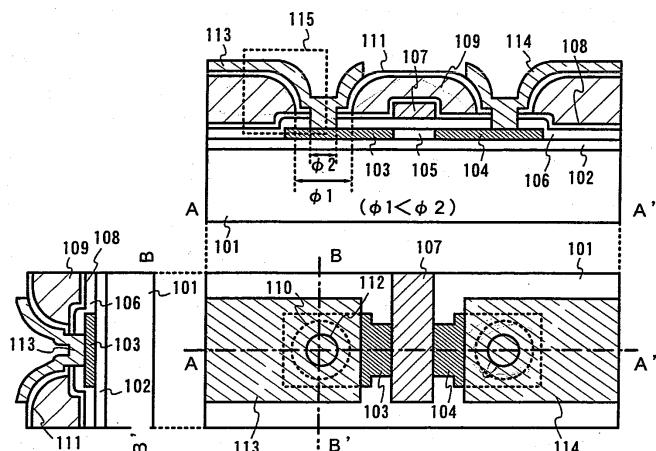
[0008] 도 8a 및 도 8b는 박막 트랜지스터의 구조를 도시한 도면.

[0009] 도 9a 내지 도 9d는 발광 디바이스의 화소 구조를 도시한 도면.

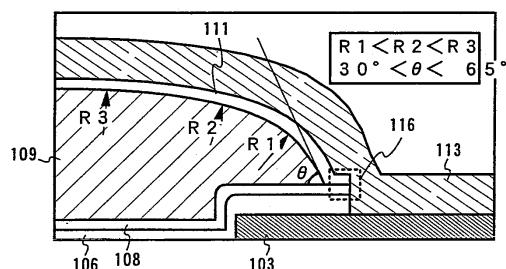
- [0010] 도 10a 및 도 10b는 발광 디바이스의 단면 구조들을 도시한 도면.
- [0011] 도 11a 내지 도 11c는 발광 디바이스의 단면 구조들을 도시한 도면.
- [0012] 도 12는 박막 트랜지스터의 구조를 도시한 도면.
- [0013] 도 13a 내지 도 13d는 액정 표시 장치의 화소 구조를 도시한 도면.
- [0014] 도 14a 및 도 14b는 액정 표시 장치의 단면 구조들을 도시한 도면.
- [0015] 도 15a 내지 도 15d는 발광 디바이스의 외관 구조를 도시한 도면.
- [0016] 도 16a 내지 도 16h는 전기 기구들의 특정예들을 도시한 도면.
- [0017] 도 17a 및 도 17b는 질화 실리콘막이 유전체로 사용되는 경우에 MOS 구조의 C-V 특성을 도시한 도면.
- [0018] * 도면의 주요 부분에 대한 부호의 설명 *
- [0019] 951 : 케이트 배선
952 : 데이타 배선
- [0020] 956 : 커패시터부
957 : EL 소자
- [0021] 904: 소스 영역
905 : 드레인 영역

도면

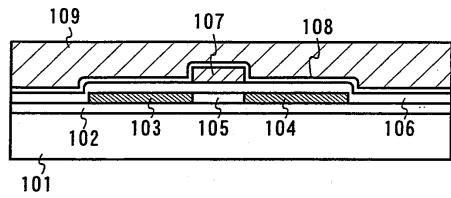
도면1a



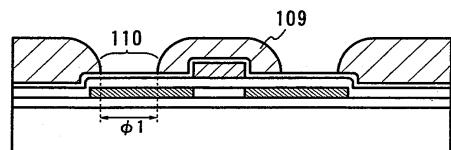
도면1b



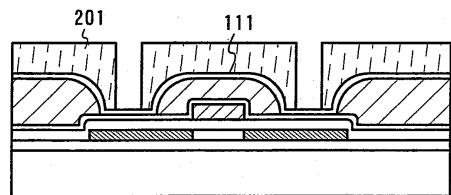
도면2a



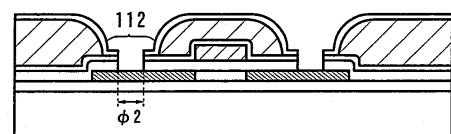
도면2b



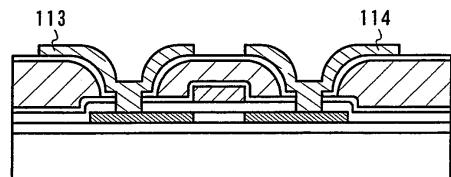
도면2c



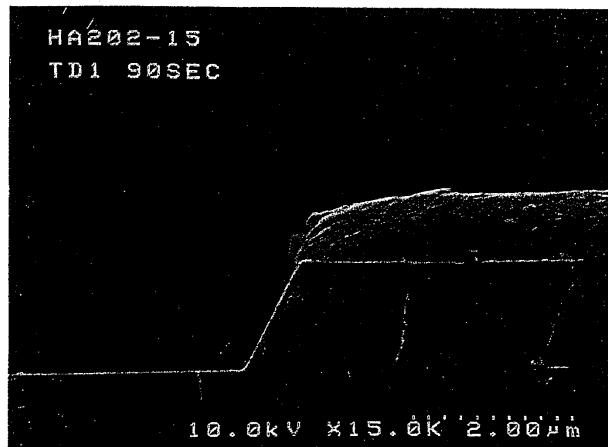
도면2d



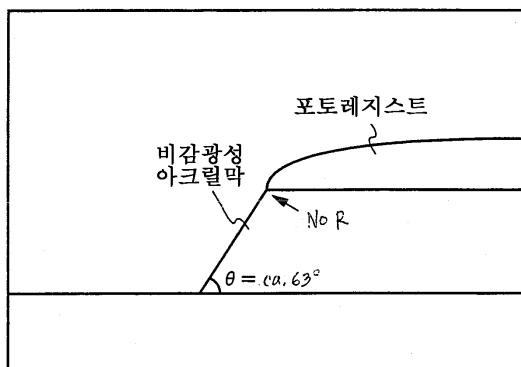
도면2e



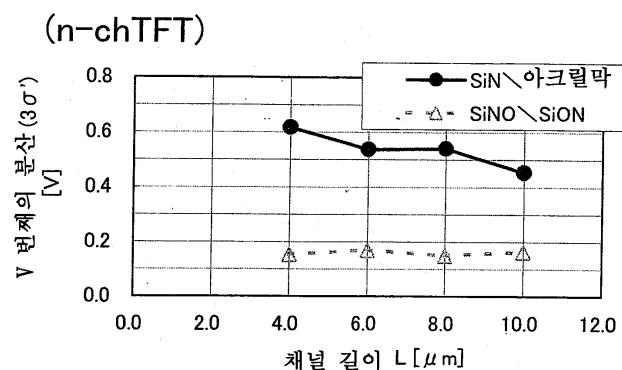
도면3a



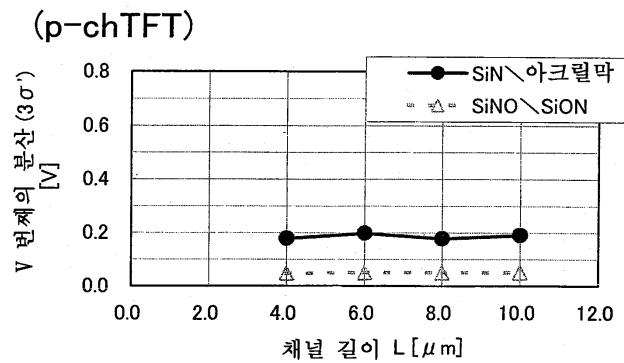
도면3b



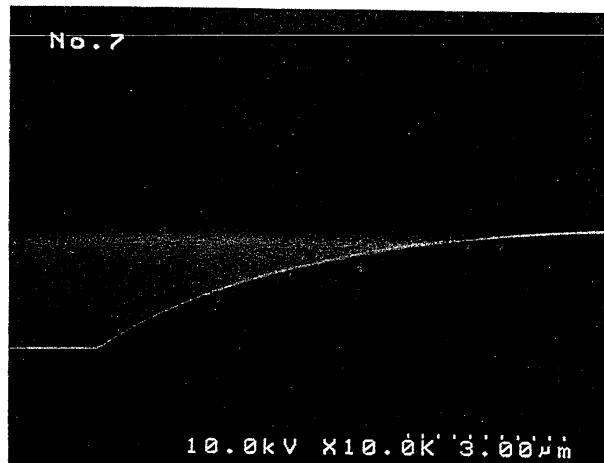
도면4a



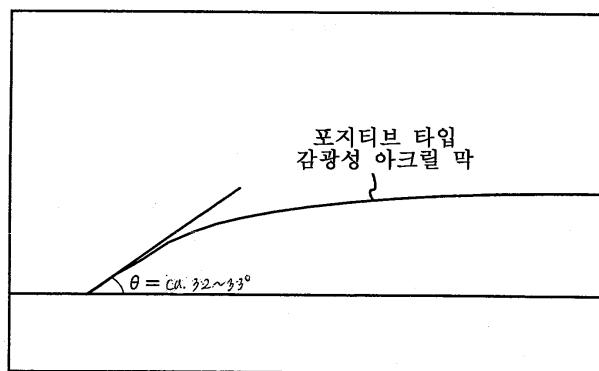
도면4b



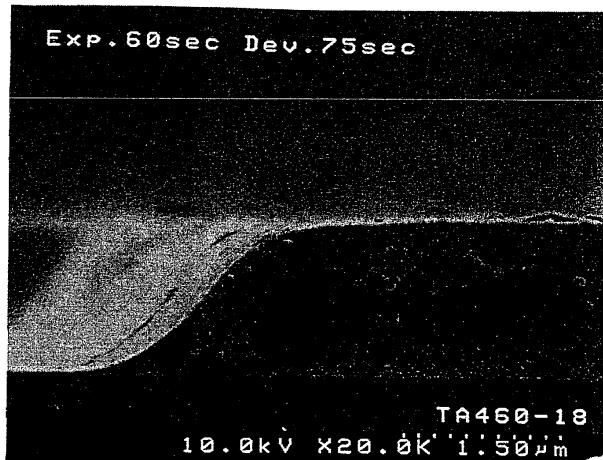
도면5a



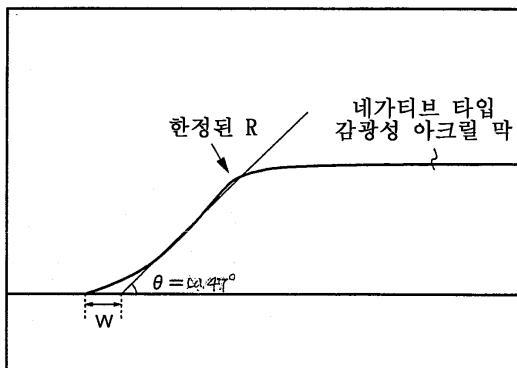
도면5b



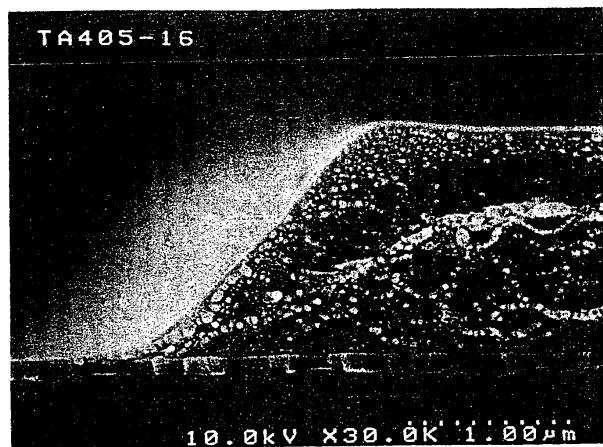
도면6a



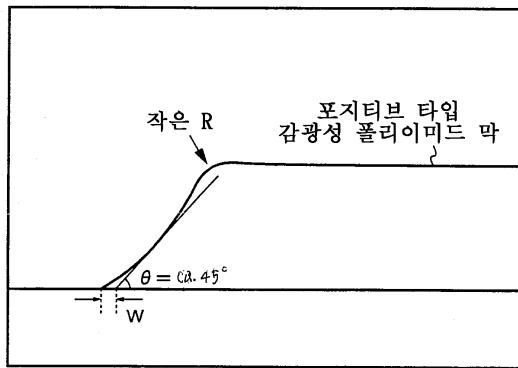
도면6b



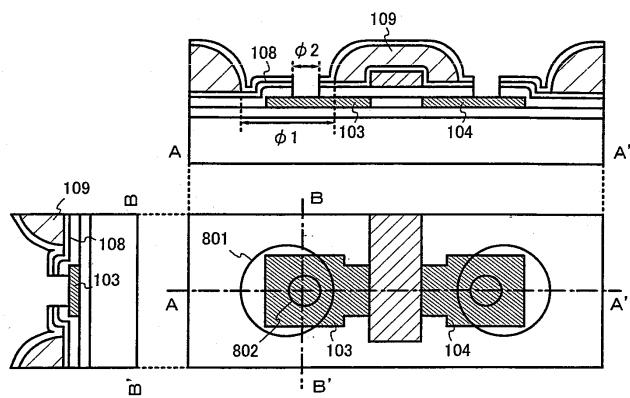
도면7a



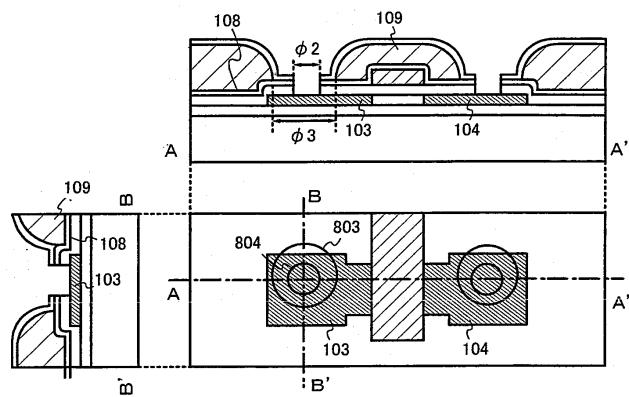
도면7b



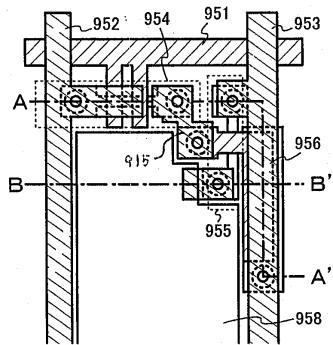
도면8a



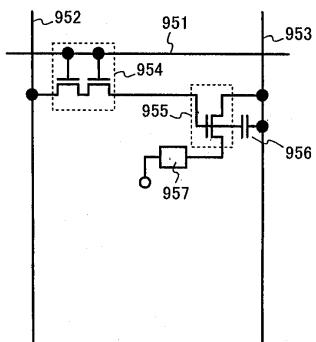
도면8b



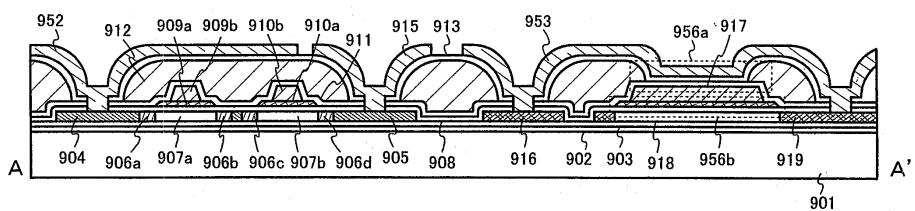
도면9a



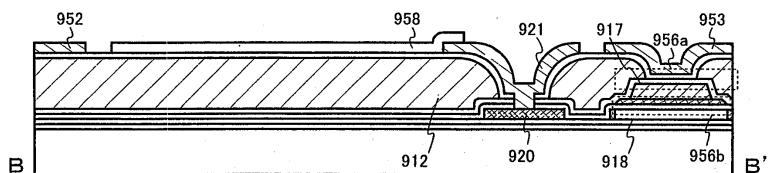
도면9b



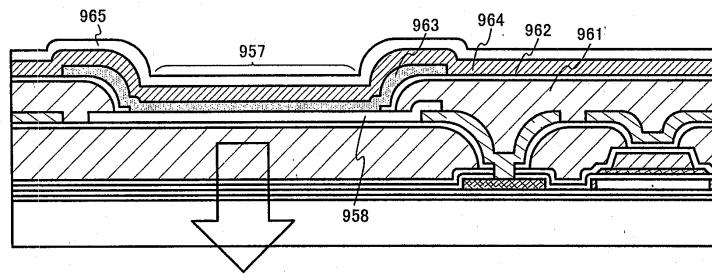
도면9c



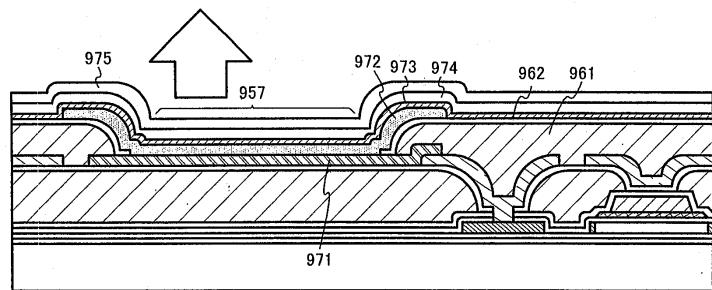
도면9d



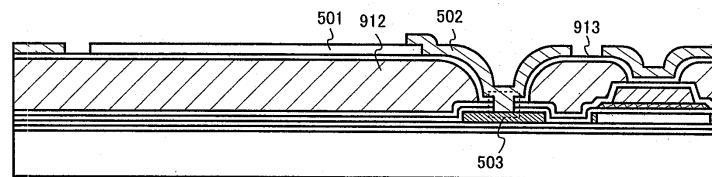
도면10a



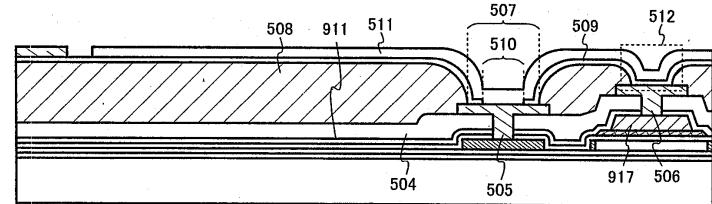
도면10b



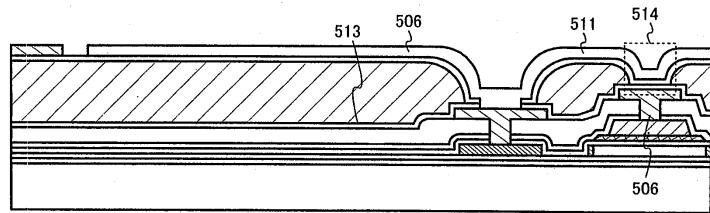
도면11a



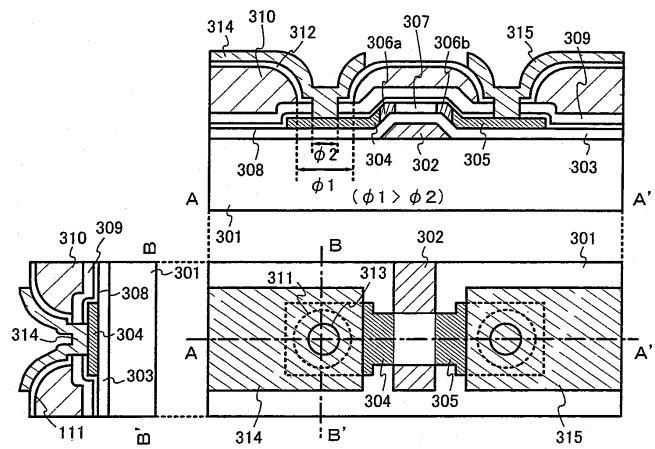
도면11b



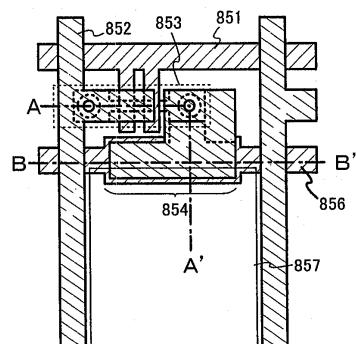
도면11c



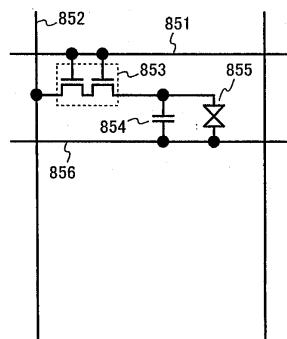
도면12



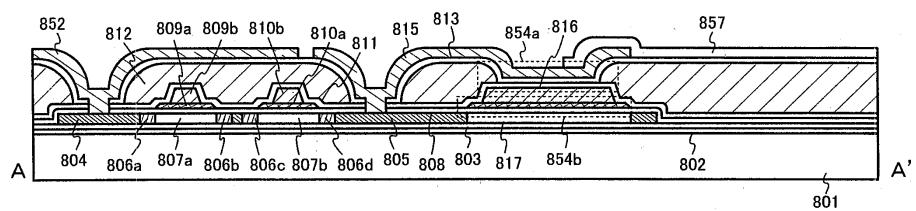
도면13a



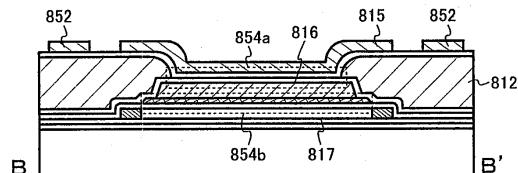
도면13b



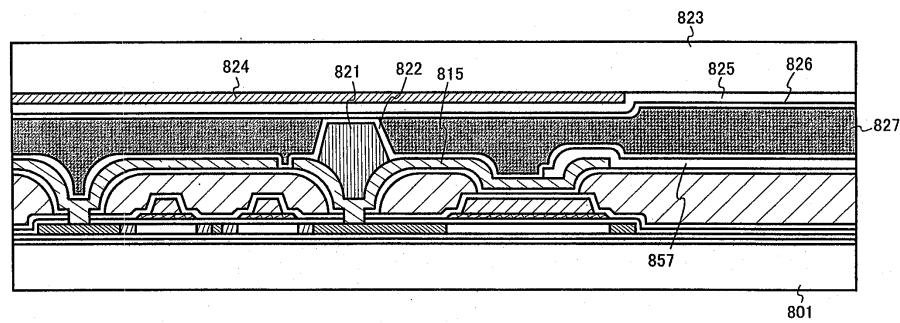
도면13c



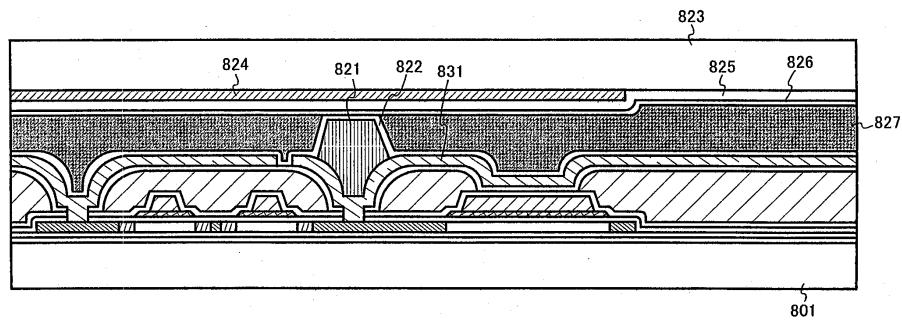
도면13d



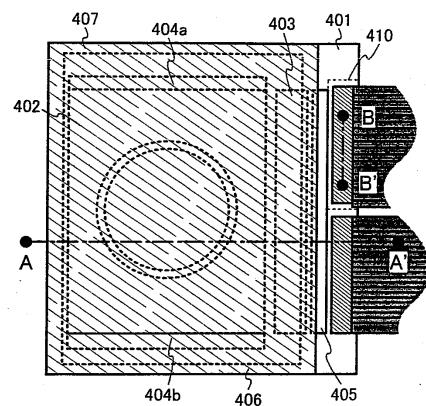
도면14a



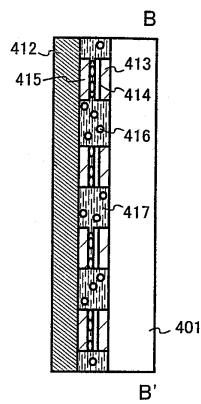
도면14b



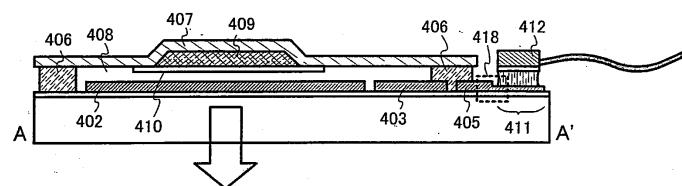
도면15a



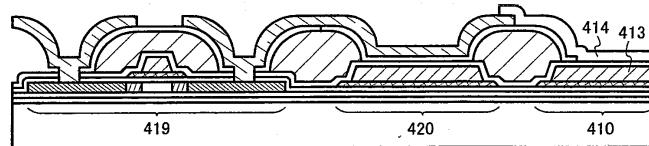
도면15b



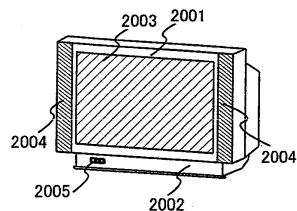
도면15c



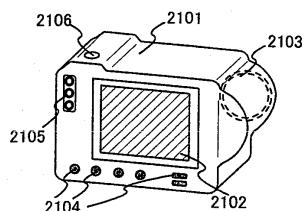
도면15d



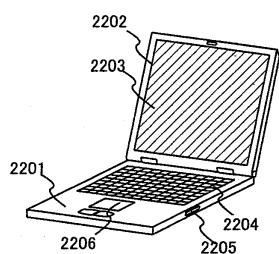
도면16a



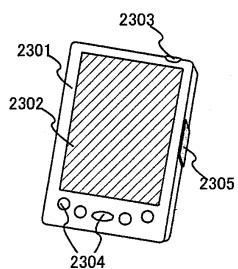
도면16b



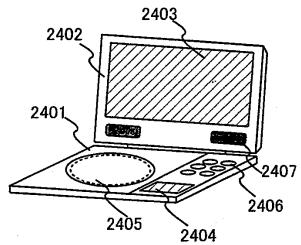
도면16c



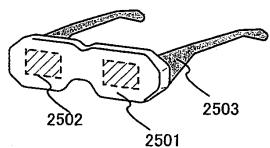
도면16d



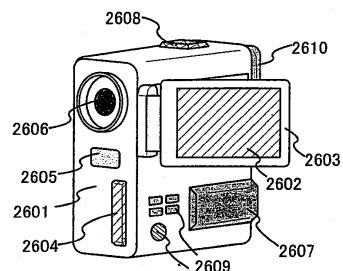
도면16e



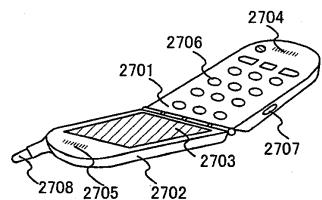
도면16f



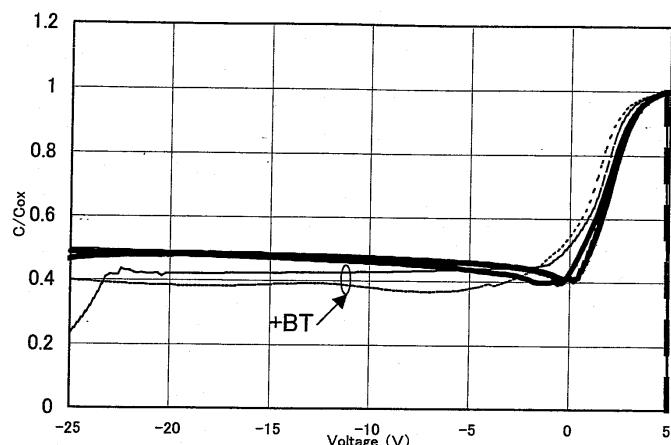
도면16g



도면16h

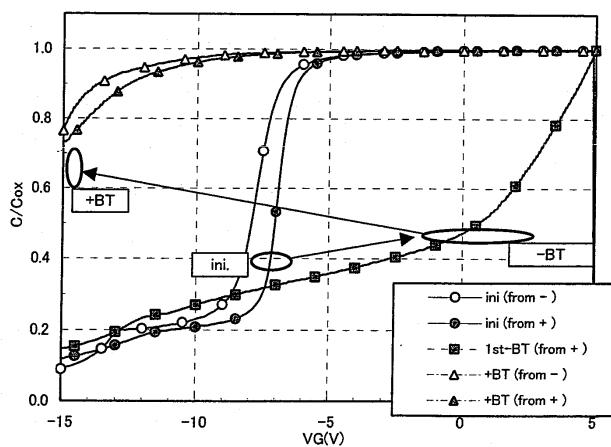


도면17a



MOS-CV의 특징들
(Si＼SiO₂＼RF-SP SiN＼Li-dip＼Al)

도면17b



MOS-CV의 특징들
(Si 웨이퍼＼CVD SiN(100nm)＼Al-Li)