

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2025년 1월 2일 (02.01.2025)



(10) 국제공개번호

WO 2025/005533 A1

(51) 국제특허분류:

H10B 43/50 (2023.01)

H10B 51/50 (2023.01)

H10B 43/27 (2023.01)

H10B 51/20 (2023.01)

H10B 43/10 (2023.01)

H10B 51/10 (2023.01)

H10B 80/00 (2023.01)

(21) 국제출원번호:

PCT/KR2024/007855

(22) 국제출원일:

2024년 6월 10일 (10.06.2024)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2023-0082265 2023년 6월 27일 (27.06.2023) KR

(71) 출원인: 한양대학교 산학협력단 (IUCF-HYU (IN-

DUSTRY-UNIVERSITY COOPERATION FOUN-

DATION HANYANG UNIVERSITY)) [KR/KR]; 04763

서울특별시 성동구 왕십리로 222, Seoul (KR).

(72) 발명자: 송윤홍 (SONG, Yun Heub); 04763 서울특별시

성동구 왕십리로 222, Seoul (KR).

(74) 대리인: 양정보 (YANG, Sungbo); 06099

서울특별시 강남구 선릉로125길 14 삼성빌딩 2층

피앤티특허법률사무소, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의

국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,

AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ,

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH,

KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,

MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO,

NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,

TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의

역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,

KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,

UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,

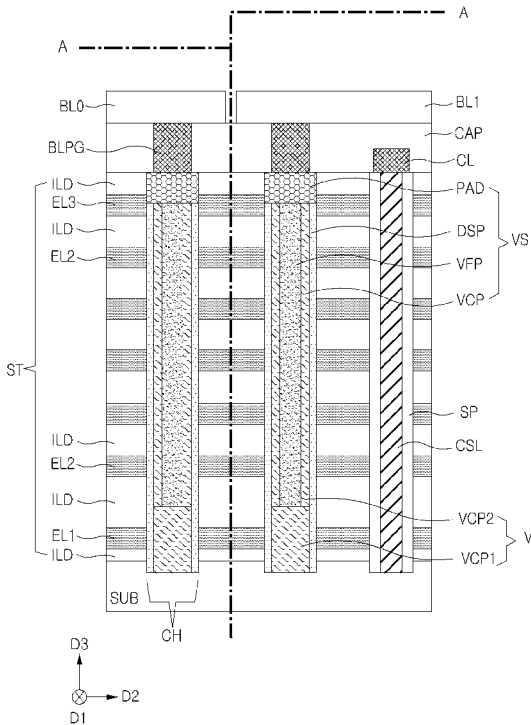
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,

(54) Title: THREE-DIMENSIONAL FLASH MEMORY FOR PREVENTING COLLAPSE OF STACKED STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭: 적층 구조체의 무너짐을 방지하는 3차원 플래시 메모리 및 그 제조 방법



(57) Abstract: Disclosed are a three-dimensional flash memory for preventing collapse of a stacked structure and a manufacturing method therefor. According to one embodiment of the present invention, the three-dimensional flash memory comprises: stacked structures each including gate electrodes that extend in a horizontal direction on a substrate and are stacked and spaced apart in a vertical direction, and vertical channel structures that penetrate the gate electrodes and extend in the vertical direction, wherein each of the vertical channel structures includes a data storage pattern and a vertical channel pattern; an isolation trench provided in the vertical direction between the stacked structures such that the stack structures are separated from each other; and a common source line formed in the isolation trench, wherein the isolation trench has at least one connection part that supports the stacked structures in order to prevent the stacked structures from collapsing through the isolation trench before the common source line is formed.

(57) 요약서: 적층 구조체의 무너짐을 방지하는 3차원 플래시 메모리 및 그 제조 방법이 개시된다. 일 실시예에 따르면, 3차원 플래시 메모리는 기판 상 수평 방향으로 연장 형성된 게이트 전극들 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 데이터 저장 패턴 및 수직 채널 패턴을 포함함-을 포함하는 적층 구조체들; 상기 적층 구조체들이 분리되도록 상기 적층 구조체들 사이에 상기 수직 방향으로 제공되는 분리 트렌치; 및 상기 분리 트렌치 내에 형성되는 공통 소스 라인을 포함하고, 상기 분리 트렌치 내에는, 상기 공통 소스 라인이 형성되기 이전에 상기 분리 트렌치를 통해 상기 적층 구조체들이 무너지는 것을 방지하기 위해 상기 적층 구조체들 사이를 지지하는 적어도 하나의 연결부를 포함하는 것을 특징으로 할 수 있다.

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 적층 구조체의 무너짐을 방지 하는 3차원 플래시 메모리 및 그 제조 방법

기술분야

- [1] 아래의 실시예들은 적층 구조체의 무너짐을 방지하는 3차원 플래시 메모리 및 그 제조 방법에 대한 것이다.

배경기술

- [2] 플래시 메모리 소자는 F-N 터널링(Fowler-Nordheimtunneling) 또는 열전자 주입(Hot electron injection)에 의해 전기적으로 데이터의 입출력을 제어하여 전기적으로 프로그램 및 소거가 가능한 판독 전용 메모리(Electrically Erasable Programmable Read Only Memory; EEPROM)로서, 컴퓨터, 디지털 카메라, MP3 플레이어, 게임 시스템, 메모리 스틱(Memory stick) 등에 공통적으로 이용될 수 있다.
- [3] 이러한 플래시 메모리 소자에서는 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 집적도를 증가시키는 것이 요구된 바, 메모리 셀 트랜지스터들이 수직 방향으로 배열되어 셀 스트링을 구성하는 3차원 구조가 제안되었다.
- [4] 그러나 3차원 플래시 메모리는 수직 방향으로의 고단화로 인해 적층 구조체들 사이에 공통 소스 라인이 형성될 분리 트렌치를 통해 적층 구조체들이 무너지는 문제점을 갖는다.
- [5] 따라서, 아래의 실시예들은 설명된 기존의 3차원 플래시 메모리가 갖는 문제점을 해결하는 기술을 제안하고자 한다.

발명의 상세한 설명

기술적 과제

- [6] 일 실시예들은 적층 구조체의 무너짐을 방지하고자, 분리 트렌치 내에 적어도 하나의 연결부를 포함하는 구조의 3차원 플래시 메모리 및 그 제조 방법을 제안한다.
- [7] 다만, 본 발명이 해결하고자 하는 기술적 과제들은 상기 과제로 한정되는 것이 아니며, 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있다.

과제 해결 수단

- [8] 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 데이터 저장 패턴 및 수직 채널 패턴을 포함함-을 포함하는 적층 구조체들; 상기 적층 구조체들이 분리되도록 상기 적층 구조체들 사이에 상기

수직 방향으로 제공되는 분리 트렌치; 및 상기 분리 트렌치 내에 형성되는 공통 소스 라인을 포함하고, 상기 분리 트렌치 내에는, 상기 공통 소스 라인이 형성되기 이전에 상기 분리 트렌치를 통해 상기 적층 구조체들이 무너지는 것을 방지하기 위해 상기 적층 구조체들 사이를 지지하는 적어도 하나의 연결부가 포함되는 것을 특징으로 할 수 있다.

[9] 일 측에 따르면, 상기 적어도 하나의 연결부는, 상기 적층 구조체들을 전기적으로 분리시키기 위해 절연 물질로 형성되는 것을 특징으로 할 수 있다.

[10] 다른 일 측에 따르면, 상기 3차원 플래시 메모리는, 상기 공통 소스 라인의 상부에 배치된 채, 상기 공통 소스 라인이 상기 적어도 하나의 연결부에 의해 분절된 부분들을 서로 연결시키는 연결 배선을 더 포함하는 것을 특징으로 할 수 있다.

[11] 또 다른 일 측에 따르면, 상기 3차원 플래시 메모리는, 상기 분리 트렌치 내 상기 공통 소스 라인의 측면을 감싸는 절연 스페이서들을 더 포함하는 것을 특징으로 할 수 있다.

[12] 일 실시예에 따르면, 3차원 플래시 메모리의 제조 방법은, 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들을 포함하는 반도체 구조체를 준비하는 단계; 상기 반도체 구조체에 상기 수직 방향으로 분리 트렌치를 형성하여 상기 분리 트렌치에 의해 분리되는 적층 구조체들을 생성하는 단계; 및 상기 분리 트렌치 내에 공통 소스 라인을 형성하는 단계를 포함하고, 상기 적층 구조체들을 생성하는 단계는, 상기 분리 트렌치를 통해 상기 적층 구조체들이 무너지는 것을 방지하기 위해 상기 반도체 구조체 상 상기 적층 구조체들 사이를 지지하는 적어도 하나의 연결부를 남기고 상기 분리 트렌치를 형성하는 단계인 것을 특징으로 할 수 있다.

[13] 일 실시예에 따르면, 3차원 플래시 메모리의 제조 방법은, 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 희생층들을 포함하는 반도체 구조체를 준비하는 단계; 상기 반도체 구조체에 상기 수직 방향으로 분리 트렌치를 형성하여 상기 분리 트렌치에 의해 분리되는 적층 구조체들을 생성하는 단계; 상기 분리 트렌치 내에 공통 소스 라인을 형성하는 단계; 상기 적층 구조체들 각각에서 상기 희생층들을 제거하는 단계; 및 상기 희생층들이 제거된 공간들에 게이트 전극들을 형성하는 단계를 포함하고, 상기 적층 구조체들을 생성하는 단계는, 상기 분리 트렌치를 통해 상기 적층 구조체들이 무너지는 것을 방지하기 위해 상기 반도체 구조체 상 상기 적층 구조체들 사이를 지지하는 적어도 하나의 연결부를 남기고 상기 분리 트렌치를 형성하는 단계인 것을 특징으로 할 수 있다.

[14] 일 측에 따르면, 상기 공통 소스 라인을 형성하는 단계는, 상기 공통 소스 라인을 형성한 이후, 상기 적어도 하나의 연결부를 절연 물질로 대체하는 단계를 더 포함하는 것을 특징으로 할 수 있다.

[15] 다른 일 측에 따르면, 상기 대체하는 단계는, 상기 반도체 구조체에서 상기 적어도 하나의 연결부에 해당하는 부분을 제거하여 공간을 확보하는 단계; 및 상기

확보된 공간에 상기 절연 물질을 채워 넣어 상기 적어도 하나의 연결부를 상기 절연 물질로 대체하는 단계를 포함하는 것을 특징으로 할 수 있다.

[16] 또 다른 일 측면에 따르면, 상기 공통 소스 라인을 형성하는 단계는, 상기 적어도 하나의 연결부를 상기 절연 물질로 대체한 이후, 상기 공통 소스 라인이 상기 적어도 하나의 연결부에 의해 분절된 부분들을 서로 연결시키도록 상기 공통 소스 라인의 상부에 연결 배선을 배치하는 단계를 더 포함하는 것을 특징으로 할 수 있다.

[17] 또 다른 일 측면에 따르면, 상기 공통 소스 라인을 형성하는 단계는, 상기 분리 트렌치 내 상기 공통 소스 라인의 측면을 감싸는 절연 스페이서들을 형성하는 단계를 더 포함하는 것을 특징으로 할 수 있다.

[18] 또 다른 일 측면에 따르면, 상기 3차원 플래시 메모리의 제조 방법은, 상기 게이트 전극들 또는 상기 희생층들을 관통하도록 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 데이터 저장 패턴 및 수직 채널 패턴을 포함함-을 상기 수직 방향으로 연장 형성하는 단계를 더 포함하는 것을 특징으로 할 수 있다.

발명의 효과

[19] 일 실시예들은 분리 트렌치 내에 적어도 하나의 연결부를 포함하는 구조의 3차원 플래시 메모리 및 그 제조 방법을 제안함으로써, 적층 구조체의 무너짐을 방지할 수 있다.

[20] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있다.

도면의 간단한 설명

[21] 도 1은 일 실시예에 따른 3차원 플래시 메모리의 어레이를 도시한 간략 회로도이다.

[22] 도 2는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 평면도이다.

[23] 도 3은 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 2를 A-A'선으로 자른 단면에 해당된다.

[24] 도 4는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 2를 B-B'선으로 자른 단면에 해당된다.

[25] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 도시한 플로우 차트이다.

[26] 도 6a 내지 6f는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리의 구조를 도시한 평면도이다.

[27] 도 7a 내지 7f는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 6a 내지 6f를 A-A'선으로 자른 단면에 해당된다.

[28] 도 8a 내지 8f는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 6a 내지 6f를 B-B'선으로 자른 단면에 해당된다.

[29] 도 9는 다른 실시예에 따른 3차원 플래시 메모리의 제조 방법을 도시한 플로우 차트이다.

[30] 도 10은 일 실시예에 따른 3차원 플래시 메모리를 포함하는 전자 시스템을 개략적으로 도시한 사시도이다.

발명의 실시를 위한 최선의 형태

[31] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[32] 또한, 본 명세서에서 사용되는 용어(Terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 시청자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 예컨대, 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 본 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 본 명세서에서 제1, 제2 등의 용어가 다양한 영역, 방향, 형상 등을 기술하기 위해서 사용되었지만, 이들 영역, 방향, 형상이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역, 방향 또는 형상을 다른 영역, 방향 또는 형상과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에서 제1 부분으로 언급된 부분이 다른 실시예에서는 제2 부분으로 언급될 수도 있다.

[33] 또한, 본 발명의 다양한 실시 예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서 다른 실시 예로 구현될 수 있다. 또한, 제시된 각각의 실시예 범주에서 개별 구성요소의 위치, 배치, 또는 구성은 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다.

[34] 이하, 도면들을 참조하여 적층 구조체의 무너짐을 방지하고자, 분리 트렌치 내에 적어도 하나의 연결부를 포함하는 구조의 3차원 플래시 메모리 및 그 제조 방법에 대해 상세히 설명한다.

[35]

[36] 도 1은 일 실시예에 따른 3차원 플래시 메모리의 어레이를 도시한 간략 회로도이다.

[37] 도 1을 참조하면, 일 실시예에 따른 3차원 플래시 메모리의 어레이는 공통 소스 라인(CSL), 복수의 비트 라인들(BL0, BL1, BL2) 및 공통 소스 라인(CSL)과 비트 라인들(BL0, BL1, BL2) 사이에 배치되는 복수의 셀 스트링들(CSTR)을 포함할 수 있다.

- [38] 비트 라인들(BL0, BL1, BL2)은 제2 방향(D2)으로 연장 형성된 채 제1 방향(D1)을 따라 서로 이격되며 2차원적으로 배열될 수 있다. 여기서, 제1 방향(D1), 제2 방향(D2) 및 제3 방향(D3) 각각은 서로 직교하며 X, Y, Z축으로 정의되는 직각 좌표계를 형성할 수 있다.
- [39] 비트 라인들(BL0, BL1, BL2) 각각에는 복수의 셀 스트링들(CSTR)이 병렬로 연결될 수 있다. 셀 스트링들(CSTR)은 비트 라인들(BL0, BL1, BL2)과 하나의 공통 소스 라인(CSL) 사이에 제공된 채 공통 소스 라인(CSL)에 공통으로 연결될 수 있다. 이 때, 공통 소스 라인(CSL)은 복수 개로 제공될 수 있으며, 복수의 공통 소스 라인들(CSL)은 제1 방향(D1)으로 연장 형성된 채 제2 방향(D2)을 따라 서로 이격되며 2차원적으로 배열될 수 있다. 복수의 공통 소스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으나, 이에 제한되거나 한정되지 않고 복수의 공통 소스 라인들(CSL) 각각이 전기적으로 독립적으로 제어됨으로써 서로 다른 전압이 인가될 수도 있다.
- [40] 셀 스트링들(CSTR)은 제3 방향(D3)으로 연장 형성된 채 비트 라인별로 제2 방향(D2)을 따라 서로 이격되며 배열될 수 있다. 실시예에 따르면, 셀 스트링들(CSTR) 각각은 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트 라인들(BL0, BL1, BL2)에 접속하며 직렬 연결된 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2), 접지 선택 트랜지스터(GST)와 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2) 사이에 배치된 채 직렬 연결된 메모리 셀 트랜지스터들(MCT) 및 소거 제어 트랜지스터(ECT)로 구성될 수 있다. 또한, 메모리 셀 트랜지스터들(MCT) 각각은 데이터 저장 요소(Data storage element)를 포함할 수 있다.
- [41] 일 예로, 각각의 셀 스트링들(CSTR)은 직렬 연결된 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2)을 포함할 수 있으며, 제2 스트링 선택 트랜지스터(SST2)는 비트 라인들(BL0, BL1, BL2) 중 하나에 접속될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 각각의 셀 스트링들(CSTR)은 하나의 스트링 선택 트랜지스터를 포함할 수도 있다. 다른 예로, 각각의 셀 스트링들(CSTR)에서 접지 선택 트랜지스터(GST)는, 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2)와 유사하게, 직렬 연결된 복수 개의 모스 트랜지스터들로 구성될 수도 있다.
- [42] 하나의 셀 스트링(CSTR)은 공통 소스 라인들(CSL)로부터의 거리가 서로 다른 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 즉, 메모리 셀 트랜지스터들(MCT)은 제1 스트링 선택 트랜지스터(SST1)와 접지 선택 트랜지스터(GST) 사이에서 제3 방향(D3)을 따라 배치된 채 직렬 연결될 수 있다. 소거 제어 트랜지스터(ECT)는 접지 선택 트랜지스터(GST)와 공통 소스 라인들(CSL) 사이에 연결될 수 있다. 셀 스트링들(CSTR) 각각은 제1 스트링 선택 트랜지스터(SST1)와 메모리 셀 트랜지스터들(MCT) 중 최상위의 것 사이 및 접지 선택 트랜지스터(GST)와 메모리 셀 트랜지스터들(MCT) 중 최하위의 것 사이에 각각 연결된 더미 셀 트랜지스터들(DMC)을 더 포함할 수 있다.

- [43] 실시예에 따르면, 제1 스트링 선택 트랜지스터(SST1)는 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3)에 의해 제어될 수 있으며, 제2 스트링 선택 트랜지스터(SST2)는 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)에 의해 제어될 수 있다. 메모리 셀 트랜지스터들(MCT)은 복수의 워드 라인들(WL0-WL_n)에 의해 각각 제어될 수 있으며, 더미 셀 트랜지스터들(DMC)은 더미 워드 라인(DWL)에 의해 각각 제어될 수 있다. 접지 선택 트랜지스터(GST)는 접지 선택 라인들(GSL0, GSL1, GSL2)에 의해 제어될 수 있으며, 소거 제어 트랜지스터(ECT)는 소거 제어 라인(ECL)에 의해 제어될 수 있다. 소거 제어 트랜지스터(ECT)는 복수로 제공될 수 있다. 공통 소스 라인들(CSL)은 소거 제어 트랜지스터들(ECT)의 소스들에 공통으로 연결될 수 있다.
- [44] 공통 소스 라인들(CSL)로부터 실질적으로 동일한 거리에 제공되는, 메모리 셀 트랜지스터들(MCT)의 게이트 전극들은 워드 라인들(WL0-WL_n, DWL) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 그러나 이에 제한되거나 한정되지 않고, 메모리 셀 트랜지스터들(MCT)의 게이트 전극들이 공통 소스 라인들(CSL)로부터 실질적으로 동일한 레벨에 제공되더라도, 서로 다른 행 또는 열에 제공되는 게이트 전극들이 독립적으로 제어될 수도 있다.
- [45] 접지 선택 라인들(GSL0, GSL1, GSL2), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)은 제1 방향(D1)을 따라 연장되며, 제2 방향(D2)으로 서로 이격되며 2차원적으로 배열될 수 있다. 공통 소스라인들(CSL)로부터 실질적으로 동일한 레벨에 제공되는 접지 선택 라인들(GSL0, GSL1, GSL2), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)은 전기적으로 서로 분리될 수 있다. 또한, 서로 다른 셀 스트링들(CSTR)의 소거 제어 트랜지스터들(ECT)은 공통의 소거 제어 라인(ECL)에 의해 제어될 수 있다. 소거 제어 트랜지스터들(ECT)은 메모리 셀 어레이의 소거 동작 시 게이트 유도 드레인 누설(Gate Induced Drain Leakage; 이하 GIDL)을 발생시킬 수 있다. 일부 실시예들에서, 메모리 셀 어레이의 소거 동작시 비트 라인들(BL0, BL1, BL2) 및/또는 공통 소스 라인들(CSL)에 소거 전압이 인가될 수 있으며, 스트링 선택 트랜지스터(SST) 및/또는 소거 제어 트랜지스터들(ECT)에서 게이트 유도 누설 전류가 발생될 수 있다.
- [46] 이상 설명된 스트링 선택 라인(SSL)은 상부 선택 라인(USL)으로 표현될 수 있으며, 접지 선택 라인(GSL)은 하부 선택 라인으로 표현될 수도 있다.
- [47]
- [48] 도 2는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 평면도이고, 도 3은 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 2를 A-A'선으로 자른 단면에 해당되며, 도 4는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 2를 B-B'선으로 자른 단면에 해당된다.
- [49] 도 2 내지 4를 참조하면, 기판(SUB)은 실리콘 기판, 실리콘-게르마늄 기판, 게르마늄 기판 또는 단결정(Monocrystalline) 실리콘 기판에 성장된 단결정 에피택시

열 층(Epitaxial layer) 등의 반도체 기판일 수 있다. 기판(SUB)에는 제1 도전형 불순물(예컨대, P형의 불순물)이 도핑될 수 있다.

- [50] 기판(SUB) 상에는 적층 구조체들(ST)이 배치될 수 있다. 적층 구조체들(ST)은 제1 방향(D1)으로 연장 형성된 채 제2 방향(D2)을 따라 2차원적으로 배치될 수 있다. 또한, 적층 구조체들(ST)은 제2 방향(D2)으로 서로 이격될 수 있다.
- [51] 적층 구조체들(ST) 각각은 기판(SUB)의 상면에 수직한 수직 방향(예컨대 제3 방향(D3))으로 교대로 적층된 게이트 전극들(EL1, EL2, EL3), 중간 절연막들(ILD)을 포함할 수 있다. 적층 구조체들(ST)은 실질적으로 평탄한 상면을 가질 수 있다. 즉, 적층 구조체들(ST)의 상면은 기판(SUB)의 상면과 평행할 수 있다. 이하, 수직 방향은 제3 방향(D3) 또는 제3 방향(D3)의 역방향을 의미한다.
- [52] 다시 도 1을 참조하면, 각각의 게이트 전극들(EL1, EL2, EL3)은 기판(SUB) 상에 차례로 적층된 소거 제어 라인(ECL), 접지 선택 라인들(GSL0, GSL1, GSL2), 워드 라인들(WL0-WLn, DWL), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3) 중 하나일 수 있다.
- [53] 게이트 전극들(EL1, EL2, EL3) 각각은 제1 방향(D1)으로 연장 형성된 채 실질적으로 동일한 제3 방향(D3)으로의 두께를 가질 수 있다. 이하에서, 두께는 제3 방향(D3)으로의 두께를 의미한다. 게이트 전극들(EL1, EL2, EL3) 각각은, 도전성 물질로 형성될 수 있다. 예컨대, 게이트 전극들(EL1, EL2, EL3) 각각은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, W(텅스텐), Cu(구리), Al(알루미늄), Ti(티타늄), Ta(탄탈륨), Mo(몰리브덴), Ru(루테튬), Au(금) 등) 또는 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨 등) 등에서 선택된 적어도 하나를 포함할 수 있다. 게이트 전극들(EL1, EL2, EL3) 각각은 설명된 금속 물질 이외에도 ALD로 형성 가능한 모든 금속 물질 중 적어도 하나를 포함할 수 있다.
- [54] 보다 구체적으로, 게이트 전극들(EL1, EL2, EL3)은 최하부의 제1 게이트 전극(EL1), 최상부의 제3 게이트 전극(EL3) 및 제1 게이트 전극(EL1)과 제3 게이트 전극(EL3) 사이의 복수의 제2 게이트 전극들(EL2)을 포함할 수 있다. 제1 게이트 전극(EL1) 및 제3 게이트 전극(EL3)은 각각 단수로 도시 및 설명되었으나, 이는 예시적인 것으로 이에 제한되지 않으며, 필요에 따라 제1 게이트 전극(EL1) 및 제3 게이트 전극(EL3)은 복수로 제공될 수도 있다. 제1 게이트 전극(EL1)은 도 1에 도시된 접지 선택 라인들(GSL0, GSL1, GLS2) 중 어느 하나에 해당될 수 있다. 제2 게이트 전극(EL2)은 도 1에 도시된 워드 라인들(WL0-WLn, DWL) 중 어느 하나에 해당될 수 있다. 제3 게이트 전극(EL3)은 도 1에 도시된 도 1의 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 중 어느 하나 또는 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3) 중 어느 하나에 해당될 수 있다.
- [55] 도시되지 않았으나, 적층 구조체들(ST) 각각의 단부는 제1 방향(D1)을 따라 계단 구조(Stepwise structure)를 가질 수 있다. 보다 구체적으로, 적층 구조체들(ST)의 게이트 전극들(EL1, EL2, EL3)은 기판(SUB)으로부터 멀어질수록 제1 방향(D1)으로의 길이가 감소할 수 있다. 제3 게이트 전극(EL3)은 제1 방향(D1)으로의

길이가 가장 작을 수 있고, 기판(SUB)과 제3 방향(D3)으로 이격되는 거리가 가장 클 수 있다. 제1 게이트 전극(EL1)은 제1 방향(D1)으로의 길이가 가장 클 수 있고, 기판(SUB)과 제3 방향(D3)으로 이격되는 거리가 가장 작을 수 있다. 계단식 구조에 의해, 적층 구조체들(ST) 각각은 후술하는 수직 채널 구조체들(VS) 중 최외각의 것(Outer-most one)으로부터 멀어질수록 두께가 감소할 수 있고, 게이트 전극들(EL1, EL2, EL3)의 측벽들은, 평면적 관점에서, 제1 방향(D1)을 따라 일정 간격으로 이격될 수 있다.

- [56] 층간 절연막들(ILD) 각각은 서로 다른 두께를 가질 수 있다. 일 예로, 층간 절연막들(ILD) 중 최하부의 것 및 최상부의 것은 다른 층간 절연막들(ILD)보다 작은 두께를 가질 수 있다. 다만, 이는 예시적인 것으로 이에 제한되지 않으며, 층간 절연막들(ILD) 각각의 두께는 반도체 장치의 특성에 따라 서로 다른 두께를 갖거나, 모두 동일하게 설정될 수도 있다. 층간 절연막들(ILD)으로는 게이트 전극들(EL1, EL2, EL3) 사이의 절연을 위해 절연 물질로 형성될 수 있다. 일 예로, 층간 절연막들(ILD)은 실리콘 산화물로 형성될 수 있다.
- [57] 적층 구조체들(ST) 및 기판(SUB)의 일부를 관통하는 복수 개의 채널 홀들(CH)이 제공될 수 있다. 채널 홀들(CH) 내에는 수직 채널 구조체들(VS)이 제공될 수 있다. 수직 채널 구조체들(VS)은 도 1에 도시된 복수의 셀 스트링들(CSTR)로서, 기판(SUB)과 연결된 채 제3 방향(D3)으로 연장 형성될 수 있다. 수직 채널 구조체들(VS)이 기판(SUB)과 연결되는 것은, 수직 채널 구조체들(VS) 각각의 일부가 하면이 기판(SUB)의 상면과 맞닿음으로써 이루어질 수 있으나, 이에 제한되거나 한정되지 않고 기판(SUB) 내부에 매립되어 이루어질 수도 있다. 수직 채널 구조체들(VS) 각각의 일부가 기판(SUB) 내부에 매립되는 경우, 수직 채널 구조체들(VS)의 하면은 기판(SUB)의 상면보다 낮은 레벨에 위치할 수 있다.
- [58] 적층 구조체들(ST) 중 어느 하나를 관통하는 수직 채널 구조체들(VS)의 열들은 복수로 제공될 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 2개의 수직 채널 구조체들(VS)의 열들이 적층 구조체들(ST) 중 하나를 관통할 수 있다. 그러나 이에 제한되거나 한정되지 않고, 1개의 수직 채널 구조체들(VS)의 열들이 적층 구조체들(ST) 중 하나를 관통하거나, 3개 이상의 수직 채널 구조체들(VS)의 열들이 적층 구조체들(ST) 중 하나를 관통할 수 있다. 인접한 한 쌍의 열들에 있어서, 하나의 열에 해당하는 수직 채널 구조체들(VS)은 이에 인접한 다른 하나의 열에 해당하는 수직 채널 구조체들(VS)로부터 제1 방향(D1)으로 시프트(shift)될 수 있다. 평면적 관점에서, 수직 채널 구조체들(VS)은 제1 방향(D1)을 따라서 지그재그 형태로 배열될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 수직 채널 구조체들(VS)은 로우(Row) 및 컬럼(Column)으로 나란히 배치되는 배열을 형성할 수도 있다.
- [59] 수직 채널 구조체들(VS) 각각은 기판(SUB)으로부터 제3 방향(D3)으로 연장 형성될 수 있다. 도면에는 수직 채널 구조체들(VS) 각각이 상단과 하단의 너비가 동일한 기둥 형상을 갖는 것으로 도시되었으나, 이에 제한되거나 한정되지 않고 제

3 방향(D3)으로 갈수록 제1 방향(D1) 및 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다. 수직 채널 구조체들(VS) 각각의 상면은 원 형상, 타원 형상, 사각 형상 또는 바(Bar) 형상을 가질 수 있다.

[60] 수직 채널 구조체들(VS) 각각은 데이터 저장 패턴(DSP), 수직 채널 패턴(VCP), 수직 매립 패턴(VFP) 및 도전 패드(PAD)를 포함할 수 있다. 수직 채널 구조체들(VS) 각각에서 데이터 저장 패턴(DSP)은 하단이 오픈된(Opened) 파이프 형태 또는 마카로니 형태를 가질 수 있고, 수직 채널 패턴(VCP)은 하단이 닫힌(Closed) 파이프 형태 또는 마카로니 형태를 가질 수 있다. 수직 매립 패턴(VFP)은 수직 채널 패턴(VCP) 및 도전 패드(PAD)로 둘러싸인 공간을 채울 수 있다.

[61] 데이터 저장 패턴(DSP)은 채널 홀들(CH) 각각의 내측벽을 덮은 채, 내측으로는 수직 채널 패턴(VCP)의 외측벽을 둘러싸며 외측으로는 게이트 전극들(EL1, EL2, EL3)의 측벽들과 접촉할 수 있다. 데이터 저장 패턴(DSP)은 제2 게이트 전극들(EL2)을 통해 인가되는 전압에 의한 전하를 트랩하여 트랩된 전하의 변화로 데이터 값을 나타내거나, 게이트 전극들(EL2)을 통해 인가되는 전압에 의해 전하의 상태(예컨대, 분극 상태)를 변화시켜 전하의 상태 변화로 데이터 값을 나타내는 데이터 저장 요소로서, 예컨대, ONO(Oxide-Nitride-Oxide) 또는 강유전체 패턴 수 있다.

[62] 수직 채널 패턴(VCP)은 데이터 저장 패턴(DSP)의 내측벽을 덮을 수 있다. 수직 채널 패턴(VCP)은 제1 부분(VCP1) 및 제1 부분(VCP1) 상의 제2 부분(VCP2)을 포함할 수 있다.

[63] 수직 채널 패턴(VCP)의 제1 부분(VCP1)은 채널 홀들(CH) 각각의 하부에 제공될 수 있고, 기판(SUB)과 접촉할 수 있다. 이러한 수직 채널 패턴(VCP)의 제1 부분(VCP1)은 수직 채널 구조체들(VS) 각각에서의 누설 전류를 차단, 억제 또는 최소화하는 용도 및/또는 에피택시얼 패턴의 용도로 사용될 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 두께는, 예를 들어, 제1 게이트 전극(EL1)의 두께보다 클 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 측벽은 데이터 저장 패턴(DSP)으로 둘러싸일 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 상면은 제1 게이트 전극(EL1)의 상면보다 높은 레벨에 위치할 수 있다. 보다 구체적으로, 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 상면은 제1 게이트 전극(EL1)의 상면과 제2 게이트 전극들(EL2) 중 최하부의 것의 하면 사이에 위치할 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 하면은 기판(SUB)의 최상면(즉, 층간 절연막들(ILD) 중 최하부의 것의 하면)보다 낮은 레벨에 위치할 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 일부는 제1 게이트 전극(EL1)과 수평 방향으로 중첩될 수 있다. 이하에서, 수평 방향은 제1 방향(D1) 및 제2 방향(D2)과 나란한 평면 상에서 연장되는 임의의 방향을 의미한다.

[64] 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 제1 부분(VCP1)의 상면으로부터 제3 방향(D3)으로 연장될 수 있다. 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 데이터 저장 패턴(DSP)과 수직 매립 패턴(VFP) 사이에 제공될 수 있으며, 제2 게이트

전극들(EL2)에 대응될 수 있다. 이에, 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 전술된 바와 같이 데이터 저장 패턴(DSP) 중 제2 게이트 전극들(EL2)에 대응하는 영역들과 함께, 메모리 셀들을 구성할 수 있다.

[65] 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면은 수직 매립 패턴(VFP)의 상면과 실질적으로 공면을 이룰 수 있다. 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면은 제2 게이트 전극들(EL2) 중 최상부의 것의 상면보다 높은 레벨에 위치할 수 있다. 보다 구체적으로, 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면은 제3 게이트 전극(EL3)의 상면과 하면 사이에 위치할 수 있다.

[66] 수직 채널 패턴(VCP)은 데이터 저장 패턴(DSP)으로 전하 또는 홀을 전달하는 구성 요소로서, 인가되는 전압에 의해 채널을 형성하거나 부스팅되도록 단결정질의 실리콘 또는 폴리 실리콘으로 형성될 수 있다. 그러나 이에 제한되거나 한정되지 않고 수직 채널 패턴(VCP)은 누설 전류를 차단, 억제 또는 최소화할 수 있는 산화물 반도체 물질로 형성될 수 있다. 예컨대, 수직 채널 패턴(VCP)은 누설 전류 특성이 우수한 In, Zn 또는 Ga 중 적어도 어느 하나를 포함하는 산화물 반도체 물질 또는 4족 반도체 물질 등으로 형성될 수 있다. 수직 채널 패턴(VCP)은, 예를 들어, AZO, ZTO, IZO, ITO, IGZO 또는 Ag-ZnO 등을 포함하는 ZnO_x 계열의 물질로 형성될 수 있다. 따라서, 수직 채널 패턴(VCP)은 게이트 전극들(EL1, EL2, EL3) 또는 기판(SUB)으로의 누설 전류를 차단, 억제 또는 최소화할 수 있고, 게이트 전극들(EL1, EL2, EL3) 중 적어도 어느 하나의 트랜지스터 특성(예를 들어, 문턱 전압 산포 및 프로그램/판독 동작의 속도)을 개선할 수 있어, 결과적으로 3차원 플래시 메모리의 전기적 특성을 향상시킬 수 있다.

[67] 수직 매립 패턴(VFP)은 수직 채널 패턴(VCP)의 제2 부분(VCP2)으로 둘러싸일 수 있다. 수직 매립 패턴(VFP)의 상면은 도전 패드(PAD)와 접촉할 수 있고, 수직 매립 패턴(VFP)의 하면은 수직 채널 패턴(VCP)의 제1 부분(VCP1)과 접촉할 수 있다. 수직 매립 패턴(VFP)은 기판(SUB)과 제3 방향(D3)으로 이격될 수 있다. 다시 말하면, 수직 매립 패턴(VFP)은 기판(SUB)으로부터 전기적으로 플로팅될 수 있다.

[68] 수직 매립 패턴(VFP)은 수직 채널 패턴(VCP)에서의 전하 또는 홀의 확산을 돕는 물질로 형성될 수 있다. 보다 상세하게, 수직 매립 패턴(VFP)은 전하, 홀 이동도(Hole mobility)가 우수한 물질로 형성될 수 있다. 예를 들어, 수직 매립 패턴(VFP)은 불순물이 도핑된 반도체 물질, 불순물이 도핑되지 않은 상태의 진성 반도체(Intrinsic semiconductor) 물질 또는 다결정(Polycrystalline) 반도체 물질로 형성될 수 있다. 보다 구체적인 예를 들면, 수직 매립 패턴(VFP)은 기판(SUB)과 동일한 제1 도전형 불순물(예컨대, P형의 불순물)이 도핑된 폴리 실리콘으로 형성될 수 있다. 즉, 수직 매립 패턴(VFP)은 3차원 플래시 메모리의 전기적 특성을 개선시켜 메모리 동작의 속도를 향상시킬 수 있다.

- [69] 다시 도 1을 참조하면, 수직 채널 구조체들(VS)은 소거 제어 트랜지스터(ECT), 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2) 및 접지 선택 트랜지스터(GST) 및 메모리 셀 트랜지스터들(MCT)의 채널들에 해당할 수 있다.
- [70] 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면 및 수직 매립 패턴(VFP)의 상면 상에 도전 패드(PAD)가 제공될 수 있다. 도전 패드(PAD)는 수직 채널 패턴(VCP)의 상부 및 수직 매립 패턴(VFP)의 상부와 연결될 수 있다. 도전 패드(PAD)의 측면은 데이터 저장 패턴(DSP)으로 둘러싸일 수 있다. 도전 패드(PAD)의 상면은 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이룰 수 있다. 도전 패드(PAD)의 하면은 제3 게이트 전극(EL3)의 상면보다 낮은 레벨에 위치할 수 있다. 보다 구체적으로, 도전 패드(PAD)의 하면은 제3 게이트 전극(EL3)의 상면과 하면 사이에 위치할 수 있다. 즉, 도전 패드(PAD)의 적어도 일부는 제3 게이트 전극(EL3)과 수평 방향으로 중첩될 수 있다.
- [71] 도전 패드(PAD)는 불순물이 도핑된 반도체 또는 도전성 물질로 형성될 수 있다. 예를 들어, 도전 패드(PAD)는 수직 매립 패턴(VFP)과 다른 불순물(보다 정확하게 제1 도전형(예컨대, P형)과 다른 제2 도전형(예컨대, N형)의 불순물)이 도핑된 반도체 물질로 형성될 수 있다.
- [72] 도전 패드(PAD)는 후술하는 비트 라인(BL)과 수직 채널 패턴(VCP)(또는 수직 매립 패턴(VFP)) 사이의 접촉 저항을 줄일 수 있다.
- [73] 이상, 수직 채널 구조체들(VS)이 도전 패드(PAD)를 포함하는 구조인 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 도전 패드(PAD)를 생략한 구조를 가질 수도 있다. 이러한 경우, 수직 채널 구조체들(VS)에서 도전 패드(PAD)가 생략됨에 따라, 수직 채널 패턴(VCP) 및 수직 매립 패턴(VFP) 각각의 상면이 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이루도록 수직 채널 패턴(VCP) 및 수직 매립 패턴(VFP) 각각이 제3 방향(D3)으로 연장 형성될 수 있다. 또한, 이러한 경우, 후술되는 비트 라인 콘택 플러그(BLPG)는, 도전 패드(PAD)를 통해 수직 채널 패턴(VCP)과 간접적으로 전기적으로 연결되는 대신에, 수직 채널 패턴(VCP)과 직접적으로 접촉하며 전기적으로 연결될 수 있다.
- [74] 또한, 이상 수직 채널 구조체들(VS)에 수직 매립 패턴(VFP)이 포함되는 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 수직 매립 패턴(VFP)이 생략될 수도 있다.
- [75] 또한, 이상 수직 채널 패턴(VCP)가 제1 부분(VCP1) 및 제2 부분(VCP2)을 포함하는 구조인 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 제1 부분(VCP1)이 배제된 구조를 가질 수 있다. 예를 들어, 수직 채널 패턴(VCP)은 기판(SUB)까지 연장 형성된 수직 매립 패턴(VFP) 및 데이터 저장 패턴(DSP) 사이에 제공되며 기판(SUB)과 접촉하도록 기판(SUB)까지 연장 형성될 수 있다. 이러한 경우 수직 채널 패턴(VCP)의 하면은 기판(SUB)의 최상면(층간 절연막들(ILD) 중

- 최하부의 것의 하면)보다 낮은 레벨에 위치할 수 있으며, 수직 채널 패턴(VCP)의 상면은 수직 매립 패턴(VFP)의 상면과 실질적으로 공면을 이룰 수 있다.
- [76] 서로 인접한 적층 구조체들(ST) 사이에는 적층 구조체들(ST)이 분리되도록 제1 방향(D1)으로 연장되며 제3 방향(D3)으로 분리 트렌치(TR)가 제공될 수 있다.
- [77] 분리 트렌치(TR) 내에는 공통 소스 라인(CSL)이 제공될 수 있다. 보다 상세하게, 공통 소스 라인(CSL)은 분리 트렌치(TR) 내 기판(SUB) 상 제공될 수 있다. 공통 소스 라인(CSL)은 제1 방향(D1) 및 제3 방향(D3)으로 연장되는 플레이트(Plate) 형상을 가질 수 있다. 이 때 공통 소스 라인(CSL)은, 제3 방향(D3)으로 갈수록 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다.
- [78] 공통 소스 라인(CSL)은, 제2 도전형의 불순물(예컨대, N형의 불순물)이 도핑된 반도체 물질로 형성될 수 있다. 공통 소스 라인(CSL)의 상면은 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이룰 수 있다.
- [79] 공통 소스 라인(CSL)과 적층 구조체들(ST) 사이에는 절연 스페이서들(SP)이 개재될 수 있다. 절연 스페이서들(SP)은 분리 트렌치(TR) 내 공통 소스 라인(CSL)의 측면을 감싸도록 형성됨으로써, 서로 인접하는 적층 구조체들(ST) 사이에서 서로 대향하며 제공될 수 있다. 예를 들어 절연 스페이서들(SP)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 낮은 유전 상수를 갖는 low-k 물질로 형성될 수 있다.
- [80] 분리 트렌치(TR) 내에는 공통 소스 라인(CSL)이 형성되기 이전에 분리 트렌치(TR)를 통해 적층 구조체들(ST)이 무너지는 것을 방지하기 위한 구조물로서, 적층 구조체들(ST) 사이를 지지하는 적어도 하나의 연결부(CN)가 포함될 수 있다.
- [81] 적어도 하나의 연결부(CN)는 적층 구조체들(ST)을 전기적으로 분리시키기 위해 절연 물질로 형성될 수 있다. 일례로, 절연 물질로는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 낮은 유전 상수를 갖는 low-k 물질이 사용될 수 있다.
- [82] 이처럼 적어도 하나의 연결부(CN)가 절연 물질로 형성됨에 따라, 공통 소스 라인(CSL)은 적어도 하나의 연결부(CN)에 의해 복수의 부분들(P1, P2, P3)로 분절될 수 있다.
- [83] 따라서, 3차원 플래시 메모리에는, 공통 소스 라인(CSL)의 상부에 배치된 채, 공통 소스 라인(CSL)이 적어도 하나의 연결부(CN)에 의해 분절된 부분들(P1, P2, P3)을 서로 연결시키는 연결 배선(CL)이 더 포함될 수 있다. 연결 배선(CL)은 분절된 부분들(P1, P2, P3)을 서로 연결시키고자 제1 방향(D1)으로 연장 형성될 수 있다. 연결 배선(CL)을 구성하는 도전성 물질은 전술된 게이트 전극들(EL1, EL2, EL3) 각각을 형성하는 도전성 물질과 동일한 물질일 수 있다.
- [84] 적층 구조체들(ST), 수직 채널 구조체들(VS) 및 공통 소스 라인(CSL) 상에 캡핑 절연막(CAP)이 제공될 수 있다. 캡핑 절연막(CAP)은 층간 절연막들(ILD) 중 최상부의 것의 상면, 도전 패드(PAD)의 상면 및 공통 소스 라인(CSL)의 상면을 덮을 수 있다. 캡핑 절연막(CAP)은, 층간 절연막들(ILD)과 다른 절연 물질로 형성

될 수 있다. 캡핑 절연막(CAP) 내부에는 전술된 연결 배선(CL)이 제공될 수 있으며, 도전 패드(PAD)와 전기적으로 연결되는 비트 라인 콘택 플러그(BLPG)가 제공될 수 있다. 비트 라인 콘택 플러그(BLPG)는, 제3 방향(D3)으로 갈수록 제1 방향(D1) 및 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다.

- [85] 캡핑 절연막(CAP) 및 비트 라인 콘택 플러그(BLPG) 상에 비트 라인(BL)이 제공될 수 있다. 비트 라인(BL)은 도 1에 도시된 복수의 비트 라인들(BL0, BL1, BL2) 중 어느 하나에 해당되는 것으로, 제2 방향(D2)을 따라 도전성 물질로 연장 형성될 수 있다. 비트 라인(BL)을 구성하는 도전성 물질은 전술된 게이트 전극들(EL1, EL2, EL3) 각각을 형성하는 도전성 물질과 동일한 물질일 수 있다.
- [86] 비트 라인(BL)은 비트 라인 콘택 플러그(BLPG)를 통해 수직 채널 구조체들(VS)과 전기적으로 연결될 수 있다. 여기서 비트 라인(BL)이 수직 채널 구조체들(VS)과 연결된다는 것은, 수직 채널 구조체들(VS)에 포함되는 수직 채널 패턴(VCP)과 연결되는 것을 의미할 수 있다.
- [87] 이와 같은 구조의 3차원 플래시 메모리는, 셀 스트링들(CSTR) 각각에 인가되는 전압, 스트링 선택 라인(SSL)에 인가되는 전압, 워드 라인들(WL0-WLn) 각각에 인가되는 전압, 접지 선택 라인(GSL)에 인가되는 전압 및 공통 소스 라인(CSL)에 인가되는 전압을 기초로, 프로그램 동작, 판독 동작 및 소거 동작을 수행할 수 있다. 예컨대, 3차원 플래시 메모리는, 셀 스트링들(CSTR) 각각에 인가되는 전압, 스트링 선택 라인(SSL)에 인가되는 전압, 워드 라인들(WL0-WLn) 각각에 인가되는 전압, 접지 선택 라인(GSL)에 인가되는 전압 및 공통 소스 라인(CSL)에 인가되는 전압을 기초로, 수직 채널 패턴(VCP)에 채널을 형성하여 전하 또는 홀을 대상 메모리 셀의 데이터 저장 패턴(DSP)으로 전달함으로써 프로그램 동작을 수행할 수 있다.
- [88] 또한, 일 실시예에 따른 3차원 플래시 메모리는 설명된 구조로 제한되거나 한정되지 않고, 구현 예시에 따라 수직 채널 패턴(VCP), 데이터 저장 패턴(DSP), 게이트 전극들(EL1, EL2, EL3), 비트 라인(BL), 공통 소스 라인(CSL), 적어도 하나의 연결부(CN) 및 연결 배선(CL)을 포함하는 것을 전제로 다양한 구조로 구현될 수 있다.
- [89] 일례로, 3차원 플래시 메모리는 수직 채널 패턴(VCP)의 내측벽에 접촉하는 수직 매립 패턴(VFP) 대신에, 백 게이트(BG)를 포함하는 구조로 구현될 수 있다. 이러한 경우, 백 게이트(BG)는 메모리 동작을 위한 전압을 수직 채널 패턴(VCP)으로 인가하도록 수직 채널 패턴(VCP)에 의해 적어도 일부분이 감싸진 채 수직 방향(예컨대, 제3 방향(D3))을 따라 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, W(텅스텐), Cu(구리), Al(알루미늄), Ti(티타늄), Ta(탄탈륨), Mo(몰리브덴), Ru(루테튬), Au(금) 등) 또는 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨 등) 등에서 선택된 적어도 하나를 포함하는 도전성 물질로 연장 형성될 수 있다.

[90]

- [91] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 도시한 플로우 차트이고, 도 6a 내지 6f는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리의 구조를 도시한 평면도이며, 도 7a 내지 7f는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 6a 내지 6f를 A-A'선으로 자른 단면에 해당되고, 도 8a 내지 8f는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 6a 내지 6f를 B-B'선으로 자른 단면에 해당된다.
- [92] 이하, 일 실시예에 따른 3차원 플래시 메모리의 제조 방법은 게이트 퍼스트 기법을 기반으로 도 2 내지 4를 참조하여 설명된 구조의 3차원 플래시 메모리를 제조하기 위한 것으로, 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 한다.
- [93] 또한, 이하, 제조 방법은 설명의 편의를 위해 비트라인 콘택 플러그(BLPG), 비트 라인(BL), 캡핑 절연막(CAP)을 제외한 나머지 구성부들을 포함하는 구조의 3차원 플래시 메모리를 제조하는 것으로 설명된다. 제외된 비트라인 콘택 플러그(BLPG), 비트 라인(BL), 캡핑 절연막(CAP)은 후술되는 단계들(S510 내지 S530) 이후의 추가적인 단계들(미도시)을 통해 형성될 수 있다.
- [94] 또한, 이하, 3차원 플래시 메모리의 각 구성 요소를 구성하는 구성 물질은, 도 2 내지 4를 참조하여 설명되었으므로, 그 상세한 설명은 생략한다.
- [95] 단계(S510)에서 제조 시스템은, 도 6a, 도 7a 및 도 8a에 도시된 바와 같이 기판(SUB) 상 수평 방향으로 연장 형성된 채 수직 방향으로 교번하며 적층된 게이트 전극들(EL1, EL2, EL3) 및 층간 절연막들(ILD)을 포함하는 반도체 구조체(SEMI-STR)를 준비할 수 있다.
- [96] 도면에는 반도체 구조체(SEMI-STR)에 게이트 전극들(EL1, EL2, EL3) 및 층간 절연막들(ILD)을 관통하는 수직 채널 구조체들(VS)이 포함되는 것으로 도시되었으나, 이에 제한되거나 한정되지 않고 게이트 전극들(EL1, EL2, EL3) 및 층간 절연막들(ILD)을 관통하는 채널 홀들(CH)이 더 포함되거나, 수직 채널 구조체들(VS) 또는 채널 홀들(CH)이 포함되지 않은 채 게이트 전극들(EL1, EL2, EL3) 및 층간 절연막들(ILD)만이 포함되는 상태일 수 있다.
- [97] 단계(S510)에서 게이트 전극들(EL1, EL2, EL3) 및 층간 절연막들(ILD)만이 포함되는 반도체 구조체(SEMI-STR)가 준비되는 경우, 단계들(S510 내지 S530) 이후 추가적인 단계들(미도시)을 통해 채널 홀들(CH)이 형성되고 채널 홀들(CH) 내에 수직 채널 구조체들(VS)이 형성될 수 있다.
- [98] 단계(S510)에서 게이트 전극들(EL1, EL2, EL3), 층간 절연막들(ILD) 및 채널 홀들(CH)이 포함되는 반도체 구조체(SEMI-STR)가 준비되는 경우, 단계들(S510 내지 S530) 이후 추가적인 단계들(미도시)을 통해 채널 홀들(CH) 내에 수직 채널 구조체들(VS)이 형성될 수 있다.

- [99] 단계(S520)에서 제조 시스템은, 도 6b, 도 7b 및 도 8b에 도시된 바와 같이 반도체 구조체(SEMI-STR)에 수직 방향으로 분리 트렌치(TR)를 형성하여 분리 트렌치(TR)에 의해 분리되는 적층 구조체들(ST)을 생성할 수 있다.
- [100] 특히, 단계(S520)에서 제조 시스템은 분리 트렌치(TR)를 통해 적층 구조체들(ST)이 무너지는 것을 방지하기 위해 반도체 구조체(SEMI-STR) 상 적층 구조체들(ST) 사이를 지지하는 적어도 하나의 연결부(CN)를 남기고 분리 트렌치(TR)를 형성할 수 있다.
- [101] 단계(S530)에서 제조 시스템은, 도 6c, 도 7c 및 도 8c에 도시된 바와 같이 분리 트렌치(TR) 내에 공통 소스 라인(CSL)을 형성할 수 있다.
- [102] 이 때, 제조 시스템은, 분리 트렌치(TR) 내에 공통 소스 라인(CSL)의 측면을 감싸는 절연 스페이서들(SP)을 형성할 수 있다.
- [103] 이상 설명된 단계들(S520 내지 S530)에서 분리 트렌치(TR)가 형성되며 남겨진 적어도 하나의 연결부(CN)는 도 8c에 도시된 바와 같이 게이트 전극들(EL1, EL2, EL3) 및 층간 절연막들(ILD)의 일부분으로 구성될 수 있다. 이에, 적층 구조체들(ST)은 전기적으로 연결될 수 있는 바, 제조 시스템은 적층 구조체들(ST)이 전기적으로 분리될 수 있도록 적어도 하나의 연결부(CN)를 구성하는 물질을 대체할 수 있다.
- [104] 보다 상세하게, 도 5에서 별도의 도면으로 도시되지는 않았으나, 제조 시스템은 단계(S530)에서 공통 소스 라인(CSL)을 형성한 이후, 적어도 하나의 연결부(CN)를 절연 물질로 대체할 수 있다.
- [105] 예를 들어, 제조 시스템은 도 6d, 도 7d 및 도 8d에 도시된 바와 같이 반도체 구조체(SEMI-STR)에서 적어도 하나의 연결부(CN)에 해당하는 부분을 제거하여 공간을 확보한 뒤, 도 6e, 도 7e 및 도 8e에 도시된 바와 같이 확보된 공간에 절연 물질을 채워 넣어 적어도 하나의 연결부(CN)를 절연 물질로 대체할 수 있다.
- [106] 또한, 적어도 하나의 연결부(CN)가 절연 물질로 형성됨에 따라, 공통 소스 라인(CSL)은 적어도 하나의 연결부(CN)에 의해 복수의 부분들(P1, P2, P3)로 분절될 수 있다.
- [107] 따라서, 제조 시스템은 단계(S530)에서 도 6f, 도 7f 및 도 8f에 도시된 바와 같이 적어도 하나의 연결부(CN)를 절연 물질로 대체한 이후, 공통 소스 라인(CSL)이 적어도 하나의 연결부(CN)에 의해 분절된 부분들(P1, P2, P3)을 서로 연결시키도록 공통 소스 라인(CSL)의 상부에 연결 배선(CL)을 배치할 수 있다.
- [108]
- [109] 도 9는 다른 실시예에 따른 3차원 플래시 메모리의 제조 방법을 도시한 플로우 차트이다.
- [110] 이하, 다른 실시예에 따른 3차원 플래시 메모리의 제조 방법은 게이트 리플레이스먼트 기법을 기반으로 도 2 내지 4를 참조하여 설명된 구조의 3차원 플래시 메모리를 제조하기 위한 것으로, 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 한다.

- [111] 또한, 이하, 제조 방법은 설명의 편의를 위해 비트라인 콘택 플러그(BLPG), 비트 라인(BL), 캡핑 절연막(CAP)을 제외한 나머지 구성부들을 포함하는 구조의 3차원 플래시 메모리를 제조하는 것으로 설명된다. 제외된 비트라인 콘택 플러그(BLPG), 비트 라인(BL), 캡핑 절연막(CAP)은 후술되는 단계들(S910 내지 S950) 이후의 추가적인 단계들(미도시)을 통해 형성될 수 있다.
- [112] 또한, 이하, 3차원 플래시 메모리의 각 구성 요소를 구성하는 구성 물질은, 도 2 내지 4를 참조하여 설명되었으므로, 그 상세한 설명은 생략한다.
- [113] 단계(S910)에서 제조 시스템은, 기관(SUB) 상 수평 방향으로 연장 형성된 채 수직 방향으로 교번하며 적층된 희생층들 및 층간 절연막들(ILD)을 포함하는 반도체 구조체(SEMI-STR)를 준비할 수 있다.
- [114] 도면에는 반도체 구조체(SEMI-STR)에 희생층들 및 층간 절연막들(ILD)을 관통하는 수직 채널 구조체들(VS)이 포함되는 것으로 도시되었으나, 이에 제한되거나 한정되지 않고 희생층들 및 층간 절연막들(ILD)을 관통하는 채널 홀들(CH)이 더 포함되거나, 수직 채널 구조체들(VS) 또는 채널 홀들(CH)이 포함되지 않은 채 희생층들 및 층간 절연막들(ILD)만이 포함되는 상태일 수 있다.
- [115] 단계(S910)에서 희생층들 및 층간 절연막들(ILD)만이 포함되는 반도체 구조체(SEMI-STR)가 준비되는 경우, 단계들(S910 내지 S950) 이후 추가적인 단계들(미도시)을 통해 채널 홀들(CH)이 형성되고 채널 홀들(CH) 내에 수직 채널 구조체들(VS)이 형성될 수 있다.
- [116] 단계(S910)에서 희생층들, 층간 절연막들(ILD) 및 채널 홀들(CH)이 포함되는 반도체 구조체(SEMI-STR)가 준비되는 경우, 단계들(S910 내지 S950) 이후 추가적인 단계들(미도시)을 통해 채널 홀들(CH) 내에 수직 채널 구조체들(VS)이 형성될 수 있다.
- [117] 단계(S920)에서 제조 시스템은, 반도체 구조체(SEMI-STR)에 수직 방향으로 분리 트렌치(TR)를 형성하여 분리 트렌치(TR)에 의해 분리되는 적층 구조체들(ST)을 생성할 수 있다.
- [118] 특히, 단계(S920)에서 제조 시스템은 분리 트렌치(TR)를 통해 적층 구조체들(ST)이 무너지는 것을 방지하기 위해 반도체 구조체(SEMI-STR) 상 적층 구조체들(ST) 사이를 지지하는 적어도 하나의 연결부(CN)를 남기고 분리 트렌치(TR)를 형성할 수 있다.
- [119] 단계(S930)에서 제조 시스템은, 분리 트렌치(TR) 내에 공통 소스 라인(CSL)을 형성할 수 있다.
- [120] 이 때, 제조 시스템은, 분리 트렌치(TR) 내에 공통 소스 라인(CSL)의 측면을 감싸는 절연 스페이서들(SP)을 형성할 수 있다.
- [121] 이상 설명된 단계들(S920 내지 S930)에서 분리 트렌치(TR)가 형성되며 남겨진 적어도 하나의 연결부(CN)는 희생층들 및 층간 절연막들(ILD)의 일부분으로 구성되어 있으나, 후술되는 단계(S950)에서 희생층들이 제거된 공간들에 게이트 전극들(EL1, EL2, EL3)이 형성될 것을 고려하면 결국 적층 구조체들(ST)은 전기

- 적으로 연결될 수 있다. 이에, 제조 시스템은 적층 구조체들(ST)이 전기적으로 분리될 수 있도록 적어도 하나의 연결부(CN)를 구성하는 물질을 대체할 수 있다.
- [122] 보다 상세하게, 도 5에서 별도의 도면으로 도시되지는 않았으나, 제조 시스템은 단계(S930)에서 공통 소스 라인(CSL)을 형성한 이후, 적어도 하나의 연결부(CN)를 절연 물질로 대체할 수 있다.
- [123] 예를 들어, 제조 시스템은 반도체 구조체(SEMI-STR)에서 적어도 하나의 연결부(CN)에 해당하는 부분을 제거하여 공간을 확보한 뒤, 확보된 공간에 절연 물질을 채워 넣어 적어도 하나의 연결부(CN)를 절연 물질로 대체할 수 있다.
- [124] 또한, 적어도 하나의 연결부(CN)가 절연 물질로 형성됨에 따라, 공통 소스 라인(CSL)은 적어도 하나의 연결부(CN)에 의해 복수의 부분들(P1, P2, P3)로 분절될 수 있다.
- [125] 따라서, 제조 시스템은 단계(S930)에서 적어도 하나의 연결부(CN)를 절연 물질로 대체한 이후, 공통 소스 라인(CSL)이 적어도 하나의 연결부(CN)에 의해 분절된 부분들(P1, P2, P3)을 서로 연결시키도록 공통 소스 라인(CSL)의 상부에 연결 배선(CL)을 배치할 수 있다.
- [126] 단계(S940)에서 제조 시스템은, 적층 구조체들(ST) 각각에서 희생층들을 제거할 수 있다.
- [127] 단계(S950)에서 제조 시스템은, 희생층들이 제거된 공간들에 게이트 전극들(EL1, EL2, EL3)을 형성할 수 있다.
- [128]
- [129] 도 10은 일 실시예들에 따른 3차원 플래시 메모리를 포함하는 전자 시스템을 개략적으로 도시한 사시도이다.
- [130] 도 10을 참조하면, 실시예들에 따른 3차원 플래시 메모리를 포함하는 전자 시스템(1000)은 메인 기판(1001)과, 메인 기판(1001)에 실장되는 컨트롤러(1002), 하나 이상의 반도체 패키지(1003) 및 DRAM(1004)을 포함할 수 있다.
- [131] 반도체 패키지(1003) 및 DRAM(1004)은 메인 기판(1001)에 제공되는 배선 패턴들(1005)에 의해 컨트롤러(1002)와 서로 연결될 수 있다.
- [132] 메인 기판(1001)은 외부 호스트와 결합되는 복수의 핀들을 포함하는 커넥터(1006)를 포함할 수 있다. 커넥터(1006)에서 복수의 핀들의 개수와 배치는, 전자 시스템(1000)과 외부 호스트 사이의 통신 인터페이스에 따라 달라질 수 있다.
- [133] 전자 시스템(1000)은, 예를 들어, USB(Universal Serial Bus), PCIExpress(Peripheral Component Interconnect Express), SATA(Serial Advanced Technology Attachment), UFS(Universal Flash Storage)용 M-Phy 등의 인터페이스들 중 어느 하나에 따라 외부 호스트와 통신할 수 있다. 전자 시스템(1000)은 예를 들어, 커넥터(1006)를 통해 외부 호스트로부터 공급받는 전원에 의해 동작할 수 있다. 전자 시스템(1000)은 외부 호스트로부터 공급받는 전원을 컨트롤러(1002) 및 반도체 패키지(1003)에 분배하는 PMIC(Power Management Integrated Circuit)를 더 포함할 수도 있다.

- [134] 컨트롤러(1002)는 반도체 패키지(1003)에 데이터를 기록하거나, 반도체 패키지(1003)로부터 데이터를 읽어올 수 있으며, 전자 시스템(1000)의 동작 속도를 개선할 수 있다.
- [135] DRAM(1004)은 데이터 저장 공간인 반도체 패키지(1003)와 외부 호스트의 속도 차이를 완화하기 위한 버퍼 메모리일 수 있다. 전자 시스템(1000)에 포함되는 DRAM(1004)은 일종의 캐시 메모리로도 동작할 수 있으며, 반도체 패키지(1003)에 대한 제어 동작에서 임시로 데이터를 저장하기 위한 공간을 제공할 수도 있다. 전자 시스템(1000)에 DRAM(1004)이 포함되는 경우, 컨트롤러(1002)는 반도체 패키지(1003)를 제어하기 위한 NAND 컨트롤러 외에 DRAM(1004)을 제어하기 위한 DRAM 컨트롤러를 더 포함할 수 있다.
- [136] 반도체 패키지(1003)는 서로 이격된 제1 및 제2 반도체 패키지들(1003a, 1003b)을 포함할 수 있다. 제1 및 제2 반도체 패키지들(1003a, 1003b)은 각각 복수의 반도체 칩들(1020)을 포함하는 반도체 패키지일 수 있다. 제1 및 제2 반도체 패키지들(1003a, 1003b) 각각은, 패키지 기판(1010), 패키지 기판(1010) 상의 반도체 칩들(1020), 반도체 칩들(1020) 각각의 하부면에 배치되는 접착층들(1030), 반도체 칩들(1020)과 패키지 기판(1010)을 전기적으로 연결하는 연결 구조체들(1040) 및 패키지 기판(1010) 상에서 반도체 칩들(1020) 및 연결 구조체들(1040)을 덮는 몰딩층(1050)을 포함할 수 있다.
- [137] 패키지 기판(1010)은 패키지 상부 패드들(1011)을 포함하는 인쇄회로 기판일 수 있다. 각각의 반도체 칩들(1020)은 입출력 패드들(1021)을 포함할 수 있다. 반도체 칩들(1020) 각각은 도 1 내지 4를 참조하여 전술된 3차원 플래시 메모리를 포함할 수 있다. 보다 구체적으로, 반도체 칩들(1020) 각각은 게이트 적층 구조체들(1022) 및 메모리 채널 구조체들(1023)을 포함할 수 있다. 게이트 적층 구조체들(1022)은 상술한 적층 구조체들(ST)에 해당할 수 있고, 메모리 채널 구조체들(1023)은 상술한 수직 채널 구조체들(VS)에 해당할 수 있다.
- [138] 연결 구조체들(1040)은 예를 들어, 입출력 패드들(1021)과 패키지 상부 패드들(1011)을 전기적으로 연결하는 본딩 와이어들일 수 있다. 따라서, 각각의 제1 및 제2 반도체 패키지들(1003a, 1003b)에서, 반도체 칩들(1020)은 본딩 와이어 방식으로 서로 전기적으로 연결될 수 있으며, 패키지 기판(1010)의 패키지 상부 패드들(1011)과 전기적으로 연결될 수 있다. 실시예들에 따라, 각각의 제1 및 제2 반도체 패키지들(1003a, 1003b)에서, 반도체 칩들(1020)은 본딩 와이어 방식의 연결 구조체들(1040) 대신에, 관통 전극(Through Silicon Via)에 의하여 서로 전기적으로 연결될 수도 있다.
- [139] 도시된 바와 달리, 컨트롤러(1002)와 반도체 칩들(1020)은 하나의 패키지에 포함될 수도 있다. 메인 기판(1001)과 다른 별도의 인터포저 기판에 컨트롤러(1002)와 반도체 칩들(1020)이 실장되고, 인터포저 기판에 제공되는 배선에 의해 컨트롤러(1002)와 반도체 칩들(1020)이 서로 연결될 수도 있다.

발명의 실시를 위한 형태

- [140] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [141] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

- [청구항 1] 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들 및 상기 게이트 전극들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 데이터 저장 패턴 및 수직 채널 패턴을 포함함-을 포함하는 적층 구조체들; 상기 적층 구조체들이 분리되도록 상기 적층 구조체들 사이에 상기 수직 방향으로 제공되는 분리 트렌치; 및 상기 분리 트렌치 내에 형성되는 공통 소스 라인을 포함하고, 상기 분리 트렌치 내에는, 상기 공통 소스 라인이 형성되기 이전에 상기 분리 트렌치를 통해 상기 적층 구조체들이 무너지는 것을 방지하기 위해 상기 적층 구조체들 사이를 지지하는 적어도 하나의 연결부가 포함되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 2] 제1항에 있어서, 상기 적어도 하나의 연결부는, 상기 적층 구조체들을 전기적으로 분리시키기 위해 절연 물질로 형성되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 3] 제2항에 있어서, 상기 3차원 플래시 메모리는, 상기 공통 소스 라인의 상부에 배치된 채, 상기 공통 소스 라인이 상기 적어도 하나의 연결부에 의해 분절된 부분들을 서로 연결시키는 연결 배선을 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 4] 제1항에 있어서, 상기 분리 트렌치 내 상기 공통 소스 라인의 측면을 감싸는 절연 스페이서들을 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 5] 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 게이트 전극들을 포함하는 반도체 구조체를 준비하는 단계; 상기 반도체 구조체에 상기 수직 방향으로 분리 트렌치를 형성하여 상기 분리 트렌치에 의해 분리되는 적층 구조체들을 생성하는 단계; 및 상기 분리 트렌치 내에 공통 소스 라인을 형성하는 단계를 포함하고, 상기 적층 구조체들을 생성하는 단계는, 상기 분리 트렌치를 통해 상기 적층 구조체들이 무너지는 것을 방지하기 위해 상기 반도체 구조체 상 상기 적층 구조체들 사이를 지지하는 적어도

하나의 연결부를 남기고 상기 분리 트렌치를 형성하는 단계인 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

- [청구항 6] 기판 상 수평 방향으로 연장 형성된 채 수직 방향으로 이격되며 적층된 희생층들을 포함하는 반도체 구조체를 준비하는 단계;
상기 반도체 구조체에 상기 수직 방향으로 분리 트렌치를 형성하여 상기 분리 트렌치에 의해 분리되는 적층 구조체들을 생성하는 단계;
상기 분리 트렌치 내에 공통 소스 라인을 형성하는 단계;
상기 적층 구조체들 각각에서 상기 희생층들을 제거하는 단계; 및
상기 희생층들이 제거된 공간들에 게이트 전극들을 형성하는 단계를 포함하고,
상기 적층 구조체들을 생성하는 단계는,
상기 분리 트렌치를 통해 상기 적층 구조체들이 무너지는 것을 방지하기 위해 상기 반도체 구조체 상 상기 적층 구조체들 사이를 지지하는 적어도 하나의 연결부를 남기고 상기 분리 트렌치를 형성하는 단계인 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

- [청구항 7] 제5항 또는 제6항 중 어느 한 항에 있어서,
상기 공통 소스 라인을 형성하는 단계는,
상기 공통 소스 라인을 형성한 이후, 상기 적어도 하나의 연결부를 절연 물질로 대체하는 단계를 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

- [청구항 8] 제7항에 있어서,
상기 대체하는 단계는,
상기 반도체 구조체에서 상기 적어도 하나의 연결부에 해당하는 부분을 제거하여 공간을 확보하는 단계; 및
상기 확보된 공간에 상기 절연 물질을 채워 넣어 상기 적어도 하나의 연결부를 상기 절연 물질로 대체하는 단계를 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

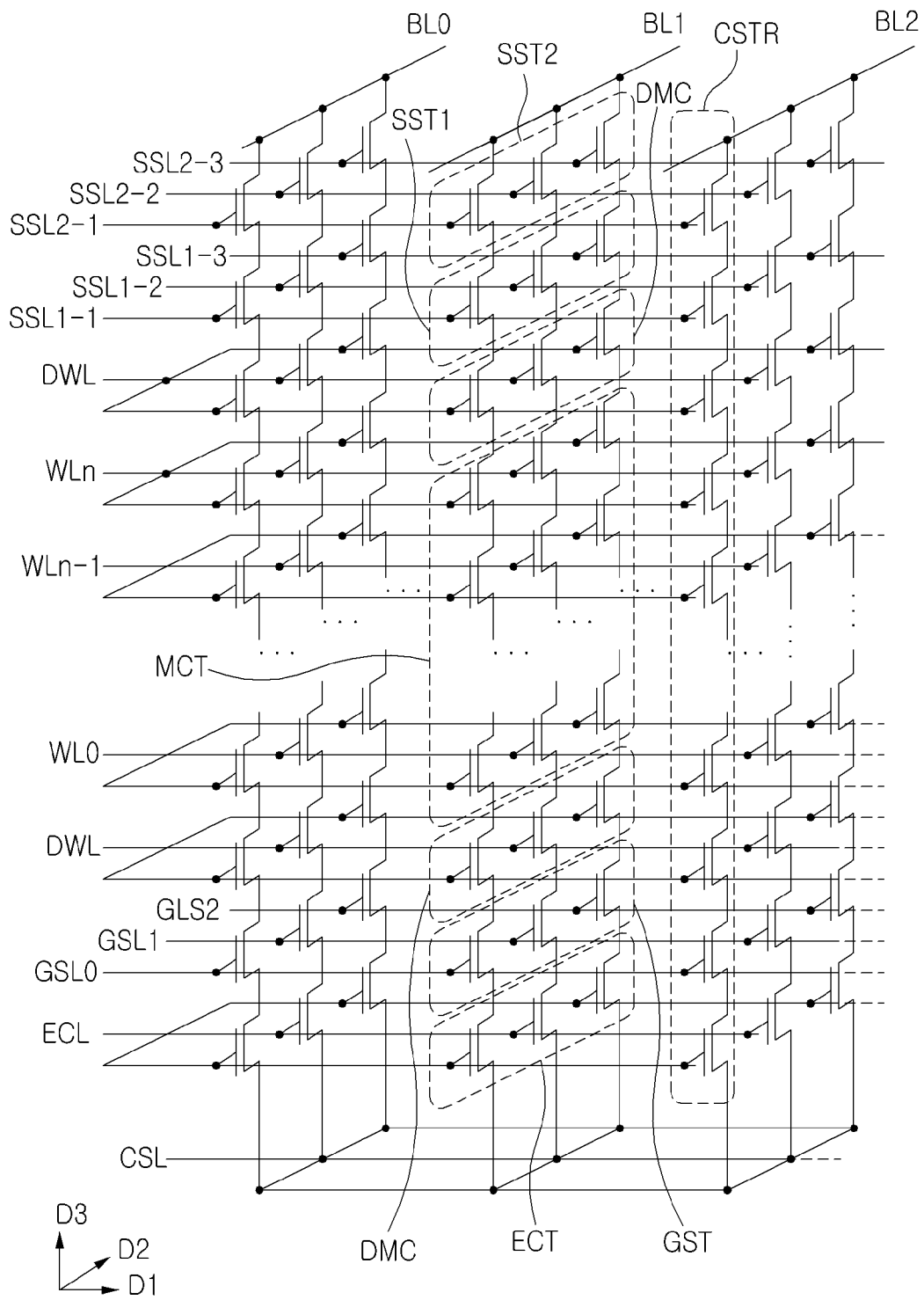
- [청구항 9] 제7항에 있어서,
상기 공통 소스 라인을 형성하는 단계는,
상기 적어도 하나의 연결부를 상기 절연 물질로 대체한 이후, 상기 공통 소스 라인이 상기 적어도 하나의 연결부에 의해 분절된 부분들을 서로 연결시키도록 상기 공통 소스 라인의 상부에 연결 배선을 배치하는 단계를 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

- [청구항 10] 제5항 또는 제6항 중 어느 한 항에 있어서,
상기 분리 트렌치 내 상기 공통 소스 라인의 측면을 감싸는 절연 스페이서들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

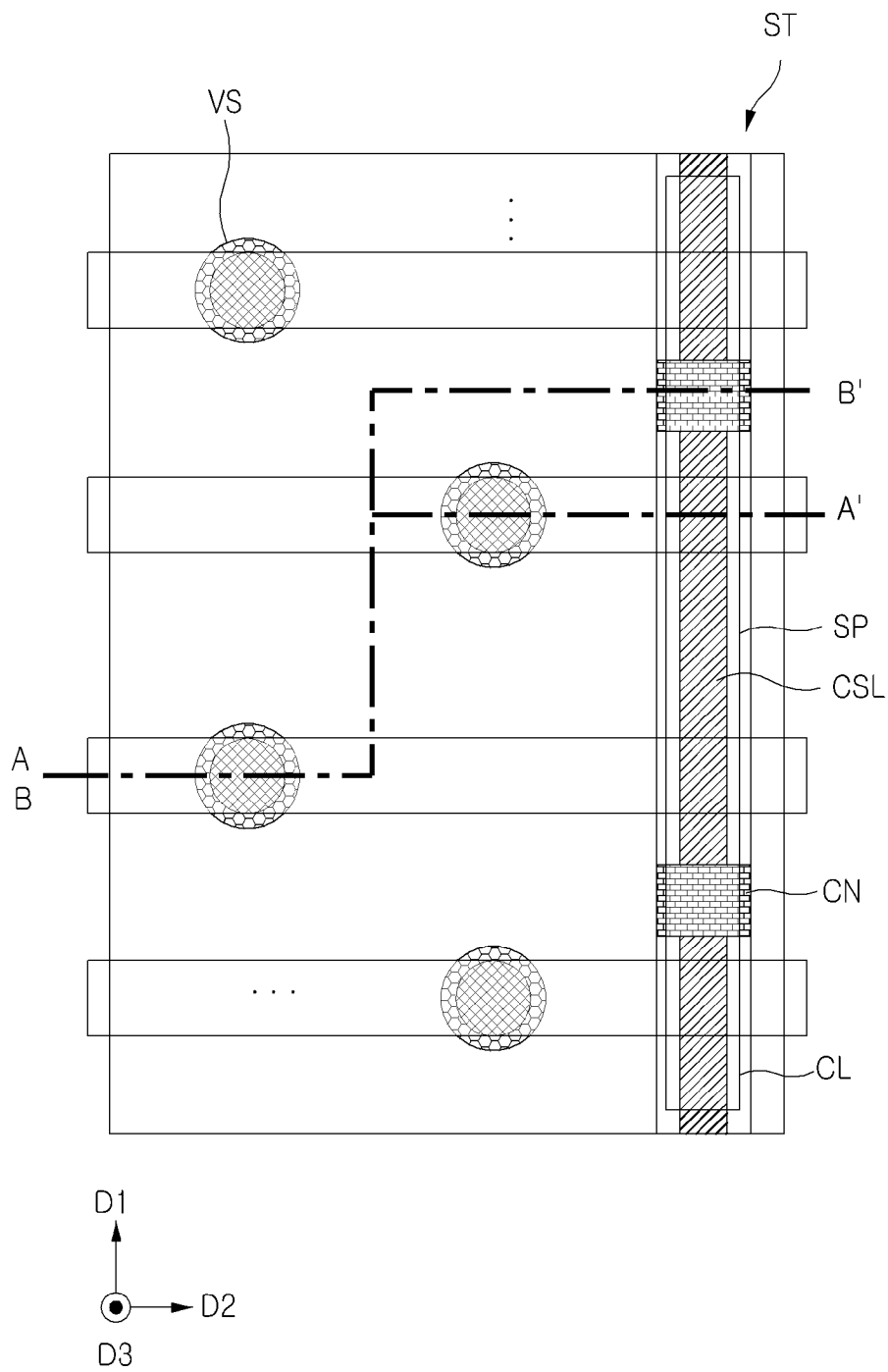
- [청구항 11] 제5항 또는 제6항 중 어느 한 항에 있어서,

상기 게이트 전극들 또는 상기 희생층들을 관통하도록 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 데이터 저장 패턴 및 수직 채널 패턴을 포함함-을 상기 수직 방향으로 연장 형성하는 단계를 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

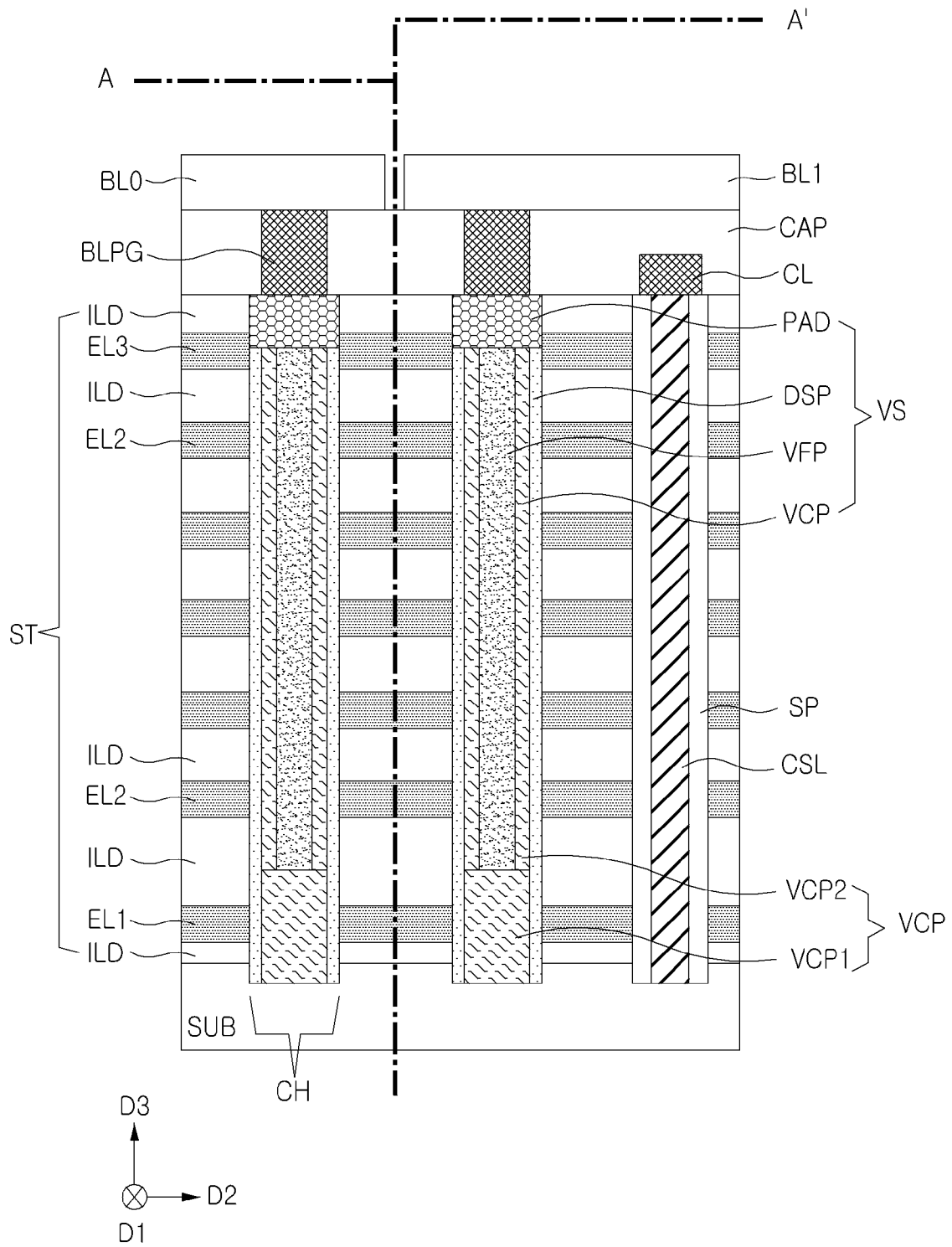
[도1]



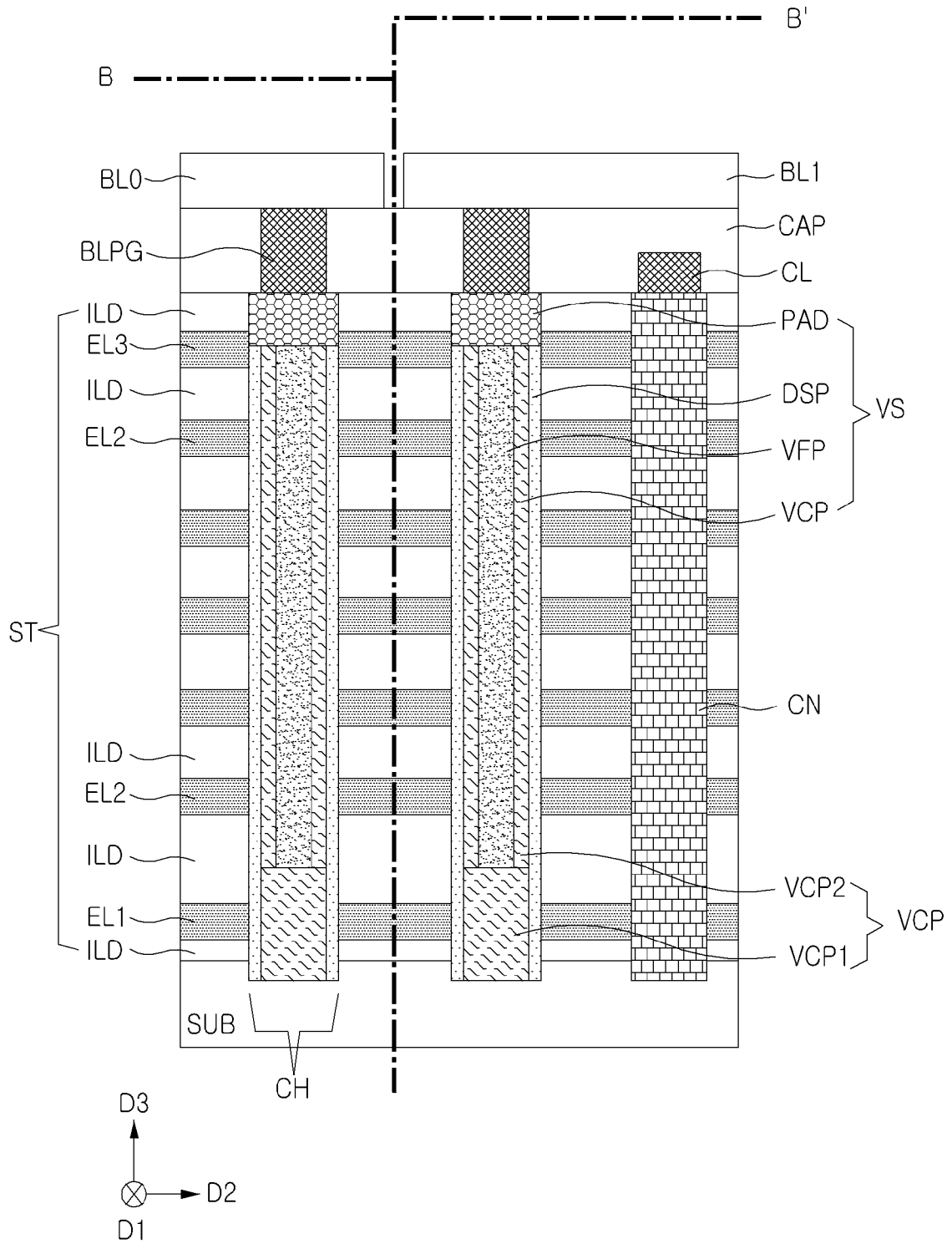
[도2]



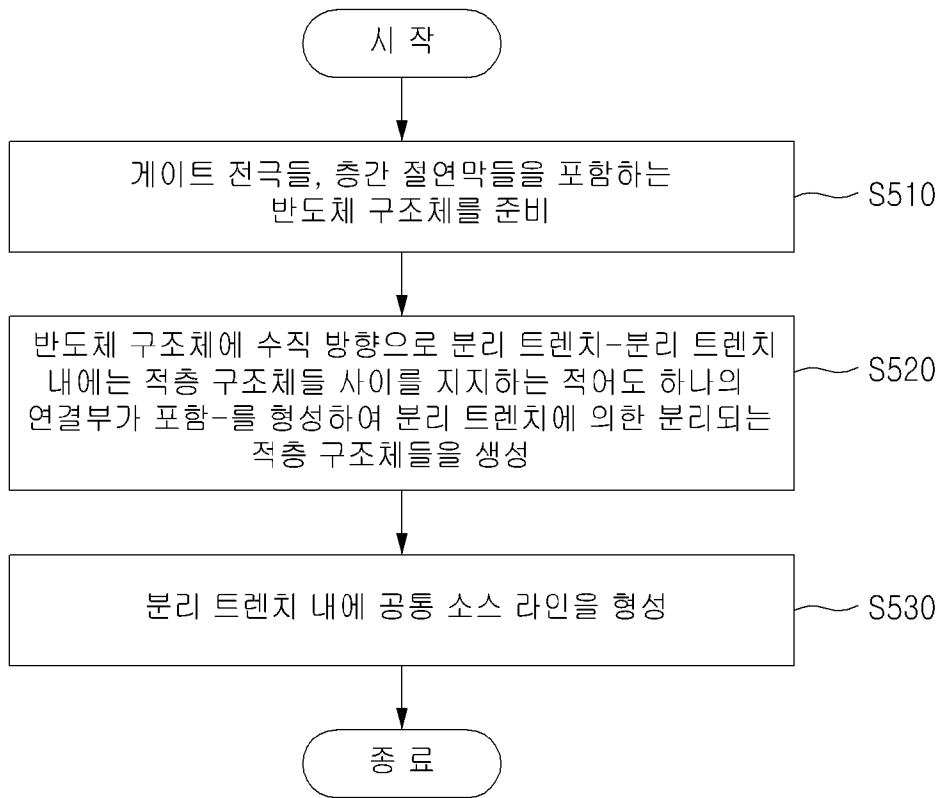
[도3]



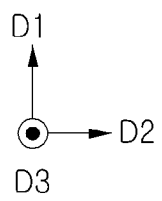
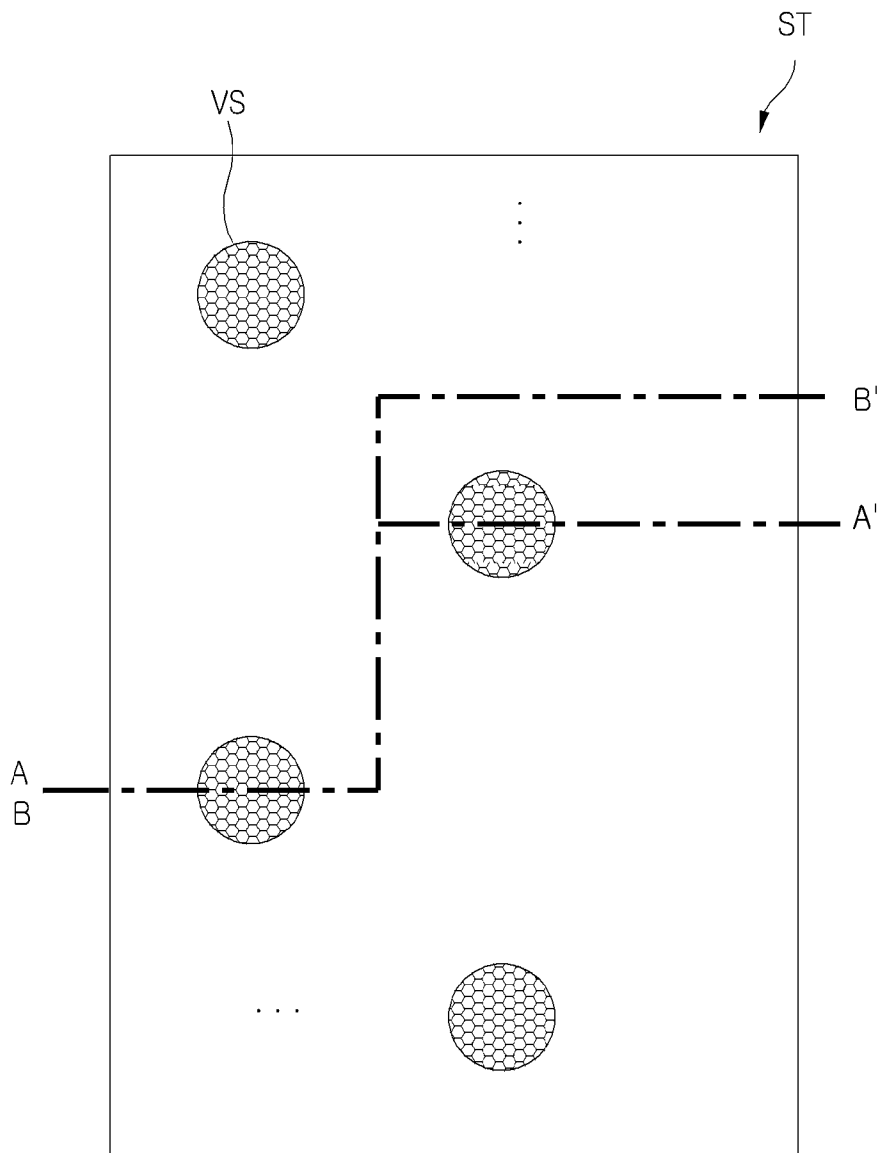
[도4]



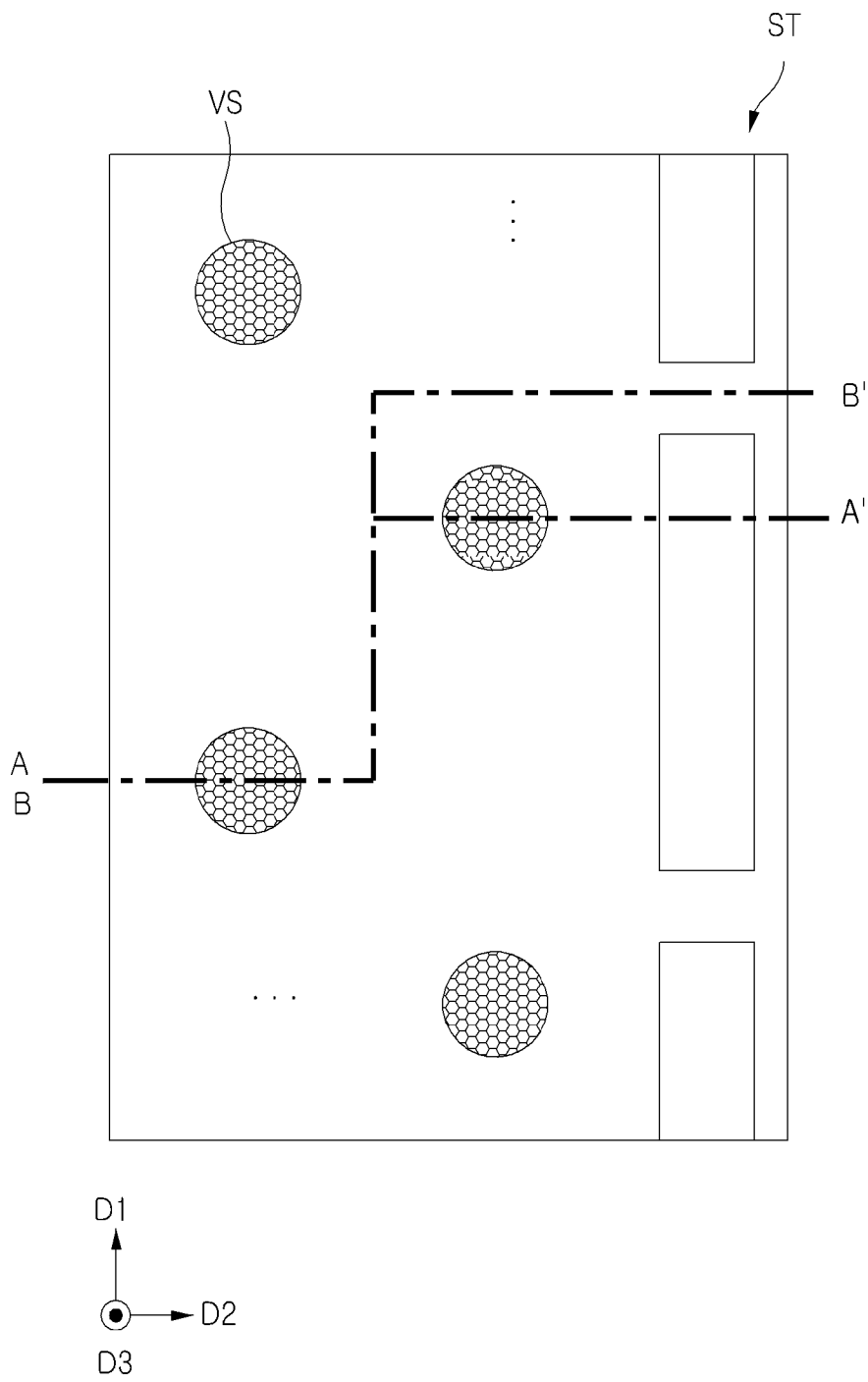
[도5]



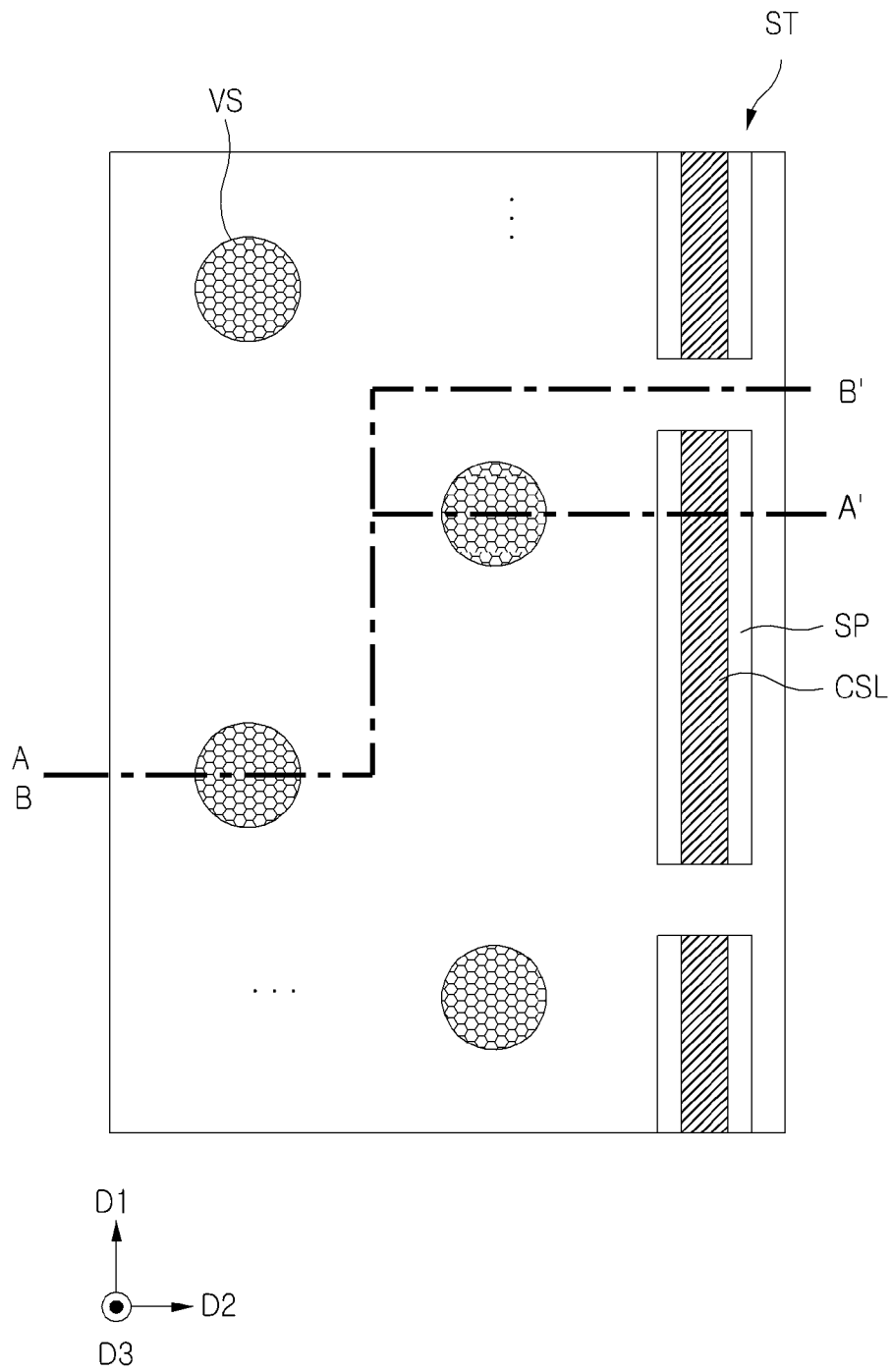
[도6a]



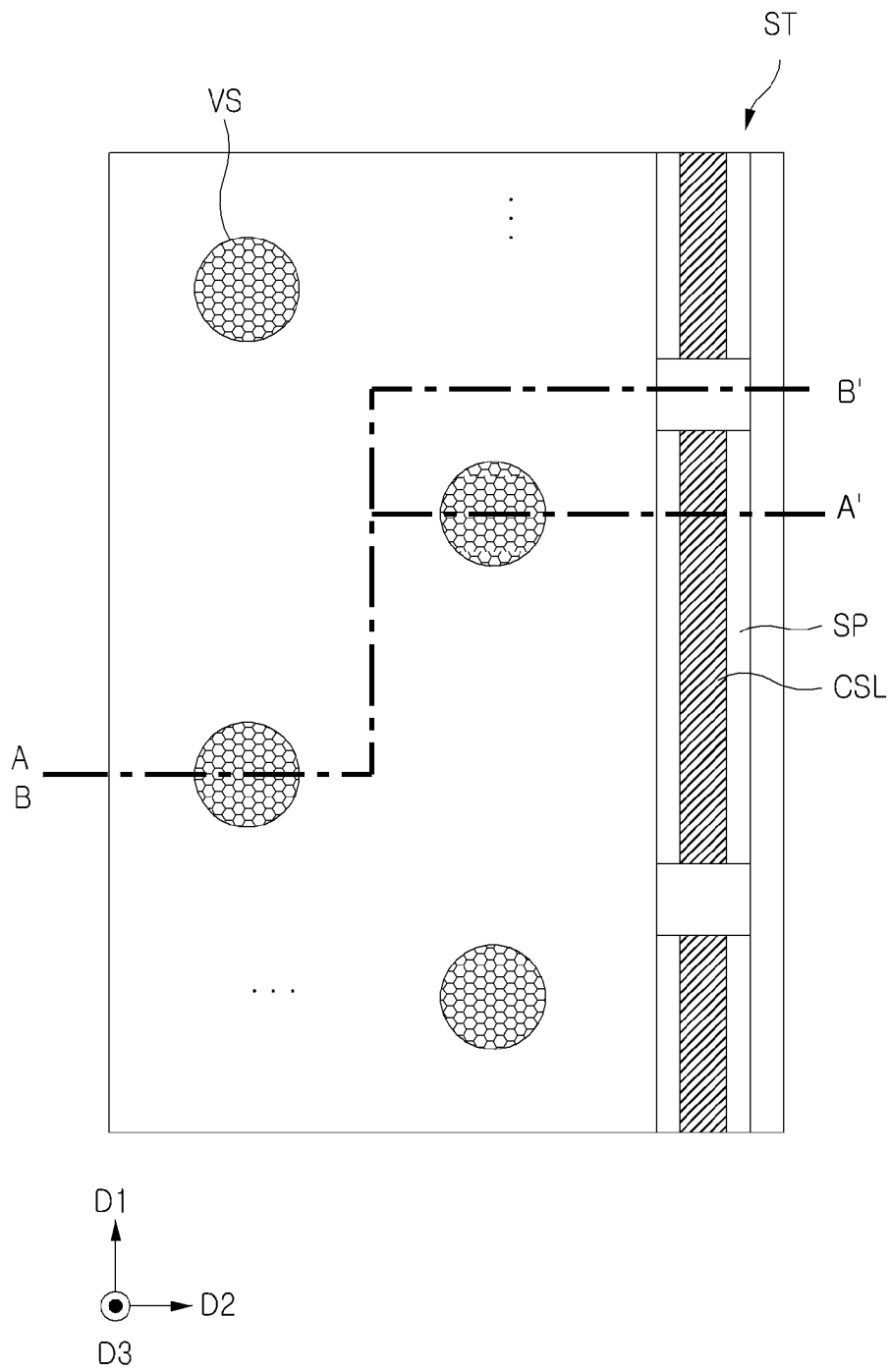
[도6b]



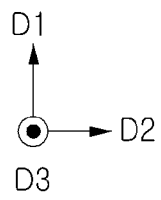
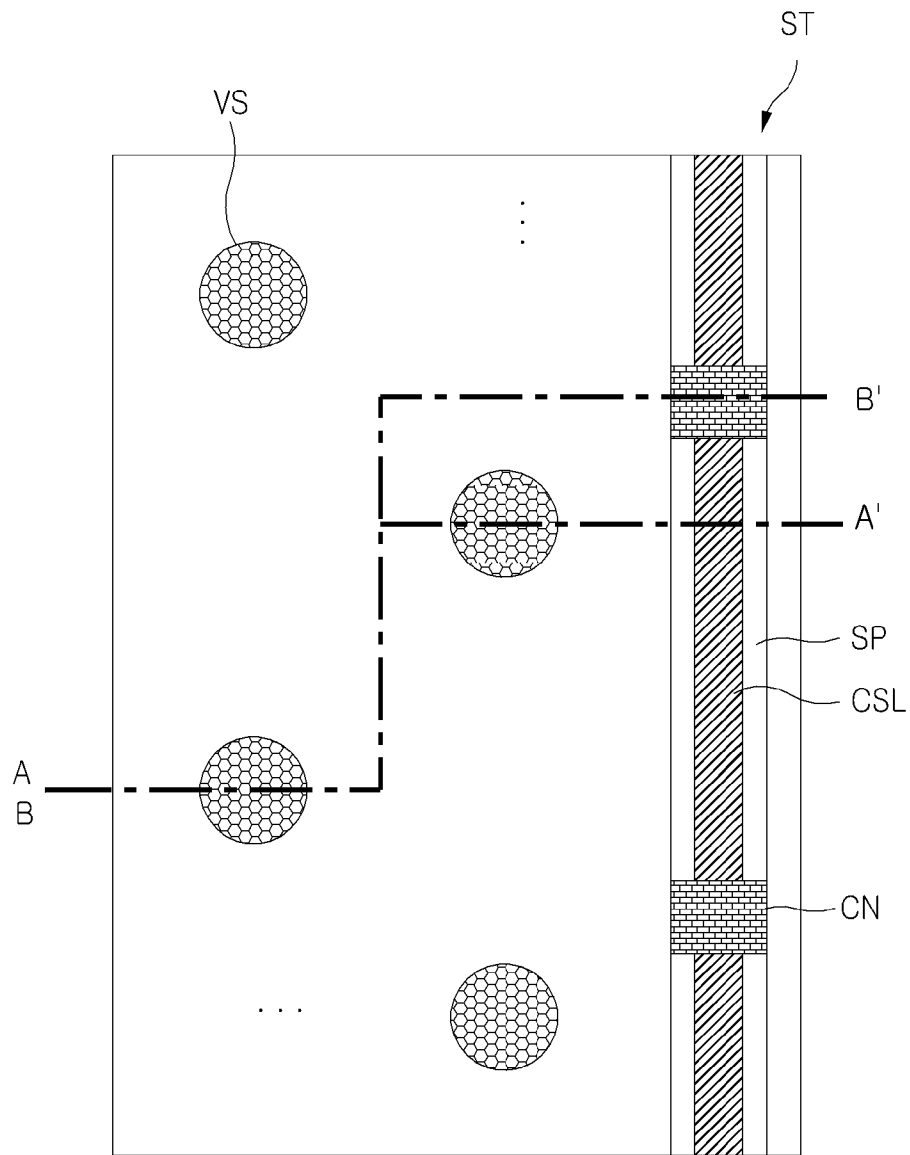
[도6c]



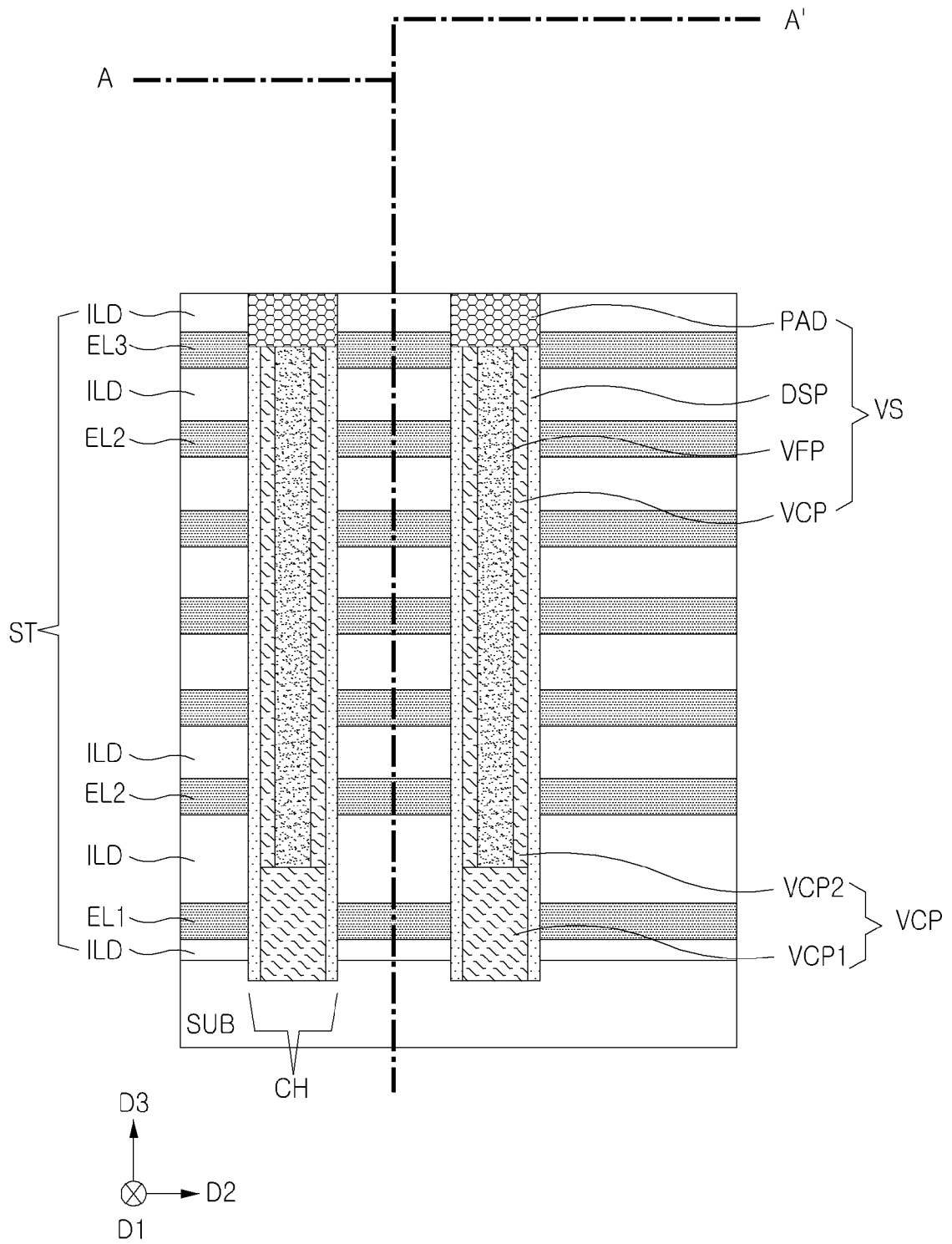
[도6d]



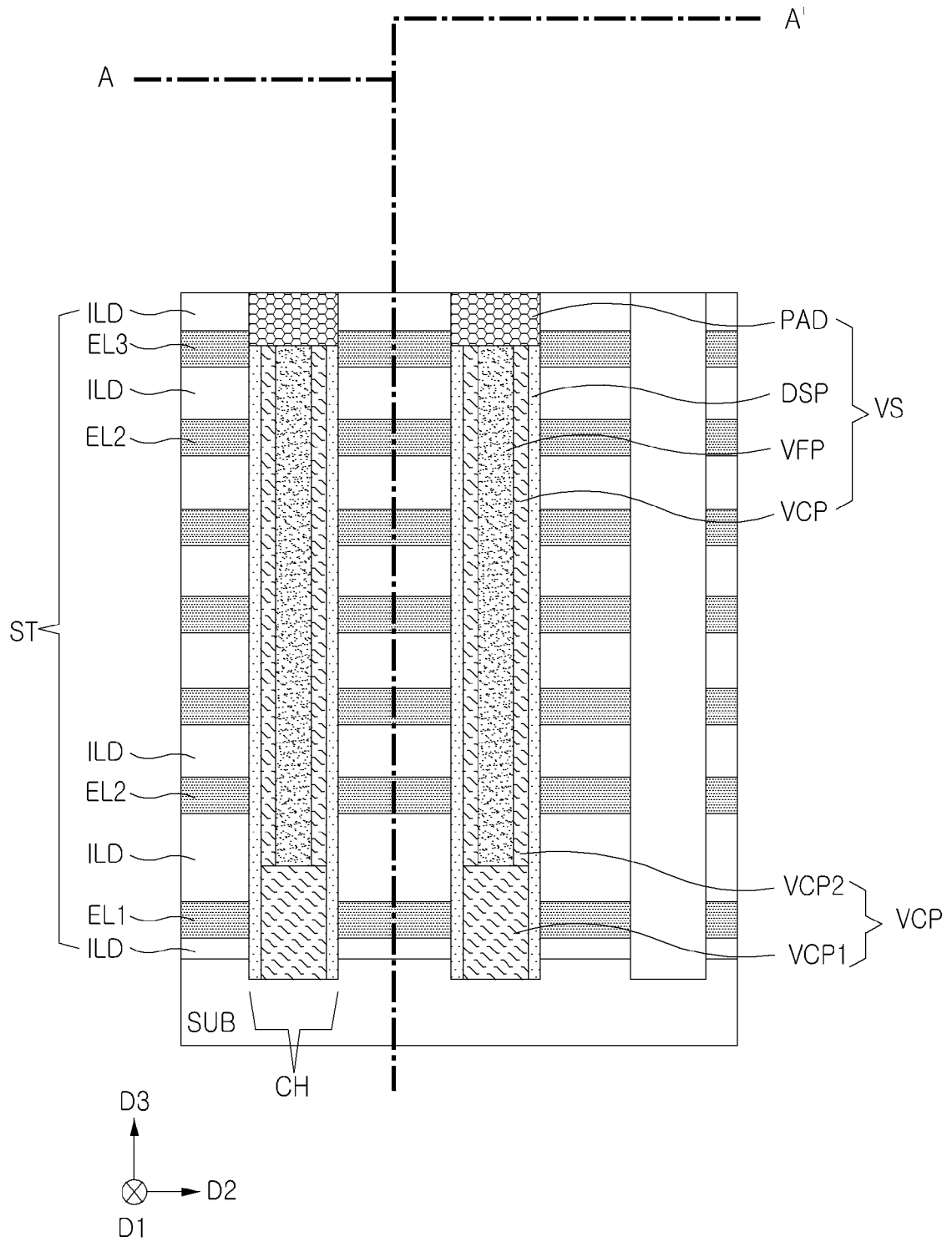
[도6e]



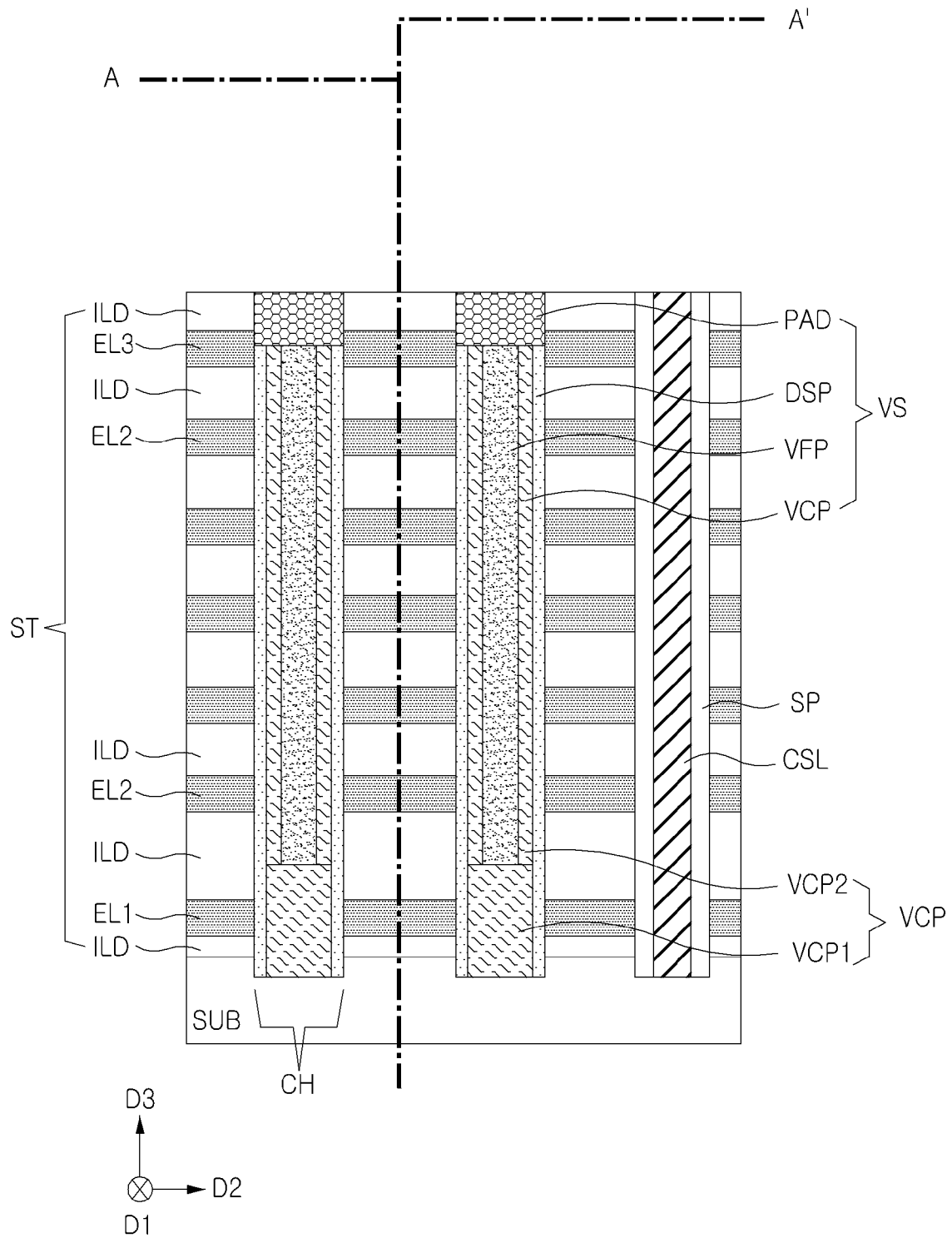
[도7a]



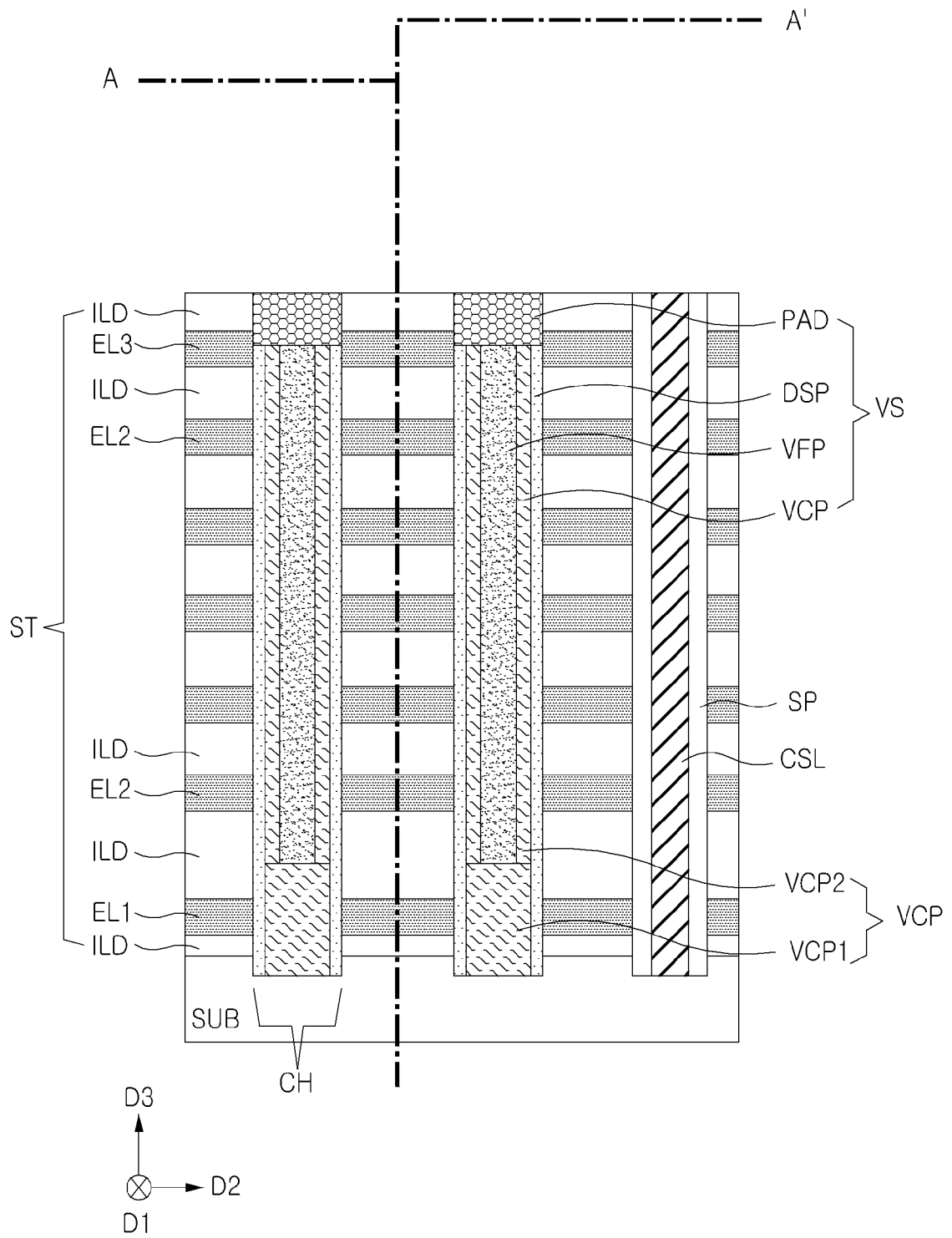
[도7b]



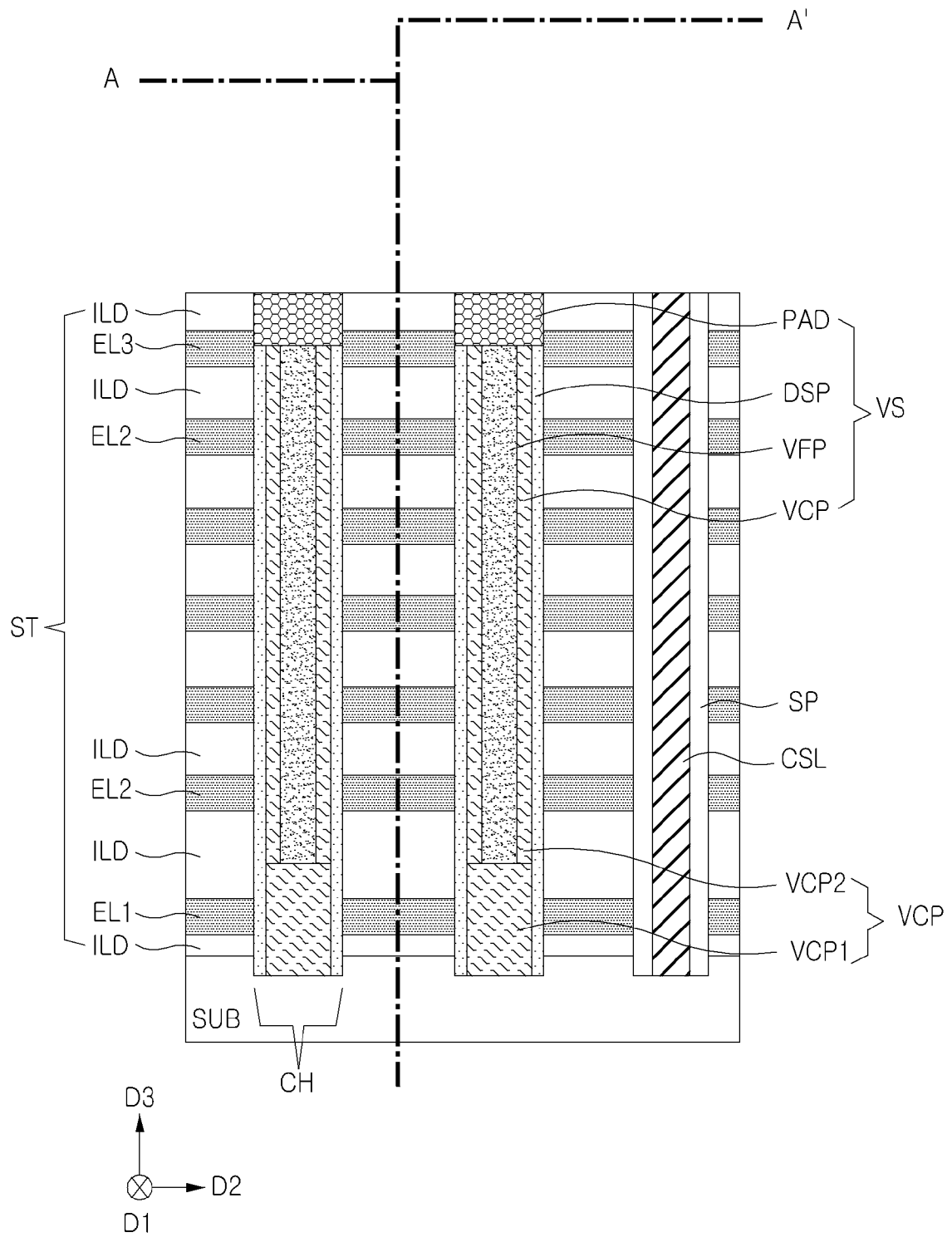
[도7c]



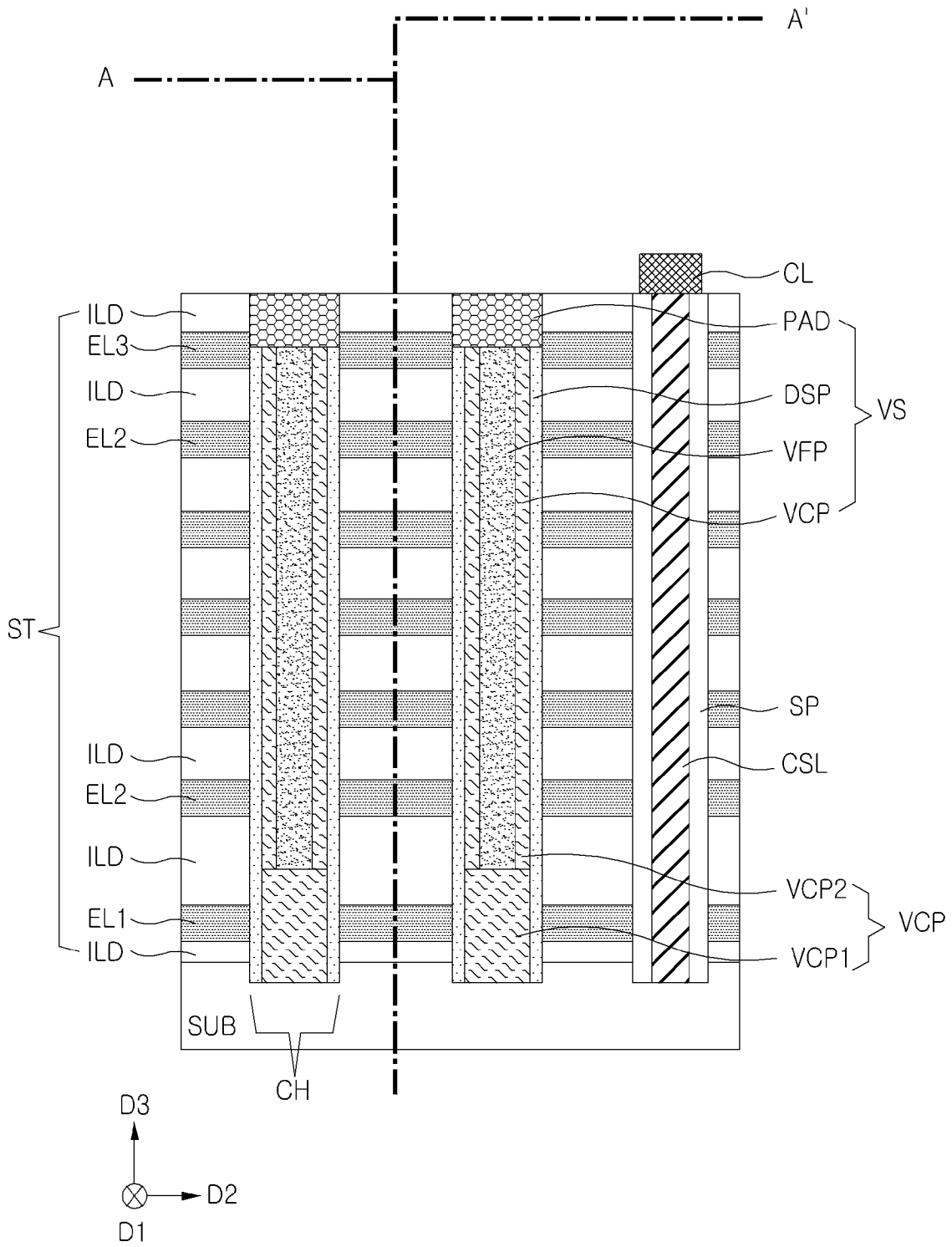
[도7d]



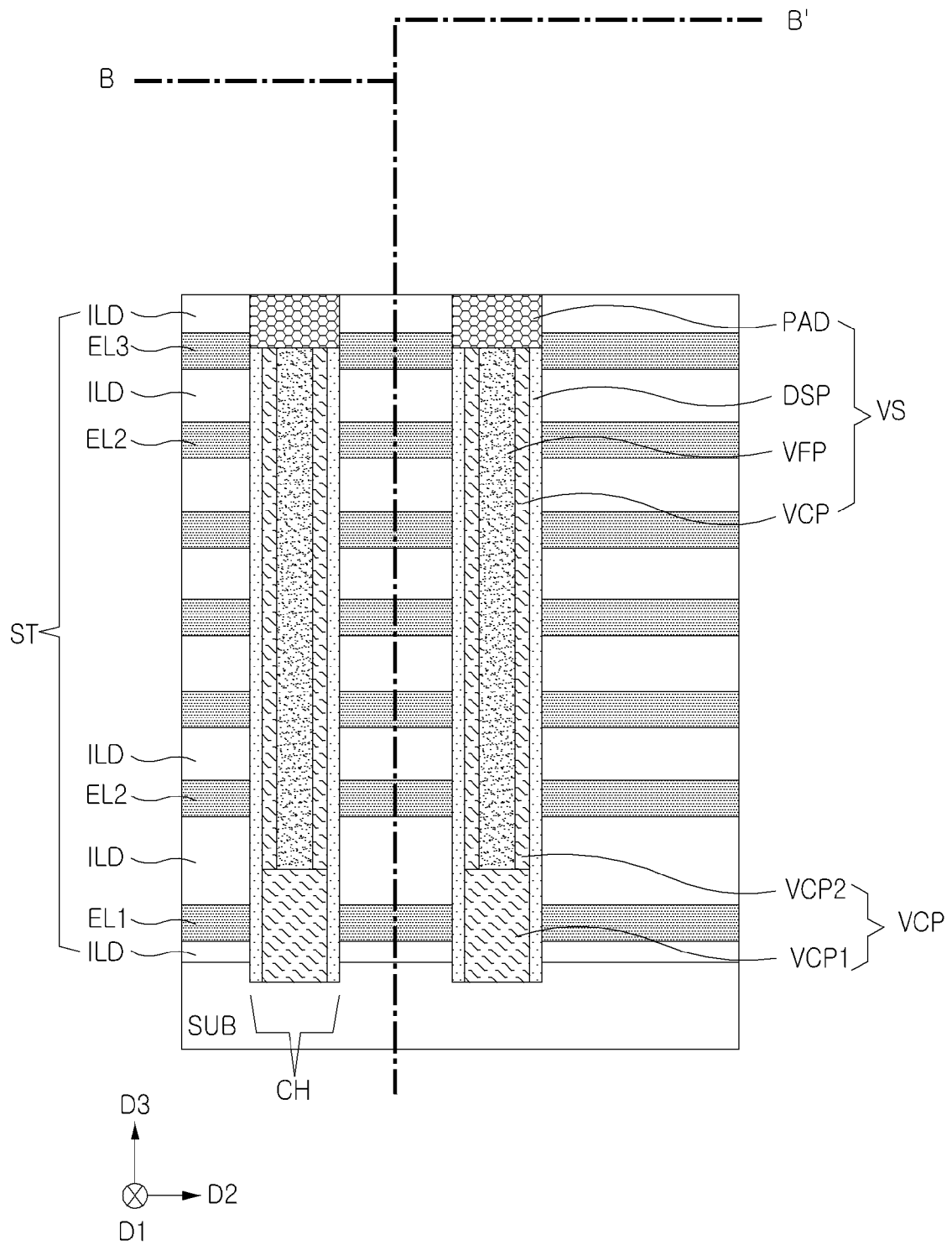
[도7e]



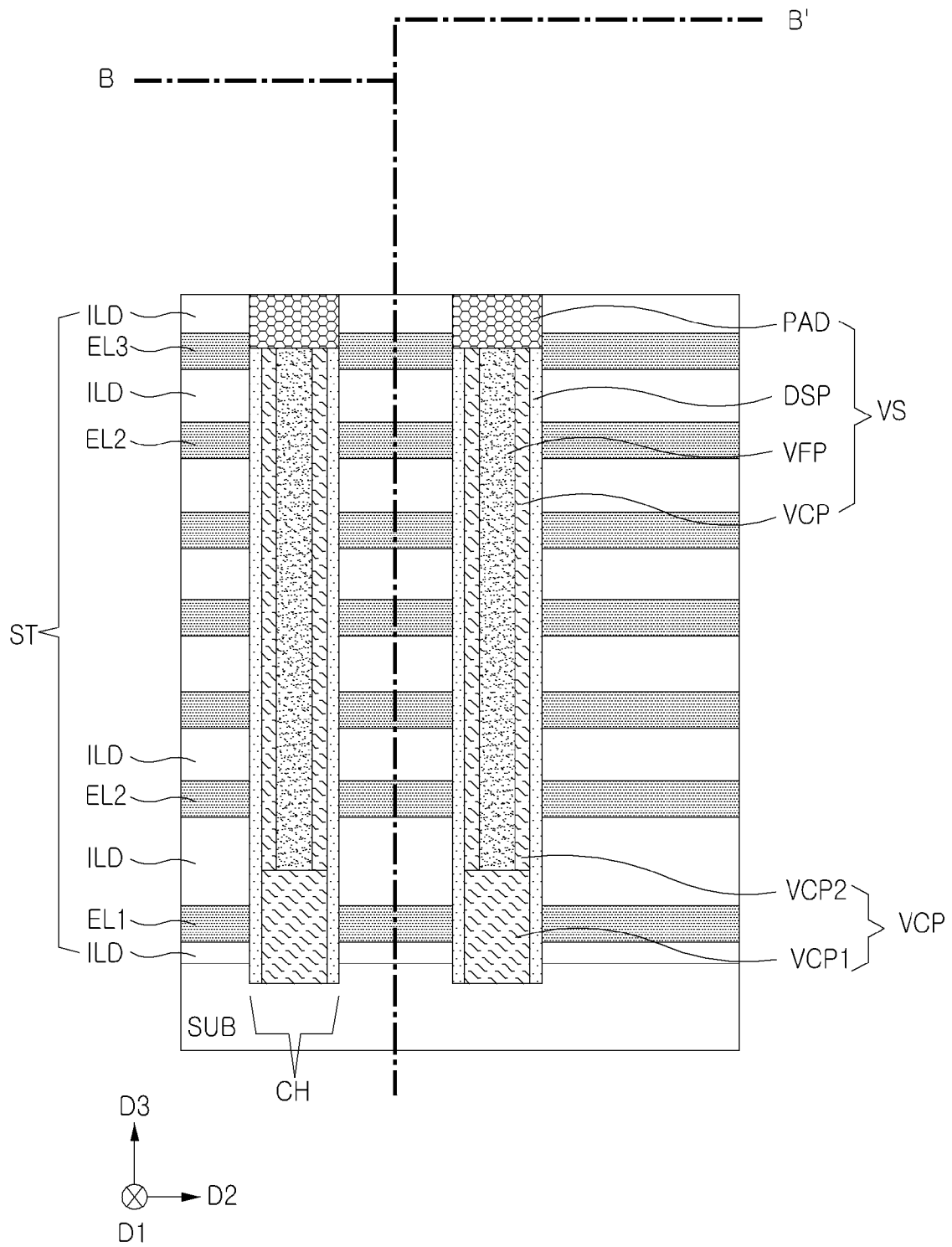
[도7f]



[도8a]

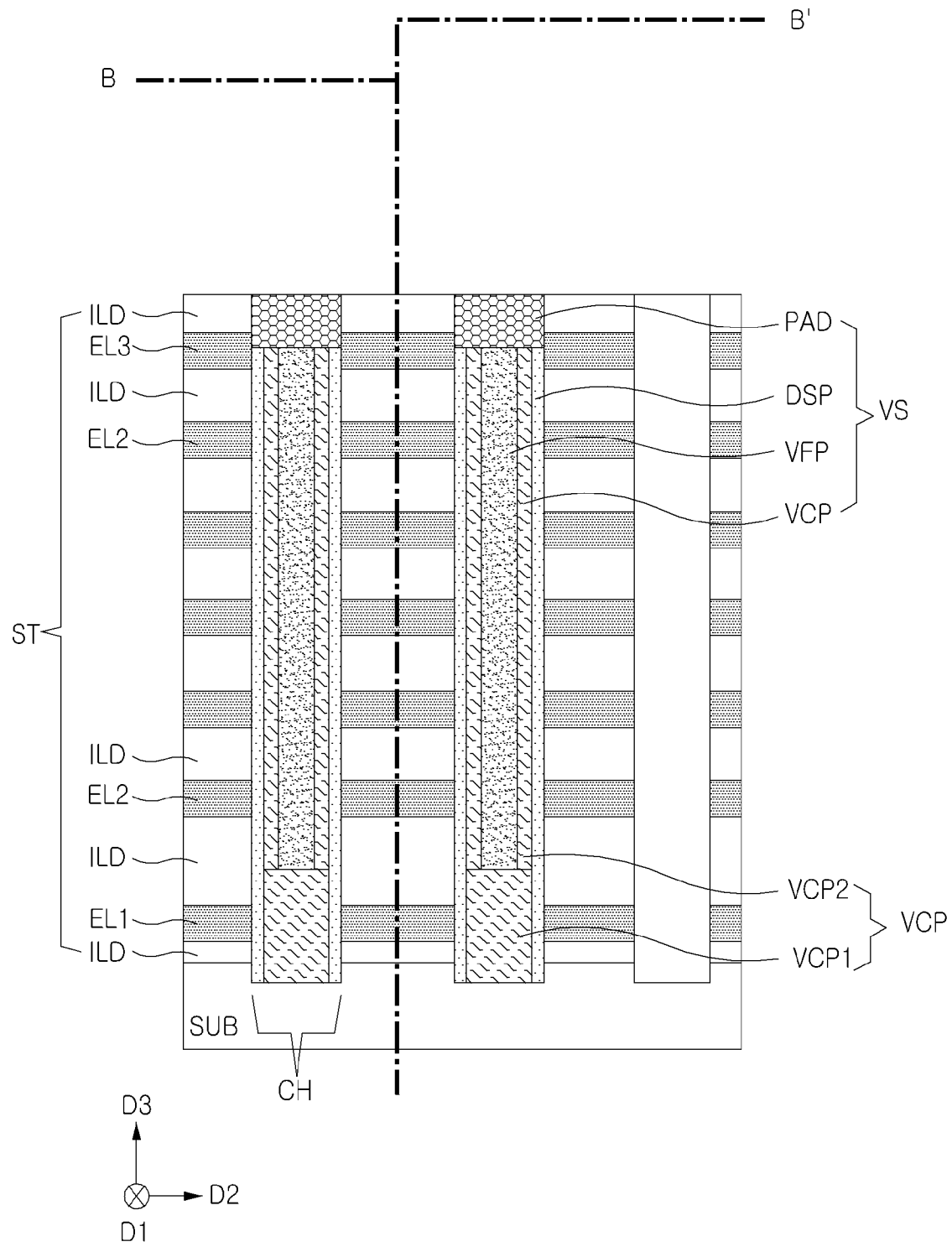


[도8b]

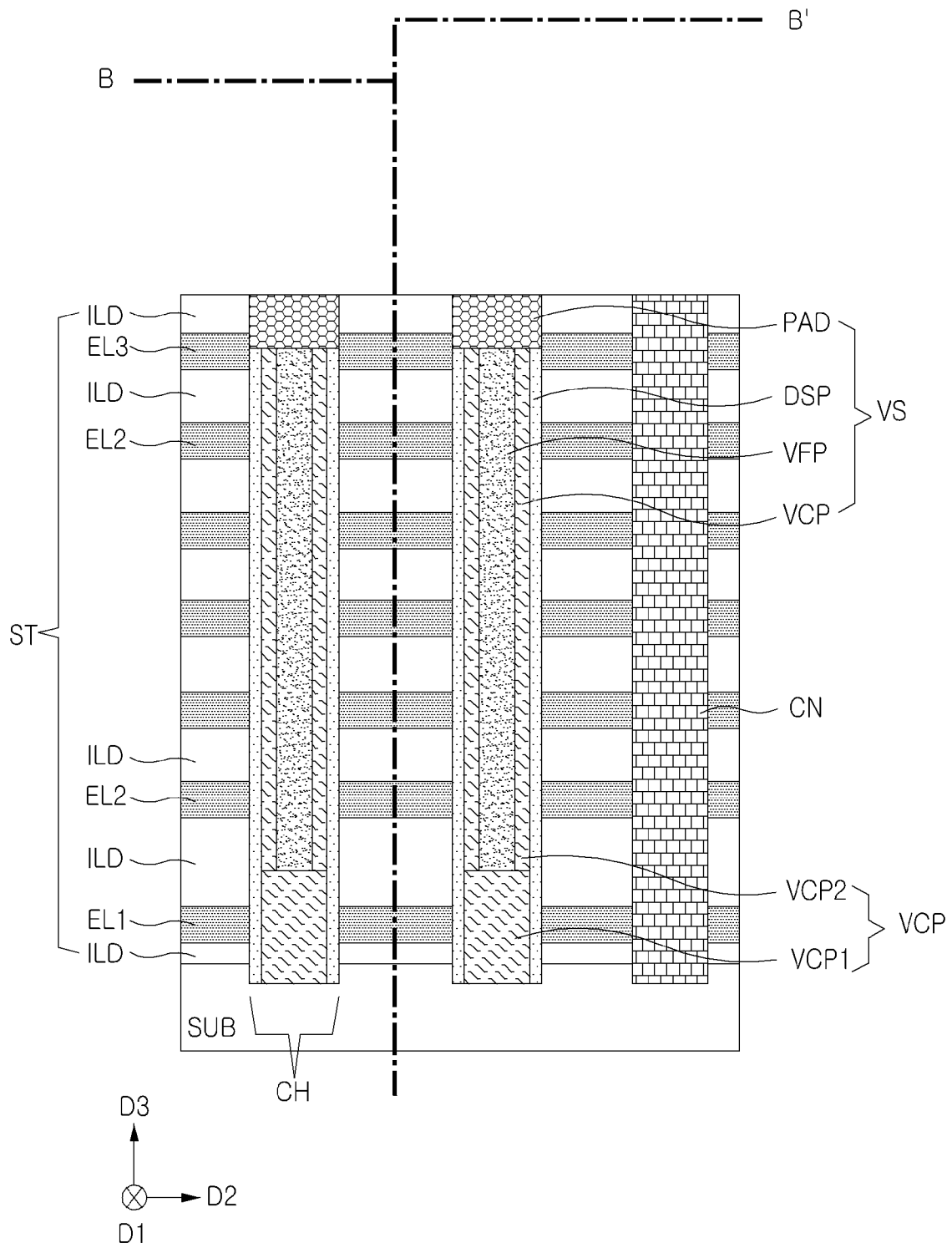


This diagram shows a cross-sectional view of a semiconductor device along line B-B'. The device is built on a substrate (SUB) and features a central channel (CH) region. The channel is defined by a central layer with a diagonal hatching pattern, flanked by two vertical layers with a dotted pattern. The device is divided into several horizontal layers, including interlayer dielectric (ILD) and etch layer (EL) regions. The top of the device is capped with a passivation layer (PAD). The device is divided into two main sections by a vertical dashed line: the left section is labeled ST (Source/Target) and the right section is labeled VS (Vias). The VS section includes a vertical contact (VCP) and a vertical contact pad (VCP2). The ST section includes a vertical contact (VCP1) and a vertical contact pad (VCP2). The device is also divided into two main regions by a horizontal dashed line: the top region is labeled B' and the bottom region is labeled B. A coordinate system is shown at the bottom left, with D1 pointing up, D2 pointing right, and D3 pointing out of the page (indicated by a circle with a cross).

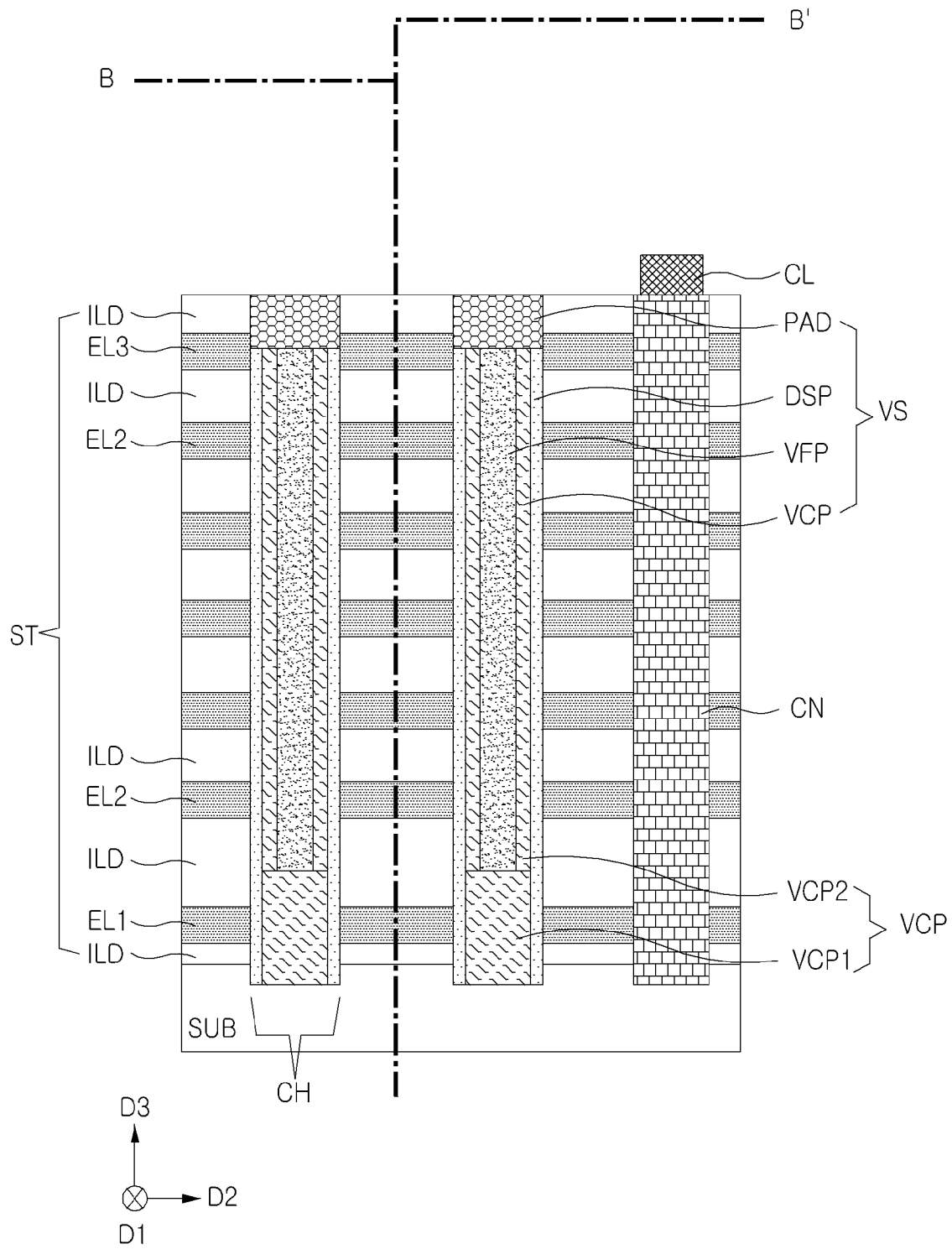
[도8d]



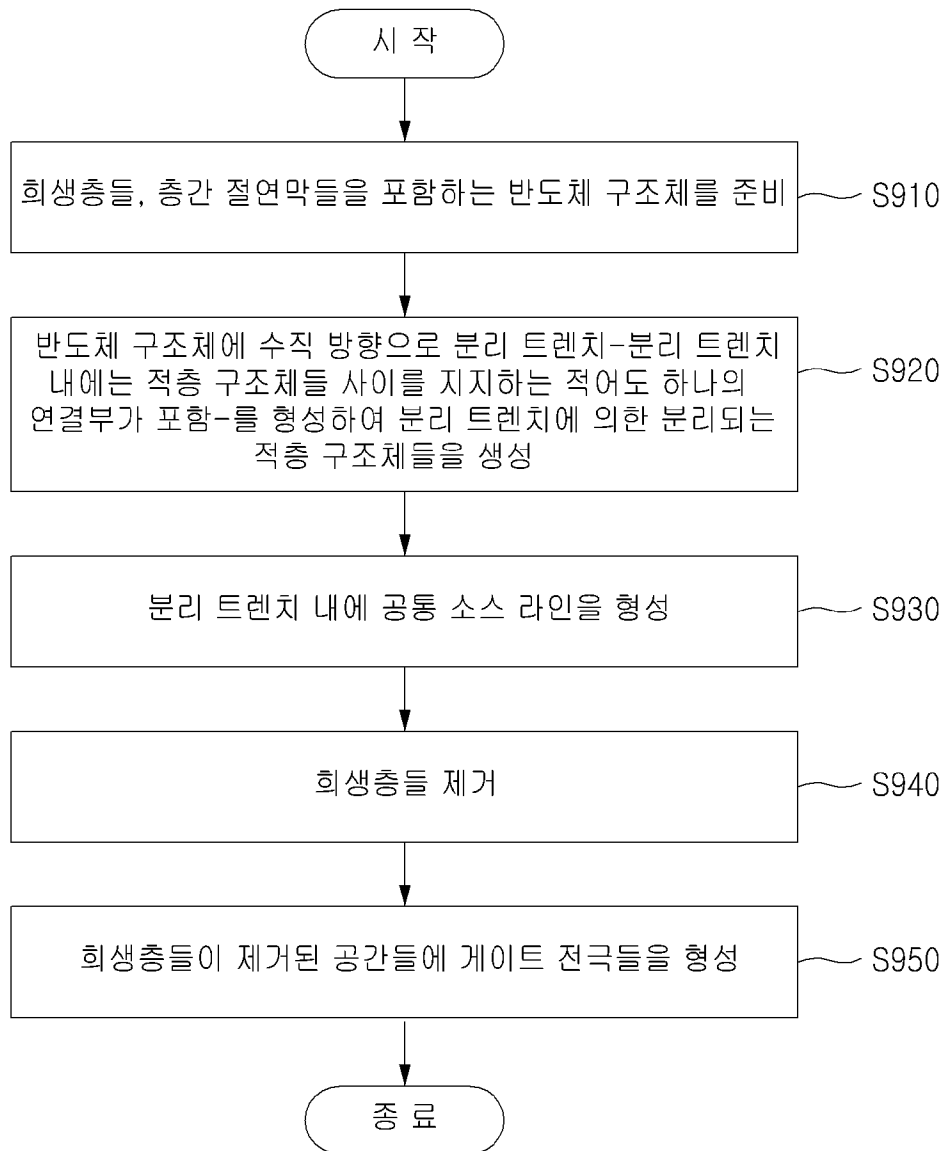
[도8e]



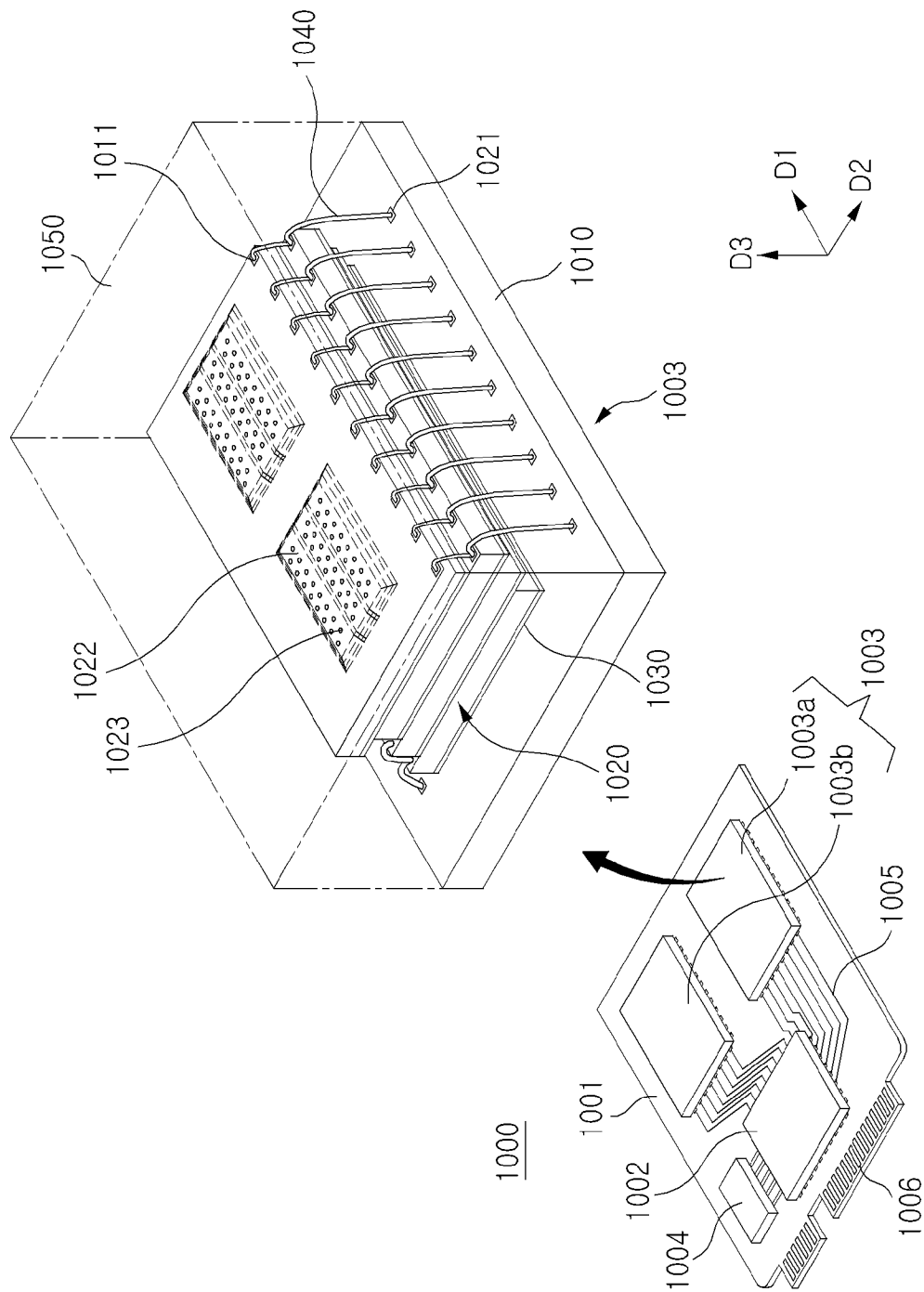
[도8f]



[도9]



[도10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/007855

A. CLASSIFICATION OF SUBJECT MATTER

H10B 43/50(2023.01)i; **H10B 51/50**(2023.01)i; **H10B 43/27**(2023.01)i; **H10B 51/20**(2023.01)i; **H10B 43/10**(2023.01)i;
H10B 51/10(2023.01)i; **H10B 80/00**(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B 43/50(2023.01); H01L 23/48(2006.01); H01L 23/528(2006.01); H01L 27/11512(2017.01); H01L 27/11582(2017.01);
H10B 41/10(2023.01); H10B 41/27(2023.01); H10B 41/35(2023.01); H10B 41/50(2023.01); H10B 43/10(2023.01);
H10B 43/27(2023.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 3차원(three dimension), 플래시 메모리(flash memory), 적층(stack), 트렌치(trench), 절연(insulation)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2022-0154867 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 22 November 2022 (2022-11-22) See paragraphs [0065]-[0066], [0129] and [0138], claims 1 and 4 and figure 4.	1-2,4-8,10-11
A		3,9
Y	KR 10-2023-0028975 A (SAMSUNG ELECTRONICS CO., LTD.) 03 March 2023 (2023-03-03) See paragraphs [0009] and [0087] and figures 6b and 10a-10b.	1-2,4-8,10-11
A	KR 10-2022-0071569 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY) et al.) 31 May 2022 (2022-05-31) See paragraphs [0071]-[0076] and figures 16-17.	1-11
A	KR 10-2019-0136788 A (SAMSUNG ELECTRONICS CO., LTD.) 10 December 2019 (2019-12-10) See paragraph [0029] and figure 3d.	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 September 2024

Date of mailing of the international search report

10 September 2024

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/007855

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2020-0074303 A (SAMSUNG ELECTRONICS CO., LTD.) 25 June 2020 (2020-06-25) See paragraphs [0025]-[0037] and figures 3-6.	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2024/007855

Patent document cited in search report				Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)	
KR	10-2022-0154867	A	22 November 2022	KR	10-2022-0154868	A	22 November 2022		
				KR	10-2544004	B1	15 June 2023		
				KR	10-2627215	B1	19 January 2024		
				US	2024-0260272	A1	01 August 2024		
				WO	2022-239957	A1	17 November 2022		

KR	10-2023-0028975	A	03 March 2023	CN	115720445	A	28 February 2023		
				US	2023-0058328	A1	23 February 2023		

KR	10-2022-0071569	A	31 May 2022	KR	10-2516407	B1	03 April 2023		

KR	10-2019-0136788	A	10 December 2019	CN	110556384	A	10 December 2019		
				CN	110556384	B	12 September 2023		
				KR	10-2641734	B1	04 March 2024		
				US	10672792	B2	02 June 2020		
				US	11404435	B2	02 August 2022		
				US	2019-0371808	A1	05 December 2019		
				US	2020-0357817	A1	12 November 2020		

KR	10-2020-0074303	A	25 June 2020	CN	111326523	A	23 June 2020		
				CN	111326523	B	05 April 2024		
				US	11393755	B2	19 July 2022		
				US	2020-0194373	A1	18 June 2020		

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H10B 43/50(2023.01)i; H10B 51/50(2023.01)i; H10B 43/27(2023.01)i; H10B 51/20(2023.01)i; H10B 43/10(2023.01)i;
H10B 51/10(2023.01)i; H10B 80/00(2023.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H10B 43/50(2023.01); H01L 23/48(2006.01); H01L 23/528(2006.01); H01L 27/11512(2017.01); H01L 27/11582(2017.01);
H10B 41/10(2023.01); H10B 41/27(2023.01); H10B 41/35(2023.01); H10B 41/50(2023.01); H10B 43/10(2023.01);
H10B 43/27(2023.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 3차원(three dimension), 플래시 메모리(flash memory), 적층(stack), 트렌치(trench), 절연(insulation)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2022-0154867 A (한양대학교 산학협력단) 2022.11.22 단락 [0065]-[0066], [0129], [0138], 청구항 1, 4 및 도면 4 참조.	1-2,4-8,10-11
A		3,9
Y	KR 10-2023-0028975 A (삼성전자주식회사) 2023.03.03 단락 [0009], [0087] 및 도면 6b, 10a-10b 참조.	1-2,4-8,10-11
A	KR 10-2022-0071569 A (한양대학교 산학협력단 등) 2022.05.31 단락 [0071]-[0076] 및 도면 16-17 참조.	1-11
A	KR 10-2019-0136788 A (삼성전자주식회사) 2019.12.10 단락 [0029] 및 도면 3d 참조.	1-11
A	KR 10-2020-0074303 A (삼성전자주식회사) 2020.06.25 단락 [0025]-[0037] 및 도면 3-6 참조.	1-11

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2024년09월10일(10.09.2024)

국제조사보고서 발송일

2024년09월10일(10.09.2024)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이강하

전화번호 +82-42-481-5687

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2022-0154867 A	2022/11/22	KR 10-2022-0154868 A	2022/11/22
		KR 10-2544004 B1	2023/06/15
		KR 10-2627215 B1	2024/01/19
		US 2024-0260272 A1	2024/08/01
		WO 2022-239957 A1	2022/11/17
KR 10-2023-0028975 A	2023/03/03	CN 115720445 A	2023/02/28
		US 2023-0058328 A1	2023/02/23
KR 10-2022-0071569 A	2022/05/31	KR 10-2516407 B1	2023/04/03
KR 10-2019-0136788 A	2019/12/10	CN 110556384 A	2019/12/10
		CN 110556384 B	2023/09/12
		KR 10-2641734 B1	2024/03/04
		US 10672792 B2	2020/06/02
		US 11404435 B2	2022/08/02
		US 2019-0371808 A1	2019/12/05
		US 2020-0357817 A1	2020/11/12
KR 10-2020-0074303 A	2020/06/25	CN 111326523 A	2020/06/23
		CN 111326523 B	2024/04/05
		US 11393755 B2	2022/07/19
		US 2020-0194373 A1	2020/06/18