(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0141945
(43) 공개일자 2013년12월27일

(51) 국제특허분류(Int. Cl.)
H01L 33/14 (2010.01)
(21) 출원번호 10-2012-0065093
(22) 출원일자 2012년06월18일
심사청구일자 없음

(71) 출원인
서울바이오시스 주식회사
경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
(72) 발명자
정정환
경기도 안산시 단원구 원시동 727-5 1블럭 36호
최승규
경기도 안산시 단원구 원시동 727-5 1블럭 36호
김재헌
경기도 안산시 단원구 원시동 727-5 1블럭 36호
(74) 대리인
특허법인에이아이피

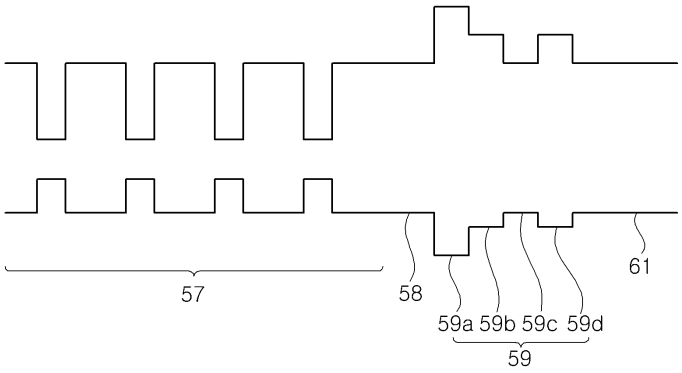
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **전자 차단층을 갖는 발광 소자**

(57) 요 약

전자 차단층을 갖는 발광 소자가 개시된다. 이 반도체 발광 소자는, n형 반도체층, p형 반도체층, n형 반도체층과 p형 반도체층 사이에 위치하는 활성층, 및 활성층과 p형 반도체층 사이에 위치하는 전자 차단층을 포함한다. 이 전자 차단층은 제1층, 제2층, 제3층 및 제4층을 포함한다. 여기서, 제1층은 제2층 내지 제4층보다 활성층에 더 가깝게 위치하며 또한 제2층 내지 제4층보다 더 넓은 밴드갭을 갖고, 제2층은 제1층에 접하여 위치하고, 제3층은 제2층과 제4층 사이에 위치함과 아울러 제2층 및 제4층보다 더 좁은 밴드갭을 갖는다. 이에 따라, 전자를 효과적으로 차단함과 아울러 홀 주입 효율을 개선할 수 있는 발광 소자를 제공할 수 있다.

대 표 도 - 도5



특허청구의 범위

청구항 1

n형 반도체층;

p형 반도체층;

상기 n형 반도체층과 상기 p형 반도체층 사이에 위치하는 활성층; 및

상기 활성층과 상기 p형 반도체층 사이에 위치하는 전자 차단층을 포함하되,

상기 전자 차단층은 제1층, 제2층, 제3층 및 제4층을 포함하고,

상기 제1층은 상기 제2층 내지 제4층보다 상기 활성층에 더 가깝게 위치하며 또한 상기 제2층 내지 제4층보다 더 넓은 밴드갭을 갖고,

상기 제2층은 상기 제1층에 접하여 위치하고,

상기 제3층은 상기 제2층과 상기 제4층 사이에 위치함과 아울러 상기 제2층 및 상기 제4층보다 더 좁은 밴드갭을 갖는 발광 소자.

청구항 2

청구항 1에 있어서,

상기 제1층은 상기 전자 차단층 내에서 가장 넓은 밴드갭을 갖고,

상기 제3층은 상기 전자 차단층 내에서 가장 좁은 밴드갭을 갖는 발광 소자.

청구항 3

청구항 1에 있어서,

상기 제3층은 상기 제2층 및 제4층에 접하여 위치하는 발광 소자.

청구항 4

청구항 1에 있어서,

상기 제1층 내지 제4층은 AlInGaN계 질화물 반도체로 형성된 발광 소자.

청구항 5

청구항 4에 있어서,

상기 제1층은 AlGaN으로 형성되고, 상기 제3층은 GaN으로 형성되며, 상기 제2층 및 제4층은 AlInGaN으로 형성된 발광 소자.

청구항 6

청구항 1에 있어서,

상기 제1, 제2 및 제4층은 상기 p형 반도체층보다 더 넓은 밴드갭을 갖는 발광 소자.

청구항 7

청구항 1에 있어서,

상기 제1층은 상기 제2층 내지 제4층에 비해 p형 불순물 농도가 낮은 발광 소자.

청구항 8

청구항 7에 있어서,

상기 제1층은 언도프트층인 발광 소자.

청구항 9

청구항 7에 있어서,

상기 제3층은 상기 제2층 및 제4층에 비해 p형 불순물 농도가 더 높은 발광 소자.

청구항 10

청구항 1에 있어서,

상기 제1층은 상기 제2층 내지 제4층 각각에 비해 더 얇은 두께를 갖는 발광 소자.

청구항 11

청구항 1 내지 청구항 10의 어느 한 항에 있어서,

상기 활성층과 상기 전자 차단층 사이에 위치하는 언도프트 반도체층을 더 포함하는 발광 소자.

청구항 12

청구항 11에 있어서,

상기 언도프트 반도체층은 GaN로 형성된 발광 소자.

청구항 13

청구항 1 내지 청구항 10의 어느 한 항에 있어서,

c면 GaN 기판을 더 포함하고,

상기 n형 반도체층이 상기 p형 반도체층보다 상기 기판에 더 가깝게 위치하는 발광 소자.

명 세 서

기 술 분 야

[0001] 본 발명은 질화물 반도체를 이용한 발광소자에 관한 것으로, 더욱 상세하게는, 개선된 구조의 전자 차단층을 갖는 발광 소자에 관한 것이다.

배 경 기 술

[0002] GaN계의 질화물 반도체는 직접 천이형의 에너지 밴드 구조를 가지며, Al, In 및 Ga의 조성비를 조절함으로써, 가시광 영역에서부터 자외선 영역까지 넓은 파장 영역을 갖는 발광 소자를 제공할 수 있다. 특히, 질화물계 반도체는 풀컬러 디스플레이, 교통 신호등, 일반조명 및 광통신 기기의 광원으로 자외선, 청/녹색 발광 소자(light emitting diode) 또는 레이저 다이오드(laser diode)에 널리 이용되고 있다.

[0003] 이러한 질화물계 발광 소자는 n형 및 p형 질화물 반도체층 사이에 위치한 다중양자우물 구조의 활성층을 포함하며, 상기 활성층 내의 양자우물층에서 전자와 정공이 재결합하는 원리로 빛을 생성한다.

[0004] 도 1은 종래의 반도체 발광 소자를 설명하기 위한 단면도이고, 도 2는 도 1의 발광 소자의 개략적인 밴드 다이어그램을 나타낸다.

[0005] 도 1 및 도 2를 참조하면, 상기 발광 소자는 기판(11), n형 반도체층(13), 초격자층(15), 활성층(17), 전자 차단층(19) 및 p형 반도체층(21)을 포함한다.

[0006] 이러한 종래의 발광 소자는 n형 반도체층(13)과 p형 반도체층(21) 사이에 다중양자우물 구조의 활성층(17)을 포함하여 발광 효율을 개선하고 있으며, 다중양자우물 구조 내의 InGaN 우물층의 In 함량을 조절하여 원하는 파장의 광을 방출할 수 있다. 또한, 전자 차단층(19)이 p형 반도체층(21)과 활성층(17) 사이에 위치하여 전자를 차단함으로써 발광 재결합율을 향상시킨다.

[0007] 이 발광 소자에 전류가 인가되면, n형 반도체층(13)과 p형 반도체층(21)으로부터 각각 전자와 정공이 제공되고,

전자와 정공이 활성층(17)에서 재결합되어 빛이 나오게 된다. 이때, 상기 전자 차단층(19)은 전자의 오버플로우를 막기 위하여 p형 반도체층(21)보다 에너지 밴드갭이 큰 물질로 형성되며, 일반적으로 AlGaN으로 형성된다.

[0008] 그러나 상기 전자 차단층(19)은 전자의 오버플로우를 방지하지만, 또한 활성층(17)으로 주입되는 홀을 차단하여 홀 주입 효율을 떨어뜨린다. 더욱이, AlGaN 층의 Al 분율이 증가할수록 도펀트의 이온화 에너지가 높아지기 때문에 전자 차단층(19)에서 높은 정공 농도를 얻기도 어렵다. 더욱이, AlGaN 전자 차단층(19)은 활성층(17)과 격자 상수 차이가 커서 양호한 결정 품질의 전자 차단층(19)이나 p형 반도체층(21)을 성장시키기도 어렵다. 이에 따라, 전자 차단층(19)을 채택하여도 활성층(17) 내에서의 전자와 홀의 재결합율을 높여 발광 효율을 향상시키는데 한계가 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명이 해결하고자 하는 과제는, 전자의 오버플로우를 방지함과 아울러 활성층 내에 주입되는 정공의 농도를 증가시켜 발광효율을 향상시킬 수 있는 반도체 발광 소자를 제공하는 것이다.

[0010] 본 발명이 해결하고자 하는 또 다른 과제는, 양호한 결정 품질의 전자 차단층 및 p형 반도체층을 갖는 반도체 발광 소자를 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명의 실시예들에 따른 발광 소자는, n형 반도체층; p형 반도체층; 상기 n형 반도체층과 상기 p형 반도체층 사이에 위치하는 활성층; 및 상기 활성층과 상기 p형 반도체층 사이에 위치하는 전자 차단층을 포함한다. 상기 전자 차단층은 제1층, 제2층, 제3층 및 제4층을 포함하고, 상기 제1층은 상기 제2층 내지 제4층보다 상기 활성층에 더 가깝게 위치하며 또한 상기 제2층 내지 제4층보다 더 넓은 밴드갭을 갖고, 상기 제2층은 상기 제1층에 접하여 위치하고, 상기 제3층은 상기 제2층과 상기 제4층 사이에 위치함과 아울러 상기 제2층 및 상기 제4층보다 더 좁은 밴드갭을 갖는다.

[0012] 상기 전자차단층에 의해 전자 오버플로우를 방지함과 아울러 홀의 주입효율을 향상시킬 수 있다. 상대적으로 넓은 밴드갭을 갖는 제1층을 활성층측에 배치하면서 제3층보다 더 넓은 밴드갭을 갖는 제2층을 상기 제1층에 접하도록 배치함으로써 전자의 오버플로우를 효과저기으로 방지할 수 있다. 나아가, 상대적으로 좁은 밴드갭을 갖는 제3층을 전자 차단층 내부에 배치함으로써 전자 차단층 내의 전체 홀 농도를 증가시킬 수 있으며, 나아가 상기 제3층 내에서 2차원 홀 가스 효과에 의해 홀을 분산시킬 수 있으므로 발광 소자의 전류 분산 성능을 개선할 수 있다.

[0013] 특히, 상기 제1층은 상기 전자 차단층 내에서 가장 넓은 밴드갭을 갖고, 상기 제3층은 상기 전자 차단층 내에서 가장 좁은 밴드갭을 가질 수 있다.

[0014] 나아가, 상기 제3층은 상기 제2층 및 제4층에 접하여 위치할 수 있다. 또한, 상기 p형 반도체층은 상기 제4층에 접하여 위치할 수 있다.

[0015] 한편, 상기 제1층 내지 제4층은 AlInGaN계 질화물 반도체로 형성될 수 있다. 나아가, 상기 제2층 및 제4층은 In을 함유하는 AlInGaN계 질화물 반도체로 형성될 수 있으며, 따라서 Mg의 도핑 농도를 증가시킬 수 있다. 예컨대, 상기 제1층은 AlGaN으로 형성되고, 상기 제3층은 GaN으로 형성되며, 상기 제2층 및 제4층은 AlInGaN으로 형성될 수 있다.

[0016] 한편, 상기 제1, 제2 및 제4층은 상기 p형 반도체층보다 더 넓은 밴드갭을 가질 수 있다. 상기 제3층은 상기 p형 반도체층과 동일한 밴드갭을 가질 수 있으나, 이에 한정되는 것은 아니다. 예컨대, 상기 제3층은 상기 p형 반도체층보다 좁은 밴드갭을 가질 수도 있다.

[0017] 한편, 상기 제1층은 상기 제2층 내지 제4층에 비해 p형 불순물 농도가 낮을 수 있으며, 나아가, 의도적으로 불순물을 도핑하지 않은 언도프트층일 수 있다. 이에 따라, 활성층 내로 p형 불순물이 유입되는 것을 방지할 수 있다.

[0018] 나아가, 상기 제3층은 상기 제2층 및 제4층에 비해 p형 불순물 농도가 더 높을 수 있다.

[0019] 한편, 상기 제1층은 상기 제2층 내지 제4층 각각에 비해 더 얇은 두께를 가질 수 있다. 상기 제1층을 상대적으

로 얇게 함으로써 홀 주입 효율을 더욱 개선할 수 있다. 덧붙여, 상기 제3층은 상기 제2층 및 제4층 각각에 비해 더 얇은 두께를 가질 수 있다.

[0020] 상기 발광 소자는 상기 활성층과 상기 전자 차단층 사이에 위치하는 언도프트 반도체층을 더 포함할 수 있으며, 상기 언도프트 반도체층은 GaN로 형성될 수 있다. 전자 차단층을 형성하기 전에 언도프트 반도체층을 성장시킴으로써 전자 차단층의 결정 품질을 개선할 수 있다.

[0021] 또한, 상기 발광 소자는 c면 GaN 기판을 더 포함할 수 있다. 상기 n형 반도체층이 상기 p형 반도체층보다 상기 기판에 더 가깝게 위치한다. 상기 c면 GaN 기판을 성장기판으로 사용함으로써, 그 위에 성장되는 질화갈륨계 반도체층의 결정 품질을 더욱 개선할 수 있다.

도면의 간단한 설명

[0022] 도 1은 종래의 반도체 발광 소자를 설명하기 위한 개략적인 단면도이다.

도 2는 도 1의 반도체 발광 소자의 개략적인 밴드 다이어그램을 나타낸다.

도 3은 본 발명의 일 실시예에 따른 반도체 발광 소자를 설명하기 위한 개략적인 단면도이다.

도 4는 도 3의 전자 차단층(59)을 확대 도시한 단면도이다.

도 5는 도 3의 반도체 발광 소자의 개략적인 밴드 다이어그램을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부한 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 다음에 소개되는 실시예는 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 그리고, 도면에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0024] 도 3은 본 발명의 일 실시예에 따른 반도체 발광 소자를 설명하기 위한 단면도이고, 도 4는 도 3의 전자 차단층(59)의 확대 단면도이며, 도 5는 도 3의 반도체 발광 소자의 개략적인 밴드 다이어그램을 나타낸다.

[0025] 도 3 내지 도 5를 참조하면, 상기 발광 소자는 n형 반도체층(53), 활성층(57), 전자 차단층(59) 및 p형 반도체층(61)을 포함한다. 또한, 상기 발광 소자는 기판(51), 초격자층(55), 스페이서층(58)을 포함할 수 있으며, 외부전원에 연결하기 위한 전극들(도시하지 않음)을 포함할 수 있다.

[0026] 상기 기판(51)은 질화갈륨계 반도체층을 성장시키기 위한 기판으로, c면 질화갈륨(GaN) 기판일 수 있다. 질화갈륨 기판(51)을 성장기판으로 사용함으로써 그 위에 형성되는 질화갈륨계 반도체층의 결정품질을 향상시킬 수 있다. 사파이어 기판을 성장기판으로 사용하여 성장된 질화갈륨층에 비해 질화갈륨 기판을 성장기판으로 사용하여 성장된 질화갈륨층의 경우, XRD 주 피크의 폭이 약 1/3로 감소하는 것을 확인할 수 있다. 나아가, c면 질화갈륨 기판을 성장기판으로 채택함으로써 통상 사용되는 핵층 또는 버퍼층은 생략될 수 있다.

[0027] 한편, 상기 n형 반도체층(53)은 Si 또는 Ge 등 n형 불순물이 도핑된 질화갈륨계 반도체층, 예컨대 GaN층층으로 형성될 수 있다. 상기 n형 반도체층(53)은 단일층으로 형성될 수 있으나, 이에 한정되는 것은 아니며, 다중층으로 형성될 수도 있다.

[0028] 상기 초격자층(55)은 n형 반도체층(53)과 활성층(57) 사이에 위치한다. 상기 초격자층(55)은 조성이 다른 질화갈륨계 반도체층들을 교대로 적층하여 형성할 수 있다. 예컨대, 상기 초격자층(55)은 GaN층과 InGaN층을, 예컨대 각각 20Å의 두께로 교대로 적층하여 형성될 수 있다. 한편, 상기 초격자층(55)의 마지막층에는 Si이 고농도로 도핑된다. 상기 마지막층에 도핑되는 Si의 도핑농도는 n형 콘택층(53)에 도핑되는 불순물, 예컨대 Si의 농도보다 예컨대, 약 4배 내지 5배 높을 수 있다. 아울러, 상기 초격자층(63)의 나머지 층들은 언도프트 층으로 형성될 수 있다. 상기 초격자층(55)은 n형 반도체층(53)에서 전위와 같은 결정 결함이 활성층(57)으로 전사되는 것을 방지하며, 또한 활성층(57) 성장을 위한 버퍼층으로 작용할 수 있다.

[0029] 상기 활성층(57)은 장벽층과 양자우물층이 교대로 적층된 다중양자우물 구조를 가질 수 있다. 상기 양자우물층의 조성은 요구되는 광의 파장에 따라 선택되며, 일반적으로 InGaN으로 형성된다. InGaN 양자우물층 내의 In 조성비는 원하는 광 파장에 의해 결정된다. 상기 장벽층은 양자우물층에 비해 밴드갭이 넓은 질화갈륨계

반도체층, 예컨대, GaN, InGaN, AlGaN 또는 AlInGaN로 형성될 수 있다.

[0030] 한편, p형 반도체층(61)은 단일층 또는 다중층으로 형성될 수 있다. 예컨대, 상기 p형 반도체층(61)은 Mg이 도핑된 p형 GaN층을 포함할 수 있다.

[0031] 상기 전자 차단층(59)은 상기 활성층(57)과 p형 반도체층(61) 사이에 위치하며, 상기 스페이서층(58)은 상기 활성층(57)과 상기 전자 차단층(59) 사이에 위치한다. 스페이서층(58)은 의도적으로 불순물을 도핑하지 않은 언도프트 반도체층으로 형성될 수 있으며, 예컨대 GaN으로 형성될 수 있다. 스페이서층(58)은 활성층(57) 성장에 따른 결정 품질 감소를 회복하고, 상기 전자 차단층(59) 성장을 위한 버퍼층으로서 작용할 수 있다.

[0032] 상기 전자 차단층(59)은 제1층(59a), 제2층(59b), 제3층(59c) 및 제4층(59d)을 포함한다. 또한, 도 4 및 도 5에 자세히 도시된 바와 같이, 상기 제1층(59a)은 상기 제2층 내지 제4층(59b~59d)보다 상기 활성층(57)에 더 가깝게 위치하며 또한 상기 제2층 내지 제4층(59b~59d)보다 더 넓은 밴드갭을 갖는다. 나아가, 상기 제1층(59a)은 스페이서층(58)에 접하여 위치할 수 있다. 또한, 상기 제1층(59a)은 상기 전자 차단층 내에서 가장 넓은 밴드갭을 가질 수 있다. 가장 넓은 밴드갭을 갖는 층(59a)을 활성층(57)측에 가깝게 배치함으로써 전자의 오버플로우를 효과적으로 방지할 수 있다. 또한, 상기 제1층(59a)은 불순물 도핑 농도가 제2층 내지 제4층(59b~59d)에 비해 낮을 수 있으며, 언도프트층으로 형성될 수 있다. 이에 따라, Mg와 같은 불순물이 활성층(57) 내로 확산되는 것을 방지할 수 있다.

[0033] 한편, 상기 제2층(59b)은 상기 제1층에 접하여 위치하며, 상기 제3층(59c)은 상기 제2층(59b)과 상기 제4층(59d) 사이에 위치함과 아울러 상기 제2층(59b) 및 상기 제4층(59d)보다 더 좁은 밴드갭을 갖는다. 상기 제3층(59c)은 제2층(59b)과 제4층(59d)에 접하여 위치할 수 있다. 나아가, 상기 제3층(59c)은 상기 전자 차단층(59) 내에서 가장 좁은 밴드갭을 가질 수 있다.

[0034] 상기 제2층(59b)은 제1층(59a)과 제3층(59c) 사이에 위치하며, 또한, 제2층(59b)은 제1층(59a)의 밴드갭과 제3층(59c)의 밴드갭 사이의 밴드갭을 갖는다. 상기 제4층(59d)은 제3층(59c)과 p형 반도체층(61) 사이에 위치하며, 제1층(59a)의 밴드갭과 제3층(59c)의 밴드갭 사이의 밴드갭을 갖는다. 나아가, 상기 제2층(59b) 및 상기 제4층(59d)은 p형 반도체층(61)의 밴드갭보다 더 넓은 밴드갭을 갖는다.

[0035] 상대적으로 넓은 밴드갭을 갖는 제2층(59b)을 제1층(59a)에 접하여 배치함으로써, 전자가 터널링을 통해 제1층(59a)을 통과하는 것을 방지할 수 있으며, 이에 따라, 전자를 활성층(57) 내에 효과적으로 가둘 수 있다.

[0036] 한편, 상기 제1층 내지 제4층(59a~59d)은 AlInGaN계 질화물 반도체로 형성될 수 있다. 특히, 상기 제2층(59b) 및 제4층(59d)은 In을 함유하는 질화물 반도체로 형성될 수 있다. In이 Mg을 트랩함으로써, 제2층 및 제4층의 불순물 농도를 증가시킬 수 있다. 예컨대, 상기 제1층(59a)은 AlGaN으로 형성되고, 상기 제3층(59c)은 GaN으로 형성되며, 상기 제2층(59b) 및 제4층(59d)은 AlInGaN으로 형성될 수 있다. 한편, 상기 제3층(59c)은 상기 제2층(59b) 및 제4층(59d)에 비해 p형 불순물 농도가 더 높을 수 있으나, 반드시 이에 한정되는 것은 아니다.

[0037] 한편, 상기 제1층(59a)은 상기 제2층 내지 제4층(59b~59d) 각각에 비해 더 얇은 두께를 가질 수 있다. 상기 제1층(59a)을 상대적으로 얇게 형성함으로써 홀 주입 효율을 향상시킬 수 있다. 또한, 상기 제3층(59c)은 상기 제2층(59b) 및 제4층(59d)에 비해 더 얇은 두께를 가질 수 있다.

[0038] 본 실시예에 따르면, 상기 제1층 내지 제4층(59a~59d)을 갖는 전자 차단층(59)을 채택함으로써 전자의 오버플로우를 방지하면서 홀의 주입 효율을 개선할 수 있다. 나아가, c면 GaN 기판(51) 및/또는 스페이서층(58)을 채택함으로써 반도체층들의 결정품질을 개선하여 발광 효율을 개선할 수 있다.

[0039] 상기 반도체층들을 패터닝하고 전극들(도시하지 않음)을 형성함으로써 다양한 구조, 예컨대, 수평형 또는 수직형 구조의 발광 소자가 제조될 수 있다.

[0040] (실험예)

[0041] 전자차단층(59)의 광학 특성 및 전기적 특성에 대한 영향을 알아보기 위해, AlGaN 제1층(59a)을 약 15Å, AlInGaN의 제2층(59b) 및 제4층(59d)를 각각 약 30Å, GaN의 제3층(59c)을 약 25Å 두께로 하여 전체 약 100Å의 전자 차단층(59)을 형성하여 발광 소자(실시예)를 제작하였다. 비교예로서, 다른 구조는 동일하게 하고 전자 차단층만을 단일의 AlGaN층 100Å 두께로 형성하여 발광 소자(비교예)를 제작하였다.

[0042] 이들 발광 소자의 광 출력 및 순방향 전압을 측정한 결과, 본 실시예의 발광 소자는 비교예의 발광 소자에 비해 광 출력이 약 6% 증가하였으며, 순방향 전압은 9% 감소하였다.

[0043] 위 결과로부터, 본 발명에 따른 전자 차단층(59)을 채택함으로써 전자의 오버플로우를 효과적으로 방지함과 아울러 홀 주입 효율이 증가된 것을 알 수 있다.

부호의 설명

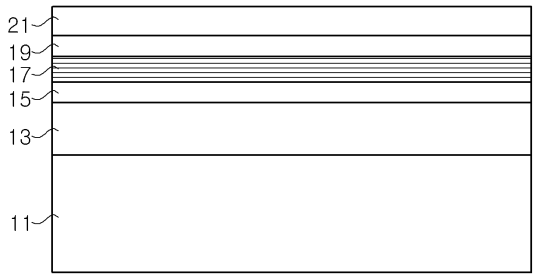
[0044] 11, 51: 기판 13, 53: n형 반도체층 15, 55: 초격자층

17, 57: 활성층 58: 스페이서층 19, 59: 전자 차단층

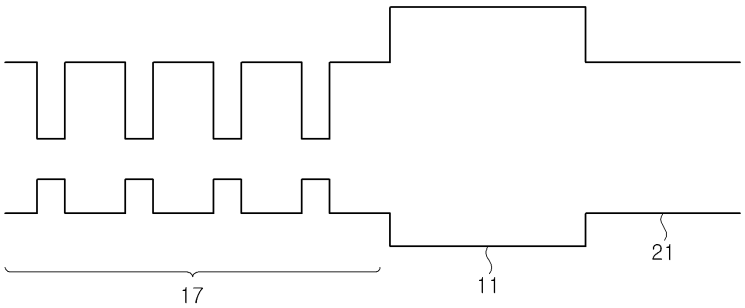
21, 61: p형 반도체층

도면

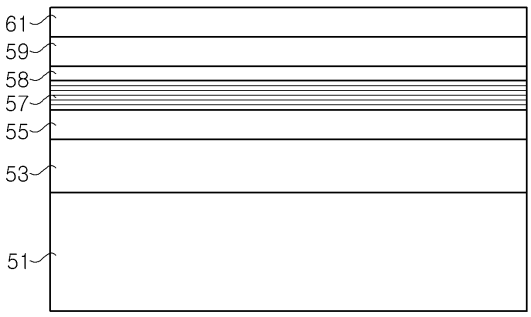
도면1



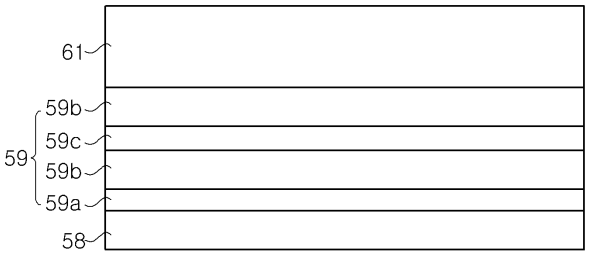
도면2



도면3



도면4



도면5

