



(10) **DE 11 2012 002 136 T5** 2014.03.13

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2012/158977**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2012 002 136.3**
(86) PCT-Aktenzeichen: **PCT/US2012/038456**
(86) PCT-Anmeldetag: **17.05.2012**
(87) PCT-Veröffentlichungstag: **22.11.2012**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **13.03.2014**

(51) Int Cl.: **H01L 29/78 (2006.01)**
H01L 21/336 (2006.01)

(30) Unionspriorität:
61/487,627 **18.05.2011** **US**

(71) Anmelder:
Vishay-Siliconix, Santa Clara, Calif., US

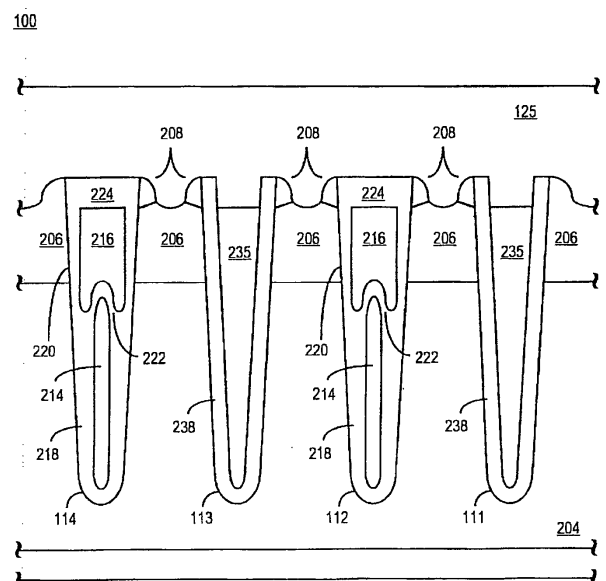
(74) Vertreter:
BOEHMERT & BOEHMERT, 28209, Bremen, DE

(72) Erfinder:
**Park, Chanho, Pleasanton, Calif., US; Terrill, Kyle,
Santa Clara, Calif., US**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Halbleitervorrichtung**

(57) Zusammenfassung: Eine Halbleitervorrichtung schließt eine erste Gruppe von furchenartigen Strukturen und eine zweite Gruppe von furchenartigen Strukturen ein. Jede furchenartige Struktur in der ersten Gruppe schließt eine Gate-Elektrode ein, die mit Gate-Metall in Kontakt ist, und eine Source-Elektrode, die mit Source-Metall in Kontakt ist. Jede der furchenartigen Strukturen in der zweiten Gruppe ist blockiert. Die zweite Gruppe an blockierten furchenartigen Strukturen ist mit der ersten Gruppe der furchenartigen Strukturen verschachtelt.



Beschreibung

IN BEZIEHUNG STEHENDE U.S.-ANMELDUNG

[0001] Diese Anmeldung beansprucht die Priorität der provisorischen U.S.-Anmeldung 61/487,627 mit dem Titel „Halbleitervorrichtung mit reduzierten Gate-Ladungen und höherer Leistungszahl“, eingereicht am 18. Mai 2011, die hierin durch Bezugnahme in ihrer Gesamtheit eingeschlossen ist.

STAND DER TECHNIK

[0002] Um ein energieeffizientes Leistungskonversionssystem zu verwirklichen, beruhen Leistungs-MOS-FETs (Metalloxidhalbleiterfeldeffekttransistoren), die als Kernschalter verwendet werden, auf niedrigen Gate-Ladungen sowie auf niedrigen Durchlasswiderständen. Beispielsweise werden in einem DC-zu-DC-Umwandler (Gleichstrom), wie einem synchronen buck-Umwandler, zwei MOSFETs verwendet, einer als der „Hochseiten“-MOSFET, und der andere als der „Niederseiten“-MOSFET. Der Hochseiten-MOSFET wird durch ein äußeres Freigabesignal und Sources-Strom zu einer Ladung gesteuert, während der Niederseiten-MOSFET die Ladung zur Erdung verbindet oder löst und somit Strom aus der Ladung abzieht.

[0003] Es gibt einige spezifische Merkmale und Anforderungen für jeden der Hochseiten- und Niederseiten-MOSFETs. Während beispielsweise niedrigere Durchlasswiderstände für den Niederseiten-MOSFET gewünscht sind, sind Hochgeschwindigkeitsschaltcharakteristika mit niedrigen Gate-Ladungen für den Hochseiten-MOSFET wünschenswert.

[0004] Eine der weitläufig verwendeten Maßzahlen für eine MOSFET-Leistung ist eine FOM (Figure of Merit), definiert als die Gate-Ladung multipliziert mit dem Drain-zu-Source-Widerstand bei den spezifizierten Gate-Spannungen. Ein niedrigerer Wert für diese Leistungszahl überträgt sich zu einer besseren Leistung für Hochseiten-MOSFETs.

[0005] Ein MOSFET, der niedrigere Gate-Ladungen erreichen kann und somit einen niedrigeren Wert für die Leistungszahl wäre sowohl nützlich als auch förderlich als, beispielsweise, ein Hochseiten-MOSFET in einem DC-zu-DC-Umwandler.

ZUSAMMENFASSUNG

[0006] Ausführungsformen gemäß der vorliegenden Erfindung liefern effiziente und neue Metall/Isolator/Halbleiter(MIS)-Vorrichtungen (z. B. MOSFETs) mit niedrigeren Gate-Ladungen und niedrigeren FOM-Werten.

[0007] In einer Ausführungsform schließt eine Halbleitervorrichtung (z. B. ein MOSFET) eine erste Gruppe von furchenartigen Strukturen und eine zweite Gruppe von furchenartigen Strukturen (zur Vereinfachung können die furchenartigen Strukturen im folgenden als Furchen bezeichnet werden) ein. Jede der Furchen in der ersten Gruppe schließt eine Gate-Elektrode ein, die mit Gate-Metall in Kontakt ist, und schließt ebenfalls eine Source-Elektrode ein, die mit Source-Metall in Kontakt ist und gegenüber der Gate-Elektrode isoliert ist. Jede der Furchen in der zweiten Gruppe ist blockiert.

[0008] In einer Ausführungsform durchläuft eine Schicht des Source-Metalls die erste Gruppe der eingesetzten (utilized) Furchen und die zweite Gruppe der blockierten Furchen. In einer solchen Ausführungsform schließt jede der blockierten Furchen einen einzelnen Polysiliziumbereich ein. Die Polysiliziumbereiche in jeder der blockierten Furchen sind im wesentlichen in der gleichen Ebene wie die Source- und Gate-Elektroden in den eingesetzten Furchen. Die Polysiliziumbereiche in jeder der blockierten Furchen sind in Kontakt mit der Schicht des Source-Metalls innerhalb des aktiven Kernbereichs der Halbleitervorrichtung und sind ebenfalls in Kontakt mit dem Gate-Metall. Im Gegensatz dazu, bei den eingesetzten Furchen, ist die Gate-Elektrode zwischen der Source-Elektrode und der Schicht aus Source-Metall angeordnet und gegenüber der Schicht aus Source-Metall isoliert, jedoch in Kontakt mit dem Gate-Metall.

[0009] Ebenfalls ist bei den eingesetzten Furchen die Source-Elektrode in Kontakt mit dem Source-Metall außerhalb des aktiven Kernbereichs, ist jedoch isoliert gegenüber der Schicht des Source-Metalls innerhalb des aktiven Kernbereichs.

[0010] Die zweite Gruppe an blockierten Furchen ist mit der ersten Gruppen an eingesetzten Furchen verschachtelt. In einer Ausführungsform sind die erste Gruppe an eingesetzten Furchen und die zweite Gruppe

an blockierten Furchen in alternierender Weise verschachtelt. Das heißt, in einer Ausführungsform ist jede zweite Furche blockiert. In anderen Ausführungsformen ist jede dritte Furche blockiert oder jede vierte Furche ist blockiert, und so weiter.

[0011] Als ein unerwarteter Nutzen, wenn eine Hälfte der Furchen blockiert ist, beispielsweise, nimmt dann der Drain-zu Source-Widerstand um weniger als einen Faktor zwei zu, anstelle eines Faktors von zwei, wie erwartet, während die Gate-Ladung um einen Faktor von zwei abnimmt. Als ein Ergebnis wird der Wert des FOM vorteilhafterweise reduziert durch Blockieren ausgewählter Furchen, wie oben beschrieben.

[0012] In einer Ausführungsform werden die Merkmale der Halbleitervorrichtung, wie oben beschrieben, in einem MOSFET implementiert. In einer solchen Ausführungsform werden solche Merkmale in einem Hochseiten-MOSFET, gekoppelt an einen Niederseiten-MOSFET in einem DC-zu-DC-Umwandler implementiert.

[0013] Diese und weitere Aufgaben und Vorteile der vorliegenden Erfindung werden von einem Fachmann auf dem Gebiet nach Durchsicht der folgenden detaillierten Beschreibung erkannt werden, die in den verschiedenen Zeichnungsfiguren veranschaulicht werden.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0014] Die beiliegenden Zeichnungen, die eingeschlossen sind und einen Teil dieser Beschreibung bilden, veranschaulichten Ausführungsformen der Erfindung und dienen, zusammen mit der Beschreibung, dazu, die Prinzipien der Erfindung zu erklären. Gleiche Bezugszeichen bezeichnen gleiche Elemente in den Zeichnungen und der Beschreibung.

[0015] Fig. 1 zeigt eine Ansicht von oben nach unten eines Bereichs einer Halbleitervorrichtung in einer Ausführungsform gemäß der vorliegenden Erfindung.

[0016] Fig. 2 ist eine Querschnittsansicht, die Elemente einer Halbleitervorrichtung in Ausführungsformen gemäß der vorliegenden Erfindung zeigt.

[0017] Fig. 3 zeigt eine Ansicht von oben nach unten eines Bereichs einer Halbleitervorrichtung in einer Ausführungsform gemäß der vorliegenden Erfindung.

[0018] Fig. 4 ist ein Flussdiagramm, das Maskierungen auflistet, die in einem Verfahren zum Herstellen von Halbleitervorrichtungen in einer Ausführungsform gemäß der vorliegenden Erfindung verwendet werden.

DETAILLIERTE BESCHREIBUNG

[0019] In der folgenden detaillierten Beschreibung der vorliegenden Erfindung werden zahlreiche spezifische Details dargelegt, um ein grundlegendes Verständnis der vorliegenden Erfindung zu erlauben. Es wird jedoch von Fachleuten auf dem Gebiet erkannt werden, dass die vorliegende Erfindung ohne diese spezifischen Details oder mit Äquivalenten derselben praktiziert werden kann. In anderen Fällen sind gut bekannte Verfahren, Vorgehensweisen, Komponenten und Schaltkreise nicht im Detail beschrieben worden, um Aspekte der vorliegenden Erfindung nicht unnötigerweise zu verdecken.

[0020] Einige Abschnitte der detaillierten Beschreibungen, die nun folgen, werden in Bezug auf Vorgehensweisen, logische Blöcke, Verarbeitungen und anderen symbolischen Darstellungen des Betriebs zum Herstellen und Betreiben von Halbleitervorrichtungen dargelegt. Diese Beschreibungen und Veranschaulichungen sind die Mittel, die von Fachleuten auf dem Gebiet der Halbleitervorrichtungsherstellung verwendet werden, um die Substanz ihrer Arbeit anderen Fachleuten in effektiver Weise zu vermitteln. In der vorliegenden Anmeldung ist eine Vorgehensweise, ein logischer Block, ein Verfahren oder dergleichen so zu verstehen, um eine selbst-konsistente Abfolge von Schritten oder Anweisungen zu sein, die zu einem gewünschten Ergebnis führen. Die Schritte sind solche, die physikalische Manipulationen von physikalischen Größen erfordert. Es sollte in Erinnerung behalten werden, dass jedoch all diese und ähnliche Begriffe mit den geeigneten physikalischen Größen assoziiert werden sollten und lediglich geeignete Kennzeichnungen sind, die auf diese Größen angewendet werden. Sofern hierin nicht anderweitig spezifisch ausgeführt, wie es aus der folgenden Diskussion offensichtlich wird, sollte es verstanden werden, dass in der gesamten Anmeldung Diskussionen bezüglich von Begriffen wie „Bilden“, „Durchführen“, „Herstellen“, „Abscheiden“, „Ätzen“ oder dergleichen sich auf Aktionen und Verfahren zur Halbleitervorrichtungsherstellung oder zum -betrieb beziehen.

[0021] Figuren sind nicht maßstabsgetreu, und lediglich Bereiche der Strukturen sowie die verschiedenen Schichten, die solche Strukturen ausbilden, können in den Figuren gezeigt sein. Ferner können Herstellungsverfahren und Schritte zusammen mit den hierin diskutierten Verfahren und Schritten durchgeführt werden; das heißt, es kann eine Anzahl von Verfahrensschritten vor, zwischen und/oder nach den hierin gezeigten und beschriebenen Schritten geben. Wichtig ist, dass Ausführungsformen gemäß der vorliegenden Erfindung in Verbindung mit diesen anderen (möglicherweise konventionellen) Strukturen, Verfahren und Schritten implementiert werden können, ohne diese wesentlich zu stören. Allgemein gesagt, Ausführungsformen gemäß der vorliegenden Erfindung können Bereiche einer herkömmlichen Vorrichtung oder eines Verfahrens ersetzen, ohne periphere Strukturen, Verfahren und Schritte signifikant zu beeinflussen.

[0022] Der Begriff „Furche“, wenn er im Zusammenhang einer Herstellung einer Vorrichtung diskutiert wird, bezieht sich im allgemeinen auf ein leeres Volumen, das innerhalb eines Materials gebildet ist. Eine solche Furche kann anschließend mit anderem Material oder Materialien gefüllt werden. Der Begriff „Furche“, wenn er im Zusammenhang einer hergestellten Halbleitervorrichtung diskutiert wird, bezieht sich im allgemeinen auf die Struktur, die innerhalb der zuvor leeren Furche gebildet ist. Eine Furche kann ebenfalls hierin als ein Streifen bezeichnet werden. Die Bedeutung des Begriffs „Furche“ in der folgenden Diskussion wird im Zusammenhang der Diskussion klar werden.

[0023] Ausführungsformen gemäß der vorliegenden Erfindung betreffen neue Strukturen, um niedrigere Gate-Ladungen und niedrigere FOM-Werte in Halbleitervorrichtungen, wie MOSFET-Vorrichtungen, zu erreichen, die verwendet werden können als Hochseiten-MOSFETs in, beispielsweise, DC-zu-DC-Umwandlern, wie synchronen buck-Umwandlern.

[0024] Fig. 1 ist eine Ansicht von oben nach unten, die bestimmte Elemente einer Halbleitervorrichtung **100** in einer Ausführungsform gemäß der vorliegenden Erfindung zeigt. Nicht alle Elemente, die in einer Halbleitervorrichtung eingeschlossen sein können, sind in

[0025] Fig. 1 gezeigt. Mehrere Ebenen sind in Fig. 1 gezeigt; das heißt, beispielsweise ist die Source-Metallschicht **125** tatsächlich über (oberseitig) den Streifen **111–116**.

[0026] In dem Beispiel der Fig. 1 schließt die Vorrichtung **100** eine Anzahl von Streifen (oder Zellen **111–116**) ein, die im wesentlichen parallel zueinander in dem aktiven Kernbereich **105** sind. Der aktive Kernbereich **105** ist der Bereich, der durch die gestrichelten Linien in Fig. 1 eingegrenzt ist.

[0027] Wie weiter in Verbindung mit Fig. 2 beschrieben werden wird, ist jeder der Streifen **111–116** eine furchenartige Struktur. Wie ebenfalls weiter in Verbindung mit Fig. 2 beschrieben werden wird, sind einige der Streifen blockiert, während es andere nicht sind. Die blockierten Streifen sind elektrisch und physikalisch mit der Source-Metallschicht **125** innerhalb des aktiven Kernbereichs **105** verbunden, und sind ebenfalls elektrisch und physikalisch mit der Gate-Metallschicht **135** über den Gate-Kontakt **137** verbunden. Die eingesetzten Streifen (jene, die nicht blockiert sind) sind gegenüber der Source-Metallschicht **125** innerhalb des aktiven Kernbereichs **105** isoliert, schließen jedoch eine Source-Elektrode (siehe Fig. 2) ein, die elektrisch und physikalisch mit der Source-Metallschicht **125** über den Source-Kontakt **127** außerhalb des aktiven Kernbereichs verbunden sind, und schließen ebenfalls eine Gate-Elektrode (siehe Fig. 2) ein, die elektrisch und physikalisch mit der Gate-Metallschicht **135** über den Gate-Kontakt **137** verbunden ist.

[0028] Fig. 2 ist eine Querschnittsansicht (entlang der Linie A-A in Fig. 1) der Vorrichtung **100** in einer Ausführungsform gemäß der vorliegenden Erfindung. Nicht alle Elemente, die in einer Halbleitervorrichtung eingeschlossen sein können, sind in Fig. 2 gezeigt.

[0029] Vier furchenartige Strukturen **111–114** sind gezeigt. Zur Vereinfachung der Diskussion können die furchenartigen Strukturen einfach als Furchen in der folgenden Diskussion bezeichnet werden. In der Ausrichtung der Fig. 2, wie in der Ausrichtung der Fig. 1, sind die Furchen **111–114** parallel zueinander.

[0030] Im Beispiel der Fig. 2 schließt die Vorrichtung **100** eine erste epitaxiale (oder Puffer-)Schicht **202** und eine zweite epitaxiale Schicht **204** ein. Es kann ebenfalls einen Drain-Bereich (nicht gezeigt) unterhalb der ersten epitaxialen Schicht **202** geben. Die Furchen **111–114** erstrecken sich in die zweite epitaxiale Schicht **204**.

[0031] Ein Körperbereich **206** (z. B. ein p-dotierter Bereich) ist zwischen benachbarten Furchen gezeigt. Ebenfalls sind Source-Bereiche **208** (z. B. n+-dotierte Bereiche) zwischen benachbarten Furchen gezeigt. Die Source-Metallschicht **125** erstreckt sich über (durchläuft) die Furchen **111–114**. Wie unten beschrieben, ist die Sour-

ce-Metallschicht **125** gegenüber den Elektroden in ausgewählten Furchen (z. B. den Furchen **112** und **114**) in dem aktiven Bereich **105** (**Fig. 1**) der Vorrichtung **100** isoliert, ist jedoch in Kontakt mit den Elektroden in anderen ausgewählten Furchen (z. B. den Furchen **111** und **113**) in dem aktiven Kernbereich. Demzufolge sind in dem Beispiel der **Fig. 2** die Furchen **111** und **113** blockiert, während die Furchen **112** und **114** eingesetzt sind (nicht blockiert).

[0032] Die Furchen **112** und **114** können als Split-Gates bezeichnet werden. Jede der Furchen **112** und **114** schließt einen ersten Polysiliziumbereich **214** (Poly-1) ein, ebenfalls bezeichnet als eine Source-Elektrode oder eine Shield-Elektrode. Jede der Furchen **112** und **114** schließt ebenfalls einen zweiten Polysiliziumbereich **216** (Poly-2) ein, ebenfalls bezeichnet als eine Gate-Elektrode. Die Source-Elektroden **214** sind von der angrenzenden epitaxialen Schicht **204** durch ein Shield-Oxid **218** getrennt, und die Gate-Elektroden **216** sind von der angrenzenden epitaxialen Schicht **204** durch ein Gate-Oxid **220** getrennt. Die Source-Elektroden **214** in den Furchen **112** und **114** sind gegenüber den Gate-Elektroden **216** in den Furchen **112** und **114** durch eine Zwischenoxidschicht **222** isoliert. In den Furchen **112** und **114** sind die Gate-Elektroden **216** zwischen den Source-Elektroden **214** und der Source-Metallschicht **125** angeordnet. Die Gate-Elektroden **216** sind gegenüber der Source-Metallschicht **125** durch eine Zwischenisolationsoxidschicht **224** isoliert. Unter Bezugnahme ebenfalls auf **Fig. 1** sind die Source-Elektroden **214** in den Furchen **112** und **114** elektrisch und physikalisch in Kontakt mit der Source-Metallschicht **125** über den Source-Kontakt **127**, und die Gate-Elektroden **216** innerhalb der Furchen **112** und **114** sind elektrisch und physikalisch in Kontakt mit der Gate-Metallschicht **135** über den Gate-Kontakt **137** (**Fig. 1**).

[0033] In der Ausführungsform nach **Fig. 2** schließt jede der blockierten Furchen **111** und **113** einen alleinstehenden Polysiliziumbereich **235** (Poly-1) ein, der mit der Source-Metallschicht **125** und der Gate-Metallschicht **135** (**Fig. 1**) in Kontakt ist. Die Poly-1-Bereiche **235** der blockierten Furchen **111** und **113** sind im wesentlichen in der gleichen Ebene wie die Source-Elektroden **214** und die Gate-Elektroden **216** in den eingesetzten Furchen. Das heißt, in der Ausrichtung nach **Fig. 2** fallen die oberen Seiten der Poly-1-Bereiche **235** in etwa mit den oberen Seiten der Gate-Elektroden **216** zusammen und die unteren Seiten der Poly-1-Bereiche **235** fallen grob mit den unteren Seiten der Source-Elektroden **214** zusammen. Die Poly-1-Bereiche **235** sind von der angrenzenden epitaxialen Schicht **204** durch eine Oxidschicht **238** getrennt.

[0034] Es ist bedeutsam, dass die Poly-1-Bereiche **235** nicht gegenüber der Source-Metallschicht **125** isoliert sind; die Source-Metallschicht **125** ist elektrisch und physikalisch in Kontakt mit den Poly-1-Bereichen **235**. Ferner, unter Bezugnahme ebenfalls auf **Fig. 1**, sind die Poly-1-Bereiche **235** in den Furchen **111** und **113** ebenfalls elektrisch und physikalisch in Kontakt mit der Source-Metallschicht **125** über den Source-Kontakt **127** und mit der Gate-Metallschicht **135** über den Gate-Kontakt **137**.

[0035] Somit werden in dem Beispiel nach **Fig. 2** die Hälfte der Zellen/Streifen/Furchen eingesetzt (z. B. die Furchen **112** und **114**) und die Hälfte der Zellen/Streifen/Furchen ist blockiert (z. B. die Furchen **111** und **113**). In anderen Worten sind die eingesetzten Zellen/Streifen/Furchen mit den blockierten Zellen/Streifen/Furchen in alternierender Weise verschachtelt, so dass jede zweite Zelle/Streifen/Furche blockiert ist. Dies ist in **Fig. 3** gezeigt, die eine Ansicht von oben nach unten der Vorrichtung **100** zeigt. In anderen Ausführungsformen können ein Drittel (jede dritte Zelle/Streifen/Furche blockiert), ein Viertel, ein Fünftel und so weiter der Kernzellen/Streifen blockiert sein.

[0036] Wie oben erwähnt, ist eine weithin verwendete Größe für eine MOSFET-Leistung eine FOM, die definiert wird als die Gate-Ladung multipliziert mit dem Drain-zu-Source-Widerstand bei spezifischen Gate-Spannungen. Ein niedrigerer Wert für diese FOM bedeutet eine bessere Leistung für Hochseiten-MOSFETs.

[0037] Unter Einsatz eines Kernbereichs, der so groß ist wie zuvor, kann erwartet werden, dass, wenn eine Hälfte der Kernzellen/Streifen/Furchen eingesetzt wird und die andere Hälfte der Kernzellen/Streifen/Furchen blockiert ist, dann die Gate-Ladungen um die Hälfte absinken würden und die Widerstände um einen Faktor 2 zunehmen würden. Da es jedoch eine Stromverdrängung in dem Driftbereich für Zellvorrichtungen hoher Dichte, wie solchen, die hierin beschrieben werden, gibt, werden einige Vorwiderstände aus diesem Bereich erlebt. Durch Blockieren einiger (z. B. der Hälfte) der Kernzellen/Streifen/Furchen verwenden die Träger, die durch einen Seitenkanal der Kernzelle/Streifen fließen, den gesamten Driftbereich, und somit wird eine geringere Stromverdrängung für den Fluss der Träger und weniger Vorwiderstand aus diesem Bereich erlebt. Folglich, in Wirklichkeit, erhöhen die gesamten Drain-zu-Source-Widerstände sich um einen Faktor von weniger als 2, wenn die Hälfte der Kernzellen/Streifen/Furchen blockiert ist.

[0038] Auf der anderen Seite nehmen die Gate-Ladungen proportional gemäß dem aktiven Kernzellenbereich ab. Als ein Ergebnis der kombinierten Effekte auf den Drain-zu-Source-Widerstand und die Gate-Ladung kann eine bessere FOM unter Verwendung des in der vorliegenden Offenbarung beschriebenen Ansatzes erreicht werden.

[0039] Dies wird durch die in Tabelle 1 eingeschlossenen Ergebnisse veranschaulicht. „Rsp4.5V(Kern)“ steht für den spezifischen Widerstand zwischen der Drain und der Source bei einer Gate-Spannung von 4,5 V bei einer alleinstehenden Kernzelle/Streifen. „Rds(on) @4.5V typisch“ demonstriert einen Endproduktwiderstand zwischen der Drain und der Source bei einer Gate-Spannung von 4,5 V in einer Power PAK® 1212-Packung. „Qgsp4.5V“ steht für die spezifischen Gate-Ladungen pro aktiver Einheitsfläche bei einer Gate-Spannung von 4,5 V. „Qg4.5V“ zeigt einen Wert der gesamten Gate-Ladungen bei einer Gate-Spannung von 4,5 V. Die FOM ist das Produkt aus Qg4.5V und Rds(on) @4.5V typisch. Ausführungsformen gemäß der vorliegenden Erfindung verbessern FOM-Werte um etwa 32%, wenn die Hälfte der Kernzellen/Streifen/Furchen blockiert ist.

Tabelle 1 – Beispielergebnisse

	Einheiten	Stand der Technik	Ausführungsform der vorliegenden Offenbarung	Prozentuale Änderung
Rsp4.5V (Kern)	$\text{m}\Omega \cdot \text{mm}^2$	4,43	6,22	40%
Rds(on) @4.5V (typisch)	$\text{m}\Omega$	2,2	2,8	28%
Qgsp4.5V	nC/mm^2	8,3	4,4	-47%
Qg4.5V	nC	24,1	12,8	-47%
FOM	$\text{Qg4.5V} \cdot \text{Rds4.5}$	53	36	-32%

[0040] Fig. 4 ist ein Fließschema 400, das die Sequenz von Maskierungen zeigt, die verwendet werden, um die blockierten Streifen/Furchen und die eingesetzten Streifen/Furchen in einer Ausführungsform gemäß der vorliegenden Erfindung zu bilden. Andere Masken und Herstellungsverfahrensschritte können mit den Masken, die in der folgenden Diskussion eingeschlossen sind, verwendet werden. Die folgende Diskussion ist beabsichtigt, um Änderungen im Herstellungsverfahren hervorzuheben, die eingeführt werden, um die oben bezeichneten blockierten Furchen zu bilden. Fig. 4 wird ebenfalls unter Bezugnahme auf Fig. 2 diskutiert.

[0041] In Block 401 wird eine Furchenmaske verwendet, um leere Furchen 111–114 zu bilden. In Block 402 wird, nachdem Poly-1 in den Furchen abgeschieden ist, eine Shield(Source)-Polyätzblockmaske so konfiguriert, dass die Poly-1 in den blockierten Furchen 111 und 113 nicht gegenüber einem Ätzen exponiert wird, während die Poly-1 in den eingesetzten Furchen 112 und 114 gegenüber dem Ätzen exponiert wird. Somit wird die Poly-1 in den blockierten Furchen 111 und 113 nicht rückgeätzt, jedoch wird die Poly-1 in den eingesetzten Furchen 112 und 114 rückgeätzt, um die Source-Elektroden 214 zu bilden.

[0042] In Block 403 wird eine aktive Maske eingesetzt, um zu verhindern, dass die dicke Oxidschicht 238, die die blockierten Furchen 111 und 113 auskleidet, verdünnt wird, um zu verhindern, dass die Poly-2 in die blockierten Furchen abgeschieden wird. Die Furchen 112 und 114 sind nicht durch die aktive Maske geschützt, so dass das Gate-Oxid 220 vor einer Poly-2-Abscheidung in die Furchen 112 und 114 ausgedünnt wird, um die Gate-Elektroden 216 zu bilden.

[0043] In Block 404 wird eine Gate-Polyätzblockmaske während eines Rückätzens der Poly-2-Bereiche verwendet. In Block 405 wird eine Source-Implantat-Maske zur geeigneten Abscheidung der Source-Bereiche 208 verwendet. In Block 406 wird eine Körperimplantat-Maske verwendet zur richtigen Abscheidung der Körperbereiche 206. In Blöcke 407, 408, 409 und 410 werden Polykontakt-, Kernkontakt-, Metallätz- und Kissenmasken verwendet, um die Kontakte 135 und 137 zu bilden und die Elektroden 214, 216 und 235 mit dem Source-Metall und Gate-Metall in Kontakt zu bringen.

[0044] Somit, um die blockierten Furchen 111 und 113 zu bilden, werden eine Shield-Polyätzblockmaske (Block 402) und eine aktive Maske (Block 403) eingeführt oder modifiziert. Demzufolge können die blockierten Furchen ohne wesentliches Stören des Herstellungsverfahrens gebildet werden.

[0045] Zusammenfassend werden Ausführungsformen der Halbleitervorrichtungen und Ausführungsformen der Verfahren zum Herstellen solcher Vorrichtungen beschrieben. Ausführungsformen gemäß der Erfindung können in Furchenenergie-MOS-Transistoren hoher Dichte und in der Ladungsausgleichs-MOSFET-Familie mit einer Split-Gate-Struktur verwendet werden. Ausführungsformen gemäß der Erfindung können in Hochseiten-DC-DC-Umwandleranwendungen eingesetzt werden.

[0046] Die vorangehenden Beschreibungen spezifischer Ausführungsformen der vorliegenden Erfindung sind zum Zwecke der Veranschaulichung und Beschreibung dargelegt worden. Sie sind nicht beabsichtigt, um abschließend zu sein oder die Erfindung auf die präzisen offenbaren Formen zu begrenzen, und viele Modifikationen und Variationen sind angesichts der obigen Lehre möglich. Die Ausführungsformen wurden ausgewählt und beschrieben, um die Prinzipien der Erfindung und ihre praktische Anwendung am besten zu erklären, um es dadurch Fachleuten auf dem Gebiet zu erlauben, die Erfindung und verschiedene Ausführungsformen und verschiedene Modifikationen am besten zu verwenden, wie sie durch die bestimmte beabsichtigte Verwendung angepasst sind. Es ist beabsichtigt, dass der Umfang der Erfindung durch die hierin angefügten Ansprüche und deren Äquivalente definiert wird.

[0047] Allgemein gesagt, offenbart diese Schrift Halbleitervorrichtungen. Sie offenbart ferner eine Halbleitervorrichtung, die eine erste Gruppe von furchenartigen Strukturen und eine zweite Gruppe von furchenartigen Strukturen einschließt. Jede furchenartige Struktur in der ersten Gruppe schließt eine Gate-Elektrode ein, die mit einem Gate-Metall in Kontakt ist, und eine Source-Elektrode, die mit einem Source-Metall in Kontakt ist. Jede der furchenartigen Strukturen in der zweiten Gruppe ist blockiert. Die zweite Gruppe von blockierten furchenartigen Strukturen ist mit der ersten Gruppe von furchenartigen Strukturen verschachtelt.

[0048] Alle Elemente, Teile und Schritte, die hierin beschrieben werden, sind bevorzugt eingeschlossen. Es ist zu verstehen, dass jedes dieser Elemente, Teile und Schritte durch andere Elemente, Teile und Schritte ersetzt werden kann oder insgesamt weggelassen werden kann, wie es Fachleuten auf dem Gebiet offensichtlich sein wird.

KONZEPTE:

[0049] Diese Schrift präsentiert wenigstens die folgenden Konzepte.

[0050] Konzept 1. Eine Halbleitervorrichtung, welche umfasst:
eine erste Vielzahl an furchenartigen Strukturen, wobei jede furchenartige Struktur in der ersten Vielzahl eine Gate-Elektrode, die mit einem Gate-Metall in Kontakt ist, und eine Source-Elektrode, die mit Source-Metall in Kontakt ist, umfasst; und
eine zweite Vielzahl an blockierten furchenartigen Strukturen, die mit der ersten Vielzahl an furchenartigen Strukturen verschachtelt ist.

[0051] Konzept 2. Die Halbleitervorrichtung nach Konzept 1, wobei jede der blockierten furchenartigen Strukturen einen alleinstehenden Polysiliziumbereich umfasst, der mit dem Source-Metall in Kontakt ist und mit dem Gate-Metall in Kontakt ist.

[0052] Konzept 3. Die Halbleitervorrichtung nach Konzept 2, wobei der alleinstehende Polysiliziumbereich im wesentlichen in der gleichen Ebene ist wie die Source-Elektrode und die Gate-Elektrode.

[0053] Konzept 4. Die Halbleitervorrichtung nach Konzept 1, wobei die erste Vielzahl und die zweite Vielzahl an furchenartigen Strukturen in alternierender Weise verschachtelt sind.

[0054] Konzept 5. Die Halbleitervorrichtung nach Konzept 1, wobei wenigstens zwei aufeinanderfolgende furchenartige Strukturen der ersten Vielzahl von einer weiteren furchenartigen Struktur der ersten Vielzahl durch eine blockierte furchenartige Struktur getrennt sind.

[0055] Konzept 6. Die Halbleitervorrichtung nach Konzept 1, umfassend eine Schicht des Source-Metalls, das die erste Vielzahl an furchenartigen Strukturen und die zweite Vielzahl an furchenartigen Strukturen durchläuft, wobei die Source-Elektrode mit dem Source-Metall außerhalb eines aktiven Kernbereichs der Halbleitervorrichtung in Kontakt ist, und wobei die Source-Elektrode gegenüber der Schicht aus Source-Metall innerhalb des aktiven Kernbereichs isoliert ist, und wobei die blockierten furchenartigen Elemente in Kontakt sind mit der Schicht aus Source-Metall innerhalb des aktiven Kernbereichs.

[0056] Konzept 7. Die Halbleitervorrichtung nach Konzept 1, umfassend eine Schicht des Source-Metalls, das die erste Vielzahl an furchenartigen Strukturen und die zweite Vielzahl an furchenartigen Strukturen durchläuft, wobei die Gate-Elektrode zwischen der Source-Elektrode und der Schicht aus Source-Metall angeordnet ist und wobei die Gate-Elektrode gegenüber der Schicht aus Source-Metall isoliert ist.

[0057] Konzept 8. Die Halbleitervorrichtung nach Konzept 1, wobei die ersten und zweiten Vielzahlen an furchenartigen Strukturen in einem Muster angeordnet sind, das ausgewählt ist aus der Gruppe bestehend aus: eine von zwei furchenartigen Strukturen ist blockiert; eine von drei furchenartigen Strukturen ist blockiert; eine von vier furchenartigen Strukturen ist blockiert.

[0058] Konzept 9. Die Halbleitervorrichtung nach Konzept 1 umfassend einen Metalloxidhalbleiterfeldeffekttransistor (MOSFET).

[0059] Konzept 10. Die Halbleitervorrichtung nach Konzept 9, wobei der MOSFET einen Hochseiten-MOSFET umfasst, der mit einem Niederseiten-MOSFET in einem DC-zu-DC-Umwandler gekoppelt ist.

[0060] Konzept 11. Eine Halbleitervorrichtung, welche umfasst:
eine erste Split-Gate-Struktur, die einen ersten Elektrodenbereich und einen zweiten Elektrodenbereich umfasst;
eine zweite Struktur parallel zu der ersten Split-Gate-Struktur und umfassend einen Polysiliziumbereich in Kontakt mit Gate-Metall; und
eine Source-Metallschicht, die gegenüber der ersten Split-Gate-Struktur innerhalb eines aktiven Bereichs der Halbleitervorrichtung isoliert ist und in Kontakt ist mit dem Polysiliziumbereich innerhalb des aktiven Bereichs.

[0061] Konzept 12. Die Halbleitervorrichtung nach Konzept 11, wobei der erste Elektrodenbereich eine Source-Elektrode umfasst, die mit Source-Metall außerhalb des aktiven Bereichs in Kontakt ist, und wobei die zweite Elektrode eine Gate-Elektrode umfasst, die mit Gate-Metall außerhalb des aktiven Bereichs in Kontakt ist.

[0062] Konzept 13. Die Halbleitervorrichtung nach Konzept 12, wobei die Gate-Elektrode zwischen der Source-Elektrode und der Source-Metallschicht angeordnet ist, und wobei die Gate-Elektrode gegenüber der Source-Metallschicht und ebenfalls gegenüber der Source-Elektrode isoliert ist.

[0063] Konzept 14. Die Halbleitervorrichtung nach Konzept 11, wobei der Polysiliziumbereich im wesentlichen in der gleichen Ebene ist wie der erste Elektrodenbereich und der zweite Elektrodenbereich.

[0064] Konzept 15. Die Halbleitervorrichtung nach Konzept 11, weiter umfassend eine zweite Split-Gate-Struktur umfassend zwei Elektrodenbereiche, wobei die zweite Struktur zwischen der ersten Split-Gate-Struktur und der zweiten Split-Gate-Struktur angeordnet ist.

[0065] Konzept 16. Die Halbleitervorrichtung nach Konzept 11 weiter umfassend wenigstens zwei aufeinanderfolgende Split-Gate-Strukturen, jeweils umfassend zwei Elektrodenbereiche, wobei die zweite Struktur zwischen der ersten Split-Gate-Struktur und den zwei aufeinanderfolgenden Split-Gate-Strukturen angeordnet ist.

[0066] Konzept 17. Eine Halbleitervorrichtung, welche umfasst:
eine erste furchenartige Struktur umfassend einen ersten Polysiliziumbereich und einen zweiten Polysiliziumbereich, die voneinander durch einen Oxidbereich isoliert sind;
eine zweite furchenartige Struktur parallel zur ersten furchenartigen Struktur und umfassend einen dritten Polysiliziumbereich; und
eine Source-Metallschicht, die sowohl die erste furchenartige Struktur als auch die zweite furchenartige Struktur durchläuft, wobei der zweite Polysiliziumbereich zwischen dem ersten Polysiliziumbereich und der Source-Metallschicht angeordnet ist, und wobei die Source-Metallschicht gegenüber dem zweiten Polysiliziumbereich isoliert ist und in Kontakt ist mit dem dritten Polysiliziumbereich.

[0067] Konzept 18. Die Halbleitervorrichtung nach Konzept 17, wobei der erste Polysiliziumbereich eine Source-Elektrode umfasst, die in Kontakt ist mit der Source-Metallschicht, wobei der zweite Polysiliziumbereich eine Gate-Elektrode umfasst, die mit Gate-Metall in Kontakt ist, und wobei weiter der dritte Polysiliziumbereich in Kontakt ist mit der Source-Metallschicht und dem Gate-Metall.

[0068] Konzept 19. Die Halbleitervorrichtung nach Konzept 17, wobei der dritte Polysiliziumbereich in der gleichen Ebene ist wie der erste Polysiliziumbereich und der zweite Polysiliziumbereich.

[0069] Konzept 20. Die Halbleitervorrichtung nach Konzept 17, weiter umfassend eine dritte furchenartige Struktur umfassend zwei Polysiliziumbereiche, wobei die zweite furchenartige Struktur zwischen der ersten furchenartigen Struktur und der dritten furchenartigen Struktur angeordnet ist.

[0070] Konzept 21. Die Halbleitervorrichtung nach Konzept 17, weiter umfassend wenigstens zwei aufeinanderfolgende furchenartige Strukturen parallel zu der ersten furchenartigen Struktur und der zweiten furchenartigen Struktur, wobei jede der aufeinanderfolgenden furchenartigen Strukturen zwei Elektrodenbereiche umfasst, wobei die zweite furchenartige Struktur zwischen der ersten furchenartigen Struktur und zwei aufeinanderfolgenden furchenartigen Strukturen angeordnet ist.

Patentansprüche

1. Halbleitervorrichtung, welche umfasst:
eine erste Vielzahl an furchenartigen Strukturen, wobei jede furchenartige Struktur in der ersten Vielzahl eine Gate-Elektrode, die mit Gate-Metall in Kontakt ist, und eine Source-Elektrode, die mit Source-Metall in Kontakt ist, umfasst; und
eine zweite Vielzahl an blockierten furchenartigen Strukturen, die mit der ersten Vielzahl an furchenartigen Strukturen verschachtelt ist.
2. Halbleitervorrichtung nach Anspruch 1, wobei jede der blockierten furchenartigen Strukturen einen einzelnen Polysiliziumbereich, der mit dem Source-Metall in Kontakt ist und mit dem Gate-Metall in Kontakt ist, umfasst.
3. Halbleitervorrichtung nach Anspruch 2, wobei der einzelne Polysiliziumbereich im wesentlichen in der gleichen Ebene wie die Source-Elektrode und die Gate-Elektrode ist.
4. Halbleitervorrichtung nach Anspruch 1, wobei die erste Vielzahl und die zweite Vielzahl an furchenartigen Strukturen in alternierender Weise verschachtelt sind.
5. Halbleitervorrichtung nach Anspruch 1, wobei wenigstens zwei aufeinanderfolgende furchenartige Strukturen der ersten Vielzahl von einer weiteren furchenartigen Struktur der ersten Vielzahl durch eine blockierte furchenartige Struktur getrennt sind.
6. Halbleitervorrichtung nach Anspruch 1, umfassend eine Schicht des Source-Metalls, die die erste Vielzahl an furchenartigen Strukturen und die zweite Vielzahl an furchenartigen Strukturen durchläuft, wobei die Source-Elektrode mit dem Source-Metall außerhalb eines aktiven Kernbereichs der Halbleitervorrichtung in Kontakt ist, und wobei die Source-Elektrode gegenüber der Schicht des Source-Metalls innerhalb des aktiven Kernbereichs isoliert ist, und wobei die blockierten furchenartigen Elemente mit der Schicht des Source-Metalls innerhalb des aktiven Kernbereichs in Kontakt sind.
7. Halbleitervorrichtung nach Anspruch 1, umfassend eine Schicht des Source-Metalls, das die erste Vielzahl an furchenartigen Strukturen und die zweite Vielzahl an furchenartigen Strukturen durchläuft, wobei die Gate-Elektrode zwischen der Source-Elektrode und der Schicht des Source-Metalls angeordnet ist, und wobei die Gate-Elektrode von der Schicht des Source-Metalls isoliert ist.
8. Halbleitervorrichtung nach Anspruch 1, wobei die ersten und zweiten Vielzahlen an furchenartigen Strukturen in einem Muster angeordnet sind, das ausgewählt ist aus der Gruppe bestehend aus: eine von zwei furchenartigen Strukturen ist blockiert; eine von drei furchenartigen Strukturen ist blockiert; eine von vier furchenartigen Strukturen ist blockiert.
9. Halbleitervorrichtung nach Anspruch 1, umfassend einen Metalloxidhalbleiterfeldeffekttransistor (MOSFET).
10. Halbleitervorrichtung nach Anspruch 9, wobei der MOSFET einen Hochseiten-MOSFET umfasst, der an einen Niederseiten-MOSFET in einem DC-zu-DC-Umwandler gekoppelt ist.
11. Halbleitervorrichtung, welche umfasst:
eine erste Split-Gate-Struktur, umfassend einen ersten Elektrodenbereich und einen zweiten Elektrodenbereich;

eine zweite Struktur parallel zu der ersten Split-Gate-Struktur und umfassend einen Polysiliziumbereich in Kontakt mit Gate-Metall; und
eine Source-Metallschicht, die von der ersten Split-Gate-Struktur innerhalb eines aktiven Bereichs der Halbleitervorrichtung isoliert ist und in Kontakt ist mit dem Polysiliziumbereich innerhalb des aktiven Bereichs.

12. Halbleitervorrichtung nach Anspruch 11, wobei der erste Elektrodenbereich eine Source-Elektrode umfasst, die mit Source-Metall außerhalb des aktiven Bereichs in Kontakt ist, und wobei die zweite Elektrode eine Gate-Elektrode umfasst, die mit Gate-Metall außerhalb des aktiven Bereichs in Kontakt ist.

13. Halbleitervorrichtung nach Anspruch 12, wobei die Gate-Elektrode zwischen der Source-Elektrode und der Source-Metallschicht angeordnet ist, und wobei die Gate-Elektrode von der Source-Metallschicht und ebenfalls von der Source-Elektrode isoliert ist.

14. Halbleitervorrichtung nach Anspruch 11, wobei der Polysiliziumbereich im wesentlichen in der gleichen Ebene ist wie der erste Elektrodenbereich und der zweite Elektrodenbereich.

15. Halbleitervorrichtung nach Anspruch 11, weiter umfassend eine zweite Split-Gate-Struktur umfassend zwei Elektrodenbereiche, wobei die zweite Struktur zwischen der ersten Split-Gate-Struktur und der zweiten Split-Gate-Struktur angeordnet ist.

16. Halbleitervorrichtung nach Anspruch 11, weiter umfassend wenigstens zwei aufeinanderfolgende Split-Gate-Strukturen, jeweils umfassend zwei Elektrodenbereiche, wobei die zweite Struktur zwischen der ersten Split-Gate-Struktur und den zwei aufeinanderfolgenden Split-Gate-Strukturen angeordnet ist.

17. Halbleitervorrichtung, welche umfasst:
eine erste furchenartige Struktur umfassend einen ersten Polysiliziumbereich und einen zweiten Polysiliziumbereich, die voneinander durch einen oxidischen Bereich isoliert sind;
eine zweite furchenartige Struktur parallel zu der ersten furchenartigen Struktur und umfassend einen dritten Polysiliziumbereich; und
eine Source-Metallschicht, die sowohl die erste furchenartige Struktur als auch die zweite furchenartige Struktur durchläuft, wobei der zweite Polysiliziumbereich zwischen dem ersten Polysiliziumbereich und der Source-Metallschicht angeordnet ist, und wobei die Source-Metallschicht von dem zweiten Polysiliziumbereich isoliert ist und in Kontakt ist mit dem dritten Polysiliziumbereich.

18. Halbleitervorrichtung nach Anspruch 17, wobei der erste Polysiliziumbereich eine Source-Elektrode umfasst, die mit der Source-Metallschicht in Kontakt ist, wobei der zweite Polysiliziumbereich eine Gate-Elektrode umfasst, die mit Gate-Metall in Kontakt ist, und wobei der dritte Polysiliziumbereich ferner in Kontakt ist mit der Source-Metallschicht und dem Gate-Metall.

19. Halbleitervorrichtung nach Anspruch 17, wobei der dritte Polysiliziumbereich in der gleichen Ebene ist wie der erste Polysiliziumbereich und der zweite Polysiliziumbereich.

20. Halbleitervorrichtung nach Anspruch 17, weiter umfassend eine dritte furchenartige Struktur umfassend zwei Polysiliziumbereiche, wobei die zweite furchenartige Struktur zwischen der ersten furchenartigen Struktur und der dritten furchenartigen Struktur angeordnet ist.

21. Halbleitervorrichtung nach Anspruch 17, weiter umfassend wenigstens zwei aufeinanderfolgende furchenartige Strukturen parallel zu der ersten furchenartigen Struktur und der zweiten furchenartigen Struktur, wobei jede der aufeinanderfolgenden furchenartigen Strukturen zwei Elektrodenbereiche umfasst, wobei die zweite furchenartige Struktur zwischen der ersten furchenartigen Struktur und den zwei aufeinanderfolgenden furchenartigen Strukturen angeordnet ist.

Es folgen 4 Seiten Zeichnungen

Anhängende Zeichnungen

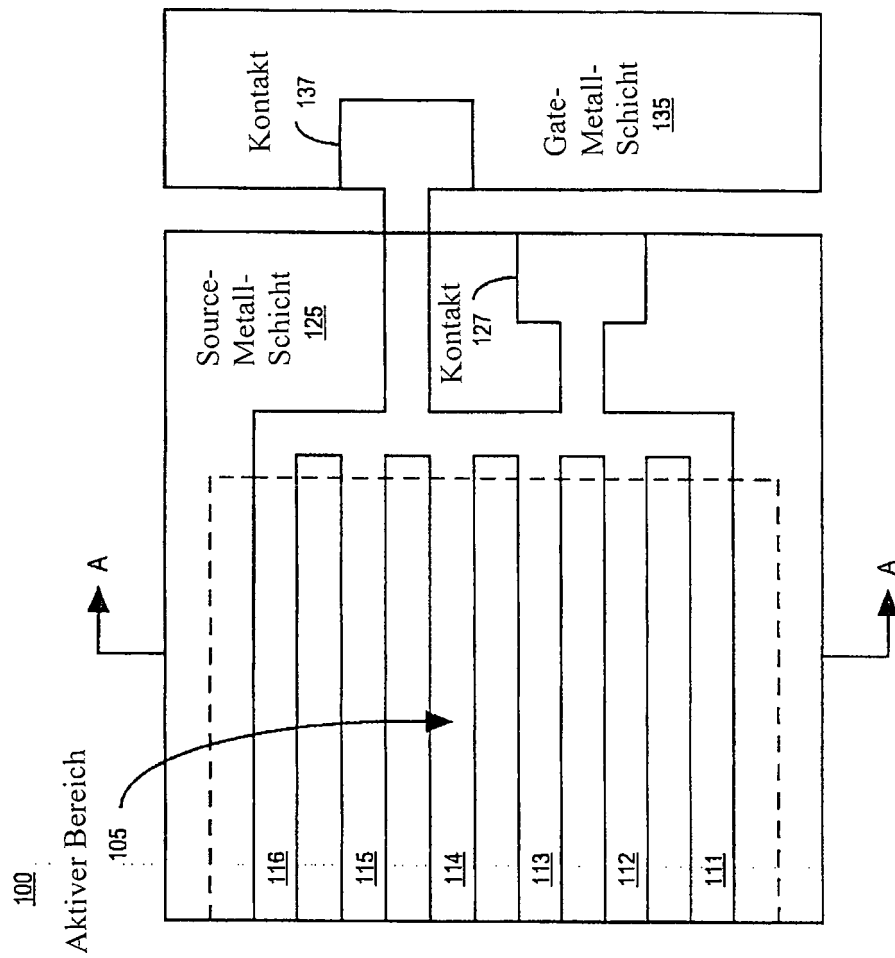


FIG. 1

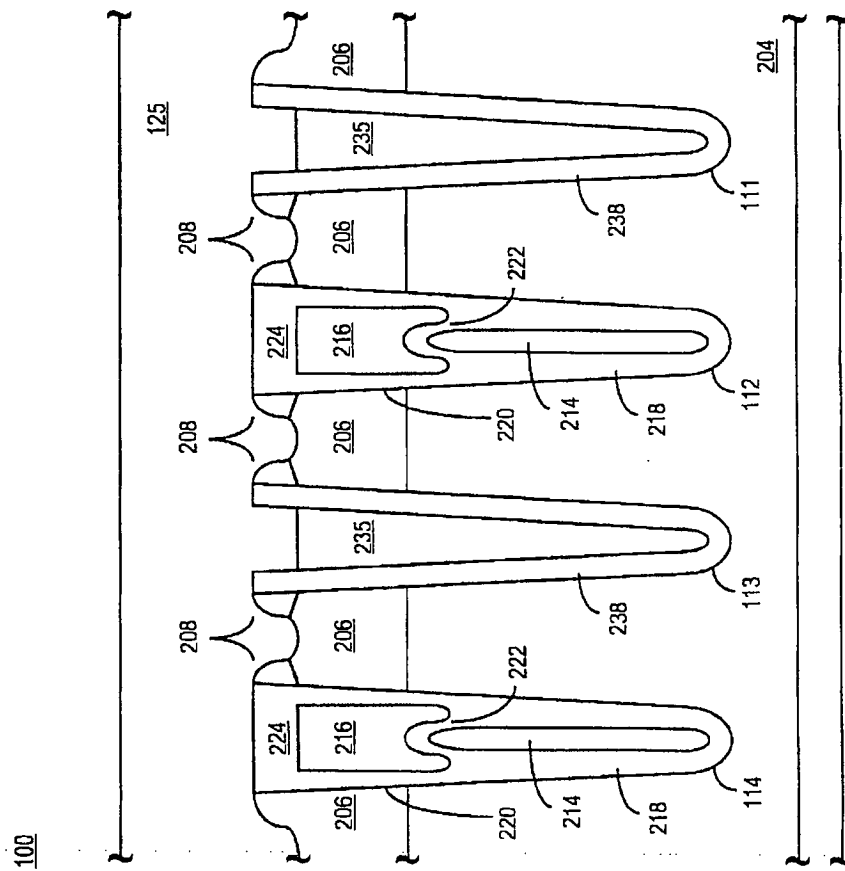


FIG. 2

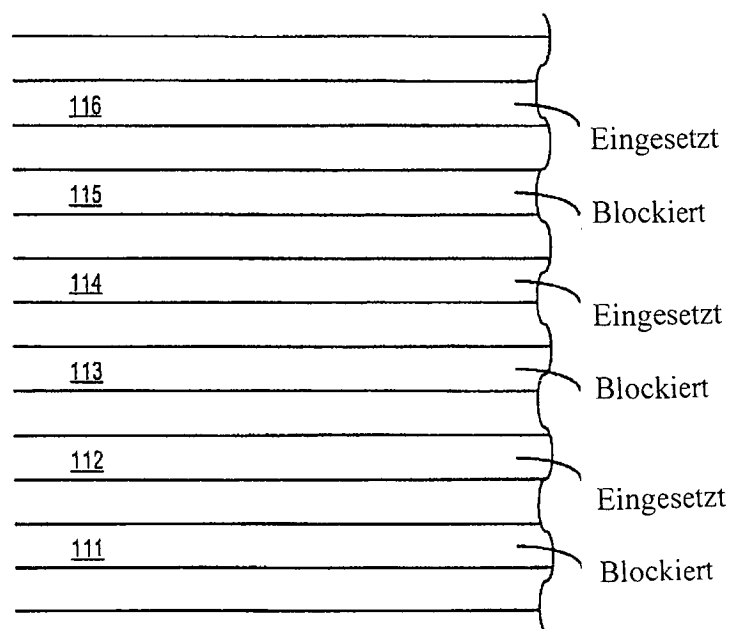


FIG. 3

400

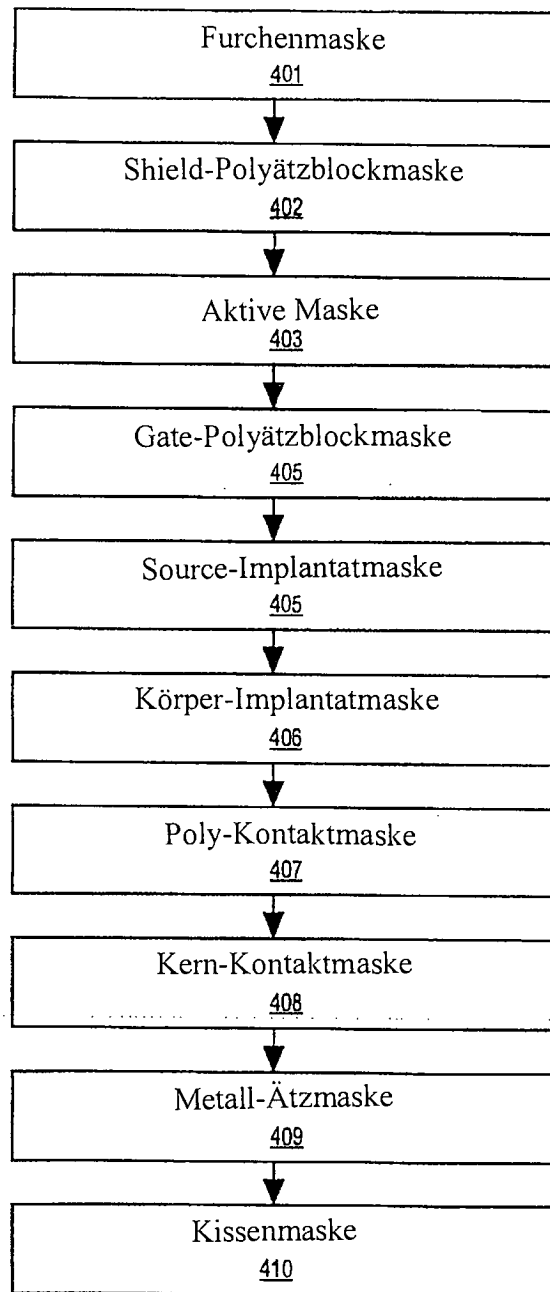


FIG. 4