

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010年4月1日(01.04.2010)



PCT



(10) 国際公開番号

WO 2010/035447 A1

- (51) 国際特許分類:
G01R 31/3183 (2006.01)
- (21) 国際出願番号: PCT/JP2009/004720
- (22) 国際出願日: 2009年9月18日(18.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-247691 2008年9月26日(26.09.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番1号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 森川 昭夫 (MORIKAWA, Akio) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番1号 株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 龍華明裕(RYUKA, Akihiro); 〒1631105 東京都新宿区西新宿6-22-1 新宿スクエアタワー5階 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

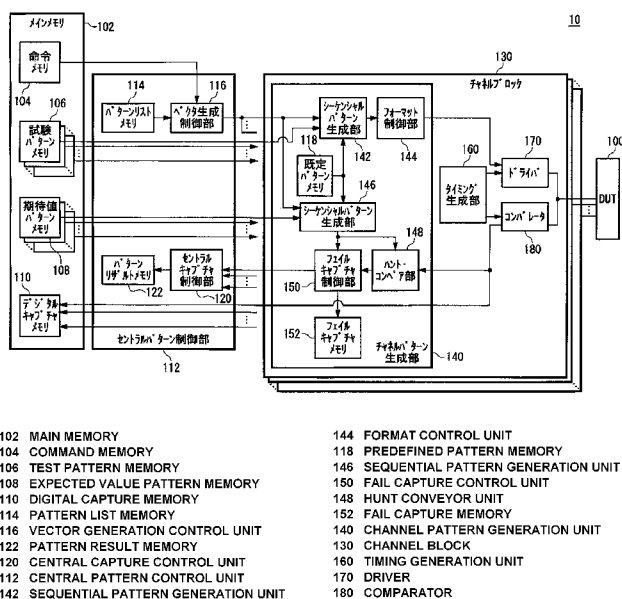
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: TEST MODULE, TEST DEVICE, AND TEST METHOD

(54) 発明の名称: 試験モジュール、試験装置および試験方法

[図1]



(57) Abstract: Provided is a test module which comprises a compression information storage unit (118), basic pattern storage units (106, 108), an instruction information storage unit (114), a basic pattern reading unit (200), a pattern string reading unit (210), and pattern output units (220, 240). The compression information storage unit (118) stores therein compression information for correlating a pattern string, pattern string identifying information, and count information with each other. The basic pattern storage units (106, 108) store therein pattern string data as a group of basic patterns and the pattern string data includes the pattern string or the pattern string identifying information which is associated with a command. The instruction information storage unit (114) stores therein instruction information. The basic pattern reading unit (200) reads out the pattern string data. The pattern string reading unit (210) reads out the pattern string associated with the pattern string identifying information with reference to the compression information when the pattern string data includes the pattern string identifying information. The pattern output units (220, 240) output the pattern string included in the pattern string data or the pattern string associated with the pattern string identifying information repeatedly the number of times which is specified by the count information.

(57) 要約:

[続葉有]

WO 2010/035447 A1



パターン列、パターン列識別情報および回数情報に対応付ける圧縮情報を格納する圧縮情報格納部（１１８）と、パターン列またはパターン列識別情報を命令に対応付けて含むパターン列データを一群の基本パターンとして格納する基本パターン格納部（１０６、１０８）と、指示情報を格納する指示情報格納部（１１４）と、パターン列データを読み出す基本パターン読出部（２００）と、パターン列データにパターン列識別情報を含む場合に圧縮情報を参照してパターン列識別情報に対応するパターン列を読み出すパターン列読出部（２１０）と、パターン列データに含まれるパターン列またはパターン列識別情報に対応するパターン列を、回数情報で指定される繰り返し回数だけ繰り返して出力するパターン出力部（２２０、２４０）と、を備えた試験モジュールを提供する。

明 細 書

発明の名称：試験モジュール、試験装置および試験方法

技術分野

[0001] 本発明は、試験モジュール、試験装置および試験方法に関する。本発明は、特に、被試験デバイスの試験に用いる試験プログラムを圧縮して記憶する試験モジュール、試験装置および試験方法に関する。本出願は、下記の日本出願に関連し、下記の日本出願からの優先権を主張する出願である。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の一部とする。

1. 特願 2008-247691 出願日 2008年9月26日

背景技術

[0002] 試験装置は、試験対象となる被試験デバイス（DUT： Device Under Test）の試験を、試験プログラムに基づいて行う。試験プログラムは、命令サイクル毎に、試験装置が実行すべき命令と、被試験デバイスの各端子に対して出力する試験パターン又は被試験デバイスの各端子から出力された出力パターンと比較する期待値パターンとを含む。

[0003] 従来、試験プログラムのデータ量を低減することを目的に、繰返し命令を用いて試験プログラムを圧縮する試験装置が用いられる。たとえば、繰返し命令として IDX I 命令が実行され、オペランドとして指定された回数につき、DUTの各端子に同一の試験パターンを繰返して出力できる。すなわち、従来の試験装置においては、全端子について複数命令サイクルの間同じパターンを用い続ける場合に、繰返し命令を用いて試験プログラムのサイズを小さくしている。

[0004] なお、たとえば特許文献 1 は、試験パターンメモリに、テストモードの試験パターン列または通常モードの試験パターン列を命令ごとに独立に格納する試験装置が開示されている。これにより、DUTの動作モードに適した形式のパターン列を試験パターンメモリに格納して、試験プログラムを効果的

に圧縮できるようにしている。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-58251号公報

発明の概要

発明が解決しようとする課題

[0006] しかし、近年の電子デバイスの高速化に伴って、電子デバイスから入出力される信号の伝送速度が飛躍的に高くなってきている。このような電子デバイスを試験するには、より高速に試験パターン又は期待値パターンを発生する試験装置が要求される。

[0007] ここで、試験プログラムを実行する命令サイクルの短縮によっては、試験装置の性能を飛躍的に向上させるのが難しい。そこで、1命令サイクルの間に複数の試験パターン又は期待値パターンを供給することにより、比較的低速に命令を実行しつつ高速にパターンを生成する試験装置を実現するのが現実的である。このような試験装置において繰返し命令を用いた圧縮方式を用いると、全端子について複数命令サイクルの間完全に同一のパターン列を用い続ける場合にだけ圧縮が可能であり、一部でも異なるパターン列となる場合には圧縮することができない。このため、繰返し命令を用いた圧縮方式を用いるだけでは、圧縮効率が低下して、試験プログラムを格納するメモリ領域が不足してしまう可能性がある。

[0008] そこで本発明の1つの側面においては、上記の課題を解決することのできる試験モジュール、試験装置および試験方法を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0009] 上記課題を解決するために、本発明の第1の形態においては、パターン列、パターン列を識別するパターン列識別情報およびパターン列の繰返し回

数を指定する回数情報を対応付ける圧縮情報を格納する圧縮情報格納部と、パターン列またはパターン列識別情報を命令に対応付けて含むパターン列データを、複数のパターン列データについて一群の基本パターンとして格納する基本パターン格納部と、基本パターンの処理順序を指示する指示情報を格納する指示情報格納部と、指示情報が指示する処理対象の基本パターンに含まれるパターン列データを、基本パターン格納部から読み出す基本パターン読出部と、基本パターン読出部が読み出したパターン列データにパターン列識別情報を含む場合に、圧縮情報を参照して、パターン列識別情報に対応するパターン列を読み出すパターン列読出部と、基本パターン読出部が読み出したパターン列データに含まれるパターン列またはパターン列読出部が読み出したパターン列識別情報に対応するパターン列を、回数情報で指定される繰り返し回数だけ繰り返して出力するパターン出力部と、を備えた試験モジュールが提供される。

[0010] 第1の形態において、圧縮情報格納部は、パターン列として、予め定義された既定パターン列または圧縮情報ごとに定義される任意パターン列を含む圧縮情報を格納できる。圧縮情報格納部は、パターン列として複数の任意パターン列を含むと共に、複数の任意パターン列の全体を識別する単一のパターン列識別情報を、複数の任意パターン列の数を指標する回数情報として格納でき、パターン出力部は、回数情報で指定される数だけ複数の任意パターン列を出力できる。圧縮情報格納部は、圧縮情報として、入力または出力のチャンネルごとのパターン列およびパターン列識別情報を格納でき、パターン出力部は、チャンネルごとにパターン列を出力できる。圧縮情報格納部は、パターン列として、高速モードパターン列または低速モードパターン列を格納するとともに、パターン列識別情報として、パターン列が高速モードパターン列であるか低速モードパターン列であるかを識別するパターン識別情報を格納できる。

[0011] 圧縮情報格納部は、圧縮情報に含まれる全てのパターン列として高速モードパターン列を格納するとともに、パターン列識別情報として、一のアドレ

ス空間が指定できる短ビットパターン列識別情報または一のアドレス空間より大きなアドレス空間が指定できる長ビットパターン列識別情報を格納でき、短ビットパターン列識別情報が識別するパターン列として、予め定義された使用頻度の高い高頻度既定パターン列を割り当てることができ、長ビットパターン列識別情報が識別するパターン列として、予め定義された高頻度既定パターン列より使用頻度の低い低頻度既定パターン列を割り当てることができる。圧縮情報格納部は、圧縮情報に含まれる全てのパターン列として、高速モードパターン列であると共に圧縮情報ごとに定義される任意パターン列を格納でき、パターン列識別情報としてヌルデータを格納できる。

[0012] 本発明の第2の形態においては、パターン列、パターン列を識別するパターン列識別情報およびパターン列の繰り返し回数を指定する回数情報を対応付ける圧縮情報を格納する圧縮情報格納部と、パターン列またはパターン列識別情報を命令に対応付けて含むパターン列データを、複数のパターン列データについて一群の基本パターンとして格納する基本パターン格納部と、基本パターンの処理順序を指示する指示情報を格納する指示情報格納部と、指示情報が指示する処理対象の基本パターンに含まれるパターン列データを、基本パターン格納部から読み出す基本パターン読出部と、基本パターン読出部が読み出したパターン列データにパターン列識別情報を含む場合に、圧縮情報を参照して、パターン列識別情報に対応するパターン列を読み出すパターン列読出部と、基本パターン読出部が読み出したパターン列データに含まれるパターン列またはパターン列読出部が読み出したパターン列識別情報に対応するパターン列を、回数情報で指定される繰り返し回数だけ繰り返して出力するパターン出力部と、を備えた試験装置が提供される。

[0013] 本発明の第3の形態においては、パターン列、パターン列を識別するパターン列識別情報およびパターン列の繰り返し回数を指定する回数情報を対応付ける圧縮情報を格納する圧縮情報格納段階と、パターン列またはパターン列識別情報を命令に対応付けて含むパターン列データを、複数のパターン列データについて一群の基本パターンとして格納する基本パターン格納段階と

、基本パターンの処理順序を指示する指示情報を格納する指示情報格納段階と、指示情報が指示する処理対象の基本パターンに含まれるパターン列データを読み出す基本パターン読出段階と、基本パターン読出段階で読み出したパターン列データにパターン列識別情報を含む場合に、圧縮情報を参照して、パターン列識別情報に対応するパターン列を読み出すパターン列読出段階と、基本パターン読出段階で読み出したパターン列データに含まれるパターン列またはパターン列読出段階で読み出したパターン列識別情報に対応するパターン列を、回数情報で指定される繰り返し回数だけ繰り返して出力するパターン出力段階と、を備えた試験方法が提供される。

[0014] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0015] [図1]本実施形態に係る試験モジュール10の構成を示す。

[図2]本実施形態に係るシーケンシャルパターン生成部142及びシーケンシャルパターン生成部146の構成を示す。

[図3]本実施形態に係る圧縮情報の一例を示す。

[図4]本実施形態に係る試験プログラムの一例を示す。

[図5]本実施形態に係る試験プログラムの圧縮形式を示す。

[図6]本実施形態の変形例に係るパターン圧縮情報の一例を示す。

[図7]本実施形態のさらに変形例に係るパターン圧縮情報の一例を示す。

[図8]本実施形態のさらに変形例に係るパターン圧縮情報の一例を示す。

[図9]本実施形態のさらに変形例に係るパターン圧縮情報の一例を示す。

[図10]本実施形態のさらに変形例に係るパターン圧縮情報の一例を示す。

発明を実施するための形態

[0016] 以下、発明の実施の形態を通じて本発明の（一）側面を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

- [0017] 図1は、本実施形態に係る試験モジュール10の構成を示す。試験モジュール10は、1又は複数の端子を備えるDUT100を試験する試験装置に用いられてよく、メインメモリ102と、セントラルパターン制御部112と、複数のチャネルブロック130とを備える。
- [0018] メインメモリ102は、DUT100の試験プログラムを格納するとともに、試験プログラムを実行した結果DUT100が出力する出力パターンを記録する。メインメモリ102は、命令メモリ104と、複数の試験パターンメモリ106と、複数の期待値パターンメモリ108と、デジタルキャプチャメモリ110とを有する。命令メモリ104は、試験プログラムに含まれる各命令を格納する。
- [0019] 試験パターンメモリ106は、基本パターン格納部の一例であってよい。試験パターンメモリ106は、パターン列またはパターン列識別情報を命令に対応付けて含むパターン列データを、複数のパターン列データについて一群の基本パターンとして格納する。複数の試験パターンメモリ106のそれぞれは、DUT100の各端子に対応して設けられ、各命令に対応付けて、当該命令を実行する命令サイクル期間中に用いる試験パターン列を端子毎に格納する。ここで試験パターン列は、パターン列の一例であってよい。例えば、試験モジュール10が1命令サイクル当たり32ビットの信号を発生して、DUT100に対して出力する場合、試験パターンメモリ106は、各命令に対応付けて、1命令サイクル期間中に出力する32ビットの信号に対応する32個の試験パターンの試験パターン列を格納する。
- [0020] 期待値パターンメモリ108は、基本パターン格納部の一例であってよい。期待値パターンメモリ108は、パターン列またはパターン列識別情報を命令に対応付けて含むパターン列データを、複数のパターン列データについて一群の基本パターンとして格納する。複数の期待値パターンメモリ108のそれぞれは、DUT100の各端子に対応して設けられ、各命令に対応付けて、当該命令を実行する命令サイクル期間中に用いる期待値パターン列を端子毎に格納する。ここで、期待値パターン列は、パターン列の一例であつ

てよく、命令サイクル期間中にDUT 100の端子から順次出力される複数の出力パターンと順次比較されるべき複数の期待値パターンを含む。デジタルキャプチャメモリ 110は、試験プログラムを実行した結果DUT 100が出力する出力パターンを記録する。

[0021] 以上において、命令メモリ 104、複数の試験パターンメモリ 106、複数の期待値パターンメモリ 108、及び／又はデジタルキャプチャメモリ 110は、メインメモリ 102を構成する別個のメモリモジュールに分割して設けられてもよく、同一のメモリモジュール内の異なる記憶領域として設けられてもよい。

[0022] セントラルパターン制御部 112は、メインメモリ 102及び複数のチャネルブロック 130に接続され、DUT 100の各端子に共通の処理を行う。セントラルパターン制御部 112は、パターンリストメモリ 114と、ベクタ生成制御部 116と、セントラルキャプチャ制御部 120と、パターンリザルトメモリ 122とを有する。

[0023] パターンリストメモリ 114は、指示情報格納部の一例であってよい。パターンリストメモリ 114は、基本パターンの処理順序を指示する指示情報を格納する。パターンリストメモリ 114は、試験プログラムのメインルーチンあるいは各サブルーチンのそれぞれについて、命令メモリ 104における当該ルーチンの開始／終了アドレス、試験パターンメモリ 106における試験パターンの開始アドレス、期待値パターンメモリ 108における期待値パターンの開始アドレス等を格納する。

[0024] ベクタ生成制御部 116は命令実行部の一例であってよく、命令サイクル毎に、DUT 100の試験プログラムに含まれる命令を順次実行する。より具体的には、ベクタ生成制御部 116は、ルーチン毎に、開始アドレスから終了アドレスまでの各命令をパターンリストメモリ 114から順次読み出して、順次実行する。

[0025] セントラルキャプチャ制御部 120は、DUT 100の端子毎の良否判定結果を各チャネルブロック 130から受けて、ルーチン毎のDUT 100の

良否判定結果を集計する。パターンリザルトメモリ 122 は、ルーチン毎の DUT 100 の良否判定結果を格納する。

[0026] 複数のチャネルブロック 130 のそれぞれは、DUT 100 の各端子に対応して設けられる。各チャネルブロック 130 は、チャネルパターン生成部 140 と、タイミング生成部 160 と、ドライバ 170 と、コンパレータ 180 とを有する。

[0027] チャネルパターン生成部 140 は、当該端子の試験に用いる試験パターン列又は期待値パターン列を生成し、DUT 100 の出力パターン列及び期待値パターン列の比較を行う。チャネルパターン生成部 140 は、既定パターンメモリ 118 と、シーケンシャルパターン生成部 142 と、フォーマット制御部 144 と、シーケンシャルパターン生成部 146 と、ハント・コンペア部 148 と、フェイルキャプチャ制御部 150 と、フェイルキャプチャメモリ 152 とを含む。

[0028] 既定パターンメモリ 118 は、圧縮情報格納部の一例であってよい。既定パターンメモリ 118 は、パターン列、パターン列を識別するパターン列識別情報およびパターン列の繰り返し回数を指定する回数情報を対応付ける圧縮情報を格納する。既定パターンメモリ 118 は、試験パターン列及び／又は期待値パターン列、すなわちパターン列のうち予め設定された既定パターン列を、当該既定パターン列を識別する既定パターン識別情報に対応付けて格納する。既定パターン識別情報はパターン列識別情報の一例であってよい。ここで、試験パターンメモリ 106 及び／又は期待値パターンメモリ 108 は、既定パターン列と同一のパターン列については、当該パターン列自体に代えて、当該既定パターン列の既定パターン識別情報を格納する。

[0029] シーケンシャルパターン生成部 142 は、実行するルーチンに対応して出力すべき試験パターン列の開始アドレスを、ベクタ生成制御部 116 から受信する。そして、シーケンシャルパターン生成部 142 は、各命令サイクルに対応して当該開始アドレスから順に試験パターンメモリ 106 から試験パターン列を読み出して、順次フォーマット制御部 144 へ出力する。フォー

マツト制御部 144 は、ドライバ 170 と共に本実施形態に係る試験パターン出力部として機能し、試験パターン列を、ドライバ 170 を制御するためのフォーマットに変換する。

[0030] シーケンシャルパターン生成部 146 は、実行するルーチンに対応して、期待値パターン列の開始アドレスをベクタ生成制御部 116 から受信する。そして、シーケンシャルパターン生成部 146 は、各命令サイクルに対応して当該開始アドレスから順に期待値パターンメモリ 108 から期待値パターンを読み出して、順次ハント・コンペア部 148 及びフェイルキャプチャ制御部 150 へ出力する。ハント・コンペア部 148 は、本実施形態に係る期待値比較部の一例であり、コンパレータ 180 を介して DUT 100 が出力した出力パターン列を入力し、期待値パターン列と比較する。ここでハント・コンペア部 148 は、DUT 100 から出力されるタイミングが不定の出力パターン列については、DUT 100 から特定のヘッダパターンが出力されたことを条件として期待値パターン列との比較を開始するハント機能を有してよい。

[0031] フェイルキャプチャ制御部 150 は、DUT 100 の出力パターン列及び期待値パターン列の一致／不一致の情報をハント・コンペア部 148 から受けて、当該端子についての DUT 100 の良否判定結果を生成する。フェイルキャプチャメモリ 152 は、ハント・コンペア部 148 によるハント処理の結果あるいは期待値と不一致となった出力パターンの値等を含むフェイル情報を格納する。

[0032] タイミング生成部 160 は、ドライバ 170 が試験パターン列内の各試験パターンを出力するタイミング、及び、コンパレータ 180 が DUT 100 の出力パターンを取り込むタイミングを生成する。ドライバ 170 は、フォーマット制御部 144 と共に本実施形態に係る試験パターン出力部として機能し、タイミング生成部 160 により指定されたタイミングにおいて、チャネルパターン生成部 140 内のフォーマット制御部 144 により出力される各試験パターンを DUT 100 へ出力する。コンパレータ 180 は、タイミ

ング生成部 160 により指定されたタイミングにおいて、DUT 100 の端子から出力された出力パターンを取得し、チャンネルブロック 130 内のハント・コンペア部 148 及びデジタルキャプチャメモリ 110 へ供給する。

[0033] 図 2 は、本実施形態に係るシーケンシャルパターン生成部 142 及びシーケンシャルパターン生成部 146 の構成を示す。シーケンシャルパターン生成部 142 は、パターンメモリ読出部 200 と、既定パターン読出部 210 と、パターン選択部 220 と、選択部 230 と、パターン展開部 240 とを含む。

[0034] パターンメモリ読出部 200 は、基本パターン読出部の一例であってよい。パターンメモリ読出部 200 は、処理対象の基本パターンに含まれるパターン列データを、試験パターンメモリ 106 または期待値パターンメモリ 108 から読み出す。パターンメモリ読出部 200 は、試験モジュール 10 が一の命令を実行する場合において、当該一の命令に対応付けて試験パターンメモリ 106 に格納されたパターン列データ、すなわち試験パターン列又は既定パターン識別情報を読み出す。

[0035] 選択部 230 は、指示情報の一例であってよいパターンリストが指示する処理対象の基本パターンに使用する選択圧縮情報を、圧縮情報格納部の一例であってよい既定パターンメモリ 118 に格納された複数の圧縮情報から選択する。本実施形態の試験モジュール 10 では、選択部 230 を有することにより、基本パターンごとに圧縮情報を切り替えることができる。なお、基本パターンの処理に使用する圧縮情報を識別する圧縮情報識別情報を基本パターンと対応付けて格納する基本パターン情報格納部を備えることができ、選択部 230 は、圧縮情報識別情報を参照して選択圧縮情報を選択できる。

[0036] 既定パターン読出部 210 は、パターン列読出部の一例であってよい。既定パターン読出部 210 は、パターンメモリ読出部 200 が読み出したパターン列データにパターン列識別情報の一例であってよい既定パターン識別情報を含む場合に、圧縮情報を参照して、既定パターン列識別情報に対応する既定パターン列を読み出す。これにより既定パターン読出部 210 は、既定

パターン識別情報を対応する既定パターン列に変換する。

[0037] パターン選択部 220 及びパターン展開部 240 は、パターン出力部の一例であってよい。パターン選択部 220 は、パターンメモリ読出部 200 が読み出したパターン列データに含まれるパターン列またはパターン列読出部が読み出したパターン列識別情報に対応するパターン列を出力する。パターン選択部 220 は、当該一の命令を実行する命令サイクル期間中に、当該一の命令に対応してパターンメモリ読出部 200 が試験パターンメモリ 106 から読み出した試験パターン列、又は、既定パターン読出部 210 が既定パターンメモリ 118 から読み出した既定パターン列を選択し、出力する。より具体的には、パターン選択部 220 は、当該一の命令に対応付けて試験パターン列又は既定パターン識別情報のいずれが試験パターンメモリ 106 から読み出されたかを判別し、試験パターン列が読み出された場合にはパターンメモリ読出部 200 から出力された当該試験パターン列を出力する。一方、既定パターン識別情報が読み出された場合には、既定パターン読出部 210 から出力された既定パターン列を出力する。パターン展開部 240 は、圧縮情報に繰り返し回数が含まれる場合、繰り返し回数で指定される回数だけパターン選択部 220 で選択されたパターン列を繰り返してフォーマット制御部 144 へ出力する。これを受けて、本実施形態に係る試験パターン出力部の一例であるフォーマット制御部 144 及びドライバ 170 は、パターン選択部 220 により選択された試験パターン列又は既定パターン列を、ドライバ 170 に接続された DUT 100 の端子に対して出力する。

[0038] シーケンシャルパターン生成部 146 は、シーケンシャルパターン生成部 142 と同様の構成を採るので、説明を省略する。なお、チャンネルパターン生成部 140 は、以上に示したシーケンシャルパターン生成部 142 及びシーケンシャルパターン生成部 146 を別個に設ける構成に代えて、シーケンシャルパターン生成部 142 及びシーケンシャルパターン生成部 146 の機能を有する共通のシーケンシャルパターン生成部を備える構成を採ってもよい。

[0039] 図3は、本実施形態に係る圧縮情報の一例を示す。本実施形態において、試験パターンメモリ106及び／又は期待値パターンメモリ108は、パターン列又は既定パターン識別情報のいずれが格納されているかを判別可能とすることを目的として、試験パターン圧縮情報及び／又は期待値パターン圧縮情報（以下「パターン圧縮情報」と総称する。）を各命令に対応付けて格納する。以下、パターン圧縮情報のコード形式の一例を、図3を用いて説明する。なお、前記した通り、本実施形態においてパターン圧縮情報は複数備える。

[0040] 本実施形態に係るパターン圧縮情報の第0ビットは、1命令サイクル期間中に使用するパターン列のベクタ長を指定するベクタ長情報として用いられる。ここで、本実施形態に係る試験モジュール10は、1命令サイクル期間中に使用するパターン列のベクタ長が異なる複数の動作モードを備える。一例として試験モジュール10は、例えば32パターンの試験パターン列又は期待値パターン列を用いて試験を行う第1動作モード（ハイスピードモード）と、ハイスピードモードと比較し少数の、例えば1パターンの試験パターン列又は期待値パターン列を用いて試験を行う第2動作モード（ロースピードモード）とを備える。そして、ベクタ長情報は、当該パターン圧縮情報に対応するパターン列を、第1動作モード又は第2動作モードのいずれのパターン列として扱うかを指定する。

[0041] 第1動作モード（第0ビットが“0”）において、パターン圧縮情報は、予め定められた特定値（第1－3ビットが“000”）の場合にパターン列を格納していることを識別する。この場合、試験パターンメモリ106及び／又は期待値パターンメモリ108は、命令に対応付けて、当該パターン圧縮情報と共に、第1動作モードのパターン列、すなわち32パターンのパターン列を格納する。

[0042] また、第1動作モードにおいて、パターン圧縮情報は、特定値でない場合（第1－3ビットが“001”から“111”）に既定パターン識別情報として用いられる。この場合、試験パターンメモリ106及び／又は期待値パター

ンメモリ 108 は、命令に対応付けて当該パターン圧縮情報を格納し、パターン列は付加されない。

[0043] 第 1 動作モードにおいて、試験モジュール 10 は、以下の動作を行う。まず、パターンメモリ読出部 200 は、一の命令を実行する場合において、試験パターンメモリ 106 又は期待値パターンメモリ 108 からパターン圧縮情報を読み出し、パターン圧縮情報が特定値（第 0－3 ビットが“0000”）である場合にパターン列を更に読み出す。次に、既定パターン読出部 210 は、パターン圧縮情報が特定値でない場合に、当該パターン圧縮情報に対応付けて既定パターンメモリ 118 に格納された既定パターン列を読み出す。そして、パターン選択部 220 は、パターン圧縮情報が特定値である場合にパターンメモリ読出部 200 が出力したパターン列を選択し、パターン圧縮情報が特定値でない場合に既定パターン読出部 210 が出力した既定パターン列を選択する。

[0044] 一方、第 2 動作モード（第 0 ビットが“1”）において、パターン圧縮情報は、予め定められた特定値（第 1－3 ビットが“000”、及び“111”）の場合に、パターン列を格納していることを識別する。第 1－3 ビットが“000”の場合、試験パターンメモリ 106 及び／又は期待値パターンメモリ 108 は、連続する 16 命令サイクル期間中に実行される 16 命令に対応付けて、当該パターン圧縮情報と共に、第 2 動作モードのパターン列、すなわち命令当たり 1 パターンのパターン列を格納する。また、第 1－3 ビットが“111”の場合、試験パターンメモリ 106 及び／又は期待値パターンメモリ 108 は、第 4－7 ビットにより指定されるパターン数に相当する命令サイクル期間中に実行されるパターン数分の命令に対応付けて、当該パターン圧縮情報と共に、パターン数分の長さを有する第 2 動作モードのパターン列を格納する。試験パターンメモリ 106 及び／又は期待値パターンメモリ 108 は、この第 4－7 ビットを変えることにより、1 つのパターン圧縮情報に対応して可変長のパターンを格納することができる。

[0045] また、第 2 動作モードにおいて、パターン圧縮情報は、特定値でない場合

(第1-3ビットが“001”から“110”)に既定パターン識別情報として用いられる。この場合、試験パターンメモリ106及び／又は期待値パターンメモリ108は、命令に対応付けて当該パターン圧縮情報を格納し、パターン列は付加されない。

[0046] 第2動作モードにおいて、試験モジュール10は、以下の動作を行う。まず、パターンメモリ読出部200は、一の命令を実行する場合において、試験パターンメモリ106又は期待値パターンメモリ108からパターン圧縮情報を読み出し、パターン圧縮情報が特定値(第0-3ビットが“1000”又は“1111”)である場合にパターン列を更に読み出す。次に、既定パターン読出部210は、パターン圧縮情報が特定値でない場合に、当該パターン圧縮情報に対応付けて既定パターンメモリ118に格納された既定パターン列を読み出す。そして、パターン選択部220は、パターン圧縮情報が特定値である場合にパターンメモリ読出部200が出力したパターン列を選択し、パターン圧縮情報が特定値でない場合に既定パターン読出部210が出力した既定パターン列を選択する。第2動作モードにおいては、当該一の命令から複数の命令サイクル期間の間に渡って、選択されたパターン列の各パターンが順次用いられる。

[0047] 図4は、本実施形態に係る試験プログラムの一例を示す。図4に例示した試験プログラムは、順次実行されるべき複数の命令と、各命令及び各端子(CH1からCH4)に対応付けて当該命令を実行する命令サイクル期間中にDUT100へ出力される試験パターン列とを含む。命令メモリ104は、図4に示した各命令を格納する。また、複数の試験パターンメモリ106のそれぞれは、各命令に対応付けて、当該命令を実行する命令サイクル期間中に出力する試験パターン列、又は、当該命令サイクル期間中に出力する既定パターン列を識別する既定パターン識別情報として用いられるパターン圧縮情報を格納する。

[0048] 例えば、第1行目の命令“NOP”に対応付けて、端子CH1の試験パターンメモリ106は試験パターン列{011...110}を格納し、端子CH2の試験パ

ターンメモリ 106 は試験パターン列 {000...110} を格納し、端子 CH3 の試験パターンメモリ 106 は試験パターン列 {011...000} を格納し、端子 CH4 の試験パターンメモリ 106 は試験パターン列 {001...110} を格納する。より具体的には、試験パターンメモリ 106 は、これらの試験パターン列を、特定値（第 0-3 ビットが“0000”）のパターン圧縮情報及び当該パターン圧縮情報に付加されたパターン列との組として格納する。

[0049] また例えば、第 3 行目の命令“IDX 100”に対応付けて、端子 CH1 及び端子 CH2 の試験パターンメモリ 106 は特定値以外のパターン圧縮情報 CODEH1（第 0-3 ビットが“0001”）を、端子 CH3 の試験パターンメモリ 106 は特定値以外のパターン圧縮情報 CODEH2（第 0-3 ビットが“0010”）を、端子 CH4 の試験パターンメモリ 106 は特定値以外のパターン圧縮情報 CODEH3（第 0-3 ビットが“0011”）をそれぞれ格納する。このように、複数の試験パターンメモリ 106 は、同一の命令に対応付けて、各端子毎に異なる既定パターン識別情報を格納することができる。

[0050] また例えば、第 9 行目の命令“NOP”に対応付けて、端子 CH1 の試験パターンメモリ 106 は特定値以外のパターン圧縮情報 CODEH1 を、端子 CH2 から 4 は特定値のパターン圧縮情報及び試験パターン列を格納する。

[0051] 以上に示した試験プログラムの格納形式によれば、同一の命令に対応して、データ量の大きい試験パターン列自体を格納するか、又は、既定パターン識別情報に置き換えて格納するかを端子毎に独立に定めることができ、試験プログラムのデータ量をより効率良く低減することができる。

[0052] より具体的には、DUT100 の第 1 端子に対応する第 1 の試験パターンメモリ 106 が一の命令に対応付けて一の試験パターン列を格納し、DUT100 の第 2 端子に対応する第 2 の試験パターンメモリ 106 が当該一の命令に対応付けて一の既定パターン識別情報を含むパターン圧縮情報を格納してもよい。そしてこの場合、DUT100 の第 1 端子に対応する第 1 のパターンメモリ読出部 200 は、当該一の命令に対応付けて第 1 の試験パターン

メモリ 106 に格納された特定値のパターン圧縮情報及び一の試験パターン列を読み出す。一方、第 2 端子に対応する第 2 のパターンメモリ読出部 200 は、当該一の命令に対応付けて第 2 の試験パターンメモリ 106 に格納された、特定値でない一のパターン圧縮情報を読み出す。

[0053] 次に、第 2 端子に対応する第 2 の既定パターン読出部 210 は、特定値でない一のパターン圧縮情報に対応付けて既定パターンメモリ 118 に格納された、一の既定パターン列を読み出す。そして、第 1 端子に対応する第 1 のチャネルパターン生成部 140 及びドライバ 170 は、当該一の命令を実行する一の命令サイクル期間中に、第 1 の試験パターンメモリ 106 から読み出された一の試験パターン列を第 1 端子に対して出力する。一方、第 2 端子に対応する第 2 のフォーマット制御部 144 及びドライバ 170 は、当該一の命令サイクル期間中に、第 2 の既定パターン読出部 210 により読み出された一の既定パターン列を第 2 端子に対して出力する。

[0054] 以上に示した試験モジュール 10 によれば、同一命令に対応して、各試験パターンメモリ 106 に対して試験パターン列又は既定パターン識別情報を指定するパターン圧縮情報を各端子毎に独立に格納することができ、試験プログラムを圧縮する可能性を高めることができる。

[0055] なお、図 4 においては試験パターンメモリ 106 に試験パターン列を格納する場合を例として説明したが、期待値パターンメモリ 108 に期待値パターン列を格納する場合についても同様であるため説明を省略する。

[0056] 図 5 は、本実施形態に係る試験プログラムの圧縮形式を示す。

図 5 の (a) は圧縮前の試験プログラムである。本試験プログラムは、第 1-2 行目、及び第 28-30 行目において、試験モジュール 10 を、第 1 動作モード（ハイスピードモード）で動作させ、命令サイクル当たり 32 パターンの試験パターン列を出力させる。また、第 3-27 行目において、試験モジュール 10 を、第 2 動作モード（ロースピードモード）で動作させ、命令サイクル当たり 1 パターンを出力させる。

[0057] 図 5 の (b) は圧縮後の試験プログラムである。本試験プログラムにおい

て、圧縮前の試験パターン列 {VA1...VA32} は、既定パターン識別情報“H 1”に対応する既定パターン列として既定パターンメモリ 118 に格納される。そして、圧縮前の試験パターン列 {VA1...VA32} は、既定パターン識別情報“H 1”を指定するパターン圧縮情報 CODE H 1 に置換されて試験パターンメモリ 106 に格納される。同様に、圧縮前の試験パターン列 {VB1...VB32}、{VD1...VD32}、及び {VE1...VE32} は既定パターン識別情報“H 2”、“H 4”、及び“H 5”を指定するパターン圧縮情報 CODE H 2、CODE H 4、及び CODE H 5 に置換されて試験パターンメモリ 106 に格納される。

[0058] また、第2動作モードの連続する16命令に対応して順次出力される試験パターン列 {SA1...SA16} は、既定パターン識別情報“L 1”に対応する第2動作モードの既定パターン列として既定パターンメモリ 118 に格納される。

また、圧縮前の試験パターン列 {VX1...VX32} は、特定値（第1－4ビットが“0000”）のパターン圧縮情報 CODE H 0 と、当該試験パターン列との組として試験パターンメモリ 106 に格納される。同様に、圧縮前の試験パターン列 {SA17...SA25} は、特定値（第1－4ビットが“1111”、かつ、第5－8ビットが“9”）のパターン圧縮情報 CODE L 7 と、パターン数が9の試験パターン列 {SA17...SA25} の組として試験パターンメモリ 106 に格納される。

[0059] 以上に示した試験プログラムの圧縮方式によれば、試験モジュール10は、頻出する試験パターン列を既定パターン列として既定パターンメモリ 118 に格納しておくことにより、試験プログラムに含まれる多くの試験パターン列を、当該既定パターン列を指定するパターン圧縮情報に置換することができ、試験プログラムのサイズを効率良く低減することができる。

[0060] なお、図5においては試験パターンメモリ 106 に試験パターン列を格納する場合を例として説明したが、期待値パターンメモリ 108 に期待値パターン列を格納する場合についても同様であるため説明を省略する。

[0061] 図6は、本実施形態の変形例に係るパターン圧縮情報の一例を示す。図6に示すパターン圧縮情報では、全ての圧縮情報のコードでハイスピードモー

ドが指定される。このようなパターン圧縮情報によれば、ハイスピードモードで利用できる既定パターンの数を増加できる。

[0062] 図7は、本実施形態のさらに変形例に係るパターン圧縮情報の一例を示す。図7に示すパターン圧縮情報では、全ての圧縮情報のコードで任意のパターン列が指定される。このようなパターン圧縮情報によれば、4ビット分の圧縮コードとしてヌルデータを割り当て、つまり4ビット分の圧縮コードを削減して、圧縮率を高めることができる。なお、全てのコードがハイスピードモードで指定される旨あるいは任意パターン列で指定される旨の情報は、パターン情報メモリに格納できる。

[0063] 図8は、本実施形態のさらに変形例に係るパターン圧縮情報の一例を示す。図8に示すパターン圧縮情報では、圧縮情報のコードとして、8ビットを割り当て、上位4ビットの“0111”でパターン列として複数の任意パターン列を含むことを指定する。また、下位4ビットの“1001”で指定された複数の任意パターン列の数を指定する。すなわち、圧縮情報として、パターン列の繰り返し回数を指定する回数情報を含むことができる。下位4ビットの“1001”は任意パターン列が10回繰り返されることを示している。このようなパターン圧縮情報によれば、2回目以降の繰り返しのパターン列データにおける圧縮情報のコードを無くすことができ、パターン列データの圧縮率を高めることができる。

[0064] 図9は、本実施形態のさらに変形例に係るパターン圧縮情報の一例を示す。図9に示すパターン圧縮情報では、圧縮情報のコードとして、8ビットを割り当て、上位4ビットの“0110”で同一のパターン列が複数回繰り返されることを指定する。また、下位4ビットの“0011”で繰り返し回数を指定する。すなわち、圧縮情報として、パターン列の繰り返し回数を指定する回数情報を含むことができる。下位4ビットの“0011”は任意パターン列が5回繰り返されることを示している。このようなパターン圧縮情報によれば、2回目以降の繰り返しのパターン列データにおける圧縮情報のコードを無くすことができ、パターン列データの圧縮率を高めることができる。

[0065] なお、図9における圧縮情報は、入力または出力チャンネルごとに指定できる。よって、繰り返し命令であるIDXIでは指定できない、入力チャンネルと出力チャンネルで繰り返しの回数が相違する場合でも、チャンネルごとに繰り返し回数が指定できるので、圧縮率を高めることができる。図9では繰り返しのパターン列として任意パターン列を例示しているが、既定パターン列にも勿論適用できる。

[0066] 図10は、本実施形態のさらに変形例に係るパターン圧縮情報の一例を示す。図10に示すパターン圧縮情報では、高速モードを指定する圧縮情報のコードとして、8ビットを割り当て、上位4ビットのみで指定されるパターン列と下位4ビットと併せて8ビットで指定されるパターン列とを分ける。すなわち、圧縮情報に含まれるパターン列として高速モードパターン列を格納するとともに、パターン列識別情報として、一のアドレス空間が指定できる短ビットパターン列識別情報または一のアドレス空間より大きなアドレス空間が指定できる長ビットパターン列識別情報を格納する。短ビットパターン列識別情報が識別するパターン列として、予め定義された使用頻度の高い高頻度既定パターン列を割り当て、長ビットパターン列識別情報が識別するパターン列として、予め定義された高頻度既定パターン列より使用頻度の低い低頻度既定パターン列を割り当てる。このようなパターン圧縮情報によれば、高頻度の既定パターン列は4ビットの圧縮情報コードで指定され、低頻度の既定パターンは8ビットの圧縮情報コードで指定される。よって、総合的な圧縮率を高めることができる。なお、低速モードにおける圧縮コードは前記と同様であるから説明を省略する。

[0067] 以上に示した通り、本実施形態に係る試験モジュール10によれば、同一命令について複数の試験パターンメモリ106及び／又は複数の期待値パターンメモリ108に格納されるパターン列を、DUT100の端子毎に独立に圧縮することができ、試験プログラムの圧縮効率を高めることができる。また、試験プログラムを効率良く圧縮する結果、命令あたりに試験パターンメモリ106及び／又は期待値パターンメモリ108から読み出す平均デー

タ量を低減することができ、メインメモリ 102 の要求スループットを比較的
低く抑えることができる。

[0068] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上
記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変
更または改良を加えることが可能であることが当業者に明らかである。その
様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが
、請求の範囲の記載から明らかである。

[0069] 請求の範囲、明細書、および図面中において示した装置、システム、プロ
グラム、および方法における動作、手順、ステップ、および段階等の各処理
の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また
、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しう
ることに留意すべきである。請求の範囲、明細書、および図面中の動作フロ
ーに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、
この順で実施することが必須であることを意味するものではない。

符号の説明

- [0070]
- 10 試験モジュール
 - 100 DUT
 - 102 メインメモリ
 - 104 命令メモリ
 - 106 試験パターンメモリ
 - 108 期待値パターンメモリ
 - 110 デジタルキャプチャメモリ
 - 112 セントラルパターン制御部
 - 114 パターンリストメモリ
 - 116 ベクタ生成制御部
 - 118 既定パターンメモリ
 - 120 セントラルキャプチャ制御部
 - 122 パターンリザルトメモリ

- 1 3 0 チャンネルブロック
- 1 4 0 チャンネルパターン生成部
- 1 4 2 シーケンシャルパターン生成部
- 1 4 4 フォーマット制御部
- 1 4 6 シーケンシャルパターン生成部
- 1 4 8 ハント・コンペア部
- 1 5 0 フェイルキャプチャ制御部
- 1 5 2 フェイルキャプチャメモリ
- 1 6 0 タイミング生成部
- 1 7 0 ドライバ
- 1 8 0 コンパレータ
- 2 0 0 パターンメモリ読出部
- 2 1 0 既定パターン読出部
- 2 2 0 パターン選択部
- 2 3 0 選択部
- 2 4 0 パターン展開部

請求の範囲

- [請求項1] パターン列、前記パターン列を識別するパターン列識別情報および前記パターン列の繰り返し回数を指定する回数情報を対応付ける圧縮情報を格納する圧縮情報格納部と、
- 前記パターン列または前記パターン列識別情報を命令に対応付けて含むパターン列データを、複数の前記パターン列データについて一群の基本パターンとして格納する基本パターン格納部と、
- 前記基本パターンの処理順序を指示する指示情報を格納する指示情報格納部と、
- 前記指示情報が指示する処理対象の前記基本パターンに含まれる前記パターン列データを、前記基本パターン格納部から読み出す基本パターン読出部と、
- 前記基本パターン読出部が読み出した前記パターン列データに前記パターン列識別情報を含む場合に、前記圧縮情報を参照して、前記パターン列識別情報に対応するパターン列を読み出すパターン列読出部と、
- 前記基本パターン読出部が読み出した前記パターン列データに含まれる前記パターン列または前記パターン列読出部が読み出した前記パターン列識別情報に対応する前記パターン列を、前記回数情報で指定される繰り返し回数だけ繰り返して出力するパターン出力部と、
- を備えた試験モジュール。
- [請求項2] 前記圧縮情報格納部は、前記パターン列として、予め定義された既定パターン列または前記圧縮情報ごとに定義される任意パターン列を含む前記圧縮情報を格納する、
- 請求項1に記載の試験モジュール。
- [請求項3] 前記圧縮情報格納部は、前記パターン列として複数の前記任意パターン列を含むと共に、複数の前記任意パターン列の全体を識別する単一のパターン列識別情報を、複数の前記任意パターン列の数を指標す

る回数情報として格納し、

前記パターン出力部は、前記回数情報で指定される数だけ複数の前記任意パターン列を出力する、

請求項 2 に記載の試験モジュール。

[請求項4]

前記圧縮情報格納部は、前記圧縮情報として、入力または出力のチャンネルごとの前記パターン列および前記パターン列識別情報を格納し、

前記パターン出力部は、前記チャンネルごとに前記パターン列を出力する、

請求項 1 に記載の試験モジュール。

[請求項5]

前記圧縮情報格納部は、前記パターン列として、高速モードパターン列または低速モードパターン列を格納するとともに、前記パターン列識別情報として、前記パターン列が前記高速モードパターン列であるか前記低速モードパターン列であるかを識別するパターン識別情報を格納する、

請求項 1 に記載の試験モジュール。

[請求項6]

前記圧縮情報格納部は、前記圧縮情報に含まれる全ての前記パターン列として前記高速モードパターン列を格納するとともに、前記パターン列識別情報として、一のアドレス空間が指定できる短ビットパターン列識別情報または前記一のアドレス空間より大きなアドレス空間が指定できる長ビットパターン列識別情報を格納し、

前記短ビットパターン列識別情報が識別するパターン列として、予め定義された使用頻度の高い高頻度既定パターン列を割り当て、

前記長ビットパターン列識別情報が識別するパターン列として、予め定義された前記高頻度既定パターン列より使用頻度の低い低頻度既定パターン列を割り当てる、

請求項 5 に記載の試験モジュール。

[請求項7]

前記圧縮情報格納部は、前記圧縮情報に含まれる全ての前記パター

ン列として、前記高速モードパターン列であると共に前記圧縮情報ごとに定義される任意パターン列を格納し、前記パターン列識別情報としてヌルデータを格納する、

請求項5に記載の試験モジュール。

[請求項8]

パターン列、前記パターン列を識別するパターン列識別情報および前記パターン列の繰り返し回数を指定する回数情報を対応付ける圧縮情報を格納する圧縮情報格納部と、

前記パターン列または前記パターン列識別情報を命令に対応付けて含むパターン列データを、複数の前記パターン列データについて一群の基本パターンとして格納する基本パターン格納部と、

前記基本パターンの処理順序を指示する指示情報を格納する指示情報格納部と、

前記指示情報が指示する処理対象の前記基本パターンに含まれる前記パターン列データを、前記基本パターン格納部から読み出す基本パターン読出部と、

前記基本パターン読出部が読み出した前記パターン列データに前記パターン列識別情報を含む場合に、前記圧縮情報を参照して、前記パターン列識別情報に対応するパターン列を読み出すパターン列読出部と、

前記基本パターン読出部が読み出した前記パターン列データに含まれる前記パターン列または前記パターン列読出部が読み出した前記パターン列識別情報に対応する前記パターン列を、前記回数情報で指定される繰り返し回数だけ繰り返して出力するパターン出力部と、

を備えた試験装置。

[請求項9]

パターン列、前記パターン列を識別するパターン列識別情報および前記パターン列の繰り返し回数を指定する回数情報を対応付ける圧縮情報を格納する圧縮情報格納段階と、

前記パターン列または前記パターン列識別情報を命令に対応付けて

含むパターン列データを、複数の前記パターン列データについて一群の基本パターンとして格納する基本パターン格納段階と、

前記基本パターンの処理順序を指示する指示情報を格納する指示情報格納段階と、

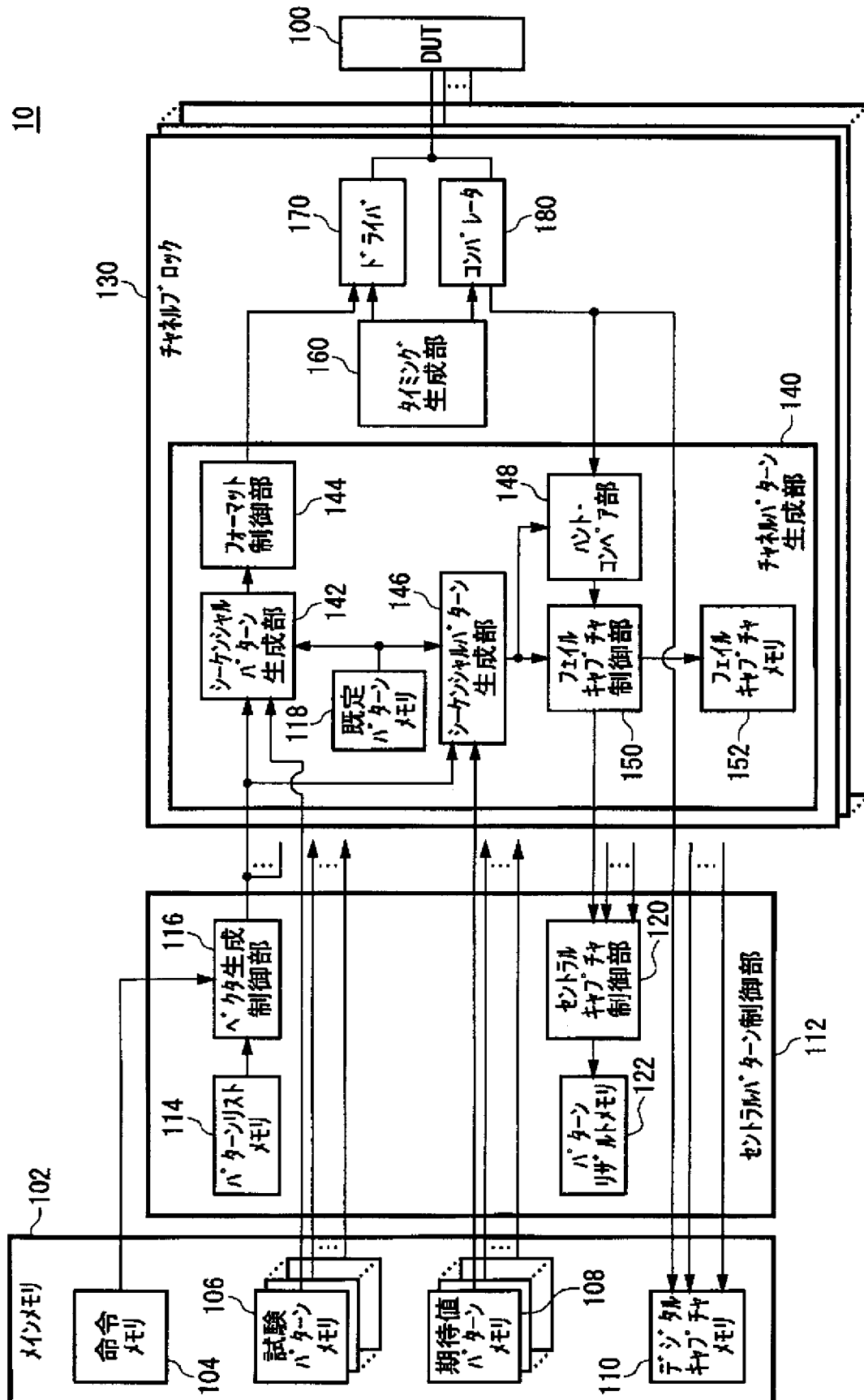
前記指示情報が指示する処理対象の前記基本パターンに含まれる前記パターン列データを読み出す基本パターン読出段階と、

前記基本パターン読出段階で読み出した前記パターン列データに前記パターン列識別情報を含む場合に、前記圧縮情報を参照して、前記パターン列識別情報に対応するパターン列を読み出すパターン列読出段階と、

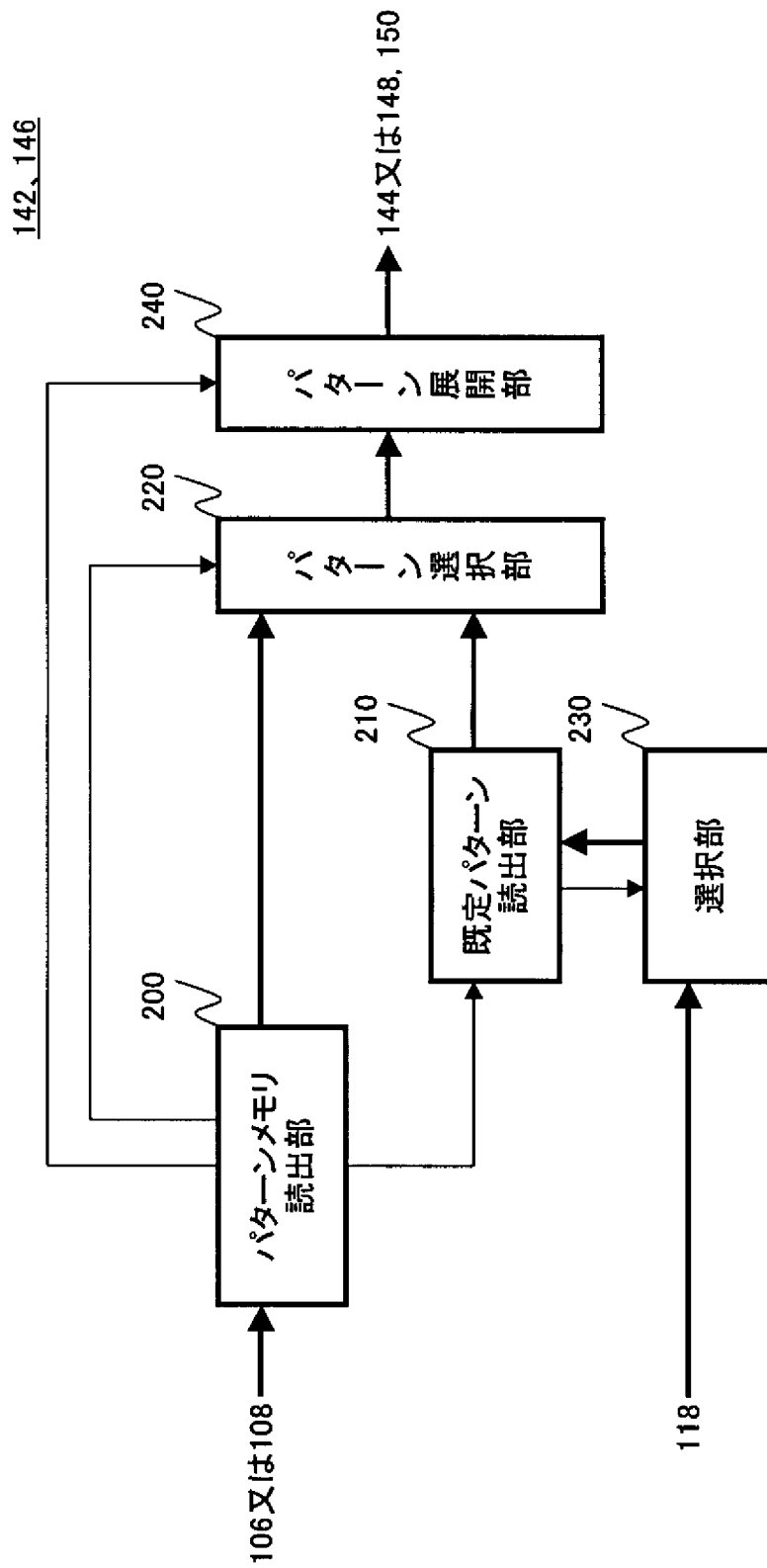
前記基本パターン読出段階で読み出した前記パターン列データに含まれる前記パターン列または前記パターン列読出段階で読み出した前記パターン列識別情報に対応する前記パターン列を、前記回数情報で指定される繰り返し回数だけ繰り返して出力するパターン出力段階と、

を備えた試験方法。

[図1]



[図2]



[図3]

コード								説明
0	1	2	3	4	5	6	7	
0	0	0	0					ハイスピード、パターンデータ付
	001 ~ 111							ハイスピード、パターン識別情報指定
1	0	0	0					ロースピード、パターンデータ付
	001 ~ 110							ロースピード、パターン識別情報指定
	1	1	1	パターン数				ロースピード、可変長パターンデータ付

[図4]

#	命令	パターン			
		CH1	CH2	CH3	CH4
1	NOP	{011...110}	{000...110}	{011...000}	{001...110}
2	NOP	{000...110}	{011...000}	{001...110}	{011...110}
3	IDXI 100	CODE H1	CODE H1	CODE H2	CODE H3
4	NOP	{000...110}	{011...000}	{001...110}	{011...110}
5	NOP	{011...000}	{001...110}	{011...110}	{000...110}
6	IDXI 100	CODE H2	CODE H3	CODE H1	CODE H1
7	NOP	{001...110}	{011...110}	{000...110}	{011...000}
8	NOP	{011...110}	{000...110}	{011...000}	{001...110}
9	NOP	CODE H1	{011...000}	{011...110}	{011...110}
10	NOP	CODE H1	CODE H1	{000...110}	{000...110}
11	NOP	CODE H1	CODE H1	CODE H1	{011...000}
12	NOP	CODE H1	CODE H1	CODE H1	CODE H1
13	NOP	{011...110}	CODE H1	CODE H1	CODE H1
14	NOP	{000...110}	{001...110}	CODE H1	CODE H1
15	NOP	{011...000}	{011...000}	{011...000}	CODE H1
16	NOP	{001...110}	{001...110}	{001...110}	{001...110}

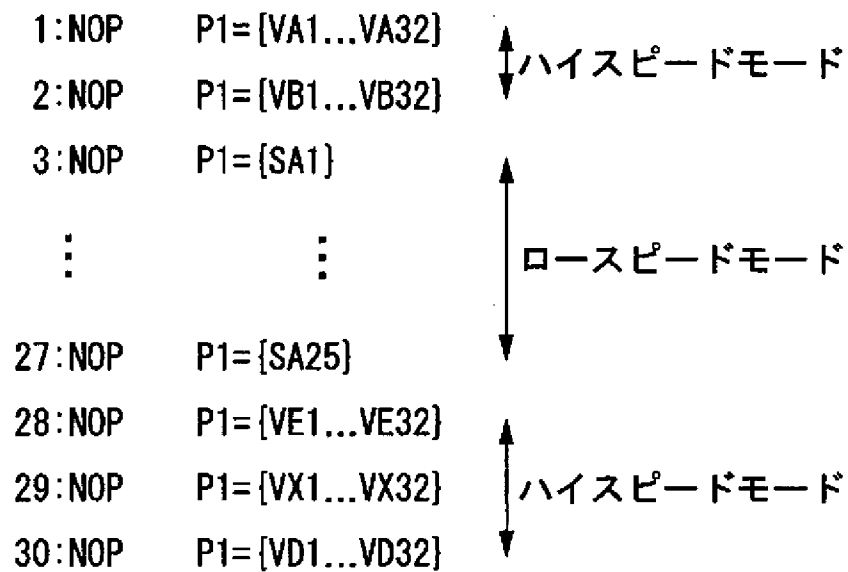
CODE H1={101...010}

CODE H2={111...111}

CODE H3={000...000}

[図5]

(a)



(b)

1:NOP	P1=CODE H1
2:NOP	P1=CODE H2
3:NOP	P1=CODE L1
4:NOP	P1=CODE L7 VL=9 {SA17...25}
5:NOP	P1=CODE H5
6:NOP	P1=CODE H0 {VX1...VX32}
7:NOP	P1=CODE H4

[図6]

コード				説明
0	1	2	3	
0000				ハイスピード、パターンデータ付
0001~1111				ハイスピード、パターン識別情報指定

[図7]

コード				説明
0	1	2	3	
				ハイスピード、パターンデータ付

[図8]

コード								説明
0	1	2	3	4	5	6	7	
0111				1001				ハイスピード、パターンデータ付1
								ハイスピード、パターンデータ付2
								ハイスピード、パターンデータ付3
								⋮
								ハイスピード、パターンデータ付10

[図9]

コード								説明
0	1	2	3	4	5	6	7	
0110				0011				ハイスピード、パターンデータ付

[図10]

コード								説明
0	1	2	3	4	5	6	7	
0000								ハイスピード、パターンデータ付
0001								ハイスピード、パターン識別情報指定1
0010								ハイスピード、パターン識別情報指定2
0011								ハイスピード、パターン識別情報指定3
0100								ハイスピード、パターン識別情報指定4
0101				0000				ハイスピード、パターン識別情報指定5
0101				0001				ハイスピード、パターン識別情報指定6
⋮								⋮
0101				1011				ハイスピード、パターン識別情報指定16
1000								ロースピード、パターンデータ付
1001～1110								ロースピード、パターン識別情報指定
1111				N				ロースピード、可変長パターン

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004720

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/3183(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-31/3193

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009

Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2006/077685 A1 (Advantest Corp.), 27 July 2006 (27.07.2006), entire text; all drawings & JP 4288284 B & US 2006/0161829 A1 & EP 1684082 A1 & EP 1873538 A1 & DE 602005012359 D & DE 602005013583 D & KR 10-2006-0084354 A & CN 1808160 A	1-9
Y	JP 2006-170873 A (Fujitsu Ltd.), 29 June 2006 (29.06.2006), paragraphs [0056] to [0088]; all drawings (Family: none)	1-9
Y	JP 5-134004 A (NEC Corp.), 28 May 1993 (28.05.1993), paragraphs [0022] to [0032]; fig. 5 (Family: none)	6

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 December, 2009 (09.12.09)Date of mailing of the international search report
22 December, 2009 (22.12.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004720

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-58251 A (Advantest Corp.), 02 March 2006 (02.03.2006), entire text; all drawings & US 2006/0190794 A1 & EP 1783503 A1 & WO 2006/022087 A & CN 1842716 A & KR 10-2007-0051618 A	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01R31/3183(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R31/28-31/3193

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2006/077685 A1（株式会社アドバンテスト）2006.07.27, 全文, 全図 & JP 4288284 B & US 2006/0161829 A1 & EP 1684082 A1 & EP 1873538 A1 & DE 602005012359 D & DE 602005013583 D & KR 10-2006-0084354 A & CN 1808160 A	1 - 9
Y	JP 2006-170873 A（富士通株式会社）2006.06.29, 段落【0056】 - 【0088】, 全図（ファミリーなし）	1 - 9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 2 . 2 0 0 9

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

神谷 健一

2 S

9 7 0 5

電話番号 03-3581-1101 内線 3258

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-134004 A (日本電気株式会社) 1993.05.28, 段落【0022】 －【0032】, 図5 (ファミリーなし)	6
A	JP 2006-58251 A (株式会社アドバンテスト) 2006.03.02, 全文, 全 図 & US 2006/0190794 A1 & EP 1783503 A1 & WO 2006/022087 A & CN 1842716 A & KR 10-2007-0051618 A	1－9