



(12) 发明专利

(10) 授权公告号 CN 101917170 B

(45) 授权公告日 2013. 11. 20

(21) 申请号 201010254692. 4

(22) 申请日 2002. 02. 15

(30) 优先权数据

60/269, 623 2001. 02. 16 US

10/034, 734 2001. 12. 21 US

(62) 分案原申请数据

02807924. 8 2002. 02. 15

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 T·李 C·霍伦斯特恩 I·康

B·C·沃克 P·E·彼得泽尔

R·沙拉 M·L·西弗森

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 袁逸

(51) Int. Cl.

H03G 3/20 (2006. 01)

H04B 1/16 (2006. 01)

(56) 对比文件

CN 1128091 A, 1996. 07. 31, 说明书第 6 页第 6 行至第 20 页第 9 行, 附图 9.

US 4213097 A, 1980. 07. 15, 说明书第 1 栏第 60 行至第 3 栏第 39 行, 附图 1-2.

CN 1202767 A, 1998. 12. 23, 全文.

EP 1047188 A2, 2000. 10. 25, 全文.

审查员 邓隽

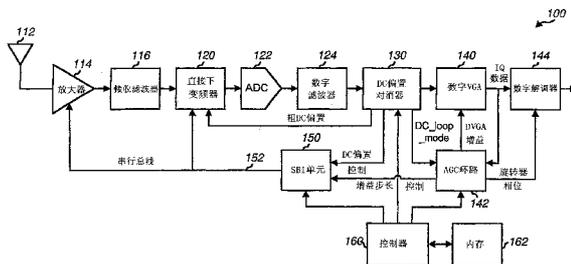
权利要求书1页 说明书14页 附图7页

(54) 发明名称

无线通信系统接收信号的方法、装置以及接收机

(57) 摘要

直接下变频接收机结构有 DC 环路以从信号分量中去除 DC 偏置、数字可变增益放大器 (DVGA) 以提供增益范围、自动增益控制 (AGC) 环路以提供 DVGA 和 RF/ 模拟电路的增益控制以及串行总线接口 (SBI) 单元以通过串行总线提供对 RF/ 模拟电路的控制。可能如在此所述较好地设计与定位 DVGA。VGA 环路的操作模式可能根据 DC 环路的操作模式而被选择, 这是因为这两个环路有交互作用。DC 环路在捕获模式操作的持续时间可以选为与在捕获模式内的 DC 环带宽成反比。可能通过串行总线提供对一些或所有 RF/ 模拟电路的控制。



1. 一种无线通信系统的装置,其特征在于包括:
放大接收信号的第一装置;
对消放大的信号内的直流(DC)偏置的装置;
数字式放大经直流(DC)偏置对消的信号的第二装置,其中所述第二装置的增益范围能提供先前在外差接收机内的中频处提供的增益;以及
测量经数字式放大的信号以控制所述第一和第二装置的增益的装置。
2. 一种接收机单元,其特征在于包括:
模拟可变增益放大器;
直流(DC)偏置对消器,耦合到模拟可变增益放大器的输出;
数字可变增益放大器,耦合到直流(DC)偏置对消器的输出,其中所述数字可变增益放大器的增益范围能提供先前在外差接收机内的中频处提供的增益;
增益控制器,用于测量从数字可变增益放大器来的信号输出并控制模拟和数字可变增益放大器的增益;以及
控制接口,用于提供模拟可变增益放大器的增益。
3. 如权利要求2所述的接收机单元,其特征在于,所述控制接口是总线接口。
4. 如权利要求3所述的接收机单元,其特征在于,所述总线接口是串行总线接口(SBI)单元。
5. 如权利要求2所述的接收机单元,其特征在于,所述控制接口包括专用控制信号。
6. 一种在无线通信系统中处理接收到的信号的方法,包括:
使用第一可变增益放大接收到的信号;
对消放大的所接收的信号中的直流(DC)偏置;
使用第二可变增益数字式放大经直流(DC)偏置对消的信号,其中所述第二可变增益能提供先前在外差接收机内的中频处提供的增益;
测量经数字式放大的信号;以及
根据经数字式放大的信号的测量来确定第一和第二可变增益。
7. 一种用于处理信号的设备,包括:
用于使用第一可变增益放大接收到的信号的模拟放大装置;
用于对消直流(DC)偏置的直流(DC)偏置对消装置,耦合到所述模拟放大装置;
用于使用第二可变增益进行放大的数字放大装置,耦合到所述直流(DC)偏置对消装置的输出,其中所述数字放大装置的增益范围能提供先前在外差接收机内的中频处提供的增益;
用于测量所述数字放大装置的信号输出以控制第一和第二可变增益的装置;以及
用于将所述第一可变增益提供给所述模拟放大装置的装置。

无线通信系统接收信号的方法、装置以及接收机

[0001] 本发明是中国专利申请号 200610126148.5、题为“直接变频接收机结构”的专利申请的分案申请；该专利申请为国际申请日为 2002 年 2 月 15 日、中国专利申请号 02807924.8、题为“直接变频接收机结构”的专利申请的分案申请。

[0002] 背景

[0003] 领域

[0004] 本发明一般涉及电子电路，更特定地涉及用于无线（例如 CDMA）通信系统的直接下变频接收机结构。

[0005] 背景

[0006] 在 CDMA 系统中，要发送的数据最初经处理以产生更适于在无线通信信道上传输的射频 (RF) 已调信号。RF 已调信号然后在通信信道上被发送到一个或多个预定的接收机，这些接收机可能是 CDMA 系统中的终端。被发射的信号受到不同的传输现象的影响，诸如衰落和多径。这些现象导致了在终端处接收的 RF 已调信号位于较大的信号功率电平范围内，该范围可能是 100dB 或更多。

[0007] 在给定的终端处，发射的信号被接收、调整且由接收机前端单元下变频到基带。一般，从 RF 到基带的频率下变换是由包括多个（例如两个）频率下变换级的外差接收机实现的。在第一级，接收到的信号从 RF 被下变换到中频 (IF)，其中一般要实现滤波和放大。在第二级，IF 信号从 IF 下变换到基带，其中要实现附加的处理以恢复被发射的数据。

[0008] 外差接收机结构提供几种好处。第一，可以选择 IF 频率使得由用于对接收到的信号实现调整和下变换的 RF 和模拟电路内非线性引起的不期望的交调 (IM) 产物可以更容易地被滤去。第二，可以在 RF 和 IF 处提供多级滤波器和可变增益放大器 (VGA) 以提供对接收到信号必要的滤波和放大。例如，RF 放大器可能设计成提供 40dB 的增益范围，IF 放大器可能被设计成提供 60dB 的增益范围，这两个一起可以覆盖对接收到信号的 100dB 的动态范围。

[0009] 对一些应用，诸如蜂窝电话，最好能简化接收机设计以减少大小和费用。而且，对诸如蜂窝电话的移动应用，最好能减少功耗以延长次充电之间的电池的寿命。对这些应用，直接下变频接收机（又称为零差接收机或零 IF 接收机）可能提供这些期望的好处，这是因为它只使用一级以将接收到的信号从 RF 下变频到基带。

[0010] 在设计直接下变频接收机中遇到几个挑战。例如，由于在直接下变频接收机内没有 IF 信号，一般由外差接收机内的 IF 放大器提供（例如 60dB）的增益范围就需要在直接下变频接收机内的 RF 或基带处提供。为避免对 RF 电路有附加要求且为减少费用和电路复杂性，该 IF 增益范围可能在基带处提供。然而，如果在模数转换后以数字方式提供基带增益范围，由于在 ADC 后以数字方式提供增益，则提供给模数转换器 (ADC) 的基带信号有较小的幅度。由于基带信号的幅度较小，且 DC 偏置可能占信号幅度较大的百分比，基带信号内的 DC 偏置是直接下变频接收机一个更关键的考虑因素。

[0011] 因此在领域内需要一个能提供需要的信号增益和 DC 偏置纠正的直接下变频接收机结构。

[0012] 摘要

[0013] 本发明的各方面提供了直接下变频接收机结构,有 DC 环路以在模数转换前后从信号分量中去除 DC 偏置、数字可变增益放大器 (DVGA) 以提供增益范围、自动增益控制 (AGC) 环路以提供 DVGA 和 RF/ 模拟电路的增益控制以及串行总线接口 (SBI) 单元使用小型串行接口提供对 RF/ 模拟电路的控制。

[0014] 在一方面,提供 DVGA 用于直接下变频接收机。该 DVGA 能提供需要的用以考虑整个接收到的信号的动态范围的所有或一部分的增益范围(即不考虑 RF/ 模拟电路的那部分)。DVGA 的设计和 DVGA 在直接下变频接收机结构中的位置可能如在此描述的方式实现。

[0015] 在另一方面,VGA 环路的操作模式部分根据 DC 环路的操作模式而被选择。由于这两个环路对同一信号分量操作(直接或间接地),它们间有交互作用。在此提供环路技术以通知可能影响其他环路性能的事件,使得其它环路能合适地处理事件以最小化性能的恶化。例如,如果 DC 环路在捕获模式操作以快速移去大 DC 偏置,则产生的大 DC 尖峰信号可能会对 AGC 环路产生恶化影响,所以可以触发该事件,然后 AGC 环路可能以低增益模式或连同冻结模式操作以最小化 DC 尖峰信号对 AGC 环路操作的影响。

[0016] 在另一方面,DC 环路处于捕获模式操作的持续时间与处于捕获模式的 DC 环路的带宽成反比。DC 环路带宽在捕获模式时被设计成更宽以使得 DC 环路能更快地响应并移去信号分量内的 DC 偏置。然而,更宽的环路带宽还导致更多的由 DC 环路生成的环路噪声。为限制总噪声量(这包括要纠正的 DC 尖峰信号和环路噪声)但同时允许 DC 环路在高带宽上操作,DC 环路处于捕获模式操作的持续时间与环路带宽成反比。由于更宽的环路带宽能更快地纠正 DC 偏置,所以在捕获模式花更少的时间可改善性能。

[0017] 在另一实施例中,提供通过串行总线对一些或所有 RF/ 模拟电路的控制。使用标准串行总线以控制 RF/ 模拟功能提供了许多好处,诸如减少的引线、简化的板面布局、减少费用等等。串行总线可能还设计成有不同特征以更有效地提供控制。例如,可能支持多个硬件请求信道(例如,每个电路一个信道以单独受控),每个信道可能与相关的优先权相关,且可能使用多个可能的数据传输模式在每个信道上发射消息。

[0018] 本发明的不同方面和实施例在以下将详细描述。本发明还提供方法、数字信号处理器、接收机单元以及其他实现本发明不同方面、实施例以及特征的装置和元件,如以下将详述的。

[0019] 附图的简要描述

[0020] 通过下面提出的结合附图的详细描述,本发明的特征、性质和优点将变得更加明显,附图中相同的符号具有相同的标识,其中:

[0021] 图 1 是能实现本发明的不同方面和实施例的接收机单元的实施例的模块图;

[0022] 图 2A 是直接下变频转换器的实施例模块图;

[0023] 图 2B 是 DC 偏置对消器的实施例模块图;

[0024] 图 3 是数字可变增益放大器 (DVGA) 的实施例模块图;

[0025] 图 4A 是 AGC 环路单元的模块图;

[0026] 图 4B 是 AGC 控制单元的模块图;以及

[0027] 图 4C 是 RF/ 模拟电路的增益转移函数的实例图。

[0028] 详细描述

[0029] 图 1 是能实现本发明的不同方面和实施例的接收机单元 100 的实施例图表。接收机单元 100 可能在无线（例如 CDMA）通信系统的终端内或基站内实现。为简洁起见，用在终端内的接收机实现描述了本发明的不同方面和实施例。为简洁起见，在此提供了特定设计值，但本发明范围内还能使用其他设计值。

[0030] 在图 1 中，从一个或多个发射机（例如基站、GPS 卫星、广播站等）来的一个或多个 RF 已调信号由天线 112 接收并提供给放大器 (Amp) 114。放大器 114 以特定增益对接收到的信号实现放大以提供经放大的 RF 信号。放大器 114 可能包括一个或多个低噪声放大器 (LNA) 级，以提供特定范围内的增益和 / 或衰减（例如 40dB 从最大增益到衰减）。放大器 114 的特定增益可能通过串行总线 152 由串行总线接口 (SBI) 单元 150 提供的增益控制消息确定。经放大的 RF 信号然后由接收滤波器 116 滤波以移去噪声和寄生信号，然后将过滤后的 RF 信号提供给直接下变频器 120。

[0031] 直接下变频器 120 实现对过滤后的 RF 信号从 RF 到基带的直接正交下变频。这可以通过将过滤后的 RF 信号与本地振荡器 (LO) 复信号相乘（或相混）以提供复基带信号。特别是，过滤后的 RF 信号可能与同相 LO 信号混频以提供同相 (I) 基带分量且与正交 LO 信号混频以提供正交 (Q) 基带分量。用来实现直接下变频的混频器可能分多级实现，这些级受控以提供不同增益，如下所述。在这种情况下，混频器提供的特定的增益还可能由 SBI 单元 150 通过串行总线 152 提供的另一增益控制消息确定，如图 1 所示。然后提供 I 和 Q 基带分量给一个或多个模数转换器 (ADCs) 122。

[0032] ADCs 122 将 I 和 Q 基带分量数字化以提供相应的 I 和 Q 采样。ADCs 122 可能以不同 ADC 设计实现，诸如能滤波然后能在基带分量的码片速率几倍处（对 IS-95 是 1.2288Mcps）对 I 和 Q 基带分量过采样的 sigma-delta 调制器。过采样使得 ADCs 能提供更大的动态范围，且提供给 I 和 Q 采样某个给定精度的更少的比特数。在特定实施例中，ADCs 122 以码片速率的 16 倍（即 chipx16）提供 2 比特 I 和 Q 采样。其它类型的 ADCs 还可能在本发明范围内被采用。I 和 Q 采样从 ADCs 122 提供给数字滤波器 124。

[0033] 数字滤波器 124 滤去 I 和 Q 采样以提供相应的滤去的 I 和 Q 采样。数字滤波器 124 可能实现任何数量的功能诸如镜像抑制滤波、基带脉冲匹配滤波、抽取、采样速率转换等等。在特定实施例中，数字滤波器 124 将在 chipx8 处的 18 比特过滤后的 I 和 Q 采样提供给 DC 偏置对消器 130。

[0034] DC 偏置对消器 130 在过滤后的 I 和 Q 采样内移去 DC 偏置以提供相应的 DC 偏置纠正 I 和 Q 采样。在特定实施例中，DC 偏置对消器 130 实现两个 DC 偏置纠正环路，试图在接收信号路径上不同两处移去 DC 偏置——一处是在由直接下变频器 120 实现频率下变换后在基带处以及另一处是在由滤波器 124 数字滤波后。DC 偏置纠正将在以下详述。

[0035] 数字可变增益放大器 (DVGA) 140 然后数字化地放大 DC 偏置纠正 I 和 Q 采样以提供 I 和 Q 数据给数字解调器 144 作相继处理。在特定实施例中，DVGA 140 提供 chipx8 的 4 比特 I 和 Q 数据。

[0036] 数字解调器 144 对 I 和 Q 数据解调以提供已调数据，这可能被提供给相继解码器（未在图 1 中示出）。解调器 144 可能实现为 rake 接收机，它可以在接收到的信号内进行多地处理多个信号实例。对 CDMA 而言，rake 接收机的每个系数可以设计成为 (1) 用复正弦信号对 I 和 Q 数据实现旋转以移去 I 和 Q 数据内的频率偏置，(2) 用发射机处使用的复伪

随机噪声 (PN) 序列对经旋转的 I 和 Q 数据实现解扩展, (3) 发射机处使用的信道编码 (例如 Walsh 码) 对经解扩展的 I 和 Q 数据进行解复盖, 以及 (4) 用从接收信号恢复的导频对经解复盖的 I 和 Q 数据数据解调。数字滤波器 124、DC 偏置对消器 130、DVGA 140 以及数字解调器 144 可能在一个或多个集成电路 (ICs) 内实现, 例如在单一的数字信号处理器内。

[0037] 自动增益控制 (AGC) 环路单元 142 从 DVGA 140 接收 I 和 Q 数据并从 DC 偏置对消器 130 接收 DC_loop_mode 信号, 并在接收机单元 100 内提供对不同可变增益元件的增益。在一实施例中, 放大器 114 以及直接下变频器 120 的增益被提供给 SBI 单元 150, 它然后通过串行总线 152 将合适的增益控制消息提供给这些元件。在考虑了从 RF 信号输入到 DVGA 的输入的时延后, DVGA 140 的增益直接被提供给 DVGA。AGC 环路单元 142 提供放大器 114、直接下变频器 120 以及 DVGA 的合适增益使得能获得 I 和 Q 数据的期望幅度。AGC 环路在以下详细描述。

[0038] 控制器 160 引导接收机单元 100 的不同操作。例如, 控制器 160 可能引导 DC 偏置代消、AGC 环路、DVGA、SBI 等的操作。内存 162 提供控制器 160 数据和程序代码的存储。

[0039] 在一般的接收机设计中, 接收信号的条件化可能由放大器、滤波器、混频器等的一级或多级实现。例如, 接收到的信号可能由一个或多个 LNA 级放大。而且, 可能在 LAN 级之前和 / 或之后提供滤波, 且一般在频率下变换后实行。为简洁之故, 这些不同信号调整级在图 1 中集中在一起组成模块。在本发明范围内还可以使用其它 RF 接收机设计。放大器 114、直接下变频 120 以及 ADCs 122 组成直接下变频接收机的 RF 前端单元。

[0040] 图 1 提供的不同信号处理模块的 I 和 Q 采样的分辨率用于说明。对 I 和 Q 采样可采用不同数目的比特分辨率和不同采样速率, 且这是在本发明的范围内。

[0041] DC 偏置纠正

[0042] 图 2A 是直接下变频 120a 的模块图, 它是图 1 中的直接下变频器 120 的特定实施例。在直接下变频器 120a 中, 从接收滤波器 116 来的过滤后的 RF 信号被提供给混频器 212, 它还接收从本地振荡器 218 来的 (复数) LO 信号。LO 信号的频率可能由频率控制信号控制 (这可能通过串行总线 152 或一些其它的信号线提供) 且被设定到被恢复的 RF 已调信号的中心频率。混频器 212 然后用复 LO 信号对过滤后的 RF 信号实现正交下变频以提供同相和正交分量, 然后将此提供给加法器 214。

[0043] 转换器 220 接收数字 DC 偏置控制, 它可能由 DC 偏置对消器 130 通过串行总线 152 提供且在图 2 中标识为 SBI DC。转换器 220 然后实现数字控制的数字到模拟转换以生成同相和正交分量相应的 DC1I 和 DC1Q 的偏置控制值。在一实施例中, 这些值用于控制混频器 212 的偏压电流使得信号分量内的 DC 偏置可能间接地被调整。

[0044] 模拟电路 222 接收模拟 DC 偏置控制, 这可能由 DC 偏置对消器 130 通过专用信号线提供并在图 2A 内表示为粗 DC 偏置。模拟电路 222 然后实现滤波和可能的电平移位和比例缩放以生成相应的同相和正交分量的 DC2I 和 DC2Q 的 DC 偏置值。加法器 214 来的输出分量然后经低通滤波器 / 放大器 216 滤波并放大以提供 I 和 Q 基带分量。

[0045] 图 2B 是 DC 偏置对消器 130a 的模块图, 这是图 1 中 DC 偏置对消器 130 的特定实施例。DC 偏置对消器 130a 包括加法器 232a 和 232b、DC 环路控制单元 234a 和 234b、SBI DC 偏置控制器 240 以及 DC 环路控制器 242。在一实施例中, DC 偏置纠正对 I 和 Q 采样分开实施。因此加法器 232a 和 232b 和 DC 环路控制单元 234a 和 234b 每个包括两个元件, 一

个处理 I 采样另一个处理 Q 采样。

[0046] 从数字滤波器 124 来的过滤后的 I 和 Q 采样被提供给加法器 232a, 它将 DC3I 和 DC3Q 的固定 DC 偏置值相应地从 I 和 Q 采样中移去。加法器 232a 可能用于移去静态的 DC 偏置 (例如由电路不匹配等引起的)。从加法器 232a 来的 I 和 Q 输出然后被提供给加法器 232b, 它进一步将 DC4I 和 DC4Q (由 DC 环路控制单元 234b 提供) 的 DC 偏置从相应的这些 I 和 Q 输出中移去以提供 DC 偏置纠正的 I 和 Q 采样。

[0047] DC 环路控制单元 234a 从加法器 232a 接收 I 和 Q 输出, 确定在这些输出中的 DC 偏置, 并在直接下变频器 120a 中将粗 DC 控制提供给模拟电路 222。DC 环路控制单元 234b 类似地从加法器 232b 接收 I 和 Q 输出, 确定在这些输出中的 DC 偏置并将 DC4I 和 DC4Q 的 DC 偏置值提供给加法器 234b。每个 DC 环路控制单元 234 用耦合到累加器 238 的增益元件 236 实现。增益元件 236 用为该环路选择的特定增益 (单元 234a 的 DC 增益 1 和单元 234b 的 DC 增益 2) 乘以输入 I 或 Q 采样。累加器 238 然后累加经比例缩放的 I 和 Q 采样以提供该环路的 DC 偏置控制。

[0048] 直接下变频器 120a 内的加法器 214 以及 DC 环路控制单元 234a 实现粗增益 DC 环路, 它在混频器 212 的直接下变换后移去基带分量内的 DC 偏置。加法器 232b 和 DC 环路控制单元 234b 实现细增益 DC 环路, 它移去在粗增益 DC 环路之后仍残留的 DC 偏置。如叫法所揭示的, 细增益 DC 环路比粗增益 DC 环路有更高的分辨率。

[0049] SBI DC 偏置控制器 240 周期性地根据不同因子, 诸如温度、放大器 114 和混频器 212 的增益、时间、漂移等确定 SBI DC 偏置控制。SBI DC 偏置控制然后通过串行总线 152 被提供给转换器 220, 这生成对应的混频器 212 的 DC1I 和 DC1Q 的 DC 偏置控制值。

[0050] 直接下变频接收机的 DC 偏置纠正的实现, 诸如图 1 所示的, 在美国专利申请号 [Attorney Docket No. 010118] 内有详细描述, 题为“使用直接下变频的移动站调制解调器的直流偏置抵消”, 提交时间 xxx, 通过引用被结合于此。

[0051] 四组 DC 偏置值 (DC1I 和 DC1Q、DC2I 和 DC2Q、DC3I 和 DC3Q、DC4I 和 DC4Q) 代表四种不同的机制, 可能单独或组合地用于对直接下变频接收机提供需要的 DC 偏置纠正。粗增益 DC 环路 (它提供 DC2I 和 DC2Q 的值) 以及细增益 DC 环路 (它提供 DC4I 和 DC4Q 的值) 可能用于动态地移去 I 和 Q 信号分量内的 DC 偏置。加法器 232a (减去 DC3I 和 DC3Q 值) 可能用于移去静态 DC 偏置。且 SBI DC 偏置控制器 240 (它提供 DC1I 和 DC1Q 值) 可能用于从信号分量中去除动态和 / 或静态 DC 偏置。

[0052] 在实施例中, 粗增益和细增益 DC 环路每个支持两个操作模式—捕获模式和跟踪模式。捕获模式用于更快地去除较大的 DC 偏置, 这可能是在信号分量中引入的, 原因有 (1) 在 RF/ 模拟电路增益中的阶跃变化诸如放大器 114 和 / 或混频器 212, 或 (2) 实现周期性 DC 更新的总的 DC 环路, 这可能导致提供给混频器 212 和 / 或加法器 232a 的 DC1 和 / 或 DC3 有新值, 或 (3) 相应的其他原因。跟踪模式用于实现正常模式下的 DC 偏置纠正, 且其响应比捕获模式的响应来得慢。本发明范围内还支持不同或附加操作模式。捕获和跟踪模式可能对 DC 增益 1 对应两种不同 DC 环路增益值, 对 DC 增益 2 对应两种不同 DC 环路增益值。

[0053] 为简化之故, 粗增益和细增益 DC 环路一起被简单地称为“DC 环路”。DC_loop_mode 控制信号指明 DC 环路当前的模式。例如, DC_loop_mode 控制信号可能被设定为逻辑高以

指明 DC 环路处于捕获模式,逻辑低指明它处于跟踪模式操作。

[0054] 数字 VGA

[0055] 本发明的一方面提供用于直接下变频接收机内的 DVGA。DVGA 能提供用于考虑接收到的信号的总动态范围的所有或一部分(即 RF/模拟电路不考虑的那部分)需要的增益范围。DVGA 的增益范围可能因此用于提供先前在外差接收机内的中频(IF)处提供的增益。DVGA 的设计和 DVGA 在直接下变频接收机结构中的位置可能最好实现为如下描述。

[0056] 图 3 是能提供 I 和 Q 采样的数字基带增益的 DVGA 140a 的模块图。DVGA 140a 是图 1 的 DVGA 140 的特定实施例。

[0057] 在 DVGA 140a 内,从先前 DC 偏置对消器 130 来的 DC 偏置纠正后的 I 和 Q 采样被提供给多路复用器(MUX)312 以及截断单元 320。为最小化硬件,只有一个数字乘法器 316 用于以时分复用(TDM)方式实现 I 和 Q 采样的增益乘法。因此,或者多路复用器 312 通过 AND 门 314 交替地将 I 采样然后将 Q 采样(如有 IQ_sel 控制信号确定的)提供给乘法器 316。IQ_sel 控制信号只是简单的以 I 和 Q 采样速率(例如 chipx8)且有合适的相位的方波(例如对 I 采样为逻辑低)。AND 门 314 用 DVGA_enb 控制信号对 I 或 Q 采样实现 AND 操作,该控制信号在 DVGA 启用时设为逻辑高,在 DVGA 被旁路时设为逻辑低。例如,当不需要 DVGA 的增益范围或如果模拟电路提供增益范围时(例如可变增益放大器),则 DVGA 可以被旁路。如果 DVGA 被启用且否则提供零,则 AND 门 314 因此将采样送到乘法器 316。该零通过去除 CMOS 电路内消耗功耗的转移而减少了相继电路内的功耗。

[0058] 乘法器 316 将来自 AND 门 314 的 I 或 Q 采样与从寄存器 344 来的增益相乘并将经比例缩放(或放大的)采样提供给截断单元 318。在特定实施例中,乘法器 316 在两倍的采样速率处操作,即对 chipx8 的 I/Q 的采样速率为 chipx16。在特定实施例中,对 CDMA 和 GPS 而言,输入 I 和 Q 采样有 18 比特分辨率,其中 10 比特分辨率在二进制点的右边(即 18Q10),增益有 19 比特分辨率,其中 12 比特在二进制点右边(即 19Q12),且经比例缩放的采样有 37 比特的分辨率其中 22 比特分辨率位于二进制点右边(即 37Q22)。在特定实施例中,对数字 FM 或 DFM,输入 I 和 Q 采样有 18Q6 的分辨率,增益有 19Q12 的分辨率,经比例缩放的采样有 37Q18 的分辨率。截断单元 318 截断每个经缩放采样的(例如 18)最不重要比特(LSBs)并提供经截断的采样(对 CDMA/GPS 有 18Q4 的分辨率,对 DFM 有 18Q0 的分辨率)给多路复用器 322 的一个输入。

[0059] 对接收机的一定操作模式,不需要 DVGA 140a 的数字比例缩放,且 I 和 Q 采样可能被传送到 DVGA 的输出而不经任何比例缩放(在经合适的处理以获得期望的输出数据格式后)。截断单元 320 截断每个输入采样的(例如 6)LSBs 并将截断后的采样提供给多路复用器 322 的其它输入。截断单元 320 保证不管 DVGA 启用还是旁路时输出 I 和 Q 数据有相同的分辨率。

[0060] 多路复用器 322 然后根据由 DVGA_enb 控制信号确定的 DVGA 是启用或是被旁路提供相应的截断单元 318 或 320 来的经截断采样。经选择的采样然后被提供给饱和单元 324,它填充采样使其符合期望的输出数据格式,例如对 CDMA/GPS 时 8Q4 的分辨率,对 DFM 时 8Q0。饱和操作后采样然后提供给时延元件 326 以及到寄存器 328 的一个输入。时延元件 326 提供时延的一半采样周期以排列 I 和 Q 数据(由于实现乘法器 316 的时分复用内的一半采样周期引起的失真)并提供时延后的 I 采样给寄存器 328 的其它输入。寄存器 328

然后提供 I 和 Q 数据,定时是对准 IQ_sel 控制信号的。对 CDMA/GPS, I 和 Q 数据的四个最高位的比特 (MSBs) (即对 4Q0 的分辨率) 送回下一处理模块。对 DFM, I 和 Q 数据 (即对 8Q0 的分辨率) 被直接送回 FM 处理模块。

[0061] 接收机单元 100 可能用于不同应用诸如从 CDMA 系统、GPS 系统、数字 FM (DFM) 系统等接收数据。每个这种应用可能与相应的带有特定特征的和需要一些特定增益的接收到信号相关。如图 3 所示,提供给多路复用器 332 用于 CDMA、GPS 和 DFM 的三个不同增益。增益中的一个然后根据 MODE_sel 控制信号被选择,被选择的增益然后被提供给增益比例缩放和偏置单元 334,它也接收增益偏置。

[0062] 增益比例缩放和偏置单元 334 对选择的 (CDMA、GPS 或 DFM) 增益用合适的缩放因子进行缩放以获得期望的增益分辨率。例如,根据 CDMA 使用的特定模式 CDMA 增益可能用一固定数目的比特 (例如 10 比特) 提供,它复盖了几种可能增益范围内的一种 (例如对 10 比特 CDMA 增益是 102.4dB 和 85.3dB 增益范围)。缩放因子的选择要使得经比例缩放的 CDMA 增益具有相同的增益分辨率 (例如 0.13dB) 而与 CDMA 使用的特定模式无关。增益比例缩放和偏置单元 334 还从经缩放的增益中减去增益偏置。该增益偏置根据为 ADCs 122 选择的设定点而被确定,该点反之确定了提供给 ADCs 的 I 和 Q 基带分量的平均功率。增益偏置可能是与经缩放增益有相同分辨率的可编程值,且可能由控制器 160 提供。

[0063] 多路复用器 336 接收从单元 334 来的偏置后增益和超驰增益并将这些增益中一个 (根据 Gain_override 控制信号) 提供给饱和单元 338。如果期望旁路 VGA 环路,则超驰增益可能代替 VGA 环路的增益而被使用。饱和单元 338 然后使接收到的增益饱和 (例如到 9 比特) 以限制经饱和增益的范围 (例如对 9 比特到总增益范围的 68.13dB,每比特 0.133dB 的分辨率)。AND 门 340 然后用 DVGA_enb 控制信号对经饱和的增益实现 AND 操作,且如果 DVGA 被启用或否则为零 (同样,为减小下一电路的功耗) 时,则将经饱和增益送到 dB 到线性查询表 (LUT) 342。

[0064] 在一实施例中,AGC 环路提供对数 (dB) 格式的增益值 (例如 CDMA 增益)。DB 增益值可能用于模仿 RF/模拟可变增益电路的特征,对增益比控制值,它一般有对数 (或类似对数) 转移函数。第二,接收增益用作在 CDMA 电话呼叫内需要的发射功率的估计,且用于在被请求时将接收功率报告给基站。在给出接收到信号的大动态范围情况下,这些估计一般以 dB 实现。然而,由于使用了线性数字乘法器 316 以提供基带增益乘法,则 dB 增益值被转换成线性增益值。查询表 342 根据公式实现 dB 到线性转换,该公式为

$$[0065] \quad Y(\text{linear}) = 10^{x/20} \quad \text{公式 (1)}$$

[0066] 其中 Y 是从查询表来的线性增益值, X 是衰减值,可定义为:

$$[0067] \quad X = -(Z(\text{dB}) + \text{offset}) \quad \text{公式 (2)}$$

[0068] 其中 Z 是提供给查询表的 dB 增益值且等式 (2) 内的偏置可能用于补偿单元 334 内执行的截断 (例如对 4 比特截断 offset = 0.067dB)。可能使用其它将 dB 增益值转变为线性增益值的技术。从 LUT 342 来的线性增益值然后由寄存器 344 定时以将增益值的时序与提供给乘法器 316 的 I 和 Q 采样的时序对齐。

[0069] AGC 环路可能还设计成根据线性 (而不是 dB) 增益值操作,且这在本发明范围内。

[0070] 参考回图 1, DVGA 140 位于 DC 偏置对消器 130 之后,并在直接下变频接收机 100 的 DC 环路之外。该 DVGA 位置提供了几种好处并避免了几种不利之处。第一,如果 DVGA 位

于 DC 环路内,则任何 DC 偏置会被 DVGA 的增益放大,这会加重由 DC 偏置引起的恶化。第二,DC 环路的环路增益还包括 DVGA 的增益,这根据接收到信号的能量强度而变化。由于该 DC 环路增益直接影响(或确定)了 DC 环路的带宽,DC 环路带宽会随 DVGA 增益而变化,这不是所期望的。DC 环路带宽可能由动态改变的 DC 环路增益以反比于 DVGA 增益内的任何变化的方式大致维持恒定(即 DC 环路单元 234a 和 234b 内的 DC 增益 1 和 2),使得总 DC 环路增益维持在恒定。然而,这会使 DC 偏置纠正机制复杂化。而且,参考实际信号功率时,残留的 DC 偏置是可变的。

[0071] 通过较好地 DVGA 140 放在 DC 偏置对消器 130 之后与 DC 环路外,DC 环路的 DC 偏置纠正可能从由 DVGA 的信号增益的比例缩放中被解除耦合。而且,在数字领域内在 ADCs 122 后实现 DVGA 还简化了 RF/模拟电路的设计,这可能导致直接下变频接收机的费用减少。由于在 ADCs 122 后提供数字增益,提供给 ADCs 的信号分量的幅度可能潜在地为较小值,这可能需要模拟到数字转换处理的更大动态范围,使得 ADC 噪声不会严重恶化经量化的 I 和 Q 采样的 SNR。如在领域内所知的,带有大动态范围的 ADCs 可能由过采样 sigma-delta 解调器提供。

[0072] 自动增益控制

[0073] 图 4A 是 AGC 环路单元 142a 的模块图,它是图 1 的 AGC 环路单元 142 的特定实施例。在 AGC 环路单元 142a 内,I 和 Q 数据被提供给接收到的信号强度指示器 (RSSI) 412,它估计接收到信号的信号强度。接收到的信号强度 RSS 可能估计如下:

$$[0074] \quad \text{RSS} = \sum_i^{N_E} \{I^2(i) + Q^2(i)\} \text{公式 (3)}$$

[0075] 其中 I(i) 和 Q(i) 代表第 i 个采样时段的 I 和 Q 数据, N_E 是要累加以导出接收信号强度估计的采样数目。还可以使用其它技术以估计接收到的信号强度(例如 $\text{RSS} = \sum |I_F(i)| + |Q_F(i)|$)。接收到的信号强度估计然后提供给 AGC 控制单元 414。

[0076] 图 4B 是 AGC 控制单元 414a 的模块图,它是图 4A 带内的 AGC 控制单元 414 的特定实施例。AGC 控制单元 414a 从 RSSI412 接收接收到的信号强度估计 RSS、从 DC 偏置对消器 130 来的 DC_loop_mode 控制信号、从增益逐步控制单元 418 来的非旁路/保持控制信号、从可编程时延单元 420 来的时延后的增益阶跃判决以及 Freeze_enb 控制信号(例如从控制器 160 来的),所有的这些在以下将详细描述。根据接收到的控制信号和 RSS,AGC 控制单元 414a 提供输出增益值,它指明应用于接收到信号的总增益 (G_{total})。

[0077] 在一实施例中,AGC 环路支持三种环路模式—正常模式、低增益模式以及冻结模式。正常模式用于提供额定 AGC 环路带宽,低增益模式用于提供较小 AGC 环路带宽以及冻结模式用于冻结 AGC 环路。低增益以及正常模式与相应 AGC 增益 1 和 AGC 增益 2 的 AGC 环路增益值相关。冻结模式是通过将提供给 AGC 环路累加器累加的值变为零实现。在一实施例中,AGC 增益 3 的附加 AGC 环路增益值用于干扰检测。AGC 增益 3 一般在正常模式下小于 AGC 增益 2,但在低增益模式下大于 AGC 增益 1,并如下所述用于检测在信号分量内存在的干扰。本发明范围内还有 AGC 环路支持的不同或附加模式。

[0078] 如上所述,DC 环路影响 AGC 环路的性能。因此,在一方面,使用的特定 AGC 环路模式取决于(即选择性地基于)当前使用的特定的 DC 环路模式。特别是,AGC 环路在 DC 环路以跟踪模式操作时使用正常模式,当 DC 环路以捕获模式操作时 AGC 环路使用增益或冻结

模式。

[0079] 如图 4B 所示,普通模式的 AGC 增益 2 和干扰检测的 AGC 增益 3 提供给多路复用器 446,它还接收非旁路/保持控制信号。非旁路/保持控制信号可能用于提供增益阶跃间的时间滞后(即在它被允许切换到另一增益步长(更高或更低)前,AGC 环路维持在某给定增益级步长上给定时间(时间 1 或时间 2))。

[0080] 当选择正常模式时,多路复用器 446 然后提供 AGC 增益 2,这是通过将非旁路/保持控制设定为逻辑低而指明的。或者,当实现干扰检测时,多路复用器 446 提供 AGC 增益 3,这是通过将非旁路/保持控制设定为逻辑高指明的。多路复用器 448 接收低增益模式的 AGC 增益 1,以及在其两个输入处的多路复用器 448 来的输出,并接收 DC_loop_mode 控制信号。当 AGC 环路在 DC 环路处于捕获模式时选择低增益模式时,这是由 DC_loop_mode 控制设定为逻辑高指明的,多路复用器 448 然后将 AGC 增益 1 提供给乘法器 442。或者,多路复用器 448 在跟踪模式期间将 AGC 增益 2 或 AGC 增益 3 提供给乘法器 442,这是由 DC_loop_mode 控制设为逻辑低指明的。

[0081] AND 门 440 接收接收到的信号强度估计 RSS 以及 Freeze_enb 控制。AND 门 440 然后将 RSS 提供给乘法器 442,这发生在当 (1)DC 环路以跟踪模式操作或 (2)当 DC 以捕获模式操作,AGC 环路使用低增益模式操作时。或者,当 DC 环路以捕获模式操作且 AGC 环路处于冻结模式,AND 门 440 提供零给乘法器 442。从 AND 门 440 来的零导致当 AGC 环路被冻结时由 AGC 环路累加器 444 的零累加。

[0082] 乘法器 442 将接收到信号强度估计 RSS 与从多路复用器 448 来的选择的 AGC 增益相乘,并将结果提供给 AGC 环路累加器 444。累加器 444 然后用存贮值将结果累加并提供一个指明为总增益 G_{total} 的输出增益值以用于接收信号以获得期望的信号电平,这是由提供给图 3 的增益比例缩放和偏置单元 334 的增益偏置确定的。该总增益可能被分为两部分 (1) RF/模拟电路(例如放大器 114 和混频器 212)的粗增益 G_{coarse} 以及 (2)DVGA 140 的细增益 G_{fine} 。接收到信号的总增益可能因此表达为:

$$[0083] \quad G_{total} = G_{coarse} + G_{fine} \quad \text{公式 (4)}$$

[0084] 其中, G_{total} 、 G_{coarse} 以及 G_{fine} 均以 dB 表出。

[0085] 如图 4B 所示,累加器 444 还接收时延后增益阶跃判决,如下所述它指明了用于 RF/模拟电路的特定离散增益。每个 RF/模拟电路的离散增益可能与累加的相应的一组最大和最小值相关,这保证了 AGC 环路的稳定性。对使用的特定离散增益,如在时延后的增益阶跃判决中指明的,累加器 444 使用合适的一组最大和最小值组用于累加。

[0086] 参考回图 4A, RF/模拟电路的粗增益控制是通过以下方式得到的 (1) 将总增益 G_{total} 通过增益阶跃控制单元 418 映射到增益阶跃判决, (2) 由范围编码器 424 将增益阶跃判决编码成为合适的增益阶跃控制, (3) 由 SBI 单元 150 将增益阶跃控制格式化为合适的消息, (4) 通过串行总线 152 将消息发送到 RF/模拟电路(例如放大器 114 和 / 或混频器 212), (5) 根据消息调整 RF/模拟电路的增益。细增益控制是由以下方式获得的 (1) 对 DVGA 而言,通过从总增益 G_{total} 中减去粗增益 G_{coarse} 确定细增益 G_{fine} 以及 (2) 根据细增益调节 DVGA 的增益。以下描述根据总增益导出粗和细增益。

[0087] 接收机单元 100 可能被设计为具有多级(例如四级)的放大器 114 和有多级(例如两级)的混频器 212。每级可能与特定离散增益相关。根据哪级处在 ON/OFF,可能获得

不同的离散增益。粗增益然后以粗离散步长控制 RF/ 模拟电路的增益。用于 RF/ 模拟电路的特定离散增益是根据接收到信号电平、特定的这些电路的设计等。

[0088] 图 4C 是 RF/ 模拟电路（例如放大器 114 和混频器 212）的增益转移函数一例的图表。横轴代表总增益，这与接收到信号强度成反比相关（高增益对应低接收信号强度）。纵轴代表增益阶跃控制单元 418 根据总增益作出的增益阶跃判决。在该特定例设计中，增益阶跃判决可能取五个可能值中的一个，由表 1 定义。

[0089] 表 1

[0090]

增益阶跃判决	RF/ 模拟电路状态	定义
000	第一种	最低增益-所有 LNA 级处于 OFF，混频器处于低增益
001	第二种	第二最低增益-所有 LNA 级处于 OFF，混频器处于高增益
010	第三种	第三最高增益-一个 LNA 级处于 ON，混频器处于高增益
011	第四种	第二最高增益-两个 LNA 级处于 OFF，混频器处于低增益
100	第五种	最高增益-所有三级 LNA 处于 ON，混频器处于高增益

[0091] 如图 4C 所示，在相邻状态间转移时提供滞迟。例如处在第二状态（“001”）时，第一 LNA 不变为 ON（转移到第三状态“010”）直到总增益超过 L2 上升阈值，且该 LNA 不变为 OFF（从第二个转移回第一状态）直到总增益降到 L2 下降阈值下。滞迟（L2 上升-L2 下降）防止了如果总增益在 L2 上升和 L2 下降阈值间或附近时 LNA 连续处于 OFF 和 ON。

[0092] 增益阶跃控制单元 418 根据总增益、转移函数诸如图 4C 所示出（由阈值定义）以及定时、干扰和其它可能消息而确定增益阶跃判决。增益阶跃判决是指明放大器 114 和混频器 212 要变为 ON/OFF 的特定级。参考回图 4A，增益阶跃控制单元 418 提供给可编程时延元件 420 和范围编码器 424 增益阶跃判决。

[0093] 在一实施例和图 1 示出中，通过串行总线 152 提供给这些电路对放大器 114 和混频器 212 的每级的 ON 和 OFF 的控制。范围编码器 424 接收增益阶跃判决并提供对每个要控制的特定电路对应的增益阶跃控制（例如一个对放大器 114 的增益阶跃控制，另一对混频器 212 的增益阶跃控制）。增益阶跃判决和增益阶跃控制间的映射可能是根据查询表和/或逻辑。每个增益阶跃控制包括一个或更多比特，并在由该增益阶跃控制所控制的电路内的指定级实现 ON/OFF。例如，放大器 114 可能用四级设计，且其（2 比特）增益阶跃控制可能与放大器的四个可能的离散增益的四个可能值（“00”、“01”、“10”、“11”）相关。混频器 212 可能设计为两级，且其（1 比特）增益阶跃控制可能与混频器的两个可能离散增益的两个可能值（“0”和“1”）相关。放大器 114 和混频器 212 的增益阶跃控制由 SBI 单元 150 格式化为合适的消息，且这些消息然后通过串行总线 152 被发送到电路。范围编码器 424 还提供给 DC 偏置对消器 130 一增益阶跃变化信号，它指明 RF/ 模拟电路的增益是否改变为一新值或新步长。

[0094] 如上所述，接收到信号的总增益 G_{total} 可能被分为粗增益 G_{coarse} 以及细增益 G_{fine} 。而

且如图 4A 所示,细增益是由加法器 416 从总增益中减去粗增益而生成的。由于粗增益(以增益阶跃控制形式)通过 SBI 单元 150 被提供给放大器 114 和混频器 212,在粗增益由增益阶跃控制单元 418 确定和该粗增益实际由 RF/ 模拟电路应用间引入一时延。而且,从 RF 电路到 DVGA 接收到信号会遇到处理时延(例如特别是数字滤波器 124)。因此,为保证粗增益由 RF 电路应用且同时从 DVGA 中移去(即使得粗增益只对任何给定数据采样应用一次),在其应用到 DVGA 140 前,可编程时延用于延时粗增益(如由增益阶跃判决指出的)。

[0095] 可编程时延元件 420 提供了增益阶跃判决的特定延量。该时延补偿了由 SBI 单元 150 引入的时延以及从 RF 电路到 DVGA 的接收到信号处理路径的时延。该时延可能通过将时延值写入寄存器而被编程。时延元件 420 然后提供了经时延的增益阶跃判决。

[0096] 粗增益转换单元 422 接收经时延的增益阶跃判决,它指明 RF/ 模拟电路的特定离散增益,并提供对应的带有合适范围和分辨率的粗增益 G_{coarse} (例如与从 AGC 控制单元 414 来的总增益的同样的范围和分辨率)。粗增益因此等价于增益阶跃判决但以不同的格式被提供(即粗增益是高分辨率值而增益阶跃判决是数字(ON/OFF)控制)。增益阶跃判决到粗增益的转换可能通过查询表和 / 或逻辑得到。然后加法器 416 从总增益中减去粗增益以提供 DVGA 的细增益。

[0097] 任何时候当通过切换级 ON 和 OFF 而改变 RF/ 模拟电路增益某粗值时,信号分量的相位一般旋转某特定步长值。相位旋转量取决于哪级转为 ON 和 OFF(如由增益阶跃判决确定的)但一般是用于该特定设置或配置的固定值。该相位旋转可能导致数据解调处理中的恶化,直到有频率控制环路能纠正该相位旋转。

[0098] 在一实施例内,增益阶跃判决映射到对应的旋转器相位,这指示了由于增益阶跃控制指明的增益而在接收到信号分量内的相位旋转量。该旋转器相位然后被提供给在数字解调器 144 内的旋转器,并用于调整 I 和 Q 数据的相位以补偿由启用的 RF/ 模拟电路内的增益级引入的相位旋转。在增益阶跃判决和旋转器相位间的映射可能通过查询表和 / 或逻辑获得。而且,可能获得旋转器相位的细分分辨率(例如对旋转器相位可能用 6 比特获得 5.6 度的分辨率)。

[0099] DC 和 AGC 环路操作

[0100] 如图 1 所示,DC 环路对从数字滤波器 124 来的过滤后的 I 和 Q 采样操作以移去 DC 偏置,且 AGC 环路(通过 DVGA 140)对 DC 偏置纠正后的 I 和 Q 采样操作以提供要提供给数字解调器 144 的 I 和 Q 数据。AGC 环路还控制 RF/ 模拟电路的增益,这反之影响由 DC 环路操作的 I 和 Q 采样的幅度。DC 环路可能因此被视为嵌在 AGC 环路内。DC 环路的操作影响 AGC 环路的操作。

[0101] 在直接下变频接收机中,由于更小的信号幅度原因,DC 偏置(静态和时变)对信号分量有更多的影响。较大的 DC 偏置(或 DC 尖峰信号)可能以不同的方式引入信号分量。第一,当 RF/ 模拟电路的增益(例如放大器 114 和混频器 212)通过改变 ON/OFF 级以离散步长改变时,由于切换 ON/OFF 级的不同级内的不匹配可能在信号分量内引入较大的 DC 偏置。第二,当 DC 环路实现 DC 偏置更新时,通过串行总线提供给加法器 232a 的 DC3I 和 DC3Q 的不同 DC 偏置值和 / 或提供给混频器 212 的 DC1Q 和 DC1Q 不同的 DC 偏置值,这可能引入大 DC 偏置。

[0102] 大 DC 偏置可能使用 DC 环路的不同机制移去(例如,粗增益和细增益环路 DC 环

路)。而且,大 DC 偏置可能通过操作处于捕获模式的 DC 环路而更快地被去除。然而,直到它们被去除,大 DC 偏置对信号分量有恶化影响且可能使性能降级。

[0103] 第一,信号分量内的任何未去除的 DC 偏置在数字解调器 144 的解扩展操作后作为噪声出现(其功率等于 DC 偏置)。该噪声会使性能恶化。

[0104] 第二,大 DC 偏置以几种方式干扰 AGC 环路的性能。DC 偏置加入信号分量,造成了有较大幅度的组合(DC 偏置和信号)分量。而后这引起 AGC 环路减少总增益使得组合分量的功率维持在 AGC 设定点(例如 $I^2+Q^2 = \text{AGC 设定点}$)。该减少的增益会引起对期望信号分量的压缩,压缩量与 DC 偏置的幅度成正比。期望信号分量的较小幅度引起恶化的信号对量化噪声比(SNR_q),它还会对性能造成恶化。而且,如果 DC 环路在其进入跟踪模式前不能完全移去大 DC 偏置,则残留的 DC 偏置在跟踪模式中会更慢被去除。AGC 环路会跟随这个 DC 环路的缓慢过渡响应,这会导致延长的恶化时段直到 DC 和 AGC 环路达到稳定状态。

[0105] 第三,大 DC 偏置影响准确检测干扰的能力,干扰在期望信号频带内对信号产生干扰。干扰可能由接收到信号路径上的电路内的非线性产生。由于放大器 114 和混频器 212 内的非线性当这些电路以高增益操作时(即有更多的即处于 ON)要更显著,接收机可能在这些电路中的任何一个切换到高增益后检测干扰。干扰检测可能通过用 RSSI 412 在切换到高增益后测量信号分量的功率实现,在特定的测量时间段后将该测量的功率与阈值比较,如果测量功率超过阈值则宣布干扰的存在。如果检测到干扰,则可能减少一个或多个电路的增益以去除或减缓干扰。然而,在有由切换到高增益而引入的 DC 偏置情况下,可能不能辨别到测量功率的增加是由于干扰还是由于总噪声的缘故,这包括未去除的 DC 偏置和由操作在捕获模式的 DC 环路以更快移去 DC 偏置而生成的增加的 DC 环路噪声。因此,DC 偏置的存在可能影响准确检测干扰的能力,倘若 RF/模拟电路由于错误的干扰检测而以错误的增益操作时可能恶化性能。

[0106] 大 DC 偏置可能由于上述的不同恶化影响而引起长的突发误差。由于去除 DC 尖峰信号需要的时间可能是固定的(例如由 DC 环路的特定设计决定),由 DC 偏置而引起的恶化在更高数据速率处时引起更大的问题,这会导致在更高数据速率处更多的误差。

[0107] 根据本发明的另一方面,DC 环路以捕获模式操作的持续时间与处于捕获模式的 DC 环路的带宽成反比。DC 环路带宽设计成在捕获模式时更大以允许 DC 环路更快地响应并去除 DC 偏置。逐步增大的环路带宽对应逐步加快的环路响应。如上所述,在期望的信号分量内的 DC 误差在数字解调器 144 的解扩展操作后显示为噪声。该噪声应被尽可能快地去除,这可以通过增加捕获模式下的 DC 环路的带宽而实现。然而,更大的 DC 环路带宽还导致了可能恶化性能的增加的 DC 环路噪声。

[0108] 为最优化性能,捕获模式在(引入)的要纠正的 DC 环路噪声和(自生成)的 DC 环路噪声间折衷。为限制 DC 环路噪声量但仍允许 DC 环路以高带宽操作,DC 环路在捕获模式操作的时间可能被设定为与环路带宽成反比。由于更大的环路能作出更快的响应,更大的 DC 环路带宽一般对应更短的 DC 偏置捕获时间。因此,在带有较大 DC 环路带宽的捕获模式内化费较短的时间便是利用了这一事实,且 DC 环路不会在捕获模式内操作超过必要的时间,这也会改善性能。

[0109] 操作处在捕获模式的 DC 环路的特定时间段可能还根据不同其它因子而被选择,诸如,例如 DC 偏置的期待幅度、DC 环路噪声的幅度、调制方案、接收到信号的带宽等。一

般,捕获模式持续时间与处于捕获模式的 DC 环路带宽成反比相关,准确的函数取决于上述的因子。

[0110] 根据本发明的另一方面,AGC 环路的操作取决于 DC 环路操作模式。如上所述,在 DC 环路变为捕获模式时一般较大的任何未去除的 DC 偏置,会影响 AGC 环路的操作。因此,DC 偏置对消器 130 提供 DC_loop_mode 控制信号给 AGC 环路单元 142,这指明了 DC 环路当前的操作模式。当 DC 环路切换到捕获模式以更快地移去(潜在)的大 DC 偏置,AGC 环路可能同时切换到低增益模式或冻结模式使得在 DC 环路处在捕获模式时,AGC 环路较慢地响应或根本不响应 DC 偏置。AGC 环路可能在 DC 环路转移到跟踪模式后切换回正常模式。

[0111] 当 DC 环路处于捕获模式时使用的小或零 AGC 增益保证了 AGC 环路在 DC 捕获阶段时保留其控制信号。AGC 控制信号在一旦 DC 环路进入跟踪模式后以正常模式操作。较小或零的 AGC 增益还妨碍或阻止 AGC 环路将期望信号分量功率从 AGC 设定点移开,且进一步减少在干扰检测处理中 DC 偏置的影响,这会减少错误干扰检测的可能。

[0112] 使用的特定的正常和较小的 AGC 增益可能由仿真、经验值测量或一些其它方法确定。这些增益可能是可编程的(例如由控制器 160)。

[0113] 串行总线接口(SBI)

[0114] 根据发明的另一方面,对 RF/模拟电路的一个或所有的控制是通过串行总线 512 提供的。使用标准串行总线以控制 RF/模拟函数如下所述提供了许多好处。而且,串行总线可能如下所述设计成带有不同特征以更有效地提供需要的控制。

[0115] 一般,使用要被控制的电路和提供控制的控制器间的专用信号来提供对 RF/模拟电路(例如放大器 114 和混频器 212)的控制。在每个要单独控制的电路的控制器上指定一个或多个引线。例如,可能在控制器和 RF/模拟芯片上指定三个引线以控制上述的放大器/混频器的五级。为特定功能使用指定的引线增加了引线数并使板面布局更复杂,这可能导致接收机费用增加。

[0116] 使用串行总线以提供 RF/模拟电路的控制可以改善许多在传统设计中遇到的不利且还能提供附加的好处。第一,串行总线能用很少的引线实现(例如两个或三个)且这些同样的引线能被用于提供对实现在一个或多个集成电路(ICs)内的多个电路的控制。例如,单个串行总线可被用于控制放大器 114 的增益、混频器 212 的增益、混频器 212 的 DC 偏置、振荡器 218 的频率等。通过减少互连接 RF/模拟 IC 和控制器所需要的引线的数目,RF/模拟 IC、控制器以及电路板面的费用都可减少。第二,由于它将 RF/模拟 IC 和控制器间的硬件接口标准化,使用标准串行总线增加了将来芯片设置的灵活性。这使得制造商在不改变或不增加需要的控制线数目的情况下在同一板面布局上实现不同 RF/模拟 ICs 和/或控制器。

[0117] 在一实施例中,SBI 单元 150 被设计成支持许多硬件请求(HW_REQ)信道,每个可被用于支持特定功能。例如,一个信道可能用于 VGA 环路以设定放大器 114 和混频器 212 的阶跃增益,且另一信道可能用于 DC 环路以设定混频器 212 的 DC 偏置控制值(DCI)。一般,SBI 单元可能设计成支持任何数目的硬件请求信道。

[0118] 每个分开控制的电路可能与相应的地址相关。每个通过 SBI 单元发送的消息包括该消息要发送到的电路的地址。每个耦合到串行总线的电路然后将会检查包括在每个发送消息内的地址以确定消息是否是发送到该电路的,且只在它是发送到该电路时处理该消

息。

[0119] 在一实施例中,每个硬件请求信道可能设计成具有支持许多数据传输模式的能力。这可包括快速传输模式 (FTM)、中断传输模式 (ITM) 以及突发或大量传输模式 (BTM)。该快速传输模式可能根据下列模式用于将多个字节发送到多个电路:ID、ADDR、DATA、ADDR、DATA... 其中 ID 是硬件请求信道的 ID,ADDR 是接收电路的地址,DATA 是接收电路的数据。中断传输模式可用于发射单个字节用于广播到一个或多个耦合到串行总线的电路。而突发传输模式可用于将多个字节以下列模式发送到特定电路:ID、ADDR、DATA1、DATA2... 可能在本发明范围内实现不同和 / 或附加的传输模式。

[0120] 在一实施例中,硬件请求信道可能被分配以特定优先权(例如由控制器)。信道的优先权可能被编入 SBI 单元 150 内的寄存器。如果有多个要由 SBI 单元在串行总线上发送的消息,则信道的优先权会决定消息发送的次序。可能分配给用于需要快速响应的控制环路的信道以更高的优先权(例如放大器 114 和混频器 212 的增益阶跃),可能分配给用于更多静态功能的信道更低的优先权(例如,直接下变频器 120 的接收模式,例如 DFM 和 GPS)。

[0121] 每个硬件请求信道可能还与相应的指明信道是否被启用的启用标记相关。可能由 SBI 单元 150 维持所有信道的启用标记。

[0122] 在一实施例内,串行总线包括三个信号—数据信号、时钟信号和闸门信号。数据信号用于发送消息。时钟信号由发送者提供(例如控制器)并由接收机用于锁存数据信号上提供的的数据。且闸门信号用于指明消息的开始 / 停止。在本发明范围内还可以实现具有不同信号设计和 / 或不同信号数量的串行总线。

[0123] 在此描述的直接下变频接收机可能不同的无线通信系统内实现,诸如 CDMA 系统、GPS 系统、数字 FM (DFM) 系统等。直接下变频接收机可能还用于这些通信系统内的前向链路或反向链路。

[0124] 在此描述的直接下变频接收机可能以不同方式实现。例如,直接下变频接收机的所有或部分可能以硬件、软件或两者的组合实现。对硬件实现,DVGA、DC 偏置纠正、增益控制、SBI 等可以实现在一个或多个专用集成电路 (ASICs)、数字信号处理器 (DSPs)、数字信号处理设备 (DSPDs)、可编程逻辑设备 (PLDs)、现场可编程门阵列 (FPGAs)、处理器、控制器、微处理器、微控制器、用于实现描述的功能的其它电子单元、或其它以上的任何组合。

[0125] 对软件实现,用于增益控制和 / 或 DC 偏置纠正的元件可能用实现在此描述的函数的模块实现(例如,过程、函数等)。软件代码可能存贮在内存单元内(例如图 1 的内存 162)且为处理器执行(例如控制器 160)。内存单元可能在处理器内或处理器外实现,外部情况下,它能通信上通过领域内已知的不同方法耦合到处理器。

[0126] 标题在此用于一般指明揭示的材料,并不是为了限制本发明范围。

[0127] 上述优选实施例的描述使本领域的技术人员能制造或使用本发明。这些实施例的各种修改对于本领域的技术人员来说是显而易见的,这里定义的一般原理可以被应用于其它实施例中而不使用创造能力。因此,本发明并不限于这里示出的实施例,而要符合与这里揭示的原理和新颖特征一致的最宽泛的范围。

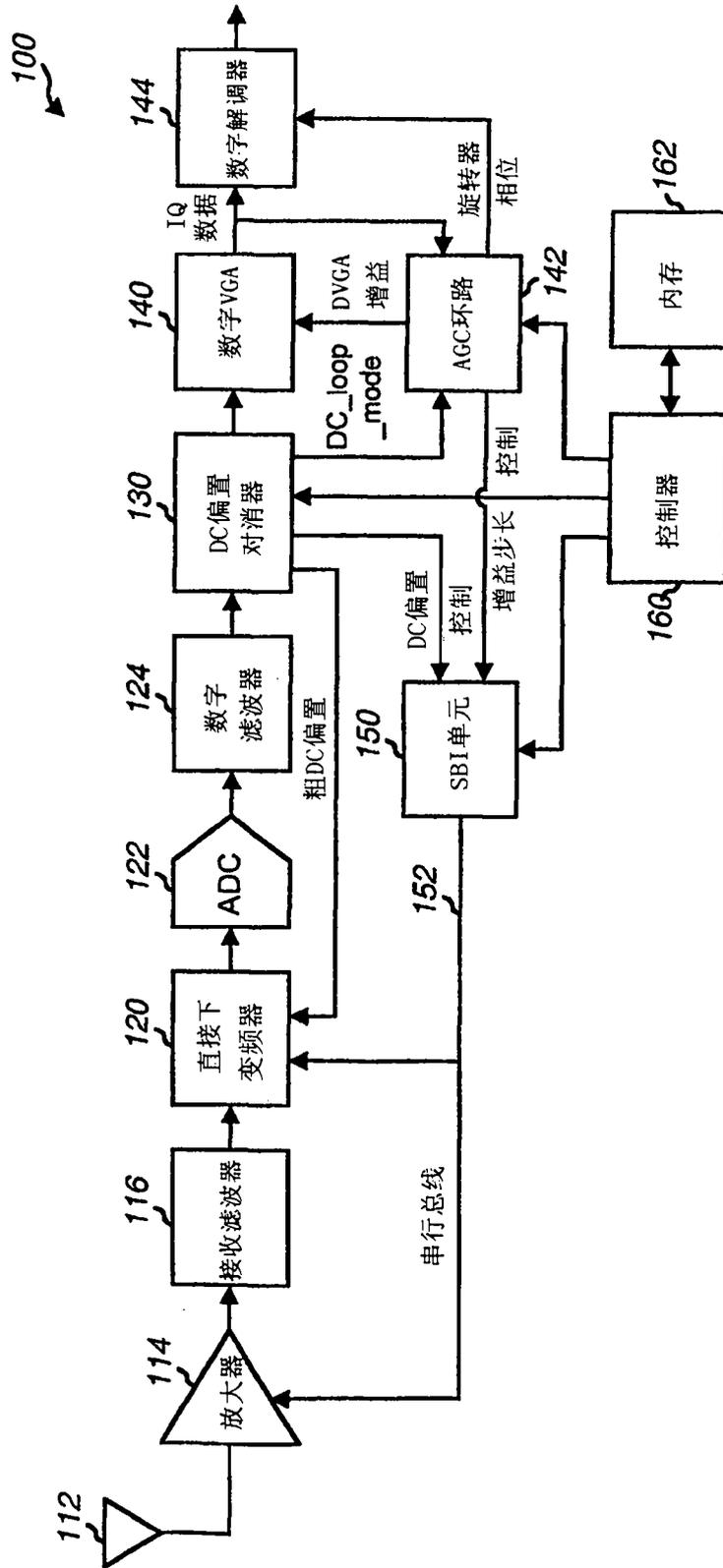


图 1

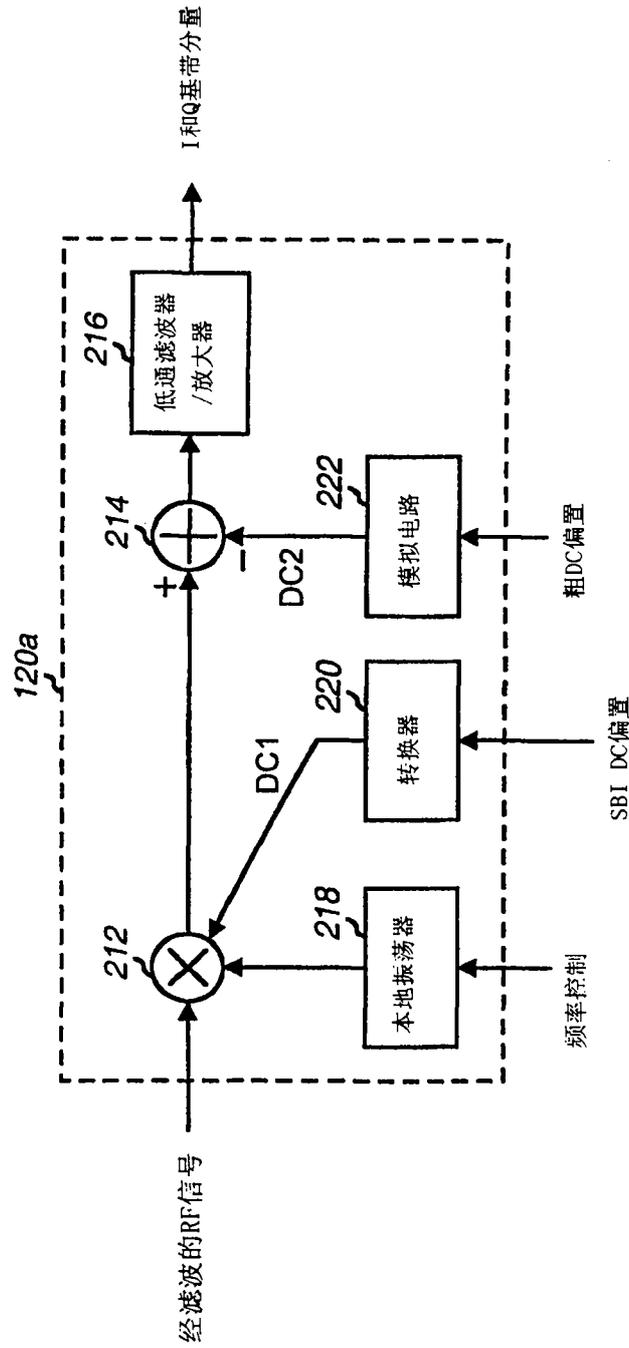


图 2A

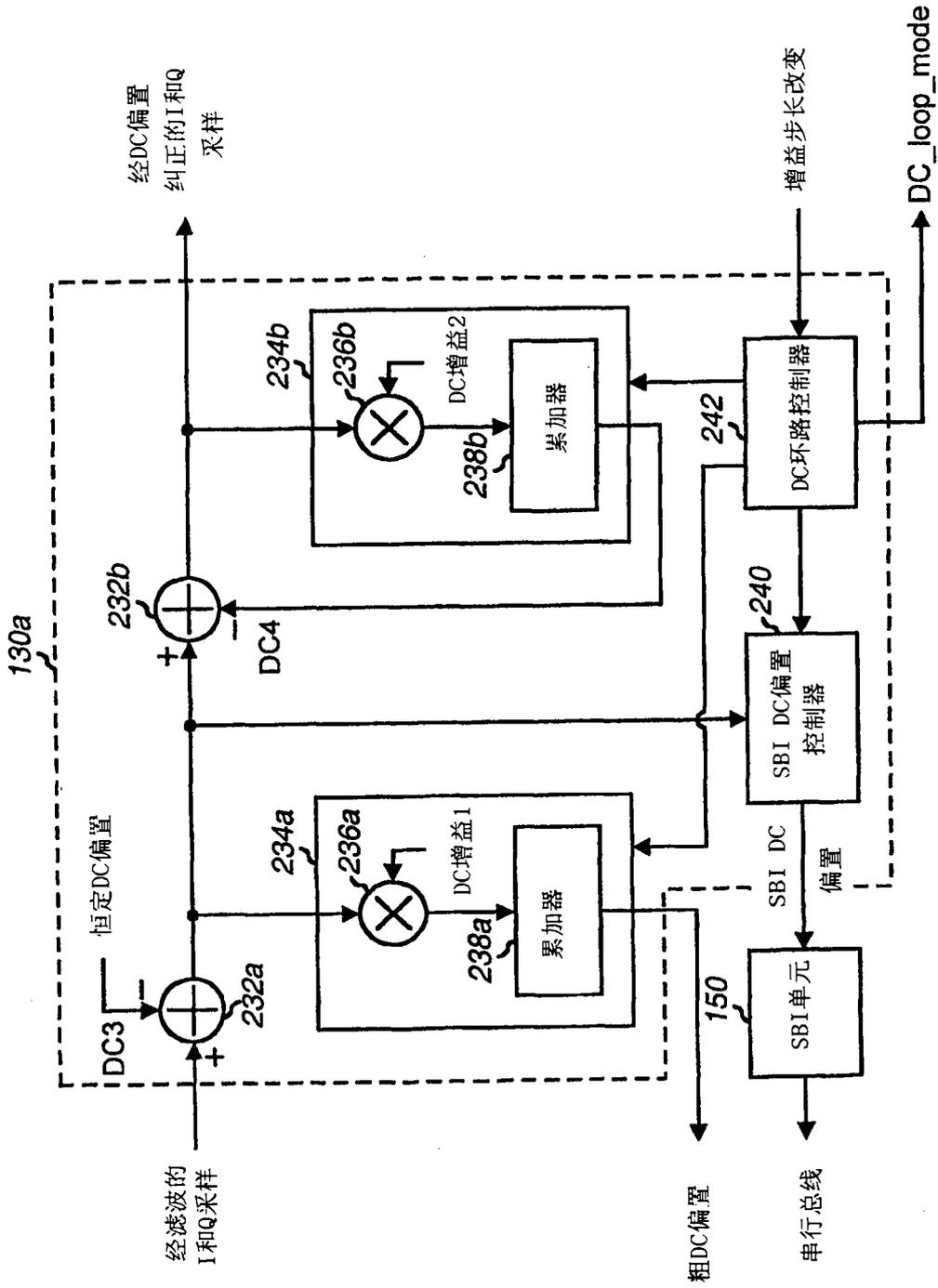


图 2B

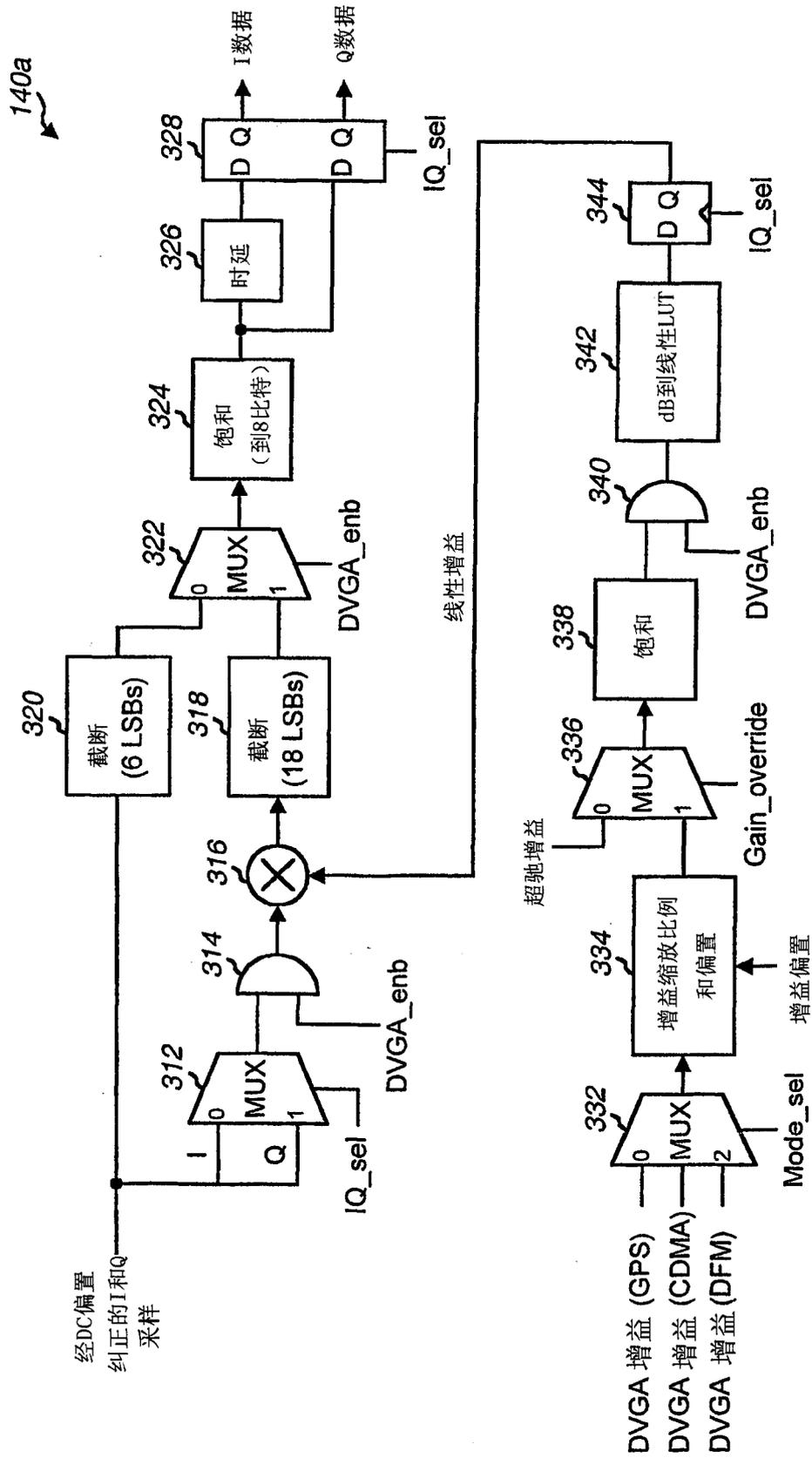


图 3

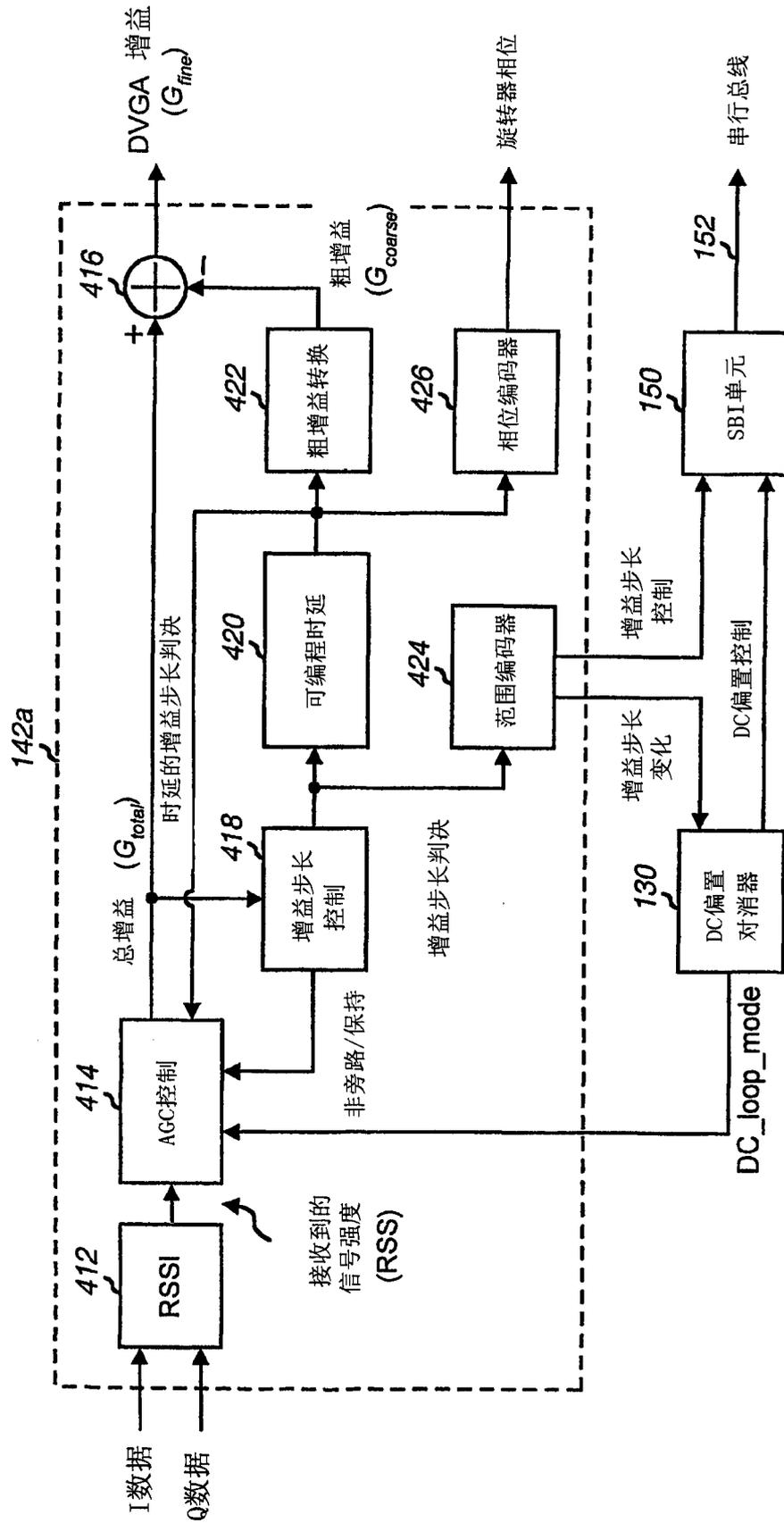


图 4A

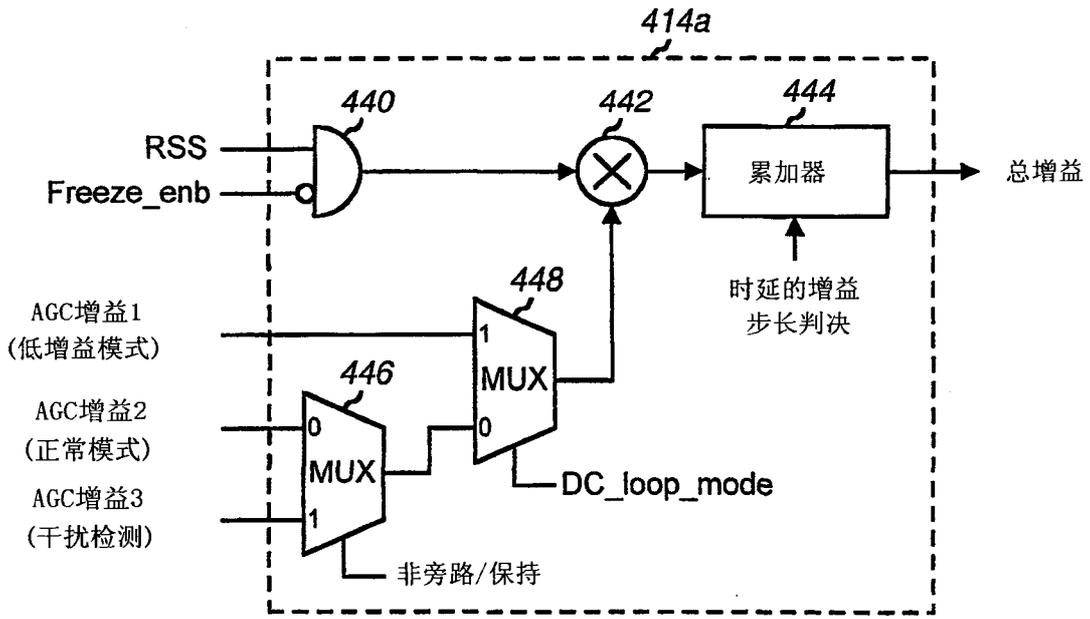


图 4B

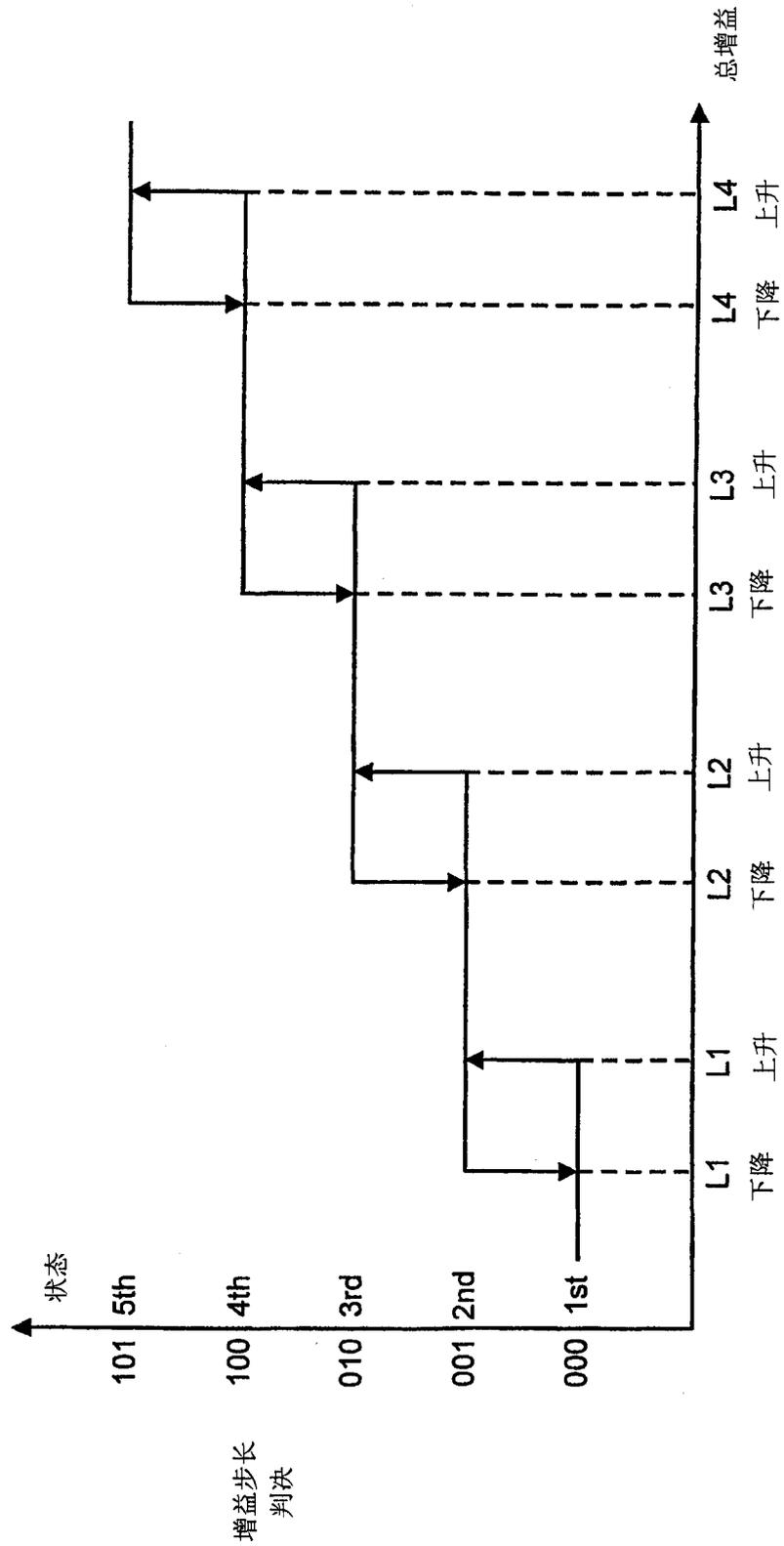


图 4C