

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-69718

(P2013-69718A)

(43) 公開日 平成25年4月18日(2013.4.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 0	5 C 0 2 4
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 6 9 0	

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2011-205061 (P2011-205061)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成23年9月20日 (2011.9.20)	(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100159651 弁理士 高倉 成男
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100109830 弁理士 福原 淑弘
		(74) 代理人	100075672 弁理士 峰 隆司

最終頁に続く

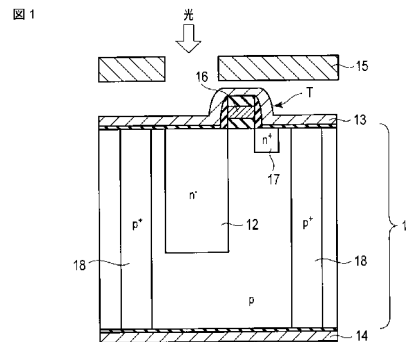
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 フォトダイオードの縦方向の微細化を図る。

【解決手段】 実施形態に係わる固体撮像装置は、光の入射側の第1の面及びそれと反対側の第2の面を有する半導体基板11と、半導体基板11内のフォトダイオード12と、半導体基板11の第1の面側においてフォトダイオード12の全体を覆い、半導体基板11の外側から内側に向かう光を透過し、半導体基板11の内側から外側に向かう光を反射する機能を有する機能層13と、半導体基板11の第2の面の全体を覆い、半導体基板11の内側から外側に向かう光を反射する機能を有する反射層14とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

光の入射側の第 1 の面及びそれと反対側の第 2 の面を有する半導体基板と、前記半導体基板内のフォトダイオードと、前記半導体基板の前記第 1 の面側において前記フォトダイオードの全体を覆い、前記半導体基板の外側から内側に向かう前記光を透過し、前記半導体基板の内側から外側に向かう前記光を反射する機能を有する機能層と、前記半導体基板の前記第 2 の面の全体を覆い、前記半導体基板の内側から外側に向かう前記光を反射する機能を有する反射層とを具備する固体撮像装置。

【請求項 2】

前記機能層は、前記光の透過率が $X\%$ 、前記光の反射率が $Y\%$ の半透明層、
但し、 $X + Y = 100$
である請求項 1 に記載の固体撮像装置。

10

【請求項 3】

前記機能層は、前記半導体基板の前記第 1 の面の全体を覆う請求項 1 に記載の固体撮像装置。

【請求項 4】

前記光は、赤色光であり、前記機能層は、前記赤色光を検出する前記フォトダイオードのみを覆う請求項 1 に記載の固体撮像装置。

【請求項 5】

前記半導体基板内に、前記第 1 の面側から前記第 2 の面側まで延びる素子分離層、導電層及びアライメントマークのうち少なくとも 1 つをさらに具備する請求項 1 に記載の固体撮像装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、固体撮像装置に関する。

【背景技術】

【0002】

CMOS イメージセンサや CCD (Charge Coupled Device) などの固体撮像装置において、画素部のフォトダイオードは、基板の表面に垂直な縦方向 (光の入射方向) の微細化に物理的限界を有する。これは、フォトダイオードを構成する基板 (例えば、シリコン) の光の吸収率に依存する。

30

【0003】

例えば、光の三原色のうち、最も吸収され難い赤色光 (波長約 700nm) の 50% が吸収されるために必要な基板の厚さを、縦方向の微細化の物理的限界と仮定すると、基板がシリコンであるときの縦方向の微細化の物理的限界は、約 $3\mu\text{m}$ である。

【0004】

これに対し、フォトダイオードの横方向 (基板の表面に平行な方向) の微細化の物理的限界は、例えば、フォトリソグラフィによる加工精度に依存する。近年、この加工精度の向上により、フォトダイオードの横方向の微細化の物理的限界は、ナノメートルオーダーまで進展している。これにより、フォトダイオードの横方向のサイズの縮小による画素数の増大が図られている。

40

【0005】

しかし、フォトダイオードの縦方向のサイズが一定である一方で、横方向のサイズのみが縮小されると、基板の表面部から裏面部まで延びる層のアスペクト比 R ($R = \text{縦方向のサイズ} / \text{横方向のサイズ}$) が大きくなり、その層を形成することが難しくなる。例えば、素子分離層、TSV (Through Silicon Via) などの導電層、アライメントマークなどは、基板の表面部から裏面部まで延びる層である。

【先行技術文献】

【特許文献】

50

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 6 - 2 6 1 3 7 2 号公報

【特許文献 2】特開 2 0 0 8 - 1 5 3 3 6 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

実施形態は、フォトダイオードの縦方向の微細化を図る技術を提案する。

【課題を解決するための手段】

【 0 0 0 8 】

実施形態によれば、固体撮像装置は、光の入射側の第 1 の面及びそれと反対側の第 2 の面を有する半導体基板と、前記半導体基板内のフォトダイオードと、前記半導体基板の前記第 1 の面側において前記フォトダイオードの全体を覆い、前記半導体基板の外側から内側に向かう前記光を透過し、前記半導体基板の内側から外側に向かう前記光を反射する機能を有する機能層と、前記半導体基板の前記第 2 の面の全体を覆い、前記半導体基板の内側から外側に向かう前記光を反射する機能を有する反射層とを備える。

10

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】第 1 の基本構造を示す図。

【図 2】第 2 の基本構造を示す図。

【図 3】CMOS イメージセンサを示す図。

20

【図 4】CMOS イメージセンサの読み出し回路を示す図。

【図 5】表面照射型イメージセンサを示す図。

【図 6】裏面照射型イメージセンサを示す図。

【図 7】図 6 のイメージセンサの製造方法を示す図。

【図 8】図 6 のイメージセンサの製造方法を示す図。

【図 9】図 6 のイメージセンサの製造方法を示す図。

【図 10】図 6 のイメージセンサの製造方法を示す図。

【発明を実施するための形態】

【 0 0 1 0 】

以下、図面を参照しながら実施形態を説明する。

30

【 0 0 1 1 】

1. 基本構造

固体撮像装置において、基板の表面に垂直な縦方向（光の入射方向）の微細化を図るためには、第一に、入射光を吸収し易い材料により基板を構成する、第二に、入射光を反射させることにより入射光を基板内に閉じ込めるなどの技術が有効である。以下の実施例では、後者の入射光を基板内に閉じ込める技術を説明する。

【 0 0 1 2 】

入射光を基板内に閉じ込める方法としてまず思い付くのは、基板の表面側及び裏面側にそれぞれ反射層を設ける技術である。ここで、本明細書において、反射層とは、光を透過することなく、光をほぼ 1 0 0 % 反射する層のことをいうものとする。

40

【 0 0 1 3 】

例えば、光が基板の表面側から入射されるときは、基板の表面側の反射層に光を基板内に導く開口部を設け、基板の裏面側の全体を反射層により覆う。また、光が基板の裏面側から入射されるときは、基板の裏面側の反射層に光を基板内に導く開口部を設け、基板の表面側の全体を反射層により覆う。

【 0 0 1 4 】

しかし、この技術では、基板の一面側の反射層の開口部からの光は、基板の他面側の反射層に反射した後、再び、基板の一面側の反射層の開口部から基板の外部へ出て行ってしまふ。このため、基板の他面側の反射層の表面形状を工夫し、基板の他面側で反射した光が再び基板の一面側の反射層で反射するような構造としなければならない。

50

【0015】

そのためには、反射層の表面形状を高精度に制御するプロセスを開発することが必要である。しかし、そのようなプロセスを開発するためには、多大なコストが必要であると共に、仮にそれが開発されたとしても、高精度に光の反射角度を制御するのは難しく、生産スループットの悪化や、製造歩留まりの低下などが予想される。

【0016】

そこで、以下の実施例では、反射層の表面形状を制御しなくても、入射光を基板内に確実に閉じ込めることにより、フォトダイオードの縦方向の微細化を図る技術を提案する。

【0017】

尚、以下の実施例の特徴の一つは、反射層の表面形状を制御しなくても、入射光を基板内に確実に閉じ込めることにあるが、当然に、実施例の技術と、反射層の表面形状を制御する技術とを組み合わせることも可能である。

10

【0018】

まず、基本構造について説明する。

【0019】

以下の説明において、半導体基板又はその中の各層の導電型は一例である。例えば、以下に説明する固体撮像装置の導電型を全て逆にすることも可能である。

【0020】

図1は、第1の基本構造を示している。

この基本構造は、表面照射型 (Front side illumination type: FSI type) 固体撮像装置に関する。

20

【0021】

p型半導体基板11は、光の入射側の第1の面(表面)及びそれと反対側の第2の面(裏面)を有する。フォトダイオード12は、p型半導体基板11内のn⁻型拡散層である。尚、p型半導体基板11は、n型半導体基板上にエピタキシャル成長させたp型半導体層に代えてもよく、n型半導体基板内に形成したp型不純物領域に代えてもよい。

【0022】

機能層13は、p型半導体基板11の第1の面側においてフォトダイオード12の全体を覆う。本例では、機能層13は、第1の面の全体を覆っているが、フォトダイオード12の直上のみを覆えばよい。但し、後述する製造プロセスの簡略化の観点からすれば、機能層13は、第1の面の全体を覆っているのが望ましい。

30

【0023】

機能層13は、p型半導体基板11の外側から内側に向かう光を透過し、p型半導体基板11の内側から外側に向かう光を反射する機能を有する。機能層13は、例えば、光の透過率がX%、光の反射率がY%の半透明層、但し、X+Y=100である。

【0024】

反射層14は、p型半導体基板11の第2の面の全体を覆い、p型半導体基板11の内側から外側に向かう光を反射する機能を有する。

【0025】

尚、光は、第1の面側の遮光層15に設けられた開口部により、フォトダイオード12内のみに入射される。リードトランジスタ(FET: Field Effect Transistor)Tは、ゲート16に印加される電圧の制御により、フォトダイオード12により検出された電荷(信号)をフローティングディフュージョン(n⁺型拡散層)17に転送する。

40

【0026】

素子分離層18は、p型半導体基板11内のp⁺型拡散層である。素子分離層18は、フォトダイオード12を含む1画素セル内で検出される電荷が、それに隣接する他の画素セルにリークすることを防止する。

【0027】

尚、素子分離層18は、酸化層(Deep Trench Isolation: DTI)などの絶縁層に置き換えることも可能である。

50

【0028】

このような構造によれば、光の入射側となる第1の面は、例えば、半透明層などの機能層13により覆われる。機能層13は、p型半導体基板11の外側から内側に向かう光を透過するため、それに開口部を設ける必要がない。また、機能層13は、p型半導体基板11の内側から外部に向かう光を反射するため、第2の面に設けられる反射層14の表面形状を工夫する必要もない。

【0029】

従って、第1の基本構造によれば、入射光を半導体基板11内に確実に閉じ込めることにより、フォトダイオード12の縦方向の微細化を図ることができる。

【0030】

また、第1の面の機能層13に開口部が不要であり、かつ、第2の面の反射層14の表面形状を制御する必要がないため、第1及び第2の面の双方に反射層を設ける場合に比べて、製造プロセスの簡略化、製造コストの低下、さらには、生産スループットの向上や、製造歩留まりの向上などを図ることができる。

【0031】

図2は、第2の基本構造を示している。

この基本構造は、裏面照射型 (Back side illumination type: BSI type) 固体撮像装置に関する。

【0032】

p型半導体基板11は、光の入射側の第1の面 (裏面) 及びそれと反対側の第2の面 (表面) を有する。フォトダイオード12は、p型半導体基板11内のn⁻型拡散層である。尚、p型半導体基板11は、n型半導体基板上にエピタキシャル成長させたp型半導体層に代えてもよく、n型半導体基板内に形成したp型不純物領域に代えてもよい。

【0033】

機能層13は、p型半導体基板11の第1の面側においてフォトダイオード12の全体を覆う。本例では、機能層13は、第1の面の全体を覆っているが、フォトダイオード12の直上のみを覆えばよい。但し、第1の基本構造と同様に、機能層13は、第1の面の全体を覆っているのが望ましい。

【0034】

機能層13は、p型半導体基板11の外側から内側に向かう光を透過し、p型半導体基板11の内側から外側に向かう光を反射する機能を有する。機能層13は、例えば、光の透過率がX%、光の反射率がY%の半透明層、但し、 $X + Y = 100$ である。

【0035】

反射層14は、p型半導体基板11の第2の面の全体を覆い、p型半導体基板11の内側から外側に向かう光を反射する機能を有する。

【0036】

尚、光は、第1の面側の遮光層15に設けられた開口部により、フォトダイオード12内のみに入射される。リードトランジスタ (FET: Field Effect Transistor) Tは、ゲート16に印加される電圧の制御により、フォトダイオード12により検出された電荷 (信号) をフローティングディフュージョン (n⁺型拡散層) 17に転送する。

【0037】

素子分離層18は、p型半導体基板11内のp⁺型拡散層である。素子分離層18は、フォトダイオード12を含む1画素セル内で検出される電荷が、それに隣接する他の画素セルにリークすることを防止する。

【0038】

尚、素子分離層18は、酸化層 (DTI) などの絶縁層に置き換えることも可能である。

【0039】

このような構造によれば、光の入射側となる第1の面は、例えば、半透明層などの機能層13により覆われる。機能層13は、p型半導体基板11の外側から内側に向かう光を透過するため、それに開口部を設ける必要がない。また、機能層13は、p型半導体基板

10

20

30

40

50

11の内側から外部に向かう光を反射するため、第2の面に設けられる反射層14の表面形状を工夫する必要もない。

【0040】

従って、第2の基本構造によれば、入射光を半導体基板11内に確実に閉じ込めることにより、フォトダイオード12の縦方向の微細化を図ることができる。

【0041】

また、第1の面の機能層13に開口部が不要であり、かつ、第2の面の反射層14の表面形状を制御する必要がないため、第1及び第2の面の双方に反射層を設ける場合に比べて、製造プロセスの簡略化、製造コストの低下、さらには、生産スループットの向上や、製造歩留まりの向上などを図ることができる。

【0042】

尚、第1及び第2の基本構造において、半導体基板11は、シリコン基板の他、GaAs基板などの化合物半導体基板を含むものとする。

【0043】

2. 実施例

図3は、CMOSイメージセンサ(ウェハ、1ショット及びチップ)を示している。

【0044】

例えば、1枚のウェハから数百個のチップを製造するとき、1枚のウェハ上に複数ショットの露光を行う。本例では、1ショットで、3×4チップがウェハ上に転写される。1ショット内には、複数チップとそれらチップ間のスクライプラインSLとが含まれる。ウェハプロセス後、パッケージングプロセス前に、スクライプラインSLに沿ってウェハを切断することにより数百個のチップを製造する。

【0045】

チップ全体図に示すように、CMOSイメージセンサは、1チップ内のほとんどが画素領域1Aであり、画素領域1Aの周囲に周辺回路領域1Bが配置される。また、CMOSイメージセンサを裏面照射型とすれば、さらに1チップ内の画素領域1Aの占有率を大きくできる。ウェハプロセスにおけるアライメントに使用するアライメントマークAMは、例えば、スクライプラインSL内に配置される。

【0046】

図4は、CMOSイメージセンサの回路図を示している。

【0047】

画素領域1Aは、アレイ状に配置される複数の画素セル30を有する。画素領域1A以外の領域は、周辺回路領域である。周辺回路領域は、読み出しのための負荷回路22、出力信号線32の電圧を制御する電圧制御部23、行選択回路24、AD(Analog-Digital)変換ブロック25、タイミング回路26及びバイアス発生回路33を含む。

【0048】

制御回路31は、電圧制御部23、行選択回路24、タイミング回路26及びバイアス発生回路33の動作を制御する。

【0049】

行選択回路24は、行方向に延びる制御信号線27を用いて、読み出しの対象となる画素セルアレイの1つの行(1水平ライン)を選択すると共に、1水平ライン内の複数の画素セル30からの画素信号の読み出しを制御する。

【0050】

1水平ライン内の制御信号線27は、例えば、1画素に対して読み出しのための4つのトランジスタが設けられる4Tr型CMOSイメージセンサの場合には、3本の信号線(行選択線、リセット制御線、リード制御線)を含む。

【0051】

垂直信号線(出力信号線)32は、画素セルアレイの1つの列(1垂直ライン)に対して1つ設けられる。電圧制御部23は、垂直信号線32の電圧を制御する。

【0052】

10

20

30

40

50

A/D変換ブロック25は、例えば、サンプルホールド(S/H)回路29を含むA/D(Analog-Digital)変換器28を備える。

【0053】

サンプルホールド回路29は、フローティングディフュージョンのリセット電圧を昇圧させたときの垂直信号線32の電圧(リセット電圧)をサンプリングし、かつ、これをホールドする。この後、フォトダイオードの電荷をフローティングディフュージョンに転送することにより、画素信号を読み出す。

【0054】

画素信号が読み出されると、フローティングディフュージョンの電圧の変化により出力信号線32の電圧も変化し、このときの出力信号線32の電圧が信号電圧となる。

10

【0055】

サンプルホールド回路29を含むA/D変換器28は、サンプルホールド回路29でリセット電圧と信号電圧との差分を取った後、この差分についてA/D変換を行うか、若しくはリセット電圧と信号電圧のA/D変換をそれぞれ別に行った後、デジタル値でリセット電圧と信号電圧の差分を取る。

【0056】

いずれの場合も、A/D変換器28は、リセット電圧と信号電圧の差分(信号量)を出力するため、結果として、フローティングディフュージョンを昇圧させたときの垂直信号線32の電圧の上昇分がオフセットとみなされ、キャンセルされる。即ち、画素信号の信号成分のみを正確に読み出すことができる(二重相関サンプリング処理)。

20

【0057】

図5は、表面照射型CMOSイメージセンサの実施例を示している。

この実施例は、半導体基板11がp型であり、このp型半導体基板11内にn型フォトダイオード12を形成する例である。尚、同図において、n型とp型を互いに入れ替えれば、n型半導体基板内にp型フォトダイオードを形成する例となる。

【0058】

本例がn型フォトダイオードについて示すのは、電子の移動度がホールの移動度よりも大きいため、高速動作に有利であるからである。

【0059】

p型半導体基板11は、光の入射側の第1の面(表面)及びそれと反対側の第2の面(裏面)を有する。フォトダイオード12は、p型半導体基板11内に形成される。

30

【0060】

機能層13は、p型半導体基板11の第1の面側においてフォトダイオード12の全体を覆う。本例では、機能層13は、リードランジスタTを覆い、かつ、p型半導体基板11の第1の面の全体を覆う。機能層13は、既に述べたように、p型半導体基板11の外側から内側に向かう光を透過し、p型半導体基板11の内側から外側に向かう光を反射する機能を有する。

【0061】

反射層14は、p型半導体基板11の第2の面の全体を覆い、p型半導体基板11の内側から外側に向かう光を反射する機能を有する。

40

【0062】

また、光は、第1の面側の遮光層15に設けられた開口部により、フォトダイオード12内のみに入射される。半導体基板11の第1の面と遮光層15の間には、配線層19が配置される。リードランジスタTは、ゲート16に印加される電圧の制御により、フォトダイオード12により検出された電荷(信号)をフローティングディフュージョン17に転送する。

【0063】

素子分離層18は、p型半導体基板11内に形成される。素子分離層18は、フォトダイオード12を含む1画素セル内で検出される電荷が、それに隣接する他の画素セルにリークすることを防止する。

50

【0064】

ところで、表面照射型CMOSイメージセンサでは、配線層19側（表面側）にカラーフィルタ20及びマイクロレンズ21が配置される。カラーフィルタ20は、例えば、赤色光のみを透過する赤色フィルタ、緑色光のみを透過する緑色フィルタ、青色光を透過する青色フィルタを含む。

【0065】

本実施例では、機能層13は、少なくとも、赤色フィルタにより抽出された最も吸収され難い赤色光を検出するフォトダイオード12を覆う。機能層13を、赤色光を検出するフォトダイオード12のみを覆うように構成するか、又は、全てのフォトダイオード12を覆うように構成するか、は、CMOSイメージセンサの性能に基づいてCMOSイメージセンサごとに判断するのが望ましい。

10

【0066】

尚、CMOSイメージセンサは、SOI（Silicon on Insulator）基板内に形成するのが望ましい。

【0067】

図6は、裏面照射型CMOSイメージセンサの実施例を示している。

この実施例は、半導体基板11がp型であり、このp型半導体基板11内にn型フォトダイオード12を形成する例である。尚、同図において、n型とp型を互いに入れ替えれば、n型半導体基板内にp型フォトダイオードを形成する例となる。

20

【0068】

p型半導体基板11は、光の入射側の第1の面（裏面）及びそれと反対側の第2の面（表面）を有する。フォトダイオード12は、p型半導体基板11内に形成される。

【0069】

機能層13は、p型半導体基板11の第1の面側においてフォトダイオード12の全体を覆う。本例では、機能層13は、p型半導体基板11の第1の面の全体を覆う。機能層13は、既に述べたように、p型半導体基板11の外側から内側に向かう光を透過し、p型半導体基板11の内側から外側に向かう光を反射する機能を有する。

【0070】

反射層14は、リードトランジスタTを覆い、かつ、p型半導体基板11の第2の面の全体を覆う。反射層14は、p型半導体基板11の内側から外側に向かう光を反射する機能を有する。

30

【0071】

また、光は、第1の面側の遮光層15に設けられた開口部により、フォトダイオード12内のみに入射される。半導体基板11の第2の面側には、配線層19が配置される。リードトランジスタTは、ゲート16に印加される電圧の制御により、フォトダイオード12により検出された電荷（信号）をフローティングディフュージョン17に転送する。

【0072】

素子分離層18は、p型半導体基板11内に形成される。素子分離層18は、フォトダイオード12を含む1画素セル内で検出される電荷が、それに隣接する他の画素セルにリークすることを防止する。

40

【0073】

ところで、裏面照射型CMOSイメージセンサでは、配線層19側とは逆の裏面側にカラーフィルタ20及びマイクロレンズ21が配置される。カラーフィルタ20は、例えば、赤色光のみを透過する赤色フィルタ、緑色光のみを透過する緑色フィルタ、青色光を透過する青色フィルタを含む。

【0074】

本実施例では、機能層13は、少なくとも、赤色フィルタにより抽出された最も吸収され難い赤色光を検出するフォトダイオード12を覆う。機能層13を、赤色光を検出するフォトダイオード12のみを覆うように構成するか、又は、全てのフォトダイオード12を覆うように構成するか、は、CMOSイメージセンサの性能に基づいてCMOSイメー

50

ジセンサごとに判断するのが望ましい。

【0075】

尚、CMOSイメージセンサは、図5の実施例と同様に、SOI基板内に形成するのが望ましい。図6の例は、SOI基板を用いた場合を想定している。

【0076】

この場合、ウェハプロセス（裏面の研磨プロセス）において、半導体基板11の裏面側には、SOI基板の絶縁層（酸化シリコン層）が残るため、この絶縁層上に機能層（例えば、半透明層）13を直接形成できる。

【0077】

但し、CMOSイメージセンサは、バルク基板内に形成してもよい。

10

【0078】

この場合、ウェハプロセスにおいて、バルク基板の裏面は、研磨してもよいし、研磨しなくてもよい。また、バルク基板の裏面上には、絶縁層が形成され、この絶縁層上に機能層13が形成される。

【0079】

次に、上述の実施例に係わるCMOSイメージセンサの製造方法を説明する。

【0080】

ここでは、代表例として、図6の裏面照射型CMOSイメージセンサについて説明する。図5の表面照射型CMOSイメージセンサについては、以下の製造方法を応用することにより容易に形成可能である。

20

【0081】

図7乃至図10は、図6のイメージセンサの製造方法を示している。

【0082】

まず、図7に示すように、イオン注入技術を用いて、SOI基板11 - soiの表面側のp型半導体層11 - p内に、フォトダイオード12、フローティングディフュージョン17及び素子分離層18を形成する。

【0083】

また、p型半導体層11 - p上に、リードトランジスタTのゲート16を形成する。

【0084】

素子分離層18は、SOI基板11 - soiの表面からSOI基板11 - soiの絶縁層（酸化シリコン層）11 - iまで延びる。

30

【0085】

また、SOI基板11 - soiの表面側のp型半導体層11 - p内に、アライメントマークAMを形成する。アライメントマークAMも、SOI基板11 - soiの表面からSOI基板11 - soiの絶縁層（酸化シリコン層）11 - iまで延びる。尚、アライメントマークAMの形成と並行して、TSVなどの導電層を形成してもよい。

【0086】

この後、SOI基板11 - soiの表面側の全体を覆う反射層14を形成する。

【0087】

次に、図8に示すように、SOI基板11 - soiの表面側に、配線層19を形成する。ここで、SOI基板11 - soiの表面側には、光をフォトダイオード12に導くマイクロレンズなどが配置されないため、配線層19の設計自由度が向上する。

40

【0088】

次に、図6に示すように、SOI基板11 - soiの裏面側を研磨する。この研磨は、SOI基板11 - soiの絶縁層（酸化シリコン層）11 - iが露出するまで行う。この後、SOI基板11 - soiの絶縁層11 - i上に機能層13を形成する。

【0089】

また、機能層13上に、遮光膜15、カラーフィルタ20及びマイクロレンズ21を順次形成する。

【0090】

50

以上のプロセスにより、図6の裏面照射型CMOSイメージセンサが完成する。

【0091】

尚、以下の変形も可能である。

【0092】

図8においてSOI基板11 - soiの裏面側を研磨した後、図9に示すように、SOI基板11 - soiの絶縁層11 - i上に機能層13を形成する。

【0093】

そして、上述のプロセスとは別に形成しておいたカラーフィルタ20、マイクロレンズ21及び遮光膜15を含む構造体11 - xを、SOI基板11 - soiの裏面(機能層13)に結合する。

【0094】

この時、SOI基板11 - soi側のアライメントマークAMと、構造体11 - x側のアライメントマークAMを用いて、両者の位置合わせを行う。

【0095】

また、以下の変形も可能である。

【0096】

図8においてSOI基板11 - soiの裏面側を研磨した後、図10に示すように、機能層13を有する構造体11 - xを、SOI基板11 - soiに結合する。

【0097】

3. むすび

実施形態によれば、フォトダイオードの縦方向の微細化を図ることができる。

【0098】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0099】

11： 半導体基板、 12： フォトダイオード、 13： 機能層、 14： 反射層、 15： 遮光層、 16： リードトランジスタのゲート、 17： フローティングディフュージョン、 18： 素子分離層、 19： 配線層、 20： カラーフィルタ、 21： マイクロレンズ、 22： 負荷回路、 23： 電圧制御部、 24： 行選択回路、 25： AD変換ブロック、 26： タイミング回路、 27： 制御信号線、 28： AD変換器、 29： サンプルホールド回路、 30： 画素セル、 31： 制御回路、 32： 出力信号線、 33： バイアス発生回路。

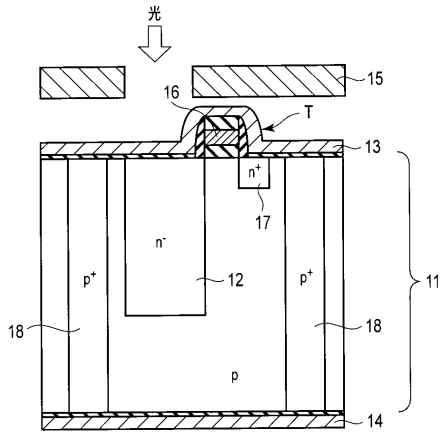
10

20

30

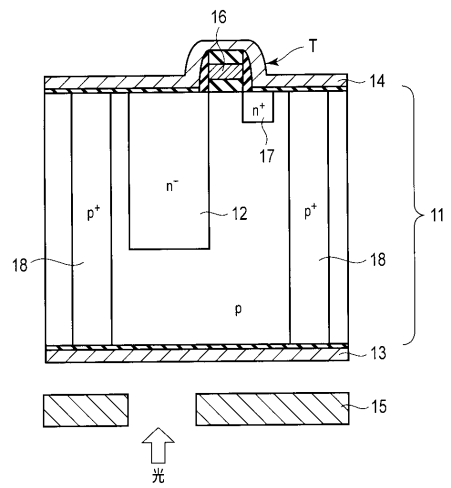
【 図 1 】

図 1



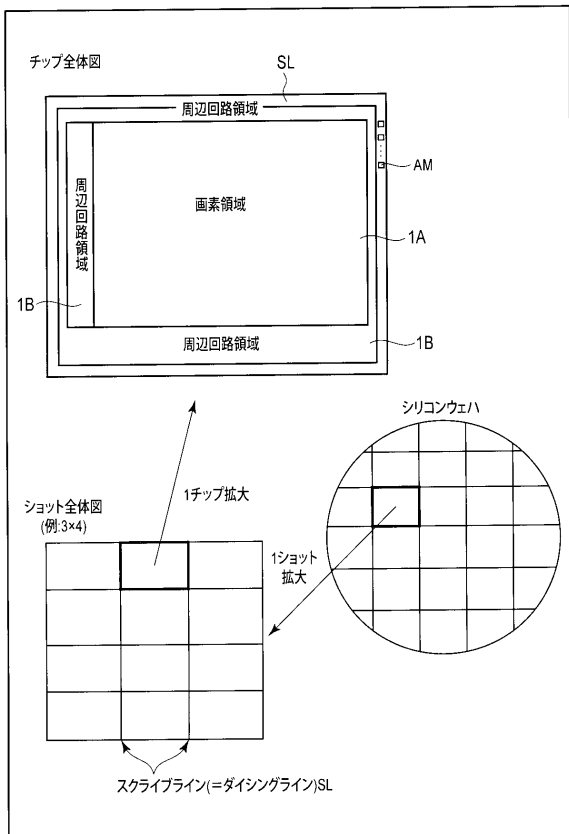
【 図 2 】

図 2



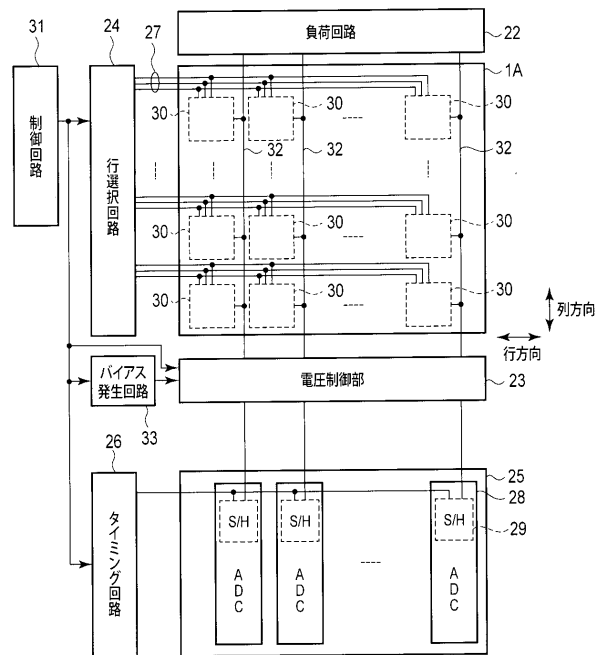
【 図 3 】

図 3

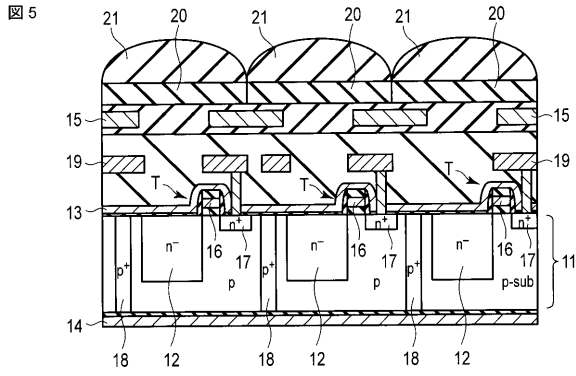


【 図 4 】

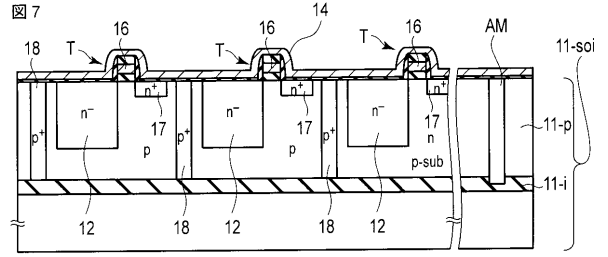
図 4



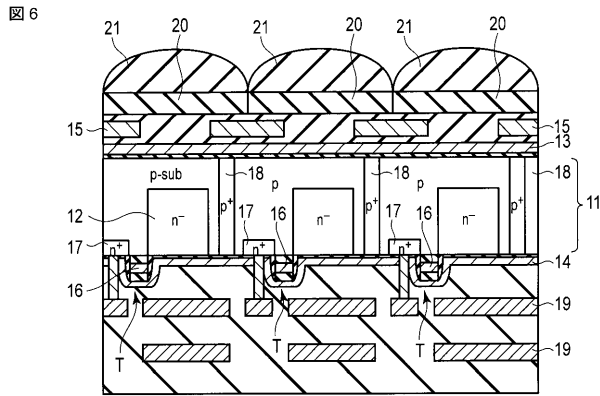
【図 5】



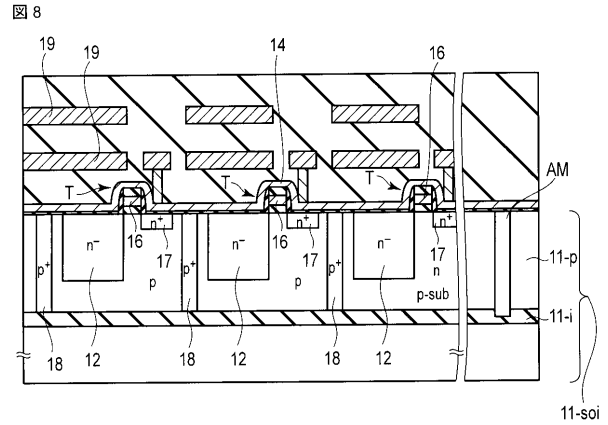
【図 7】



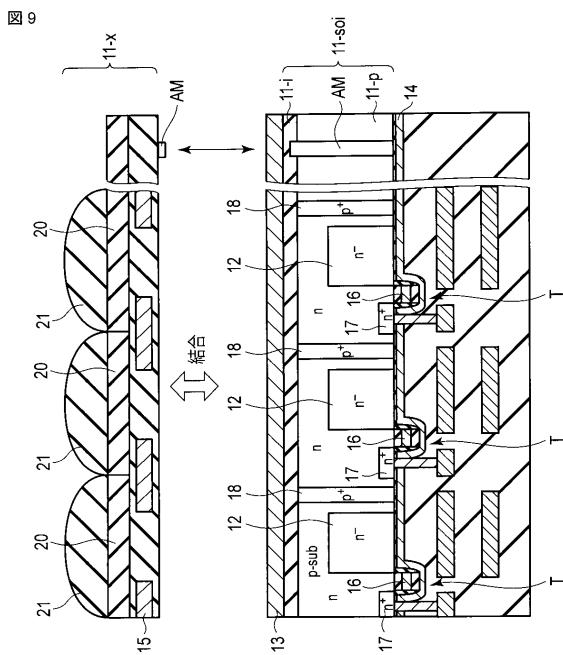
【図 6】



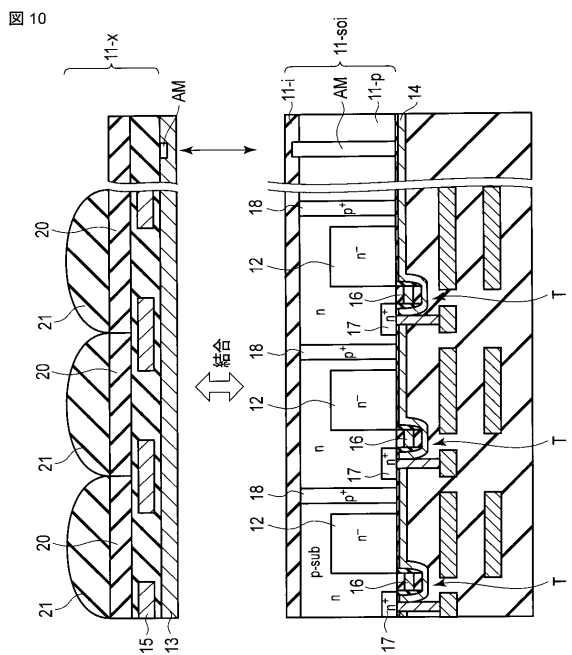
【図 8】



【図 9】



【図 10】



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 筧 和憲
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M118 AB01 BA14 CA03 CA32 CA34 DD04 EA01 EA14 FA06 FA25
FA26 FA33 GA02 GB03 GB07 GC07 GD04 GD07 GD14 GD15
5C024 AX01 CY47 EX52 GY31