

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

日本	2001年 3月 23日	2001-085750	<input checked="" type="checkbox"/> 有主張優先權
日本	2002年 1月 23日	2002-014607	<input checked="" type="checkbox"/> 有主張優先權

有開微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

【發明所屬之技術領域】

本發明係屬於藉由薄膜電晶體(以下，稱為 TFT)來主動矩陣驅動畫像素電極的所謂 TFT 主動驅動方式之液晶裝置等之構成光電裝置的光電基板裝置及其製造方法、含有該光電基板裝置的光電裝置、具備該光電裝置之電子機器以及基板裝置之製造方法的技術領域。

【先行技術】

於該種光電裝置中，在被配列成矩陣狀之多數各像素電極上，設置有像素電極開關用之 TFT。然後，各 TFT 係每次掃描訊號被施加於其閘極電極之時，呈 ON 狀態，經由該 TFT 畫像訊號則被寫入於像素電極中。

尤其，當執行像素開關控制之時，爲了可以藉由具有高性能電晶體特性之 TFT 予以控制，而使用載子爲高移動度電子的 N 通道型 TFT。然後，近年來，隨著光電裝置之驅動頻率變高，爲了使可對應於更高之驅動頻，仍然使用載子爲高移動度電子的 N 通道型 TFT。

另外，爲了執行高頻率驅動等更高度的驅動，則產生了必須使如此之像素開關用之 TFT 成爲更高性能。因此，試著將半導體製造技術中之 SOI(Silicom On Insulator)構造或是 SOI 技術應用於該種光電基板裝置上。具體而言，即是在形成於基板上之石英、藍寶石等之絕緣體層上，藉由貼合形成單晶半導體層，於該單晶半導體層上組裝電晶體。若應用如此之 SOI 技術，則可以將比非晶矽 TFT 或聚矽

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

TFT 還高高性能之單晶矽 TFT，組裝在光電基板裝置上。

【本發明所欲解決之課題】

但是，採用 SOI 構造之時，在 N 通道 MOS 型之 TFT，其動作中作為少數載子之電洞有存儲於通道領域之傾向。這若依據本案發明者之研究，則可考察到於 SOI 構造中，因絕緣體層被配至於通道領域下，故產生基板浮游效果的寄生雙極現象。該現象係於 N 通道 MOS 型之 TFT 時，在汲極空泛層內依據離子撞擊而所生成之電子電洞對中之電子，係原樣的流入汲極，但是電洞係作為少數載子存儲於通道下方之源極附近，通道之電位上升，而且增長離子撞擊化之結果，則有使得少數電洞之存儲量增加，汲極電流斜坡性地增加之現象。

因此，於採用 SOI 構造之 N 通道 MOS 型之 MOS 型 TFT 中，於實踐上，必須取得用以吸出如此之少數載子的體接觸。更具體而言，即是，為了吸出少數載子從通道領域延伸設置半導體層部分，同時必須使吸出少數載子用之導電層接觸於該延伸設置的部分。因此，產生了於基板上之疊層構造及製造過程的複雜化之問題點。而且，如之體接觸則有將 TFT 組入於如在畫像顯示領域內實際上不助於顯示之各像素之非開口領域般的領域內為困難，或妨礙擴大各像素之開口領域的問題點。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

本發明係鑒於上述之問題點所創作出者，以提供於各像素上具備有適用於擴大各像素之開口領域同時性能比較高的電晶體，可顯示出明亮高品質之畫像的光電基板裝置及其製造方法、含有該光電基板裝置的光電裝置、具備該光電裝置之電子機器以及適用於如此之光電裝置之基板裝置之製造方法為課題。

【本發明之用以課題的手段】

本發明之光電基板裝置為了解決上述課題，於基板上具備有：絕緣體層；形成於該絕緣體層上，含有 P 型之源極領域及 P 型之汲極領域以及通道領域的 N 型之單晶半導體層；藉由閘極絕緣膜而形成在上述通道領域中之上述單晶半導體層上的閘極電極；被連接於該閘極電極的掃描線；被連接於上述源極領域及上述汲極領域之一方的資料線；及被連接於上述源極領域及上述汲極領域之另一方的像素電極，由上述單晶半導體層、上述閘極絕緣膜及上述閘極電極，構築成用以開關控制上述像素電極的 P 型通道之電晶體。

若使用本發明之光電裝置基板裝置，依據被連接於掃描線及資料線之電晶體，開關控制像素電極，可以構築成可主動矩陣驅動之光電裝置。在此，尤其於本發明之光電基板裝置中，N 型單晶半導體層形成於絕緣體層上，於所謂 SOI 基板上構築了 P 通道型之電晶體。然後，P 通道型之電晶體係將電洞當作載子，僅移動度較低部分，以電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (4)

之性能而言係比 N 通道型之電晶體一般為差，但是因形成於 SOI 基板上，故比起例如將聚矽或單晶矽當作半導體層使用而構成的 MOS 電晶體，其作為電晶體之性能並不差。即是，依據該 SOI 基板上之 P 通道型之電晶體，作為用以開關控制像素電極則有相當高之性能。相反的，雖然形成於 SOI 基板上，但因係 P 通道型，故在實用上幾乎不會像在 N 通道之時，產生基板浮游效果的寄生雙極現象之問題。這係考察到若為 P 通道型之電晶體時，因縮小上述電洞之撞擊化率。因此，於該 P 通道型之電晶體中，無須如上述之 N 通道型之電晶體時，於實用上需要吸出少數載子。因此，單是不需將用以吸出如此之少數載子之構造裝配於各像素即可之部分，便可提高各像素之開口率，同時，不會導致各像素所涉及之疊層構造或製造過程的複雜化。該些結果，最終可依據性能比較高之電晶體開關控制或主動矩陣驅動，而可以實現顯示出明亮高品質之畫像的光電基板裝置。

於本發明之光電基板裝置之一態樣中，上述電晶體係由 P 通道 MOS(Metal Oxide Silicon)型電晶體所形成。

若依據該態樣，因於基板上具備有 P 通道 MOS 型電晶體，故如 N 通道 MOS 型電晶體般，無須設置用以吸出在動作中存儲於半導體層中之載子的導電層。然後，該 P 通道型之電晶體因為被製造在 SOI 基板上之電晶體，故在作為電晶體開關控制像素電極上可以得到十分高之性能。

於本發明之光電基板裝置之其他態樣中，又具備有：

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (5)

形成於上述閘極電極上之層間絕緣膜；形成於該層間絕緣膜上，並且由被連接於上述源極領域之 P 型導電層所形成之源極電極；及形成於該層間絕緣膜上，並且由被連接於上述汲極領域之 P 型導電層所形成之汲極電極；上述資料線係中繼上述源極電極及汲極電極之一方而被連接於上述源極領域及上述汲極領域之一方，上述像素電極係中繼上述源極電極及汲極電極之另一方而被連接於上述源極領域及上述汲極領域之另一方。

若依據該態樣由於 P 型導電層所形成之源極電極被連接於 P 型之源極領域上，故兩者間可以得到良好之電氣性連接。相反的，連接由 N 型導電層所形成之源極電極之時，於兩者間形成了 PN 接合，故無法期待良好之電氣性連接。另外，由於 P 型導電層所形成之汲極電極被連接於 P 型之汲極領域上，故兩者間可以得到良好之電氣性連接。

於該態樣中，上述 P 型導電層即使於堆積導電層後，藉由離子植入被摻雜於 P 型中亦可。

若構成如此，可以良好的電氣性連接藉由離子植入而被摻雜於 P 型之導電層，和 P 型之源極領域或是汲極領域。

或者，於該態樣中，即使上述源極電極藉由在上述層間絕緣膜開孔的觸孔而連接於上述源極領域，上述汲極電極藉由在上述層間絕緣膜開孔的觸孔而連接於上述汲極領域亦可。

若構成如此，可以經由觸孔良好的電氣性連接 P 型導

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (6)

電層所形成之源極電極和 P 型之源極領域，可以經由觸孔良好的電氣性連接 P 型導電層所形成之汲極電極和 P 型之汲極領域。

於本發明之光電基板裝置之其他態樣中，又於上述基板上具有自下側覆蓋上述通道領域之下側遮光膜，上述絕緣體層係被形成於上述下側遮光膜上。

若依據該態樣。通道領域因藉由下側遮光膜自下側起被覆蓋，故可以由基板背面反射光，或多數使用含有該光電基板裝置所形成之光閥的投影機中，自其他光閥射出而貫穿合成光學系統之光等的返回光，將通道領域予以遮光。其結果，可以有效的防止通道領域中之返回光所引起之光電效果而導致發生光漏洩電流。

於本發明之光電基板裝置之其他態樣中，在面對上述絕緣體層之上述單晶半導體層之側的表面上，施有 CMP 處理。

若依據該態樣，因對絕緣體層之表面施有 CMP 處理，故可在該絕緣體層之表面上貼合單晶半導體層。尤其，也於形成下側遮光膜之時，對絕緣體層施予如此之 CMP 處理，則可以無問題得到如此之 SOI 構造。

於本發明之光電基板裝置之其他態樣中，上述基板係由石英玻璃所形成。

若依據該態樣，則可以得到在石英玻璃上構築 P 通道型電晶體的 SOI 構成。

或是於本發明之光電基板裝置之其他態樣中，上述基

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (7)

板係由玻璃所形成。

若依據該態樣，則可以得到在玻璃上構築 P 通道型電晶體的 SOI 構成。

於本發明之光電基板裝置之其他態樣中，上述像素電極係由透明電極所形成。

若依據該態樣，使用該光電基板裝置，可以實現經由透明電極光為透過的透過型光電裝置或經由透明電極光為反射之反射型光電裝置。

於本發明之光電基板裝置之其他態樣中，上述像素電極係由反射電極所形成。

若依據該態樣，使用該光電基板裝置，可以實現以反射電極使光反射之反射型光電裝置。

於本發明之光電基板裝置之其他態樣中，又在上述基板上形成上述像素電極之畫像顯示領域的周邊上具有周邊電路，該周邊電路係含有 N 通道型之電晶體，於該 N 通道型之電晶體上，設置有用以吸出存儲於該半導體層之載子的導電層，於被設置於上述畫像顯示領域之上述 P 通道型之電晶體上，無設置用以吸出存儲於該半導體層之載子的導電層。

若依據該態樣，掃描線驅動電路、資料線驅動電路等之周邊電路係至少由更高性能之 N 通道型之電晶體部分性所構成。在此，周邊領域尤其比起必須確保像素之開口領域的畫像顯示領域，僅有在不需確保開口領域之部分上，有著用以組裝電路之面積的餘裕。因此，即使在構成之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

周邊電路之 N 通道型之電晶體上，設置用以吸出所存儲之少數載子，問題也相對的較小。相反的，使用包含設置有用以吸出如此之少數載子之導電層的高性能 N 通道型電晶體而所構成之周邊電路，則可以更高度驅動或控制。另外，因於畫像顯示領域之 P 通道型之電晶體上，無設置用以吸出所存儲之少數載子的導電層即可，故可擴大各像素之開口領域。該些結果，最終則可顯示出明亮高品質之畫像。

於本發明之光電基板裝置之其他態樣中，又於上述基板上，具備有：

用以中繼連接上述源極領域及上述汲極領域之另一方和上述像素電極，同時含有像素電位側容量電極的中間導電層；及含有藉由介電體膜而被相向配置於該像素電位側容量電極之固定電位側容量電極的容量線，自上述像素電位側容量電極及上述固定電位側容量電極，構築成被連接於上述像素電極之存儲容量，上述容量線及上述中間導電層中之至少一方，係由導電性之遮光膜所形成，在上述基板上含有自上側覆蓋上述通道領域之部分。

若依據該態樣，像素電極和源極領域及汲極領域之另一方之間，係依據中間導電層，而被中繼連接。因此，即使兩者間之層間距離為長，亦可以迴避以長距離之觸孔等來連接兩者間之技術困難性，且可良好的電氣性連接兩者間。而且，持有如此中繼連接之機能的中間導電層也作為存儲容量之像素電位側容量電極而發揮機能。因此，比起

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (9)

個別形成中繼連接用之導電層和像素電位側容量用之導電層之時，可以達到疊層構造及製程之單純化。除此之外，如此的構築存儲容量之中間導電層和容量線中之至少一方，因是由導電性之遮光膜所構成，自上側覆蓋通道領域，故對來自上側之入射光可以將通道領域予以遮光。因此，可以有效防止通道領域中因入射光引起光電效果而導致的光漏洩電流。而且，比起另外形成如此之遮光膜時，可以達到疊層構造及製造過程的單純化。

而且，即使也於資料線和源極領域之一方間，設置與中間導電層相同膜所形成之島狀中繼連接用之導電層亦可。再者，於本態樣中，若設置上述之下側遮光膜，因可以由上下將通道領域予以遮光，故更加有利。

於該態樣中，上述存儲容量由平面觀看時即使至少部分性地被設置在與上述掃描線重疊之領域上亦可。

若構成如此，因也可以將存儲容量組裝於重疊於掃描線之領域上，故不會縮窄各像素之開口領域，可增大存儲容量。

或是於該態樣中，上述存儲容量由平面觀看時即使至少部分性地被設置在與上述資料線重疊之領域上亦可。

若構成如此，因也可以將存儲容量組裝於重疊於資料線之領域上，故不會縮窄各像素之開口領域，可增大存儲容量。

本發明之光電裝置為了解決上述課題，具備有：上述之光電基板裝置(但是，包含有上述之各種態樣)；被相向配

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

置在該基板裝置的對向基板；及於該對向基板和上述基板裝置間所挾持的光電物質。

若依據本發明之光電裝置，因具備有上述本發明之光電基板裝置，故可顯示出明亮高品質之畫像。

本發明之電子機器為了解決上述課題，具備上述本發明之光電裝置。

本發明之電子機器因具備上述之本發明之光電裝置而所構成，故可顯示出明亮高品質之畫像，例如，可以實現投影機、內藏於 OA 機器的顯示裝置、行動電話之顯示裝置等之各種電子機器。

本發明之光電基板裝置之製造方法，為了解決上述課題，係製造具備有上述之本發明之光電基板裝置中所涉及之觸孔之態樣的製造方法，其包含有於上述單晶半導體層上形成上述層間絕緣膜之第1成膜工程；對上述層間絕緣膜開孔上述觸孔的開孔工程；於上述觸孔被開孔的層間絕緣膜上形成上述 P 型導電層所組成之規定種類之材料膜的第2成膜工程；及對該所形成的材料膜藉由離子植入注入離子來形成上述 P 型導電層的離子植入工程，上述離子植入工程中，上述離子之注入係僅使規定角度 X 對上述觸孔之中心線傾斜，使得上述離子可被注入於形成在上述觸孔之側面的上述材料膜部分而執行之，而且該規定角度 X 係被設定在上述離子可被注入於形成在上述觸孔底面之上述材料膜部分的範圍內。

若依據本發明之光電基板裝置之製造方法，於被開孔

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

之層間絕緣膜上，形成構成源極電極或汲極電極的 P 型導電層之時，首先，依據 CVD(化學蒸鍍)法等形成例如聚矽等之將成爲 P 型導電層之材料膜。之後，對該所形成之材料膜，依據離子植入注入例如 B(硼)等之離子，而形成 P 型導電層。

在此，尤其觸孔之側面因在基板上峭立，故假如在離子植入工程中，沿著觸孔之中心線即是沿著觸孔之側面注入離子，即幾乎或完全於實踐上無法將離子注入於形成於該側面之材料膜部分。假設在離子植入工程中，自對觸孔之中心線呈較大傾斜方向注入離子，這次則變成幾乎或完全於實踐上無法將離子注入於形成於觸孔之底面的材料膜部分。總之，觸孔之邊緣及周邊部分因爲妨礙了傾向於觸孔底面的路徑。不管怎樣，使觸孔內之材料膜均勻的予以低電阻化爲困難或不可能，依據 P 型導電層於像素電極或資料線和源極領域或汲極領域之間實現良好之電氣性連接狀態則變爲困難。

可是，若依據本發明，離子植入工程中之離子注入因係對觸孔之中心線僅傾斜規定角度而進行，故離子被注入於形成於觸孔側面之材料膜部分。同時，該規定角度 X 因係被設定於離子注入於觸孔底面所形成之材料膜部分的範圍內，故離子也可以注入於觸孔底面所形成之材料膜部分。因此，可以比較容易使觸孔內之材料膜予以低電阻化，可依據 P 型導電層於像素電極或資料線和源極領域或汲極領域之間實現良好之電氣性連接狀態。因此，最終可以達

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

到顯示畫像之品質向上。

如上述，則可比較容易使用離子植入工程製造具備上述之本發明的光電基板裝置中之觸孔的態樣。

於本發明之光電基板裝置之製造方法之一態樣中，針對上述離子植入工程，上述離子之注入係僅使規定角度 X 對上述觸孔之中心線傾斜，使得上述離子可被注入於形成在上述觸孔之側面的上述材料膜部分而執行之，而且該規定角度 X 係被設定在上述離子可被注入於形成在上述觸孔底面之上述材料膜部分的範圍內。

若依據該態樣，於離子植入工程中，例如互相前後或是同時傾向四方注入離子。在此，尤其針對觸孔底面之各領域，朝向因應傾斜方位而不同之領域的離子路徑，由於觸孔之邊緣及周邊部分而被妨礙，同時朝向因應傾斜方位而不同之領域的離子路徑，藉由觸孔之邊緣及周邊部分而無被妨礙。而且，即使針對觸孔側面之各領域，因應傾斜方位而不同之領域之離子路徑，由於觸孔之邊緣及周邊部分而被妨礙，同時，朝向因應傾斜方位而不同之領域的離子路徑，藉由觸孔之邊緣及周邊部分而無被妨礙。因此，以改變離子注入之傾斜方位，針對觸孔底面之各領域可以改變被注入之領域。例如，包圍著觸孔之中央適當地改變三方、四方、八方、全方位等之傾斜方位，可使觸孔底面之離子注入領域幾乎或完全成爲該底面。同時，即使針對觸孔之側面，也可使離子注入領域幾乎或完全成爲全域。因此，可比較容易使觸孔內之材料膜予以低電阻化，可依

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

據 P 型導電層於像素電極或資料線和源極領域或是汲極領域之間實現良好之電氣性連接狀態。

於本發明之光電基板裝置之製造方法之一態樣中，針對上述開孔工程，上述觸孔係被開孔成柱狀，上述離子植入工程中，上述規定角度 X 係當上述觸孔之直徑設為 a，上述觸孔之深度設為 e，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足下式 $0 < X \leq \tan^{-1} \{ (a-2c) / 2e \}$ 。

於該態樣中，觸孔係被開孔成例如圓柱狀、角柱狀等之柱狀。因此，形成於該側面之材料膜部分呈峭立。可是，離子植入工程所涉及之規定角度 X 因被設定成 $0 < X$ ，故離子可注入於形成於觸孔側面之材料膜部分。而且，因規定角度 X 被設定成可以滿足 $0 < X \leq \tan^{-1} \{ (a-2c) / 2e \}$ ，故離子也可注入於觸孔底面之中央。因此，使如上述離子注入之傾斜方位成為例如互相前後或同時為四方等之多數方向，則可將離子注入於觸孔之底面及側面之幾乎或完全的區域上。

或是，於本發明之光電基板裝置之製造方法之其他態樣中，上述離子植入工程中，上述規定角度 X 係當上述觸孔之底面之直徑設為 a，上述觸孔口側之直徑設為 d，上述觸孔之深度設為 e，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足下式 $0 < X \leq \tan^{-1} \{ (d-a) / 2e \}$ 。

於該態樣中，觸孔係朝向導電層而擴大，即是在基板上朝向上方被打開成圓錐台狀或角錐台狀。因此，形成於該側面之材料膜部分，為傾斜峭立著。可是，離子植入工

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

程所涉及之規定角度 X 因被設定成 $0 \leq X$ ，故離子可注入於形成於觸孔側面之材料膜部分。尤其，於觸孔側面具有傾斜，故因應著其傾斜程度，假設即使 $X = 0$ ，離子亦可注入於形成於觸孔側面之材料膜部分。而且，規定角度 X 因被設定成可以滿足下式 $X \leq \tan^{-1} \{ (d-a) / 2e \}$ ，故離子也可注入於觸孔底面之中央。因此，使如上述離子注入之傾斜方位成為例如互相前後或同時為四方等之多數方向，則可將離子注入於觸孔之底面及側面之幾乎或完全的區域上。

或者，於本發明之光電基板裝置之製造方法中，針對上述開口工程，上述觸孔係被開挖成可由自上述層間絕緣膜朝向上述導電層側開挖成擴大之圓錐狀或角錐台狀的第1觸孔部分，和自該第1部分之底面連續開挖成柱狀的第2觸孔所組成，上述離子植入工程中，上述規定角度 X 係當上述第2觸孔部分之直徑設為 a ，上述第1觸孔部分之口側邊緣的直徑設為 d ，上述第1觸孔部分之深度設為 e ，上述第2觸孔部分之深度設為 b ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足下式 $0 < X \leq (a-2c) / 2(c \sin Y + b - c)$ ，但是， $Y = \tan^{-1} \{ (d-a) / 2e \}$ 。

於該態樣中，觸孔係由朝向上述導電層側開挖成擴大之圓錐狀或角錐台狀的第1觸孔部分，和自該第1部分之底面連續開挖成柱狀的第2觸孔部分所組成。即是在基板上，於觸孔底側上，當作第2觸孔部分開挖上述柱狀之觸孔，和自該觸孔連續在上側（觸孔之口側）當作第1觸孔部分開挖上述之圓錐台狀或角錐台狀之觸孔。因此，形成在第1觸孔

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (15)

部分側面之材料膜部分為傾斜峭立。而且，形成於第2觸孔部分之材料膜部分幾乎係垂直峭立。可是，離子植入工程所涉及之規定角度 X 因被設定成 $0 < X$ ，故離子可注入於形成於第1及第2觸孔部分之側面之材料膜部分。而且，規定角度 X 因被設定成可以滿足下式 $X \leq (a-2c) / 2 (c \sin Y + b - c)$ ，但是， $Y = \tan^{-1} \{ (d-a) / 2e \}$ ，故離子也可注入於第2觸孔部分之底面的中央。因此，使如上述離子注入之傾斜方位成為例如互相前後或同時為四方等之多數方向，則可將離子注入於觸孔之底面及側面之幾乎或完全的區域上。

本發明之基板裝置之製造方法為了解決上述課題，係製造在基板上具有被開挖孔穴的層間絕緣膜和形成在該層間絕緣膜上，同時被設置於上述孔穴內的導電層，由該導電層在上述基板上至少構成電子元件或電子電路之至少一部分的基板裝置，其包含有對上述層間絕緣膜開挖上述孔穴的工程；在上述孔穴被開挖的層間絕緣膜上形成將成為上述導電層之規定種類之材料膜的工程；及對該所形成之材料膜，藉由離子植入注入離子而形成上述導電層之離子植入的工程，上述離子注入工程中，上述離子之注入係僅使規定角度 X 對上述孔穴之中心線傾斜，使得上述離子可被注入於形成在上述孔穴之側面的上述材料膜部分而執行之，而且該規定角度 X 係被設定在上述離子可被注入於形成在上述孔穴底面之上述材料膜部分的範圍內。

若依據本發明之基板裝置之製造方法，於被開孔之層間絕緣膜上，形成將成為電子元件或電子電路之至少一部

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (16)

分的導電層之時，首先，依據 CVD(化學蒸鍍)法等形成例如聚矽等之將成爲 P 型導電層的材料膜。之後，對該所形成之材料膜，依據離子植入注入例如 B(硼)等之離子，而形成導電層。

在此，尤其孔穴之側面因在基板上峭立，故假如在離子植入工程中，沿著孔穴之中心線即是沿著孔穴之側面注入離子，即幾乎或完全於實踐上無法將離子注入於形成於該側面之材料膜部分。假設在離子植入工程中，自對孔穴之中心線呈較大傾斜方向注入離子，這次則變成幾乎或完全於實踐上無法將離子注入於形成於孔穴之底面的材料膜部分。總之，孔穴之邊緣及周邊部分因爲妨礙了傾向於孔穴底面的路徑之故。不管怎樣，使孔穴內之材料膜均勻的予以低電阻化爲困難或不可能，依據 P 型導電層於像素電極或資料線和源極領域或汲極領域之間實現良好之電氣性連接狀態則變爲困難。

可是，若依據本發明，離子植入工程中之離子注入因係對孔穴之中心線僅傾斜規定角度而進行，故離子被注入於形成於孔穴側面之材料膜部分。同時，該規定角度 X 因係被設定於離子注入於孔穴底面所形成之材料膜部分的範圍內，故離子也可以注入於孔穴底面所形成之材料膜部分。因此，可以比較容易使孔穴內之材料膜予以低電阻化，可依據導電層構築良好之電子元件或電子電路。

於本發明之基板裝置之製造方法之一態樣中，上述基板裝置又在上述基板上具備有藉由上述孔穴與上述導電層

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (17)

連接之其他的導電層，又包含有在上述其他導電層上形成上述層間絕緣膜之工程。

若依據該態樣，使用當作觸孔而發揮功能之孔穴，則可以在基板上構築包含利用層間絕緣膜而層間絕緣的2個導電層所構成之電子元件或電子電路。

或者，於本發明之基板裝置之製造方法之其他態樣中，開挖上述孔穴之工程中，上述孔穴係並不是貫穿上層間絕緣膜而是形成漥狀或凹狀。

若依據該態樣，不貫通孔穴，不當作觸孔予以使用。可是配合各種需求或裝置規格，則有必須或最好在存有凹凸之層間絕緣膜的表面上，形成導電層的電子元件或電子電路所涉及之基板裝置的情形。即使於這樣的情形下，也相稱的發揮本發明之上述效果。

於本發明之基板裝置之製造方法之其他態樣中，上述離子植入工程中，上述離子之注入係使對於上述孔穴之中心線成爲互相前後或是同時僅使上述規定角度 X 傾斜於複數方位而執行之，上述規定角度 X 係針對各個上述複數方位被設定在上述離子被注入於位於上述孔穴底面中央之上述材料膜部分的範圍內。

若依據該態樣，於離子植入工程中，例如互相前後或是同時傾向四方注入離子。在此，尤其針對孔穴底面之各領域，朝向因應傾斜方位而不同之領域的離子路徑，由於孔穴之邊緣及周邊部分而被妨礙，同時朝向因應傾斜方位而不同之領域的離子路徑，藉由孔穴之邊緣及周邊部分而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

無被妨礙。而且，即使針對孔穴側面之各領域，因應傾斜方位而不同之領域之離子路徑，由於孔穴之邊緣及周邊部分而被妨礙，同時，朝向因應傾斜方位而不同之領域的離子路徑，藉由孔穴之邊緣及周邊部分而無被妨礙。因此，以改變離子注入之傾斜方位，針對孔穴底面之各領域可以改變被注入之領域。例如，包圍著孔穴之中央適當地改變三方、四方、八方、全方位等之傾斜方位，可使孔穴底面之離子注入領域幾乎或完全成為該底面。同時，即使針對孔穴之側面，也可使離子注入領域幾乎或完全成為全域。因此，可比較容易使孔穴內之材料膜予以低電阻化。

於本發明之基板裝置之製造方法之一態樣中，上述開挖孔穴之工程中，上述孔穴係被開挖成柱狀，上述離子植入工程中，上述規定角度 X 係當上述孔穴之直徑設為 a ，上述孔穴之深度設為 e ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足 $0 < X \leq \tan^{-1} \{ (a-2c) / 2e \}$ 。

於該態樣中，孔穴係被開孔成例如圓柱狀、角柱狀等之柱狀。因此，形成於該側面之材料膜部分呈峭立。可是，離子植入工程所涉及之規定角度 X 因被設定成 $0 < X$ ，故離子可注入於形成於孔穴側面之材料膜部分。而且，因規定角度 X 被設定成可以滿足 $X \leq \tan^{-1} \{ (a-2c) / 2e \}$ ，故離子也可注入於孔穴底面之中央。因此，使如上述離子注入之傾斜方位成為例如互相前後或同時為四方等之多數方向，則可將離子注入於孔穴之底面及側面之幾乎或完全的區域上。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

或者，於本發明之基板裝置之製造方法之其他態樣中，上述開挖孔穴之工程中，上述孔穴係被開挖成自上述層間絕緣膜朝向上述導電層側擴大之圓錐狀或角錐台狀，上述離子植入工程中，上述規定角度 X 係當上述孔穴之底面之直徑設為 a ，上述孔穴口側的直徑設為 d ，上述孔穴之深度設為 e ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足 $0 < X \leq \tan^{-1} \{ (d-a) / 2e \}$ 。

於該態樣中，孔穴係朝向導電層而擴大，即是在基板上朝向上方被打開成圓錐台狀或角錐台狀。因此，形成於該側面之材料膜部分，為傾斜峭立著。可是，離子植入工程所涉及之規定角度 X 因被設定成 $0 \leq X$ ，故離子可注入於形成於孔穴側面之材料膜部分。尤其，於孔穴側面具有傾斜，故因應著其傾斜程度，假設即使 $X = 0$ ，離子亦可注入於形成於穴孔側面之材料膜部分。而且，規定角度 X 因被設定成可以滿足下式 $X \leq \tan^{-1} \{ (d-a) / 2e \}$ ，故離子也可注入於孔穴底面之中央。因此，使如上述離子注入之傾斜方位成為例如互相前後或同時為四方等之多數方向，則可將離子注入於孔穴之底面及側面之幾乎或完全的區域上。

或者，於本發明之基板裝置之製造方法的其他態樣中，上述開挖孔穴之工程中，上述孔穴係被開挖成可由自上述層間絕緣膜朝向上述導電層側開挖成擴大之圓錐狀或角錐台狀的第1孔穴部分，和自該第1部分之底面連續開挖成柱狀的第2孔穴所組成，上述離子植入工程中，上述規定角度 X 係當上述第2孔穴部分之直徑設為 a ，上述第1孔穴部分

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (20)

之口側邊緣的直徑設為 d ，上述第1孔穴部分之深度設為 e ，上述第2孔穴部分之深度設為 b ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足 $0 < X \leq (a-2c) / 2 (c \sin Y + b - c)$ ，但是， $Y = \tan^{-1} \{ (d-a) / 2e \}$ 。

於該態樣中，孔穴係由朝向上述導電層側開挖成擴大之圓錐狀或角錐台狀的第1孔穴部分，和自該第1部分之底面連續開挖成柱狀的第2孔穴部分所組成。即是在基板上，於孔穴底側上，當作第2孔穴部分開挖上述柱狀之孔穴，和自該孔穴連續在上側（孔穴之口側）當作第1孔穴部分開挖上述之圓錐台狀或角錐台狀之孔穴。因此，形成在第1孔穴部分側面之材料膜部分為傾斜峭立。而且，形成於第2孔穴部分側面之材料膜部分幾乎係垂直峭立。可是，離子植入工程所涉及之規定角度 X 因被設定成 $0 < X$ ，故離子可注入於形成於第1及第2孔穴部分之側面之材料膜部分。而且，規定角度 X 因被設定成可以滿足下式 $X \leq (a-2c) / 2 (c \sin Y + b - c)$ ，但是， $Y = \tan^{-1} \{ (d-a) / 2e \}$ ，故離子也可注入於第2孔穴部分之底面的中央。因此，使如上述離子注入之傾斜方位成為例如互相前後或同時為四方等之多數方向，則可將離子注入於孔穴底面及側面之幾乎或完全的區域上。

於本發明之基板裝置之製造方法之其他態樣中，上述離子植入工程中，進行上述離子之注入係使含有聚矽而組成之上述材料膜成為由 P 型之摻雜聚矽所組成之上述導電層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (21)

若依據該態樣，藉由 P 型之摻雜聚矽所組成之上述導電層，可構築良好之電子元件或電子電路。

本發明之作用及其他優點從下述之實施形態中可明顯得知。

【本發明之最佳實施形態】

以下，根據圖面說明本發明之實施形態。

(基板裝置)

第1圖係本發明實施形態之基板裝置的剖面圖。本實施形態之基板裝置雖然係例如構成後述之用以構成光電裝置之一對基板中之 TFT 陣列基板側者，但是其用途尤其並不限定於此。

於第1圖中，基板裝置200係於基板10上依下述順序具備下側遮光膜11a、第1基底絕緣膜12、第2基底絕緣膜13、由構成後述光電裝置中之像素開關用之 TFT30的單晶矽層所形成之半導體層1a、包含有構成 TFT30之閘極電極的掃描線3a、包含有構成 TFT30之閘極絕緣膜之絕緣膜2、第1層間絕緣膜41、包含有 TFT30之源極電極303及存儲容量70之像素電位側容量電極之 TFT30的汲極電極302，存儲容量70之介電體膜75、包含有存儲容量70之固定電位側容量電極的容量線300、第2層間絕緣膜42、資料線6a、第3層間絕緣膜43以及像素電極9a而所構成。

基板10係由玻璃基板、石英基板、矽基板等所形成，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (22)

當將該基板裝置設為透過型之時，則為透明之基板，當將該基板裝置設為反射型之時，則為不透明之基板。

下側遮光膜 11a 係由包含例如 Ti、Cr、W、Ta、Mo 等之高熔點金屬中之至少一個的金屬單體、合金、金屬矽化物、聚化物、疊層該些者等所構成。下側遮光膜 11a 係藉由自圖中下側至少覆蓋構成 TFT30 之半導體層 1a 中之通道領域 1a'，而遮斷自圖中下側朝向 TFT30 返回之光。

第 1 基底絕緣膜 12 係依據形成在基板 10 之全面，具有防止因基板 10 表面研磨時之皸裂，或洗淨後所殘留之污垢而使得 TFT30 之特性惡化的功能。基底絕緣膜 12 係依據常壓或減壓 CVD 法等使用 TEOS [$\text{Si}(\text{OC}_2\text{H}_5)_4$] 氣體、TEB [$\text{B}(\text{OC}_2\text{H}_5)_3$] 氣體、TMOP [$\text{PO}(\text{OCH}_3)_3$] 氣體，由疊層 NSG (無摻雜矽酸鹽玻璃)、PSG (磷矽酸鹽玻璃)、BSG (硼矽酸鹽玻璃)、BPSG (硼磷矽酸鹽玻璃) 等或單層之矽酸鹽玻璃膜、氮化矽膜或氧化矽膜等所形成。其膜厚設定為例如約為 500~2000nm 左右。

於第 1 基底絕緣膜 12 之表面施予 CMP 處理使其平坦化，於該平坦化之表面上，貼合著半導體 1a 所形成之第 2 基底絕緣膜 13。即是，於本實施形態中，第 2 基底絕緣膜 13 成為掩埋氧化膜，其上面構築著形成有單晶矽膜所構成之半導體 1a 的 SOI 構造。例如，在另外準備的半導體基板上，首先形成半導體層 1a，以氧化其表面而形成第 2 基底絕緣膜 13，貼合該第 2 基底絕緣膜 13 之表面和第 1 基底絕緣膜 12 之表面而執行熱處理之後，依據使半導體層 1a 可以殘留地分離

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (23)

半導體基板，而取得如此之 SOI 構造。如此之半導體層 1a 之厚度約為 30~150nm，絕緣膜 2 之厚度約為 20~150nm。

像素開關用之 TFT30 具有 LDD (Lightly Doped Drain) 構造，係具備由掃描線 3a 之一部分所構成之閘極電極、依據來自該掃描線 3a 之電場而形成通道之半導體層 1a 之通道領域 1a'、包含用以絕緣掃描線 3a 和半導體層 1a 之閘極絕緣膜的絕緣膜 2、半導體層 1a 之低濃度源極領域 1b 及低濃度汲極領域 1c、半導體 1a 之高濃度源極領域 1d 及高濃度汲極領域 1e、源極電極 303 以及汲極電極 302 而所構成。

於掃描線 3a 上，形成有各形成著通過高濃度源極領域 1d 和源極電極 303 的觸孔 82、通過高濃度汲極領域 1e 和汲極電極 302 的觸孔 83 的第 1 層間絕緣膜 41。第 1 層間絕緣膜 41 係例如由矽酸鹽膜、氮化矽膜、氧化矽膜等所形成，其膜厚約設為 500~2000nm 左右。

像素電極 9a 係經由觸孔 83 及 85 依據也當作中繼連接用之導電層發揮機能之汲極電極 302 而被中繼連接於高濃度汲極領域 1e 上。資料線 6a 係經由觸孔 81 及 82 依據也當作中繼連接用之導電層發揮機能之汲極電極 303 而被中繼連接於高濃度源極領域 1d 上。

由汲極電極 302 之一部分所形成之像素電位側容量電極上，經由介電體膜 301 形成有包含固定電位側容量電極之容量線 300。容量線 300 係包含例如 Ti、Cr、W、Ta、Mo 等之高熔點金屬中之至少一個的金屬單體、合金、金屬矽化物、聚化物、疊層該些者等所構成。於本實施形態中，依據

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (24)

經由介電體膜 301 使如此的汲極電極 302 之一部分和容量線 300 之一部分相向配置，而構築存儲容量 70。

於容量線 300 上，形成有各形成著通過源極電極 303 和資料線 6a 的觸孔 81、通過汲極電極 302 和像素電極 9a 的觸孔 85 的第 2 層間絕緣膜 42。第 2 層間絕緣膜 42 係例如由矽酸鹽膜、氮化矽膜、氧化矽膜等所形成，其膜厚約設為 500 ~ 2000nm 左右。

像素電極 9a 係被設置在如此所構成之第 3 層間絕緣膜 7 之上面。像素電極 9a 係依據例如濺鍍、微影成像、蝕刻等，自 ITO (Indium Tin Oxide) 膜等之透明導電性膜所形成。而且，如後述之光電裝置般，即使形成施有拋光處理之配向膜亦可。

具有如上述構成之本實施形態之光電基板裝置中，半導體層 1a 係由 N 型單晶矽所形成，其中形成有 P 型高濃度源極領域 1d 及 p 型低濃度源極領域 1b 以及 P 型高濃度汲極領域 1e 及 P 型低濃度源極領域。即是，TFT30 係構成爲增強型之 P 通道 MOS 電晶體。

在此，於第 2 圖中，係表示針對各種汲極電壓 ($|V_d|$)，汲極電流 ($|I_d|$) 相對於持有作爲比較例之 SOI 構造之 N 通道 MOS 電晶體中之閘極電壓 ($|V_g|$) 的特性。再者，於第 3 圖中，係表示針對各種之汲極電壓 ($|V_d|$)，持有如本實施形態之 SOI 構造之 P 通道 MOS 電晶體中之閘極電壓 ($|V_g|$) 相對於汲極電流 ($|I_d|$) 的特性。

於對應於第 2 圖之比較例中，無設置如上述之背景技術

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (25)

之動作中用以吸出被存儲於半導體層中之剩餘載體的體接觸。再者，於對應第3圖之本實施形態時，也無設置如此之體接觸。而且，於比較例中，通道長設為 $2.0\mu\text{m}$ ，LDD長設為 $1.0\mu\text{m}$ ，通道寬設為 $20\mu\text{m}$ ，於本實施形態中，通道長設為 $3.0\mu\text{m}$ ，LDD長設為 $1.0\mu\text{m}$ ，通道寬設為 $20\mu\text{m}$ 。

從該些特性圖可知，於比較例之場合，汲極電流（ $|I_d|$ ）為小之時，可以得到比本實施形態之場合還良好之電晶體特性。這係根據N通道MOS電晶體基本上比將相對的移動度高的電子當作多數載子，將相對的移動度低的電洞當作多數載子的P通道MOS電晶體高性能。

但是，當在該種光電基板裝置實用上所使用之範圍內，汲極電壓（ $|V_d|$ ）變大成某種程度時，於比較例中，無法得到良好之電晶體特性。對此，於本實施形態之場合，當在該種光電基板裝置實用上所使用之範圍內，汲極電壓（ $|V_d|$ ）即使變大成某種程度時，亦可得到良好之電晶體特性。尤其，本實施形態中之TFT30因持有SOI構造，故比起例如聚矽或非晶矽當作半導體層使用之構成的MOS電晶體，可以使其作為電晶體之性能不會惡化。然後，於本實施形態中為P通道型，故縮小上述電洞之撞擊化率即可，幾乎不會像在N通道之時，產生基板浮游效果的寄生雙極現象之問題。

因此，於比較例之時，對於在實踐上必須有用以吸出所存儲之少數載子的體觸孔，於本實施形態中，則不需要體觸孔。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (26)

除此之外，於本實施形態中，尤其被連接於 P 型之高濃度源極領域 1d 之源極電極 303，係由 P 型導電層所構成。因此，於兩者間不存在 PN 結核，可以取得良好之連接。同樣的，被連接於 P 型高濃度汲極領域 1e 之汲極電極係由 P 型導電層所形成。因此，於兩者間不存在 PN 接合，可以得到良好之電氣性連接。如此之 P 型導電層係例如堆積聚矽膜等之導電層後，依據離子植入摻雜於 P 型可以比較容易形成。再者，如此之汲極電極 302 及源極電極 303 之膜厚係被設定為例如 50~500nm 左右。

而且，於本實施形態中，使用石英玻璃、玻璃等之透明基板作為基板 10，依據也使用 ITO 膜等之透明電極當作像素電極 9a，可以構築成透過型之光電基板裝置或經由像素電極 9a 或基板 10 使光反射之反射型之光電裝置。或者，於本實施形態中，依據使用 Al 膜等之反射電極當作像素電極 9a，可以構築成反射型之光電基板裝置。而且，以使用半透過反射電極或半透過反射板，可以構築成可切換反射型和透過型之半透過反射型之光電裝置。

接著，根據圖面說明具備如上述所構成之光電基板裝置的有關本發明之光電裝置的實施形態。下述之實施形態係將本發明之光電裝置適用於液晶裝置者。

(光電裝置之全體構成)

首先，針對本發明之實施形態中之光電裝置之全體構成，參照第 4 圖及第 5 圖予以說明。在此，舉出為光電裝置

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (27)

之一例的驅動電路內藏型之 TFT 主動矩陣驅動方式之液晶裝置作為例。

第4圖係形成於 TFT 陣列基板上之各構成要素，同時自對向基板側觀看時之平面圖，第5圖為第4圖之 H-H'剖面圖。

於第4圖及第5圖中，本實施形態所涉及之光電裝置，係將構成第1圖所示之基板裝置之基板10和對向基板20相向配置著。

液晶層50被封入於構成光電基板裝置200之基板10和對向基板20之間，基板10和對向基板20係藉由被設置在位於畫像顯示領域10a周圍之密封領域上的密封材料52而互相接著。密封材料52為了貼合兩基板，係由例如熱硬化、熱及光硬化樹脂、紫外線硬化樹脂等所構成，於製造過程中，被塗布於基板10上之後，藉由加熱、加熱及光照射、紫外線照射等使其硬化。

於如此之密封材料52中，混合有用以使兩基板間之間隔(基板間之間隙)成為規定值之玻璃纖維或玻璃珠等之間隔材料。即是，本實施形態之光電裝置係適合當作投影機之光閥用，以小型進行放大顯示。但是，該光電裝置若為如液晶顯示器或液晶電視般以大型執行等倍顯示之液晶裝置，如此之間隔材料即使包含於液晶層50中亦可。

於對向基板20之4角落，設置有上下導通材料106，用以取得設置於基板10之上下導通端子和設置於對向基板21之對向電極之間呈電氣性導通。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (28)

於第4圖及第5圖中，與配置密封材料52之密封領域之內側並行，於對向基板20側被設置著用以規定畫像顯示領域10a之遮光性的框邊53。即使框邊53設置於基板10側當然亦可。在蔓延於畫像顯示領域之周邊的周邊領域中，配置著密封材料52之密封領域之外側部分上，沿著基板10之一邊設置有資料線驅動電路101及外部連接端子102，掃描線驅動電路104沿著鄰接於該一邊的2邊而被設置。而且，於基板10之剩餘一邊上設置有用以連接被設置於畫像顯示領域10a之兩側上的掃描線驅動電路104間之多數配線105。

於第5圖中，於基板10上形成像素開關用之TFT或掃描線、資料線等之配線後之像素電極9a上，形成有配向膜。另一方面，於對向基板20上，除了對向電極21之外，於最上層部分形成有配向膜。再者，液晶層50係由例如混合同一種或多種之向列型液晶的液晶所組成，在該些一對配向膜間呈規定配向狀態。

於本實施形態中，在框邊53下之基板10上的領域上，設置有取樣電路118。取樣電路118係被構成可因應自資料線驅動電路101所供給之取樣電路驅動訊號，取樣畫像訊號線上之畫像訊號後供給於資料線。

(光電裝置之電路構成及動作)

接著，針對如上述所構成之光電裝置中之電路構成及動作，參照第6圖予以說明。第6圖係表示在構成光電裝置之畫像顯示的形成矩陣形之多數像素中之各種元件、配線

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (29)

等之等效電路和周邊電路的方塊圖。

於第6圖中，本實施形態中之構成光電裝置之畫像顯示的形成矩陣形之多數像素上，各形成有用以開關控制像素電極9a和該像素電極9a之TFT30，供給畫像訊號之資料線6a被電氣性連接於該TFT30之源極電極。

於畫像顯示領域10a外之周邊領域上，資料線6a之一端(第6圖中為下端)係被連接於取樣電路118之例如由TFT所形成之各開關元件的汲極上。另一方面，畫像訊號線115係經由引出配線116被連接於取樣電路118之TFT之源極上。連接於資料線驅動電路101之取樣電路驅動訊號線114係被連接於取樣電路118之TFT的閘極上。然後，畫像訊號線115上之畫像訊號S1、S2、…、Sn係被構成可因應自資料線驅動電路101經由取樣電路驅動訊號線114而供給電路驅動訊號，依據取樣電路118予以取樣後供給至各資料線6a上。

如此寫入於資料線6a之畫像訊號S1、S2、…Sn即使依此順序線順序供給亦可，對於相鄰接之多數資料線6a彼此，即使形成可供給於每組亦可。

再者，掃描線3a係被電氣性連接於像素開關用之TFT30之閘極，被構成可以在規定之時機，依據掃描線驅動電路104以此順序線順序地脈衝性施加掃描訊號G1、G2、…、Gm於掃描線3a。像素電極9a係被電氣性連接於TFT30之汲極上，藉由將屬於開關元件之TFT30僅在規定時間關閉其開關之事，以規定之時機寫入自資料線6a所供給之畫像訊號S1、S2、…Sn。經由像素電極9a被寫入於作為光電物

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (30)

質之一例的液晶中之規定電平之畫像訊號 S1、S2、... Sn，係在形成於對向基板之對向電極之間保持一定期間。液晶依據所施加之電位電平變化分子集合之配向或秩序，依此調製光，可形成灰階顯示。若為普通白色模態，則減少因應以各像素之單位所施加之電壓而對於入射光的透過率，若為普通黑色模態，則增加因應以各像素之單位所施加之電壓而對於入射光之透過率，以整體而言，係自光電裝置射出持有因應畫像訊號之對比度的光。在此，為了防止所保持之畫像訊號漏洩，附加與形成於像素電極 9a 和對向電極 21 間之液晶容量並列的存儲容量 70。存儲容量 70 係將介電體膜介於後述之向素開關用之 TFT30 之高濃度汲極領域 1e 和定電位之容量線 300 之間而所形成。

而且，於基板上 10 上，加上該些的資料線驅動電路 101、掃描線驅動電路 104、取樣電路 118 等，即使形成使規定電壓電平之預充電訊號先行於畫像訊號各供給於多數資料線 6a 之預充電電路、用以檢查製造途中或出貨時該光電裝置之品質、缺陷等之檢查電路等亦可。

(光電裝置之像素部中之構成)

針對本實施形態之光電裝置之像素部中之構成，參照第 7 圖及第 8 圖予以說明。79 圖係形成資料線、掃描線、像素電極等之光電裝置之相鄰接的多數像素群之平面圖，第 8 圖係第 7 圖之 A-A' 剖面圖。而且，於第 9 圖中，為了使各層或各構件成為可在圖面上辨識的面積，各層或各構件縮尺

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (31)

有所不同。

於第7圖中，在光電裝置之基板10上，設置有呈矩陣狀之多數透明像素電極9a(藉由點線部9a'輪廓所示之部分)，沿著像素電極9a之各縱橫境界，設置有資料線6a、掃描線3a。

再者，將掃描線3a配置成可與半導體層1a中之圖中右下斜線領域所示之通道領域1a相向，掃描線3a係當作閘極電極而發揮機能。如此，在掃描線3a和資料線6a交叉之處，各設置有在通道領域1a'上掃描線3a作為閘極電極被相向配置之像素開關用的TFT30。

於本實施形態中，容量線300係如圖中之粗線所示般重疊於掃描線3a之形成領域而所形成。更具體而言，即是容量線300係具備有沿著掃描線3a而延伸之主線部，和第7圖中，自與資料線6a交叉之各處沿著資料線6a各向上方突出之突出部，和僅有對應於觸孔84之處為中間細的細中腰部。

如第7圖及第8圖所示般，資料線6a係依據中繼源極電極303，經由觸孔81及觸孔82而電氣性連接於半導體層1a中之高濃度源極領域1d。另一方面，像素電極9a係依據將與源極電極303相同膜所構成的汲極電極302當作中繼層予以利用並中繼，經由觸孔83及85電氣性連接於半導體層1a中之高濃度汲極領域1e。

如此依據將汲極電極302當作中繼層使用之事，即使像素電極9a和構成TFT30之半導體層1a之間的層間距離長達

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (32)

例如1000nm左右，亦可以迴避以1個觸孔連接兩者間之技術性困難性，並且亦可以以比較小直徑之2個串聯的觸孔83及84良好地連接兩者間，可提高像素開口率。尤其，若使用如此的中繼層，亦有助於防止觸孔開孔時蝕刻之穿越。同樣的，依據使用源極電極303，即使構成資料線6a和TFT30之半導體層1a之間的層間距離為長，亦可以迴避以1個觸孔連接兩者間之技術性困難性，並且亦可以以比較小直徑之2個串聯的觸孔81及82良好地連接兩者間。

如第7圖及第8圖所示般，依據經由介電體膜301使汲極電極302和容量線300相向配置，則於由平面觀看時為重疊於掃描線3a之領域及重疊於資料線6a之領域上，構築存儲容量70。

即是，容量線300係延伸覆蓋掃描線3a，同時在資料線6a之領域下，形成用以覆蓋汲極電極302之具有突出部的梳齒狀。汲極電極302係形成自掃描線3a和資料線6a之交叉部，一方沿著位於資料線6a之領域下的容量線300之突出部延伸，另一方則沿著位於掃描線3a之領域上的容量線300延伸至鄰接之資料線6a附近的L字形之島狀容量電極。然後，經由介電體膜301在L字形之汲極電極重疊於容量線300之領域，形成存儲容量70。

包含存儲容量70之一方容量電極的汲極電極302，係利用觸孔85而與像素電極9a連接，而且，利用觸孔83而與高濃度汲極領域1e連接，成為像素電極電位。

包含存儲容量70之另一方容量電極的容量線300，係自

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (33)

配置向素電極 9a 的畫像顯示領域被延伸設置於其周圍，與定電位源電氣性連接，成為固定電位。作為定電位源，即使係被供給於用以使 TFT30 予以驅動之掃描訊號供給於掃描線 3a 之掃描線驅動電路，或控制用以將畫像訊號供給於資料線 6a 之取樣電路的資料線驅動電路之正電源或負電源之定電位源亦可，被供給於對向基板之定電位亦可。

存儲容量 70 之介電體膜 301 係由例如膜厚為 5~200nm 左右比較薄之 HTO 膜(高溫氧化膜)、LTO 膜(低溫氧化膜)等之氧化矽膜，或是氮化矽膜等所構成。介電體膜 301 係即是係依據氧化汲極電極 302 之表面而取得熱氧化膜亦可。就增大存儲容量 70 之觀點來看，在可以取得充分膜厚之信賴性的能力範圍下，介電體膜 301 係越薄越佳。

如第 8 圖所示般，光電裝置係具備有光電基板裝置 200 和與此相向配置的透明對向基板 20。對向基板 20 係由例如玻璃基板或石英基板所構成。於基板 10 上，設置有像素電極 9a，其上側上，設置施有拋光處理等之規定配向處理過的配向膜 16。再者，配向膜 16 係例如由聚醯亞胺膜等之有機膜所構成。

另外，於對向基板 20 之全表面上設置有對向電極 21，於下側上，設置施有拋光處理等之規定配向處理過的配向膜 22。對向電極 21 係例如由 ITO 膜等之透明導電性膜所構成。再者，配向膜 22 係由聚醯亞胺膜等之有機膜所構成。

於基板 10 上，鄰接於各像素 9a 之位置上，設置有用以開關控制各像素電極 9a 之像素開關用之 TFT30。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (34)

而且於對向基板 20 上即使設置遮光膜亦可。由於採用如此之構成，可以抑制入射光自對向基板 20 側侵入 TFT30 之半導體層 1a 之通到領域 1a' 或低濃度源極領域 1b 及低濃度領域 1c。而且，依據對向基板上之遮光膜係以高反射之膜形成入射光所照射之面，使得可以發揮防止光電裝置之溫度上升的作用。

而且，於本實施形態中，在由 Al 膜等所構成之遮光性之資料線 6a 中，即使將各像素之遮光領域中之沿著資料線 6a 之部分予以遮光亦可，藉由以遮光性之膜形成容量線 300，可以將通道領域 1a' 等予以遮光。

如此地構成，使像素電極 9a 和對向電極 21 相向而所配置之基板 10 和對向基板 20 之間，將為光電物質之一例的液晶封入於藉由密封材料所包圍之空間中，而形成液晶層 50。液晶層 50 係在佈施加來自像素電極 9a 之電場的狀態下，依據配向膜 16 及 22 而呈規定配向狀態。液晶層 50 係例如混合一種或多種類之向列液晶的液晶所構成。

於實施形態中，尤其被設置在每像素之 TFT30 因為持有 SOI 構造的 P 通道型，故縮小上述電洞之撞擊化率即可，於實用上不會造成幾乎基板浮游效果所引起的寄生雙極現象之問題。因此，如第 7 圖所示，相對的可將各像素之開口領域增大。

對此，於使用第 2 圖說明的持有 SOI 構造之 N 通道型之 TFT 時，因電洞之撞擊化率較大，故基板浮游效果所引起之寄生雙極現象極為顯著，如第 9 圖所示般，則需要追加形

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (35)

成用以吸出被存儲於通道領域 1a' 之少數載子的導電層 500。因此，從第 9 圖中可知，依據存在有用以取得該體接觸之導電層 500，不得不縮窄第 9 圖中之陰影線所示之各像素之開口領域 501。

如此，若依據本實施形態，可僅在不需體接觸之部分，提高各像素之開口率，同時不導致各像素所涉及之疊層構造或製造過程的複雜化即可。因此，可依據性能比較高之 TFT30 主動矩陣驅動，可執行明亮之高品質畫像顯示。

而且，如第 4 圖到第 6 圖所示般，本實施形態之光電裝置，雖然係周邊電路內藏型，但是，周邊電路即使係包含 SOI 構造之 N 通道型的電晶體而構成亦可。然後，該 N 通道型之電晶體上設置有如第 9 圖所示之用以吸出少數載子的導電層，同時，於被設置在畫像顯示領域之 P 通道型之電晶體上，係形成無設置用以吸出如此之少數載子的導電層為最佳。若依據如此之構成，對於用以組裝電路之面積比較充裕的周邊領域，使用含有吸出更高性能之少數載子的具有導電層之 N 通道型的 TFT 而所構成之周邊電路，因可更高度驅動或控制，所以較為有利。而且，依據將構成如此之周邊電路之 TFT 和各像素中之 TFT30 至少一部分由相同工程之相同層構成，可以抑制裝置全體所需之半導體層數、絕緣膜數及導電層數。

於上述之實施形態中，雖然依據疊層多數導電層，而於沿著資料線 6a 或掃描線 3a 之領域上產生段差，但是依據於基板 10、第 1 基底絕緣膜 12、第 1 層間絕緣膜 41、第 2 層間

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (36)

絕緣膜 42 挖掘溝槽，埋入資料線 6a 等之配線或 TFT30 等執行平坦化處理亦可，或者依據以 CMP 處理等研磨第 3 層間絕緣膜 43 或第 2 層間絕緣膜 42 之上面段差，或依據使用有機 SOG 使形成平滑，執行該平坦化處理亦可。

而且，於上述實施形態中，雖然像素開關用 TFT30 最好是持有如第 8 圖所示之 LDD 構造，但是，即使持有不執行雜質注入於低濃度源極領域 1b 及低濃度汲極領域 1c 的補償構造亦可，即使將由掃描線 3a 之一部分所構成之閘極電極當作掩模以高濃度注入雜質，自己整合的形成高濃度源極及汲極領域之自調整型的 TFT 亦可。再者，於本實施形態中，雖然為僅將像素開關用 TFT30 之閘極電極配置 1 個於高濃度源極領域 1d 及高濃度汲極領域 1e 間的單閘極構造，但是即使於該些之間設置 2 個以上之閘極電極亦可。若如此的以二閘極或是三閘極以上來構成 TFT，則可以防止通道和源極及汲極領域之接合部的漏洩電流，可以降低 OFF 時之電流。然後，針對構成周邊電路之 TFT，也可同樣的構築成各種 TFT。

以上參照第 1 圖至第 9 圖所說明之各實施形態中，即使以經由被設置在基板 10 之周邊部的異方性導電薄膜電氣性及機械性地連接於例如被安裝於 TAB(Tape Automated Bonding) 基板上之驅動用 LSI，來取代將資料線驅動電路 101 及掃描線驅動電路 104 設置於 TFT 陣列基板 10 上亦可。再者，在對向基板 20 之投射光射入側及基板 10 之射出光所射出側上，因應著例如 TN(Twisted Nematic) 模態、VA(Vertically

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (37)

Aligned)模態、PDLC(Polymer Dispersed Liquid Crystal)模態等之動作模態，或普通白色模態/普通黑色模態，各以規定方向配置偏光膜、相位差膜、偏光板等。

以上說明之各實施形態之光電裝置，因適用於投影機，故3片之光電裝置各作為RGB用光閥使用，將經由各RGB顏色分解用之分色鏡分解後之各顏色的光當作投射光各射入於各光閥上。因此，於各實施形態中，於對向基板20上無設置彩色濾光片。但是，即使將與於對向基板無形成遮光膜之像素電極9a相向之規定領域RGB上之彩色濾光片與其保護膜，同時在對向基板上形成亦可。如此一來，針對投影機以外之直視型或反射型之彩色光電裝置，可以適用各實施形態中之光電裝置。再者，即使形成微型透鏡亦可。或者，可在與TFT陣列基板10上之RGB相向之像素電極9a下以彩色抗蝕劑等形成彩色濾光層。如此一來，以提高入射光之集光效率，可以實現明亮之光電裝置。而且，即使於對向基板上20上，堆積多層折射率不同之干擾層，利用光之干擾，形成作出RGB之分色膜亦可。若依據付有該分色膜的對向基板，則可以實現更明亮之彩色光電裝置。

(電子機器之實施形態)

接著，針對將以上詳細說明的光電裝置當作光閥使用之電子機器，其一例的投射型彩色顯示裝置之實施形態，參照第10圖及第11圖予以說明。

首先，針對本實施形態之投射型彩色顯示裝置之電路

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (38)

構成參照第10圖之方塊圖予以說明。而且，第10圖係表示投射型彩色顯示裝置中之3片光閥中支1片的電路構成。該3片光閥基本上持有相同構成，在此針對1片之構成的部分加以說明。但是，嚴格來說，3片光閥中，輸入訊號有所差異(即是，以R用、G用、B用之訊號被驅動)，而且，G用之光閥所涉及之電路構成比起R用及B用，爲了反轉畫像予以顯示而在各場或幀內使畫像訊號順序予以逆轉並且使水平或垂直掃描方向予以逆轉之點也有所不同。

於第10圖中，投射型彩色顯示裝置係具備顯示資訊輸出源1000、顯示資訊處理電路1002、驅動電路1004、易經裝置100、時脈發生電路1008以及電源電路1010而所構成。顯示資訊輸出源1000係包含有令ROM(Read Only Memory)、RAM(Random Access Memory)、光碟裝置等之記憶體、畫像訊號調諧而輸出的調諧電路等，根據來自時脈發生電路1008地時脈訊號，將規定格式的畫像訊號等之顯示資訊輸出至顯示資訊處理電路1002。顯示資訊處理電路1002係含有放大、極性反轉電路、相展開電路、低壓電路、 γ 修正電路、箝位電路等之周知的各種處理電路而所構成，由根據時脈訊號而所輸入之顯示資訊順序生成數位訊號，與時脈訊號CLK同時輸出至驅動電路1004。驅動電路1004係驅動液晶裝置。電源電路1010係供給規定電源於上述各電路。而且，於構成液晶裝置100之TFT陣列基板上，即使搭載驅動電路1004亦可，除此之外，即使搭載顯示資訊處理電路1002亦可。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (39)

接著，參照第11圖，針對本實施形態之投射型彩色顯示裝置之全體構成，尤其係光學性構成予以說明。在此，第11圖係投射型彩色顯示裝置之圖解剖面圖。

於第11圖中，作為本實施形態之投射型彩色顯示裝置之一例的液晶投影機1100之構成，係準備3個含有驅動電路1004被搭載於TFT陣列基板之液晶裝置100的液晶模組，各當作RGB用之光閥100R、100G及100B使用的投影機。於液晶投影機1100中，當投射光自金屬鹵化物燈等之白色光源的燈元件1102發放之時，依據3片鏡1106及2片分色鏡1108，分成對應於RGB3原色的光成分R、G、B，各被導向對應於各顏色之光閥100R、100G及100B。此時，B光為了防止因長光路而損失光，係經由入射透鏡1122、中繼透鏡1123及出射透鏡1124所組成之中繼透鏡系統1121而被導向。然後，對應於依據光閥100R、100G及100B各被調至之3原色的光成分，係藉由分色稜鏡1112再次合成後，經由投射透鏡1114作為彩色畫像被投射至螢幕1120上。

(基板裝置之製造方法)

接著，參照第12圖至第15圖，針對適用於上述實施形態之光電裝置之基板裝置之製造方法所涉及的實施形態，予以說明。在此，第12圖係表示基板裝置之觸孔附近樣子的剖面圖。第13圖係以對應於第12圖之剖面表示基板裝置之製造方法的工程圖。再者，第14圖及第15圖係各表示觸孔形狀之其他具體例的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (40)

第12圖所示之本實施形態，係有關在基板裝置之基板600上，經由層間絕緣膜在具有規定平面圖案的第1導電層601上，形成具有規定平面圖案的第2導電層602，經由在層間絕緣膜610上開孔之觸孔611電氣性連接兩導電膜的工程者。

於第12圖中，作為本發明中之「孔穴」一例的觸孔611係貫通層間絕緣膜610而被開孔。再者，觸孔611之形狀係，其平面形狀呈正方形或長方形或多角形的角柱狀、圓柱狀等之柱狀。

圖中，箭頭所示之離子路徑620係表示在依據離子植入工程使第2導電層602低抵抗化之時注入的路徑。於本實施形態中，尤其離子路徑620係對觸孔611之中心線，僅規定角度X呈傾斜。

於本實施型態中，尤其規定角度X係當將觸孔611之直徑當作a，將觸孔611之深度當作e，將第2導電層602之膜厚當作c之時，被設定成可以滿足 $0 < X \leq \tan^{-1} \{ (a-2c) / 2e \}$ 。在此，因規定角度X被設定成可以滿足 $X \leq \tan^{-1} \{ (a-2c) / 2e \}$ ，故離子也可注入於形成在觸孔611底面之第2導電層602b的中央。

即是，於第12圖所示之狀態中，可將離子注入於形成在觸孔611之右側側面的第2導電層部分602s，同時也可將離子注入於形成在觸孔611底面之右半份的第2導電層部分602b。然後，若以該狀態作為基準使離子路徑620之傾斜左右反轉之時，則可將離子注入於形成在觸孔611左側之側面上的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (41)

第2導電層部分，同時也可將離子注入於形成在觸孔611之底面左半分的第2導電層部分602b。而且，包含第12圖中垂直於紙面的方位，若使離子路徑傾斜於四方之時，則可將離子注入於形成在觸孔611全側面的第2導電層部分602s，同時也可將離子注入於形成在觸孔611之全底面上的第2導電層部分602b。將離子植入工程中之離子路徑620為傾斜的方位，例如包圍觸孔611之中央，適當改變三方、四方、八方、全方位，則可以將在觸孔611內注入離子的區域，變成底面及側面之全區域。

接著，順著第13圖之工程圖。針對含有如第12圖所示之基板裝置之製造方法予以說明。

如第13圖(a)所示般，首先，在基板600上，形成由摻雜矽等所構成之第1導電層601。在此，依據例如CVD法、濺鍍法、貼合法等，在基板600之全面形成導電膜後，藉由微影成像及蝕刻等圖案製作此，而形成規定圖案之第1導電層601。或是，依據離子植入等使單晶矽膜、聚矽膜等之半導體膜之一部分低電阻化，即使形成第1導電層601亦可。

接著，如第13圖(b)所示，於形成有第1導電層601之基板600全面上形成層間絕緣膜610。在此，例如，使用常壓或減壓VD法或TEOS氣體等，形成由NSG、PSG、BSG、BPSG等之矽酸鹽玻璃膜、氮化矽膜或氧化矽膜所構成的層間絕緣膜610。

接著，如第13圖(c)所示，在層間絕緣膜610上開孔觸孔611。在此例如，以使用指向性高之乾蝕刻，開孔具有垂直

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (42)

於基板面之側面的柱狀觸孔 611。此時，即使於基板 600 上之其他領域，也可同時開孔其他觸孔。

接著，於第 13 圖 (d) 所示，依據 CVD 法、濺鍍法等，於開孔觸孔 611 地層間絕緣膜 610 上，形成例如將成爲聚矽膜等之第 2 導電層 602 的材料膜。接著，與該材料膜之圖案製作呈層前後，如以離子路徑 620a 所表示其注入路徑般依據離子植入工程將離子注入該材料膜使其低電阻化。例如，第 12 圖所示之觸孔 611 之直徑 a 爲 1000nm，觸孔 611 之深度 e 爲 400nm，第 2 導電層 602 之膜厚 c 爲 150nm 之時，若使用乙硼烷在 25Kev 左右之加速度且以 $10^{15}/c\text{ m}^2$ 左右之比較高濃度之投入量注入將 B (硼)，則可以在第 2 導電層 602 得到均勻良好的導電性。

而且，即使使用不摻雜矽膜作爲第 2 導電層 602 之材料膜亦可，即使使用與成膜同時導入離子的摻雜矽膜亦可。後者之情形，係可以依據離子植入工程形成具有更進一步低電阻化或所欲求之電阻值的第 2 導電層 602。再者，作爲注入的離子，可對應材料膜之種類及第 1 導電層 601 係由 P+ 型所構成或是由 N+ 型所構成而適當選擇，並不限制於 B，即使爲 P (磷) 亦可。

於上述之本實施形態中，尤其，該離子植入工程中，僅傾斜規定角度 X 而進行離子之注入。其結果，於第 13 圖 (d) 中，離子注入於形成於觸孔 611 之右側側面的第 2 導電層部分 602s 及形成於底面之右側一半上的第 2 導電層部分 602b，但是，此時，形成於觸孔 611 之口側邊緣的第 2 導電層部

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (43)

分 602a 因部分性的妨礙離子路徑 620a，故於第 13 圖 (d) 中，離子不被注入於形成於觸孔 611 之左側側面的第 2 導電層部分 602s 及形成在第 2 導電層部分 602b。

在此，如第 13 圖 (e) 所示般，變更離子注入之傾斜方位，繼續進行離子注入工程。依此，將離子注入於形成在觸孔 611 之左側側面上的第 2 導電層部分 602s 及形成在底面之左側一半的第 2 導電層部分 602b。同樣的，依據適當的變更離子注入傾斜方位，繼續進行離子植入工程，可以形成在觸孔 611 全側面上所形成之第 2 導電層部分 602s 及形成在全底面上之第 2 導電層部分 602b。

如上述般，若依據本實施形態之製造方法，則比較容易使觸孔 611 內之材料膜低電阻化，可以形成第 2 導電層 602。其結果，可經由觸孔 611 良好的電氣性連接第 1 導電層 601 和第 2 導電層 602，可以在基板 600 上構築包含該些的第 1 導電層 501 及第 2 導電層 602 而所形成的電子元件或電子電路。

於本製造方法中之第 13 圖 (c) 中，雖然使用乾蝕刻，開孔柱狀之觸孔 611，但是如第 14 圖所示般，即使使用濕蝕刻，在基板上開孔顛倒地圓錐台狀或角錐台狀的觸孔 611' 亦可。或者，如第 15 圖所示般，即使使用組合濕蝕刻和乾蝕刻，在基板上開孔由顛倒的圓錐台狀或角錐台狀之第 1 觸孔部分 611a 和柱狀之第 2 觸孔部分 611b 所構成的觸孔 611'' 亦可。

於第 14 圖之情形時，尤其，如第 13 圖 (d) 及 (e) 所示般，在離子植入工程中使離子路徑 620' 傾斜的規定角度 X ，係當將觸孔 611' 底面的直徑當作 a ，將觸孔 611' 口側邊緣的直徑

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (44)

當作 d ，將觸孔 611' 之深度當作 e ，將第 2 導電層 602' 之膜厚當作 c 時，被設定成可以滿足 $0 \leq X \leq \tan^{-1} \{ (d-a) / 2e \}$ 。如此之規定角度 X ，因被設定成 $0 \leq X$ ，故可將離子注入於形成在觸孔 611' 之側面上的材料膜部分。尤其，因於觸孔 611' 側面上有傾斜，故配合其傾斜程度，即使 $X=0$ ，亦可將離子注入於形成於觸孔 611' 側面的材料膜部分。而且，因滿足 $X \leq \tan^{-1} \{ (d-a) / 2e \}$ ，故亦可將離子注入於觸孔 611' 之底面中央。因此，與參照第 13 圖 (d) 及 (e) 所說明的情形相同，將離子注入的傾斜方位變成多數方位，則可使離子注入於觸孔 611' 之底面及側面的幾乎或全區域上。

於此具體例時，例如，觸孔 611' 之底面的直徑 a 為 1000nm，觸孔 611' 之口側的邊緣直徑 d 為 3000nm，觸孔 611' 之深度 e 為 400nm，第 2 導電層 602' 之膜厚 c 為 150nm 之時，若使用乙硼烷在 25Kev 左右之加速度且以 $10^{15}/\text{cm}^2$ 左右之比較高濃度之投入量注入將 B (硼)，則可以在第 2 導電層 602' 得到均勻良好的導電性。

於第 15 圖之時，尤其如第 13 圖 (d) 及 (e) 所示般，在離子植入工程中使離子路徑 620' 傾斜的規定角度 X 係，當將第 2 觸孔部分 611b 當作 a ，將第 1 觸孔部分 611a 之口側邊緣的直徑當作 d ，將第 1 觸孔部分 611a 之深度當作 e ，將第 2 觸孔部分 611b 之深度當作 b ，將第 2 導電層 602' 之膜厚當作 c 時，被設定成可以滿足 $0 < X \leq (a-2c) / 2 (c \sin Y + b - c)$ ，但是， $(Y = \tan^{-1} \{ (d-a) / 2e \})$ 。如此因規定角度 X 被設定成 $0 < X$ ，故可將離子注入於形成在第 1 觸孔部分 611a 及第 2 觸孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (45)

部分 611b 之側面的材料膜部分。而且，因滿足 $X \leq (a-2c) / 2 (c \sin Y + b - c)$ ，故亦可以將離子注入於第 2 觸孔部分 611b 之底面中央。因此，與參照第 13 圖 (d) 及 (e) 所說明之情形相同，將離子注入的傾斜方位變成多數方位，則可使離子注入於觸孔 611 之底面及側面的幾乎或全區域。

於該具體例之時，例如，第 2 觸孔部分 611b 的直徑 a 為 1000nm，第 1 觸孔部分 611a 之口側的邊緣直徑 d 為 3000nm，第 1 觸孔部分 611a 之深度 e 為 400nm，第 2 觸孔部分 611b 之深度為 400nm，第 2 導電層 602 之膜厚 c 為 150nm 之時，若使用乙硼烷在 25Kev 左右之加速度且以 $10^{15}/\text{cm}^2$ 左右之比較高濃度之投入量注入將 B (硼)，則可以在第 2 導電層 602 得到均勻良好的導電性。

以上參照第 12 圖至第 15 圖所說明之基板裝置之製造方法，係如第 1 圖及第 8 圖所示般，亦可以適用於包含將汲極電極 302 連接於半導體 1a 之高濃度汲極領域 1e 之工程，或將源極電極 303 連接於半導體層 1a 之高濃度源極領域 1d 之工程的觀光電裝置之製造方法。此時，若將參照第 1 圖至第 9 圖所說明之汲極電極 302 或源極電極 303 對應於第 2 導電層 602，將參照第 1 圖至第 9 圖所說明之半導體層 1a 對應於第 1 導電層 601，而加以製造的話即可。

本發明並不限於上述各實施形態者，只要不違反申請專利範圍及說明書中之發明主旨或思想，亦可在其範圍內做適當變更，伴隨著如此之變更的光電基板裝置及其製造方法、光電裝置、電子機器以及基板裝置之製造方法皆

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(46)

是包含於本發明之技術性範圍內。

【圖面之簡單說明】

第1圖為本發明之實施形態之光電基板裝置之剖面圖。

第2圖係表示針對各種之汲極電壓 ($|V_d|$)，持有作為比較例之 SOI 構造之 N 通道 MOS 電晶體中之閘極電壓 ($|V_g|$) 相對於汲極電流 ($|I_d|$) 之特性的特性圖。

第3圖係表示針對各種之汲極電壓 ($|V_d|$)，持有本實施形態之 SOI 構造之 P 通道 MOS 電晶體中之閘極電壓 ($|V_g|$) 相對於汲極電流 ($|I_d|$) 之特性的特性圖。

第4圖係本發明之實施形態之光電裝置中形成於之 TFT 陣列基板上的各構成要素，且由對向基板所觀測時之平面圖。

第5圖係第4圖之 H-H' 剖面圖。

第6圖係本發明實施形態之光電裝置中被設置於構成畫像顯示領域之矩陣狀的多數像素的各種元件、配線等之等效電路。

第7圖係實施形態之光電裝置中形成資料線、掃描線、像素電極等之 TFT 陣列基板相鄰接的多數像素群之平面圖。

第8圖係第7圖之 A-A' 剖面圖。

第9圖係用以吸出比較例中像素開關用之 TFT 之少數載子的導電層之平面圖。

第10圖係表示屬於本發明之電子機器之實施形態的投

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (47)

射型彩色顯示裝置中之有關光閥之電路構成的方塊圖。

第11圖係表示作為屬於本發明之電子機器之實施形態的投射型彩色顯示裝置之一例的彩色液晶投影機的剖面圖。

第12圖係表示基板裝置之觸孔附近情況的剖面圖。

第13圖(a)-(e)係以對應著第12圖之剖面表示基板裝置之製造方法的工程圖。

第14圖係表示觸孔形狀之其他具體例的剖面圖。

第15圖係表示觸孔形狀之又一具體例的剖面圖。

【圖號說明】

1a	半導體層
1a'	通道領域
1b	低濃度源極領域
1c	低濃度汲極領域
1d	高濃度源極領域
1e	高濃度汲極領域
2	絕緣膜
3a	掃描線
6a	資料線
9a	像素電極
10	基板
11a	下側遮光膜
12	第1基底絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(48)

- | | |
|-------------|---------|
| 13 | 第2基底絕緣膜 |
| 16 | 配向膜 |
| 20 | 對向基板 |
| 30 | TFT |
| 50 | 液晶層 |
| 70 | 存儲容量 |
| 70-1~70-2 | 存儲容量 |
| 81、82、83、85 | 觸孔 |
| 20 | 光電基板裝置 |
| 300 | 容量線 |
| 301 | 絕緣膜 |
| 302 | 汲極電極 |
| 303 | 源極電極 |
| 601 | 第1導電層 |
| 602 | 第2導電層 |
| 610 | 層間絕緣膜 |
| 611 | 觸孔 |
| 602 | 離子路徑 |

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱： 光電基板裝置及其製造方法，光電裝置、電子機器以及基板裝置之製造方法)

光電基板裝置係在基板上具備像素電極和連接於此的像素開關用之 TFT。該 TFT 為不持有體接觸的 SOI 構造的 P 通道型 TFT。

依此，適用於擴大各像素之開口領域為最佳，同時可將性能比較高的電晶體構築於各像素上，而進行明亮高品質的畫像顯示。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍 1

1. 一種光電基板裝置，其特徵為：

於基板上具備有：

絕緣體層；

形成於該絕緣體層上，含有 P 型之源極領域及 P 型之汲極領域以及通道領域的 N 型之單晶半導體層；

藉由閘極絕緣膜而形成在上述通道領域中之上述單晶半導體層上的閘極電極；

被連接於該閘極電極的掃描線；

被連接於上述源極領域及上述汲極領域之一方的資料線；及

被連接於上述源極領域及上述汲極領域之另一方的像素電極，

由上述單晶半導體層、上述閘極絕緣膜及上述閘極電極，構築成用以開關控制上述像素電極的 P 型通道之電晶體。

2. 如申請專利範圍第 1 項所記載之光電裝置，其中，

上述電晶體係由 P 通道 MOS(Metal Oxide Silicon)型電晶體所形成。

3. 如申請專利範圍第 1 項所記載之光電基板裝置，其中

又具備有：

形成於上述閘極電極上之層間絕緣膜；

形成於該層間絕緣膜上，並且由被連接於上述源極領域之 P 型導電層所形成之源極電極；及

六、申請專利範圍 2

形成於該層間絕緣膜上，並且由被連接於上述汲極領域之 P 型導電層所形成之汲極電極；

上述資料線係中繼上述源極電極及汲極電極之一方而被連接於上述源極領域及上述汲極領域之一方，

上述像素電極係中繼上述源極電極及汲極電極之另一方而被連接於上述源極領域及上述汲極領域之另一方。

4.如申請專利範圍第3項所記載之光電基板裝置，其中，

上述 P 型導電層係在堆積導電層後，藉由離子植入而被摻雜於 P 型。

5.如申請專利範圍第3項所記載之光電基板裝置，其中，

上述源極電極係藉由在上述層間絕緣膜開孔的觸孔而連接於上述源極領域，

上述汲極電極係藉由在上述層間絕緣膜開孔的觸孔而連接於上述汲極領域。

6.如申請專利範圍第1項所記載之光電基板裝置，其中，

又於上述基板上具有自下側覆蓋上述通道領域之下側遮光膜，

上述絕緣體層係被形成於上述下側遮光膜上。

7.如申請專利範圍第1項所記載之光電基板裝置，其中，

在面對上述絕緣體層之上述單晶半導體層之側的表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 3

上，施有 CMP(Chemical Mechanical Polishing)處理。

8.如申請專利範圍第1項所記載之光電基板裝置，其中

，

上述基板係由石英玻璃所形成。

9.如申請專利範圍第1項所記載之光電基板裝置，其中

，

上述基板係由玻璃所形成。

10.如申請專利範圍第1項所記載之光電基板裝置，其中

，

上述像素電極係由透明電極所形成。

11.如申請專利範圍第1項所記載之光電基板裝置，其中

，

上述像素電極係由反射電極所形成。

12.如申請專利範圍第1項所記載之光電基板裝置，其中

，

又在上述基板上形成上述像素電極之畫像顯示領域的周邊上具有周邊電路，

該周邊電路係含有 N 通道型之電晶體，於該 N 通道型之電晶體上，設置有用以吸出存儲於該半導體層之載子的導電層，

於被設置於上述畫像顯示領域之上述 P 通道型之電晶體上，無設置用以吸出存儲於該半導體層之載子的導電層。

13.如申請專利範圍第1項所記載之光電裝置，其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 4

又於上述基板上，具備有：

用以中繼連接上述源極領域及上述汲極領域之另一方和上述像素電極，同時含有像素電位側容量電極的中間導電層；及

含有藉由介電體膜而被相向配置於該像素電位側容量電極之固定電位側容量電極的容量線，

自上述像素電位側容量電極及上述固定電位側容量電極，構築成被連接於上述像素電極之存儲容量，

上述容量線及上述中間導電層中之至少一方，係由導電性之遮光膜所形成，在上述基板上含有自上側覆蓋上述通道領域之部分。

14.如申請專利範圍第13項所記載之光電基板裝置，其中，

上述存儲容量由平面觀看時係至少部分性地被設置在與上述掃描線重疊之領域上。

15.如申請專利範圍第13項所記載之光電基板裝置，其中，

上述存儲容量由平面觀看時係至少部分性地被設置在與上述資料線重疊之領域上。

16.一種光電裝置，其特徵為：具備有：

申請專利範圍第1項至第15項中之任一項所記載之光電基板裝置；

被相向配置在該基板裝置的對向基板；及

於該對向基板和上述基板裝置間所挾持的光電物質。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 5

17.一種電子機器，其特徵為：具備有申請專利範圍第16項所載之光電裝置。

18.一種光電基板裝置之製造方法，係用以製造申請專利範圍第5項所記載之光電基板裝置，其特徵為：包含有

於上述單晶半導體層上形成上述層間絕緣膜之第1成膜工程；

對上述層間絕緣膜開孔上述觸孔的開孔工程；

於上述觸孔被開孔的層間絕緣膜上形成上述 P 型導電層所組成之規定種類之材料膜的第2成膜工程；及

對該所形成的材料膜藉由離子植入注入離子來形成上述 P 型導電層的離子植入工程，

上述離子植入工程中，上述離子之注入係僅使規定角度 X 對上述觸孔之中心線傾斜，使得上述離子可被注入於形成在上述觸孔之側面的上述材料膜部分而執行之，而且該規定角度 X 係被設定在上述離子可被注入於形成在上述觸孔底面之上述材料膜部分的範圍內。

19.如申請專利範圍第18項所記載之光電基板裝置之製造方法，其中，上述離子植入工程中，上述離子之注入係使對於上述觸孔之中心線成爲互相前後或是同時僅使上述規定角度 X 傾斜於複數方位而執行之，

上述規定角度 X 係針對各個上述複數方位被設定在上述離子被注入於位於上述觸孔底面中央之上述材料膜部分的範圍內。

20.如申請專利範圍第18項所記載之光電基板裝置之製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 6

造方法，其中，上述開孔工程中，上述觸孔係被開孔成柱狀，

上述離子植入工程中，上述規定角度 X 係當上述觸孔之直徑設為 a ，上述觸孔之深度設為 e ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足下式

$$0 < X \leq \tan^{-1} \{ (a-2c) / 2e \}。$$

21.如申請專利範圍第18項所記載之光電基板之製造方法，其中，

上述開孔工程中，上述觸孔係被開挖成自上述層間絕緣膜朝向上述導電層側擴大之圓錐狀或角錐台狀，

上述離子植入工程中，上述規定角度 X 係當上述觸孔之底面之直徑設為 a ，上述觸孔口側之直徑設為 d ，上述觸孔之深度設為 e ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足下式

$$0 < X \leq \tan^{-1} \{ (d-a) / 2e \}。$$

22.如申請專利範圍第18項所記載之光電基板裝置之製造方法，其中，

上述開口工程中，上述觸孔係被開挖成可由自上述層間絕緣膜朝向上述導電層側開挖成擴大之圓錐狀或角錐台狀的第1觸孔部分，和自該第1部分之底面連續開挖成柱狀的第2觸孔部分所組成，

上述離子植入工程中，上述規定角度 X 係當上述第2觸孔部分之直徑設為 a ，上述第1觸孔部分之口側邊緣的直徑設為 d ，上述第1觸孔部分之深度設為 e ，上述第2觸孔部分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 7

之深度設為 b ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足下式

$$0 < X \leq (a - 2c) / 2 (c \sin Y + b - c)$$

但是， $Y = \tan^{-1} \{ (d - a) / 2e \}$ 。

23. 一種基板裝置之製造方法，係製造在基板上具有被開挖孔穴的層間絕緣膜和形成在該層間絕緣膜上，同時被設置於上述孔穴內的導電層，由該導電層在上述基板上至少構成電子元件或電子電路之至少一部分的基板裝置，其特徵為：包含有

對上述層間絕緣膜開挖上述孔穴的工程；

在上述孔穴被開挖的層間絕緣膜上形成將成為上述導電層之規定種類之材料膜的工程；及

對該所形成之材料膜，藉由離子植入注入離子而形成上述導電層之離子植入的工程，

上述離子注入工程中，上述離子之注入係僅使規定角度 X 對上述孔穴之中心線傾斜，使得上述離子可被注入於形成在上述孔穴之側面的上述材料膜部分而執行之，而且該規定角度 X 係被設定在上述離子可被注入於形成在上述孔穴底面之上述材料膜部分的範圍內。

24. 如申請專利範圍第 23 項所記載之基板裝置之製造方法，其中，

上述基板裝置又在上述基板上具備有藉由上述孔穴與上述導電層連接之其他的導電層，

又包含有在上述其他導電層上形成上述層間絕緣膜之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 8

工程。

25.如申請專利範圍第23項所記載之基板裝置之製造方法，其中，

開挖上述孔穴之工程中，上述孔穴係並不是貫穿上述層間絕緣膜而是形成漥狀或凹狀。

26.如申請專利範圍第23項所記載之基板裝置之製造方法，其中，上述離子植入工程中，上述離子之注入係使對於上述孔穴之中心線成爲互相前後或是同時僅使上述規定角度 X 傾斜於複數方位而執行之，上述規定角度 X 係針對各個上述複數方位被設定在上述離子被注入於位於上述孔穴底面中央之上述材料膜部分的範圍內。

27.如申請專利範圍第23項所記載之基板裝置之製造方法，其中，

上述開挖孔穴之工程中，上述孔穴係被開挖成柱狀，

上述離子植入工程中，上述規定角度 X 係當上述孔穴之直徑設爲 a，上述孔穴之深度設爲 e，上述材料膜之膜厚設爲 c 之時，則被設定成可以滿足下式

$$0 < X \leq \tan^{-1} \{ (a-2c) / 2e \} .$$

28.如申請專利範圍第23項所記載之基板之製造方法，其中，

上述開挖孔穴之工程中，上述孔穴係被開挖成自上述層間絕緣膜朝向上述導電層側擴大之圓錐狀或角錐台狀，

上述離子植入工程中，上述規定角度 X 係當上述孔穴之底面之直徑設爲 a，上述孔穴口側的直徑設爲 d，上述孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 9

穴之深度設為 e ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足下式

$$0 < X \leq \tan^{-1} \{ (d-a) / 2e \}。$$

29.如申請專利範圍第23項所記載之基板裝置之製造方法，其中，

上述開挖孔穴之工程中，上述孔穴係被開挖成可由自上述層間絕緣膜朝向上述導電層側開挖成擴大之圓錐狀或角錐台狀的第1孔穴部分，和自該第1部分之底面連續開挖成柱狀的第2孔穴所組成，

上述離子植入工程中，上述規定角度 X 係當上述第2孔穴部分之直徑設為 a ，上述第1孔穴部分之口側邊緣的直徑設為 d ，上述第1孔穴部分之深度設為 e ，上述第2孔穴部分之深度設為 b ，上述材料膜之膜厚設為 c 之時，則被設定成可以滿足下式

$$0 < X \leq (a-2c) / 2 (c \sin Y + b - c)$$

$$\text{但是， } Y = \tan^{-1} \{ (d-a) / 2e \}。$$

30.如申請專利範圍第23項所記載之基板裝置之製造方法，其中，

上述離子植入工程中，進行上述離子之注入係使含有聚矽而組成之上述材料膜成為由 P 型之摻雜聚矽所組成之上述導電層。

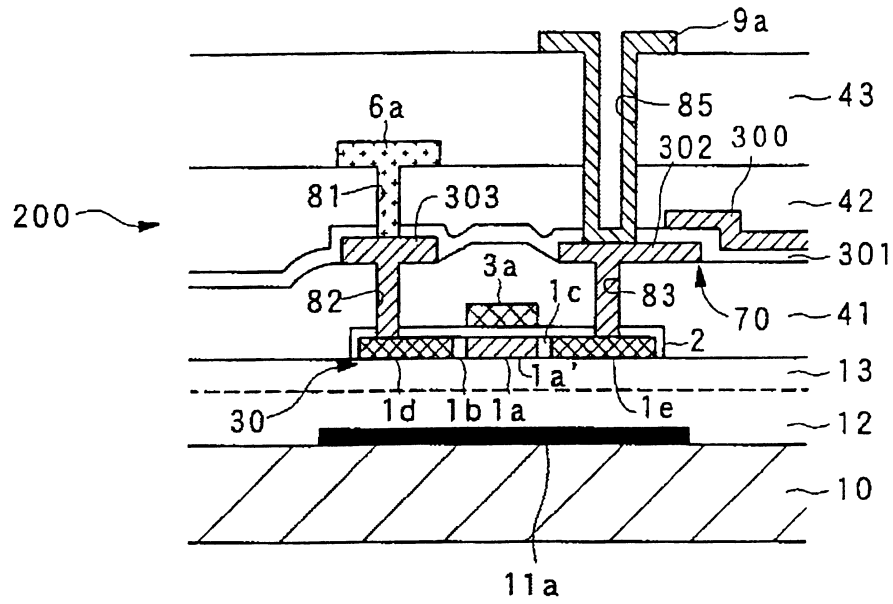
(請先閱讀背面之注意事項再填寫本頁)

裝

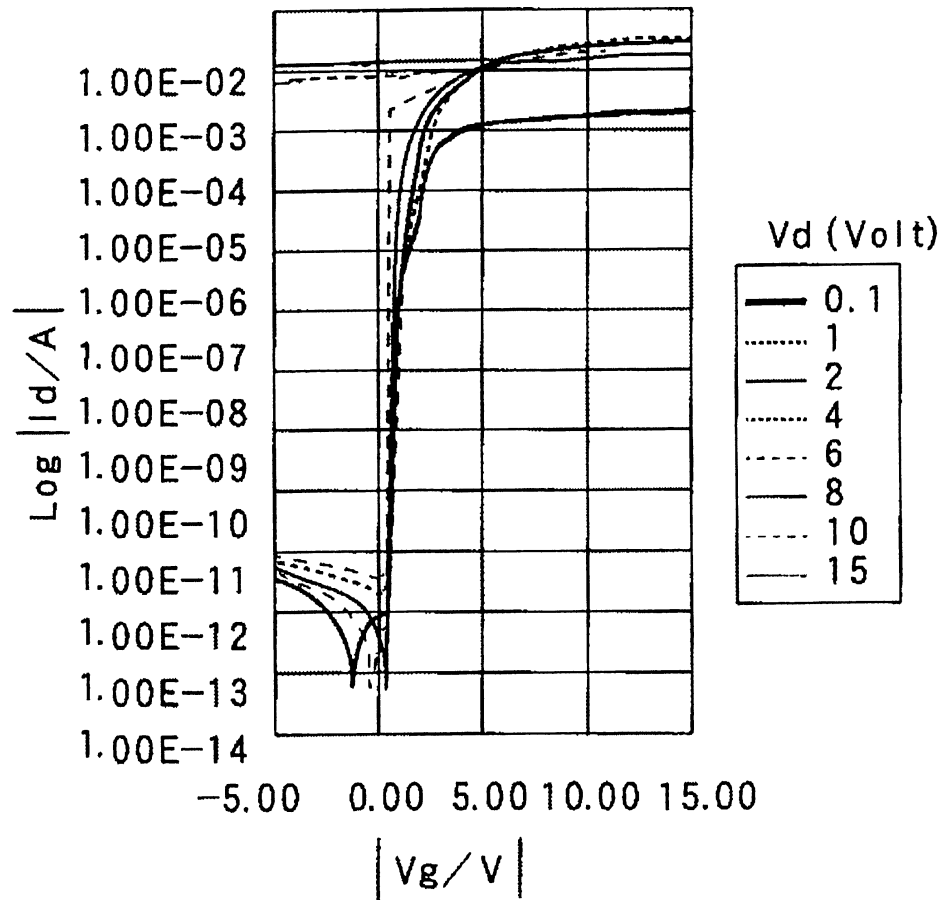
訂

線

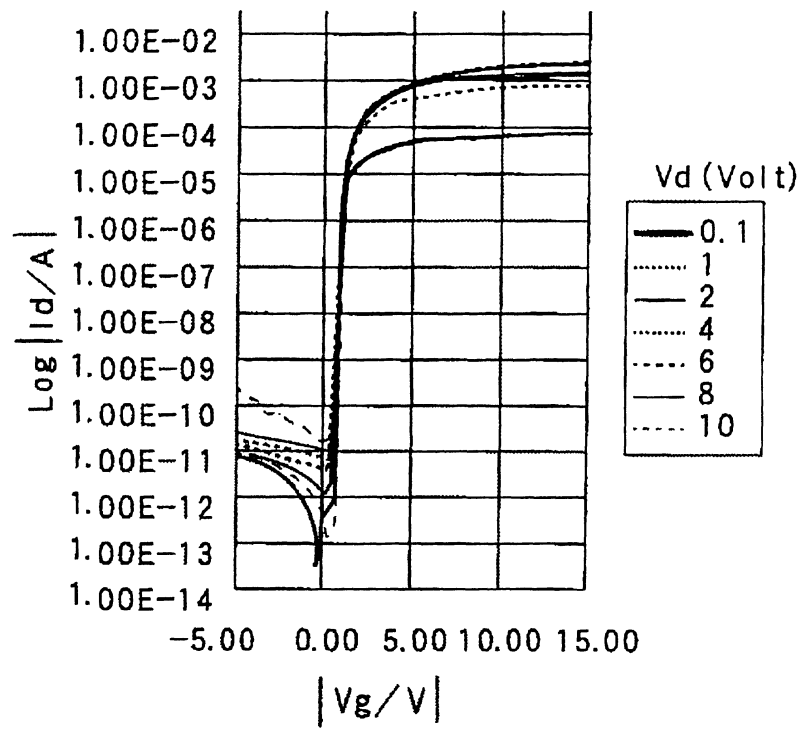
第 1 圖



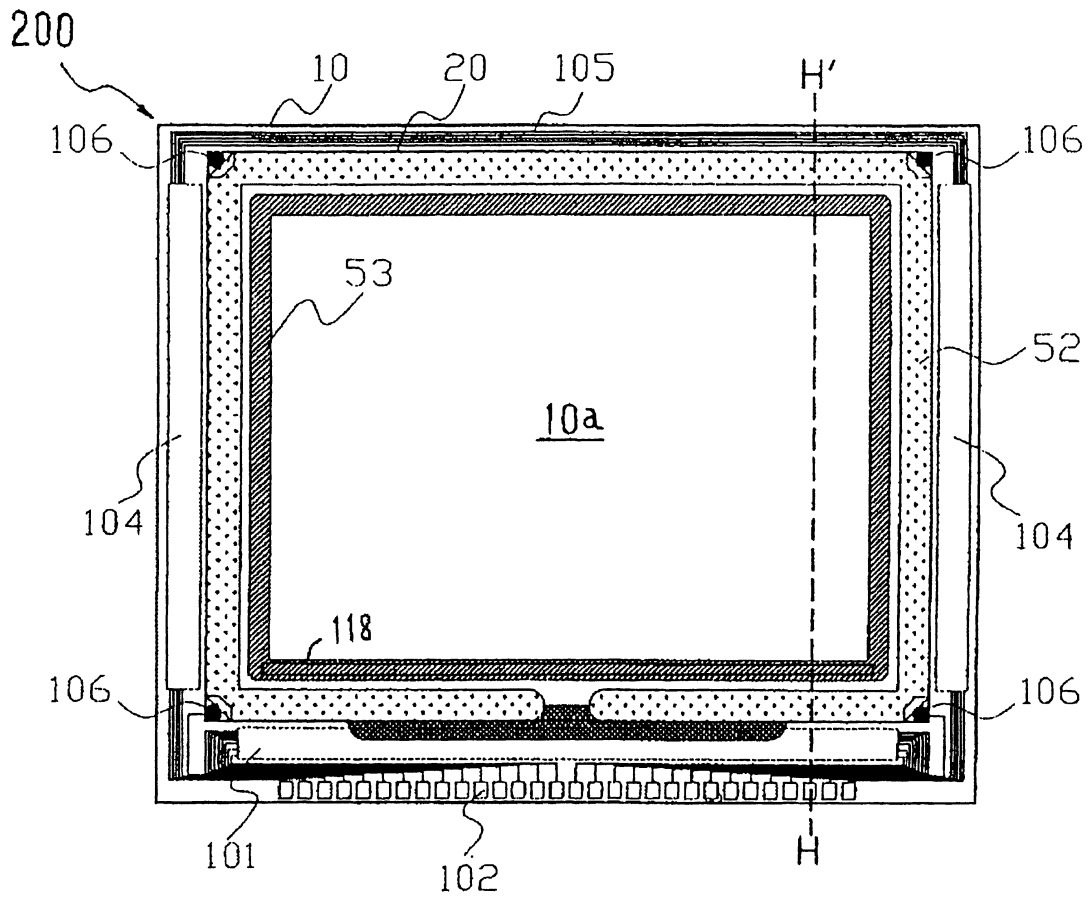
第 2 圖



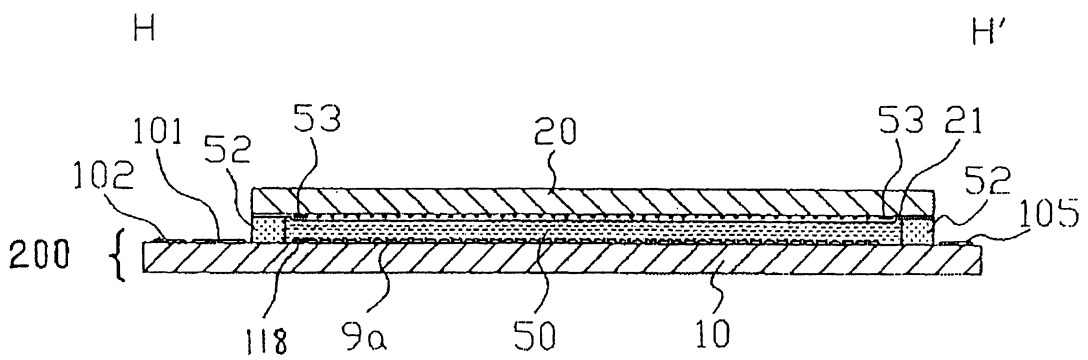
第 3 圖



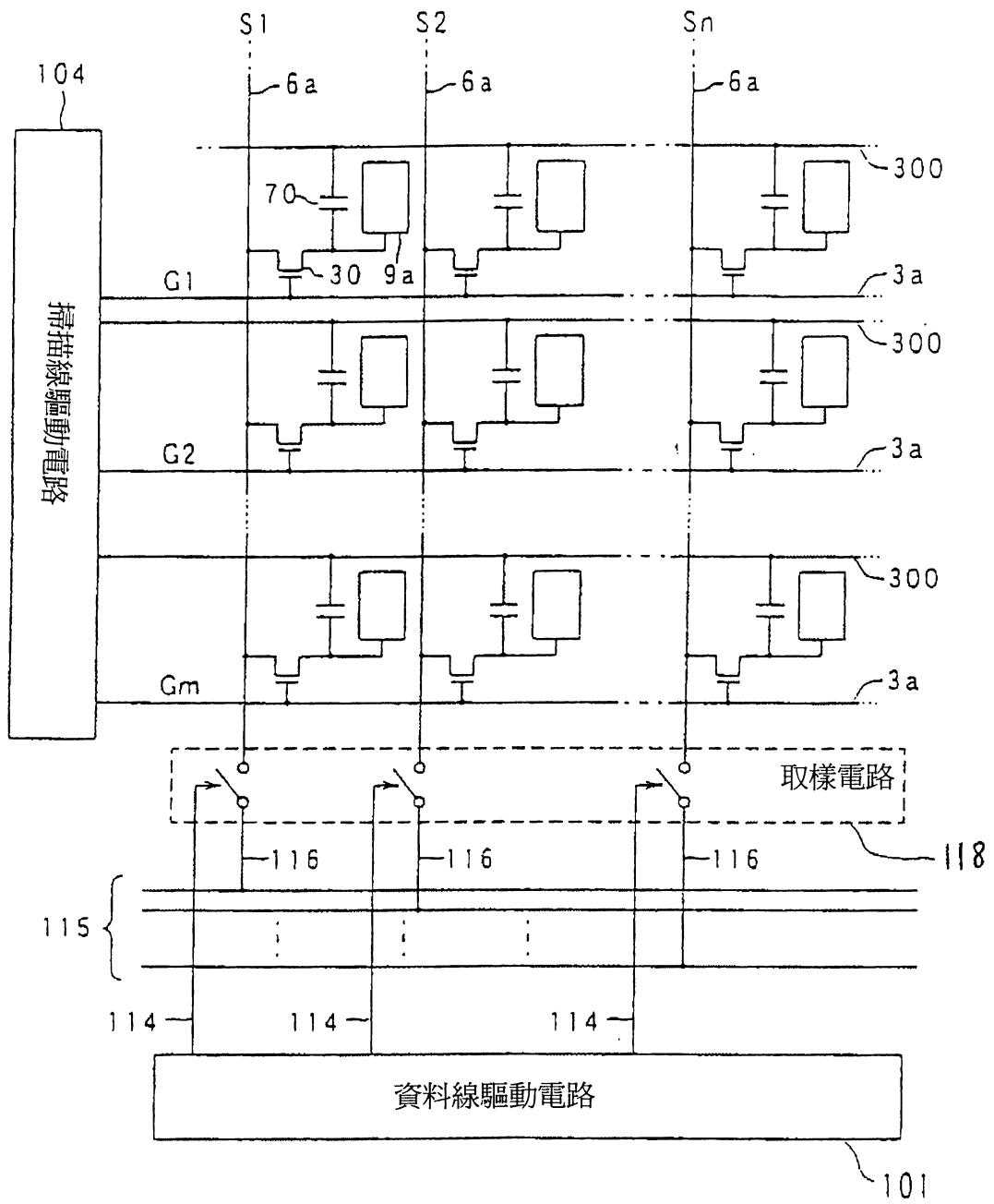
第 4 圖



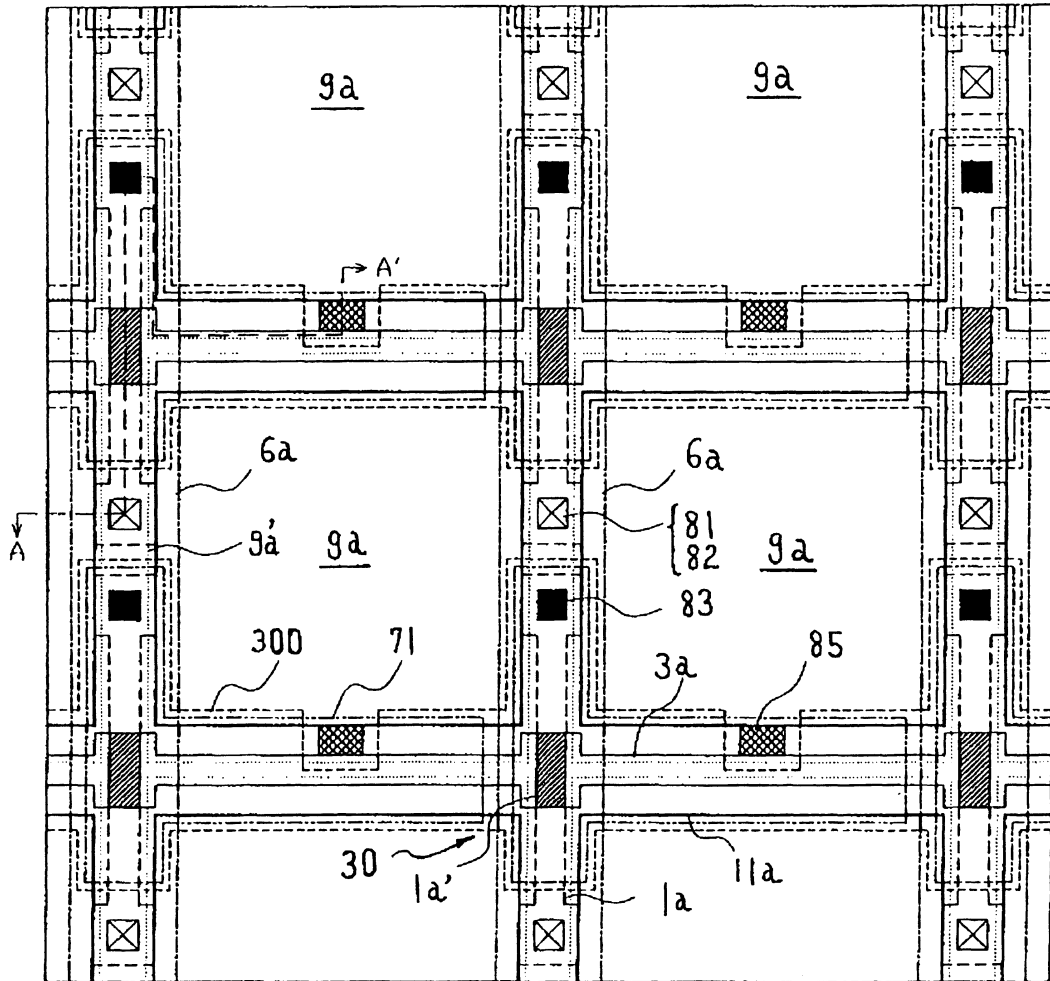
第 5 圖



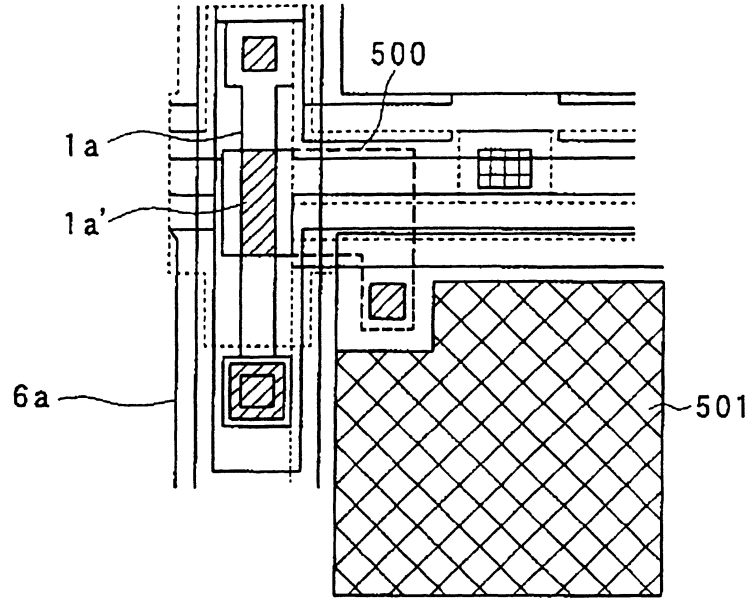
第 6 圖



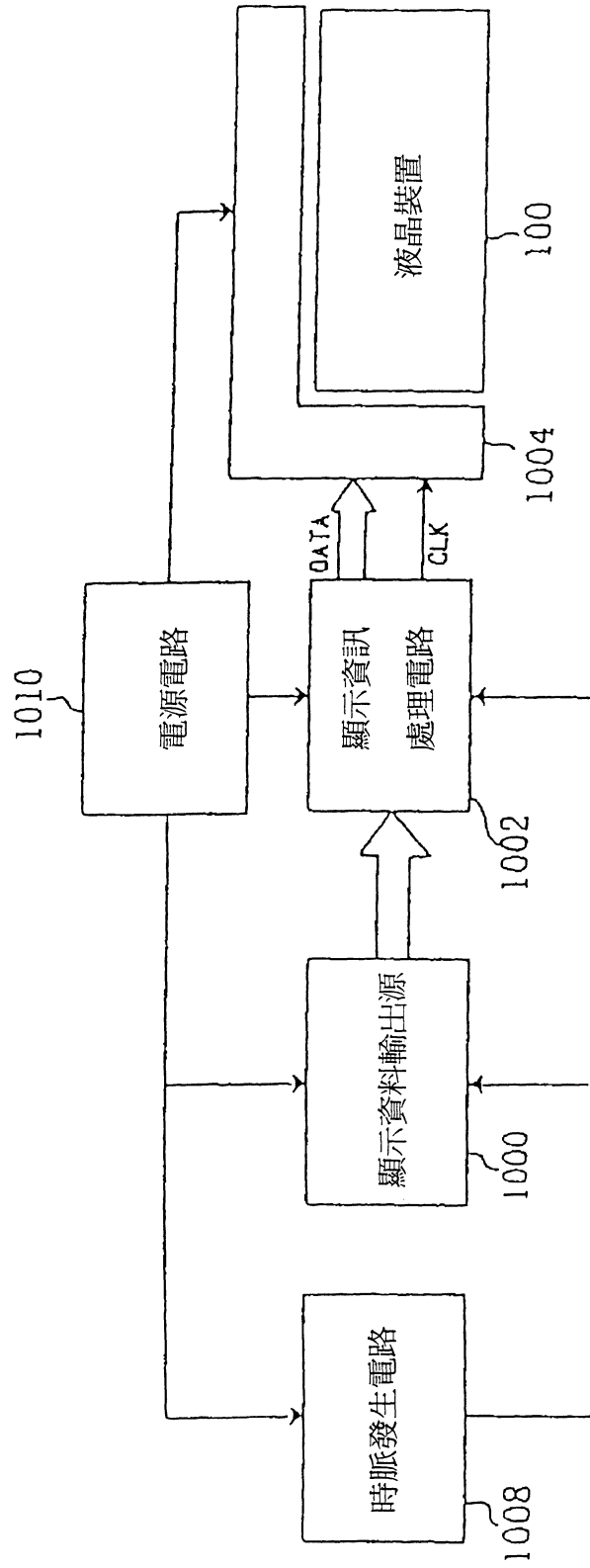
第 7 圖



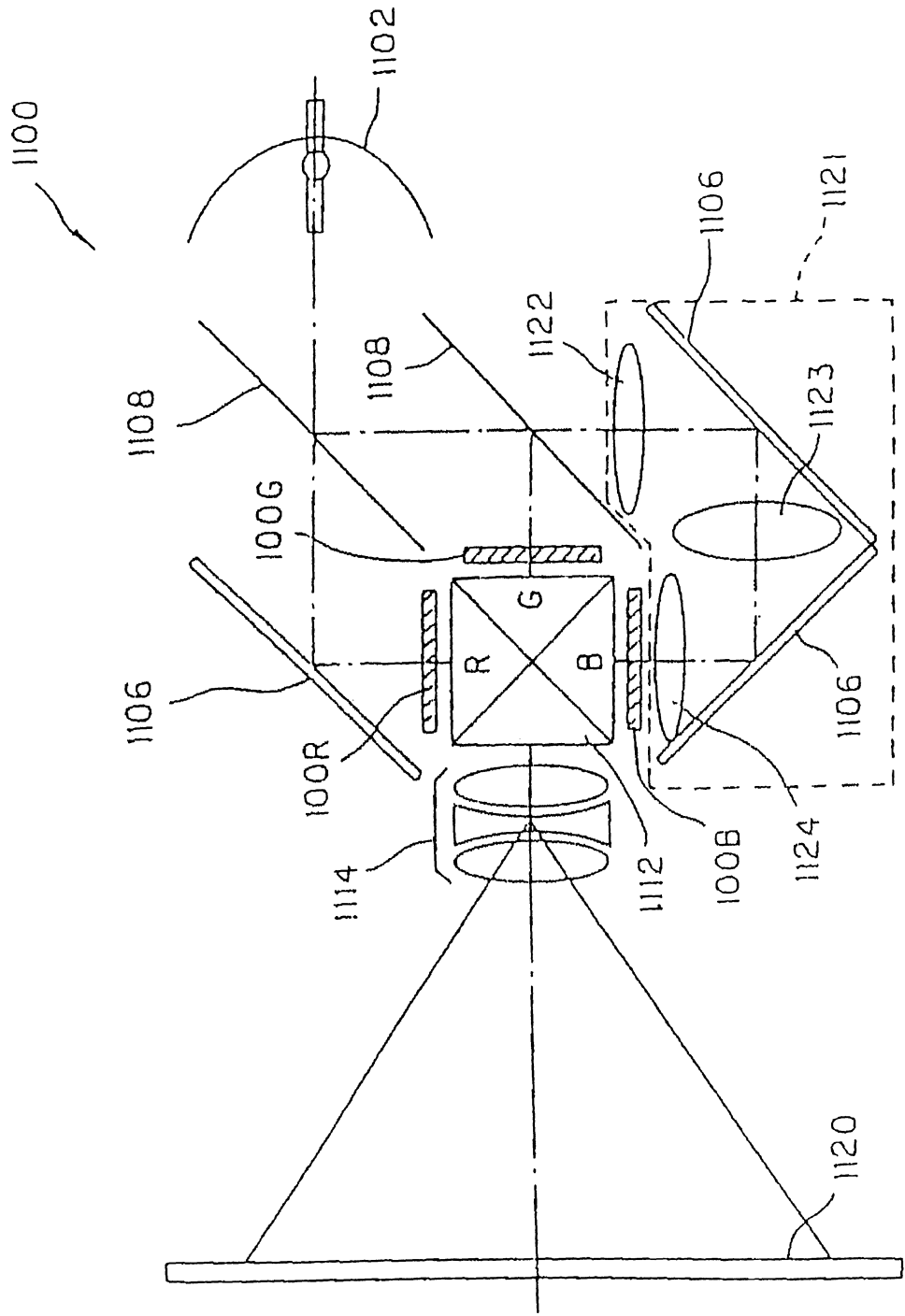
第 9 圖



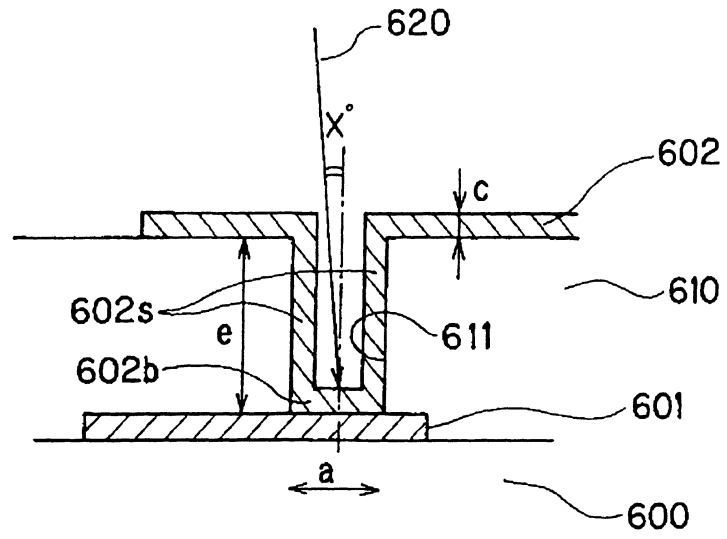
第 10 圖



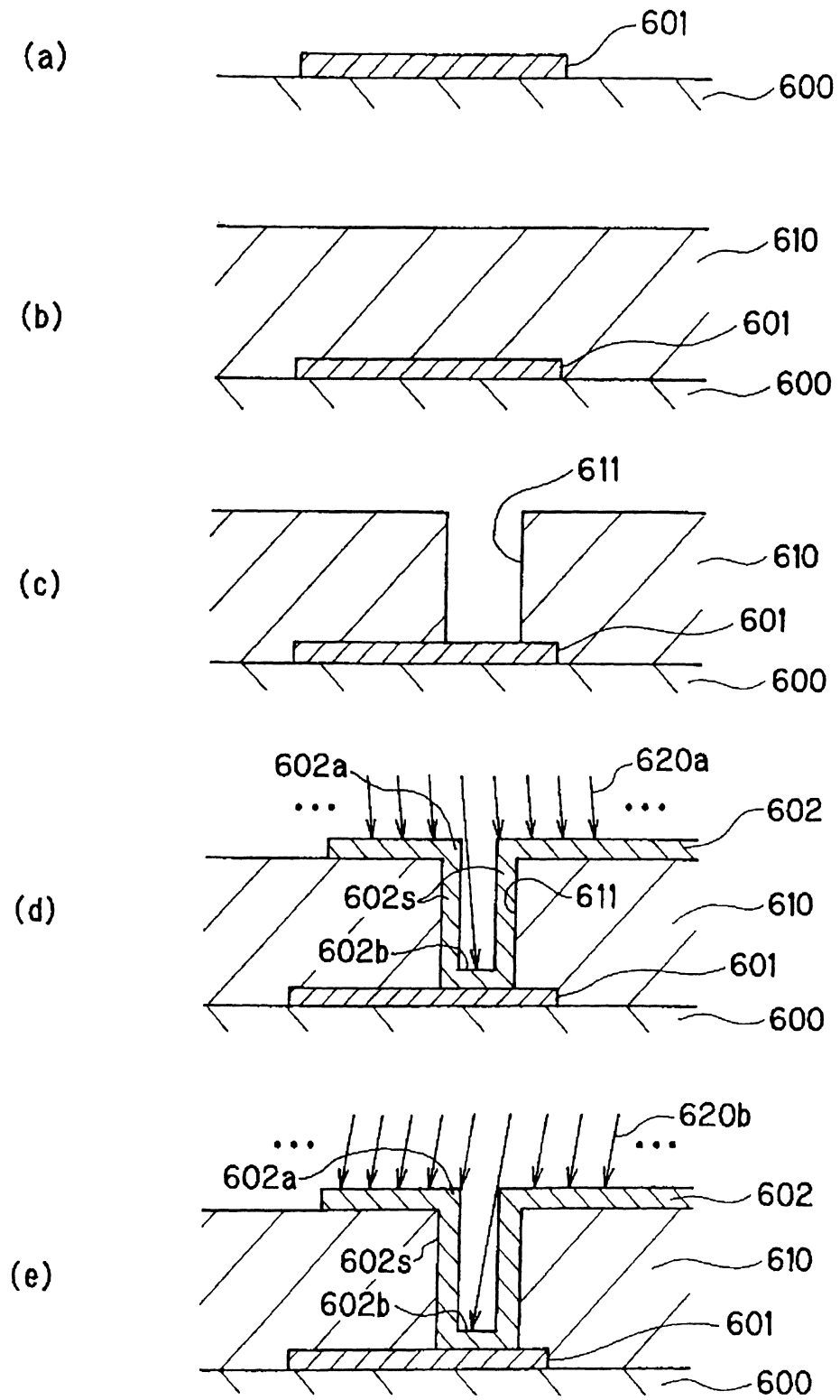
第 11 圖



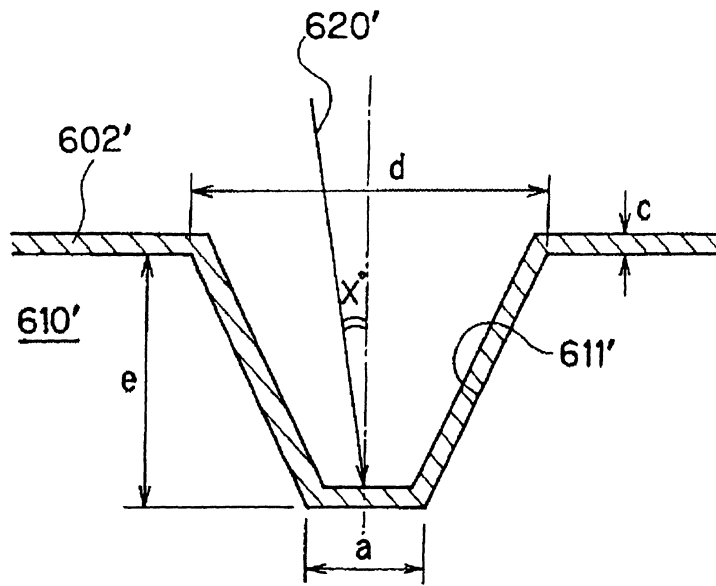
第 12 圖



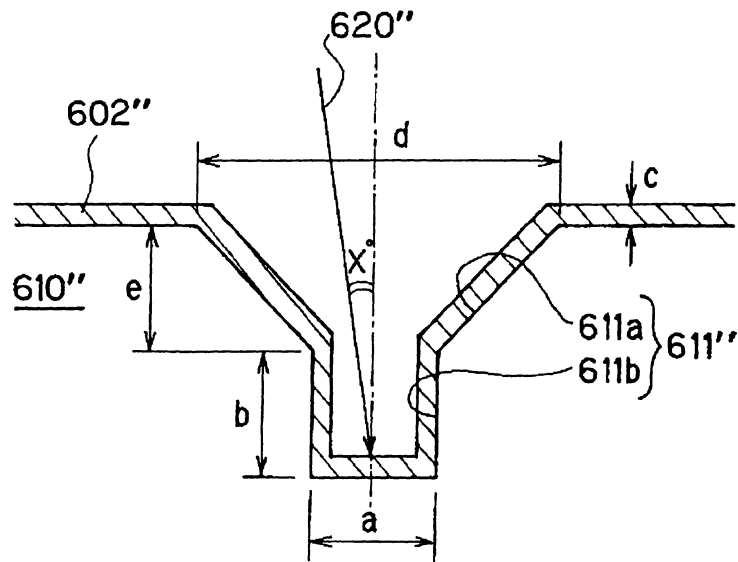
第 13 圖



第 14 圖



第 15 圖



修正
補充
附件：第 91105446 號專利申請案
中文說明書修正本

民國 92 年 4 月 3 日修正

申請日期	91 年 3 月 21 日
案 號	91105446
類 別	H01L 29/786

A4
C4

536831

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	光電基板裝置及其製造方法，光電裝置、電子機器以及基板裝置之製造方法
	英 文	
二、發明 創作人	姓 名	(1) 片山茂憲
	國 籍	(1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
三、申請人	住、居所	
	姓 名 (名稱)	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都新宿區西新宿二丁目四番一號
	代 表 人 姓 名	(1) 草間三郎

裝

訂

線