

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成16年10月28日(2004.10.28)

【公表番号】特表2000-504514(P2000-504514A)

【公表日】平成12年4月11日(2000.4.11)

【出願番号】特願平9-527609

【国際特許分類第7版】

H 04 L 7/027

【F I】

H 04 L 7/02 A

【手続補正書】

【提出日】平成15年10月14日(2003.10.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

# 手 続 補 正 書

平成 15 年 10 月 14 日



特許庁長官殿

## 1. 事件の表示

平成 09 年 特許願 第 527609 号

## 2. 補正をする者

名称 アドバンスト・マイクロ・ディバイシズ・インコーポレ  
イテッド

## 3. 代理人

住所 〒530-0054  
大阪府大阪市北区南森町 2 丁目 1 番 29 号  
三井住友銀行南森町ビル  
深見特許事務所  
電話 06-6361-2021(代)  
FAX 06-6361-1731

氏名 弁理士 (6474) 深見 久郎



方審式査



4. 補正対象書類名

明細書、請求の範囲

5. 補正対象項目名

明細書、請求の範囲

6. 補正の内容

(1) 明細書第4頁第13行と第14行の間に、「図5 (G) は、エッジ割  
当ての第二の例を示す。」を挿入する。

(2) 明細書第9頁第28行から第29行の「図5 (C) は、」を、「図5  
(C) および図5 (G) は、」に補正する。

(3) 請求の範囲を別紙のとおり補正する。

以上

### 請求の範囲

1. 入力シリアル2進パルス列内のジッタを訂正するための方法であって、

(a) 前記入力シリアル2進パルス列のサンプリングの時間を最適化するよう前記入力シリアル2進パルス列のサンプリングを制御する信号を生成するステップを含み、前記サンプリングを制御する前記信号は局所で生成されたシンボル基準クロックであり、さらに、前記局所で生成されたシンボル基準クロックから局所ビット基準信号を生成し、さらに、

(b) 前記局所で生成されたシンボル基準クロックの位相を選択するための位相制御信号を生成するステップと、

(c) 前記入力2進パルス列の複数の遷移エッジの位置の数値を前記局所で生成されたビット基準信号と比較して決定するステップとを含み、前記遷移の前記数値は数値的に平均化され、前記位相制御信号は前記数値的平均に応答する、方法。

2. 前記複数の遷移エッジの前記位置の数値的平均を決定する前記ステップは、

前記位置の予め定められた数n個の逐次サンプルの数値の平均を、先のn個のサンプルの合計に最も新しくサンプリングされた数値を付加し、かつ、先のn個のサンプルの合計に含まれる前記数値のうち最も古い数値を除去することによって生成するステップを含む、請求項1に記載の方法。

3. 前記入力2進パルス列のサンプリングを開始する信号を生成する前記ステップは、

前記数値の平均を、タップスイッチMUXに接続されたタップ選択信号へと復号化して、前記再生されたシンボルクロックの位相を制御するステップを含む、請求項2に記載の方法。

4. 局所シンボル基準クロックから導出された信号でデータをサンプリングすることによって、ジッタで歪められた遷移の入力シリアル2進パルス列から前記データを分離するための装置であって、

a) 前記局所シンボル基準クロックから導出された内部で生成されたビット基準と比較して、前記ジッタで歪められた入力シリアル2進パルス列における前記遷移の位置を決定するための手段と、

b) 前記内部で生成されたビット基準を基準として、前記遷移の位置に対する数値を決定しあつ割当てるための手段と、

c) 前記遷移の前記数値の平均に応答して前記データをサンプリングするために使用されるべき前記シンボル基準クロックの位相を選択するための信号を生成するための手段とを含む、装置。

5. ジッタによって劣化されたデータ信号から再生後データを生成するためのシステムであって、前記劣化したデータ信号はハイ論理レベルとロー論理レベルとの間の遷移を有し、前記システムはシンボル信号の1サイクルにつき固定された数のビットを有するシンボル信号を使用し、前記シンボル信号はシンボル周期を有し、前記シンボル周期は前記固定された数によって分割されてその始端が前記シンボル信号の遷移と一致する第1のビット基準期間で始まる連続するビット基準期間を規定し、前記システムは、

第1の複数のビット位相信号を生成するための手段を含み、第1の複数のビット位相信号を生成するための前記手段は複数の出力端子および第1の入力端子を有し、前記出力端子の各々は異なるビット位相信号を提供し、前記第1の入力端子は前記シンボル信号の局所ソースに接続するよう適合され、

前記ビット位相信号および前記シンボル信号はハイ論理レベルとロー論理レベルとの間の遷移によって特徴付けられ、

前記各ビット位相信号は前記シンボル信号の周波数と同じ周波数を有し、

前記各ビット位相信号の前記各遷移は前記他のすべてのビット位相信号の遷移とは位相時間差だけ分離され、前記各ビット位相信号の遷移は前記他のビット位相信号のうちすぐ隣接する信号の前記遷移から位相の増分だけ変位された位相時間と有し、第1のそのようなビット位相信号は前記シンボル信号の遷移と一致する遷移を有し、さらに、

入力端子および出力を有する複数のレジスタ手段を含み、前記劣化したデータ信号は前記複数のレジスタ手段の各々における前記入力端子に印加されて前記劣化したデータ信号がサンプリングされ、

前記複数のレジスタ手段の各々はまたクロック入力を含み、前記レジスタ手段の前記クロック入力はビット位相信号を生成するための前記手段の前記出力端子

のうち異なる端子に接続され、さらに、

遷移検出および符号化手段を含み、前記遷移検出および符号化手段は前記レジスタ手段の前記出力端子に接続されて遷移の存在を示しつつ前記ビット基準期間の境界を基準として前記取込まれた信号遷移の位置の数値的表現を提供し、さらに、

前記遷移検出および符号化手段に接続されて、各ビット基準期間の連続するシンボルサイクル中に複数の前記数値的表現を集め、かつ、前記各ビット基準期間の平均位相差を計算して前記各ビット基準期間中の前記平均位相時間差を示す信号を自身の出力端子に出力するための平均化手段を含み、

前記平均位相時間差は平均遷移と前記それぞれのビット基準期間の始端との間の位相時間の差であり、さらに、

データ抽出手段を含み、前記データ抽出手段は前記劣化したデータ信号を受取るための第1の入力端子と前記平均化手段に結合された第2の入力端子とを有する、システム。

#### 6. 前記第1の複数のビット位相信号を生成するための前記手段は、

前記シンボル信号を伝搬するよう適合された遅延線手段を含み、

前記遅延線手段は入力および出力およびタップを有する第1の複数の遅延セルを含み、前記遅延セルは前記シンボル信号ソースに接続するよう適合された第1の入力端子を有する第1のセルで開始して直列に接続され、ビット位相信号を生成するための前記手段の複数の出力端子は隣接するセルの入力端子に接続されかつ前記レジスタ手段の対応する入力に接続され、

前記各セルは前記位相の増分に等しい伝搬遅延を有し、前記第1の複数の遅延セルは前記シンボル信号の周期に等しい合計伝搬遅延を有し、前記第1の複数のセルは等しいセルのグループに分離され、各グループは、各セルのグループが1ビット基準期間に等しい伝搬遅延を有するという条件で、前記位相の増分のグループの1つに対応する前記第2の複数のセルを有する、請求項5に記載のシステム。

#### 7. スイッチシステムを含み、前記スイッチシステムは前記遅延線の前記各タップに接続された少なくとも1つのスイッチを有し、さらに、

前記平均位相時間差の平均値である一定の平均位相時間差を計算しつつ自身の出力端子に前記一定の平均位相時間差を示す信号を生成するよう動作可能な構成で前記平均化手段に接続された計算手段と、

前記平均化手段に結合されたタップ選択手段とを含み、前記タップ選択手段は、前記スイッチシステムに出力を提供して前記出力のうち1つを再生後シンボルクロックとして選択する、請求項6に記載のシステム。

8. 前記遷移検出および符号化手段は、前記それぞれのビット位相信号の前記遷移と前記ビット基準期間の前記始端との間の前記位相時間差を表わすビット位相信号を生成するための前記手段の各出力端子に、数値的指示を割当てるための手段を含み、

前記平均化手段は、

ビット位相信号の遷移がデータ遷移の遷移と一致する各出力端子の前記数値的指示を記憶するための手段を含み、前記記憶された指示は選択された数の連続するシンボル信号期間から集められ、前記記憶するための手段は前記レジスタ手段に結合され、さらに、

前記記憶された指示の合計を生成しつつ前記選択された数によって前記合計を分割し、それにより、平均遷移の数値的指示として表現される平均位相時間差を計算するための手段を含み、前記合計を生成する手段は前記記憶する手段に接続され、さらに、

前記合計内に含まれる最新の遷移の前記数値的指示と最も古い遷移の前記数値的指示との間の差を計算し、前記差を前記選択された数で分割し、かつ、前記分割した差を前記平均位相時間差に代数的に加算することによって、各ビット基準期間の前記平均位相時間差を絶えず更新し、さらに、前記加算器の前記出力端子に前記平均位相時間差を示す信号を出力するための手段を含み、前記更新する手段は前記合計を生成する手段に接続される、請求項5に記載のシステム。

9. 前記遷移検出および符号化手段は、ビット位相信号を数値的指示のサイクル内に生成するための前記手段の前記端子の前記グループのうちいずれか1つにおける前記数値的指示を表現するための手段を含み、そのビット基準期間の始端に対するその位置を基準としたグループ内の1つの位置における各端子は、それぞ

れのビット基準期間の始端を基準とした別のグループにおける同じ位置を占有する端子と同じ指示を有し、

前記平均化手段は、

平均遷移が異なるビット基準期間に属する隣接する指示間で一方方向に移動する場合に、前記平均遷移の指示を数値的指示の完全な1サイクル分、反対方向に戻すように移動させるための手段を含む、請求項8に記載のシステム。

10. 前記平均化手段は、平均遷移の前記数値的指示と前記データ遷移の前記数値的指示との間に最小の差を有するビット基準期間に対して遷移を割当てるための手段を含み、前記データ遷移および前記平均遷移の前記数値的指示は、前記それぞれのビット基準サイクルの始端を基準にして表わされる、請求項5に記載のシステム。

11. 第1の複数のビット基準信号を生成するための前記手段の各出力端子は数値的指示を有し、前記数値的指示は、前記それぞれのビット位相信号の遷移と前記ビット基準期間の前記始端との間の前記位相時間差を表わし、

前記平均化手段は、

ビット位相信号の遷移が前記歪められたデータ信号の立下がり遷移に一致する物理的な位置の各出力端子の前記数値的指示を記憶するための第1の手段を含み、立下がり遷移の前記記憶された指示は選択された数の連続するシンボル信号期間から集められ、前記第1の記憶する手段は前記レジスタ手段に結合され、さらに、

前記立下がり遷移の記憶された指示の合計を生成しあつ前記選択された数によって前記合計を分割することにより立下がり遷移の平均位相時間差を計算するための手段を含み、前記第1の合計を生成する手段は前記第1の記憶する手段に接続され、さらに、

ビット位相信号の遷移が歪められたデータ信号の立上がり遷移と一致する位置における各出力端子の前記数値的指示を記憶するための第2の手段を含み、立上がり遷移の前記記憶された指示は前記選択された数の連続するシンボル信号期間から集められ、前記第2の記憶する手段は前記レジスタ手段に接続され、さらに、

前記立上がり遷移の記憶された指示の合計を生成しつつ前記合計を前記選択された数によって分割することにより立上がり遷移の平均位相時間差を計算するための第2の手段を含み、前記第2の合計を生成する手段は前記第2の記憶する手段に結合され、さらに、

前記選択された数によって分割された前記合計に含まれる最新の立上がりまたは立下がり遷移とともに古い遷移の前記数値的指示間のそれぞれの差を計算し、かつ、前記分割された差を前記平均位相差に代数的に加算することによつて、各ビット基準期間の前記立上がり遷移および前記立下がり遷移の前記平均位相差を周期的に更新するための手段を含み、前記更新する手段は前記第1および第2の記憶する手段に接続され、さらに、

前記立上がり遷移の位相差の前記記憶された合計と前記立下がり遷移の位相差の前記合計とを加算して総計を算出しつつ前記総計を2によって分割することにより、平均遷移の位相差を得るための手段と、

前記加算器の前記出力端子に平均位相時間差を示す信号を提供するための手段とを含む、請求項5に記載のシステム。

12. 前記シンボル周期は約40n sである、請求項5に記載のシステム。
13. 前記増分は約1n sである、請求項5に記載のシステム。
14. 前記ビット基準期間は約8n sである、請求項5に記載のシステム。
15. デューティサイクル歪みによって劣化されたデータ信号から再生後データ信号を生成するための方法であつて、前記劣化したデータ信号はハイ論理レベルとロー論理レベルとの間の遷移を有し、前記方法はシンボル信号の1サイクルにつき一定の数のビットを有するシンボル信号を使用し、前記信号のシンボルサイクルはシンボル周期を有し、前記シンボル周期は前記数のビットによって分割されて、それによりその始端が前記シンボル信号の遷移と一致する第1のビット基準期間で開始する連続するビット基準期間を規定し、前記方法は、

- a) 第1の複数の出力端子のそれぞれにおいて第1の複数のビット位相信号を生成するステップを含み、前記ビット位相信号および前記シンボル信号はハイ論理レベルとロー論理レベルとの間の遷移によって特徴付けられ、前記各ビット位相信号は前記シンボル信号の周波数と同じ周波数を有しつつ前記各ビット位相

信号は前記他のすべてのビット位相信号から位相時間差だけ分離され、前記各ビット位相信号は前記シンボル信号の遷移と一致する遷移を有するビット位相信号で開始する前記他のビット位相信号の1つよりも位相の増分だけ大きい位相時間を有し、さらに、

- b) 前記劣化したデータ信号の前記遷移と前記データの遷移が発生する前記ビット基準期間の境界との間の位相時間差を検出するように前記ビット位相信号で前記劣化したデータ信号をクロックするステップと、
- c) 各ビット基準期間について連続したシンボルサイクル中に複数の前記位相時間差を集めるステップと、
- d) 前記各ビット基準期間について平均位相時間差を計算するステップとを含み、前記平均位相時間差は最新の平均位相時間と直前の平均位相時間との間の位相時間における差であり、さらに、
- e) サンプリング制御信号を生成して、前記計算された平均位相時間差に応答して最適な信号検出時間において前記劣化したデータ信号をサンプリングするステップを含む、方法。