



(12) 发明专利申请

(10) 申请公布号 CN 116195064 A

(43) 申请公布日 2023. 05. 30

(21) 申请号 202180047890.X

(74) 专利代理机构 华进联合专利商标代理有限公司 44224

(22) 申请日 2021.04.30

专利代理师 易皎鹤

(30) 优先权数据

63/051,028 2020.07.13 US

17/244,679 2021.04.29 US

(51) Int.Cl.

H01L 27/146 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.01.04

(86) PCT国际申请的申请数据

PCT/US2021/030143 2021.04.30

(87) PCT国际申请的公布数据

W02022/015393 EN 2022.01.20

(71) 申请人 DRS网络和成像系统公司

地址 美国佛罗里达州

(72) 发明人 尤金·E·克鲁格

萨米尔·K·阿杰梅拉

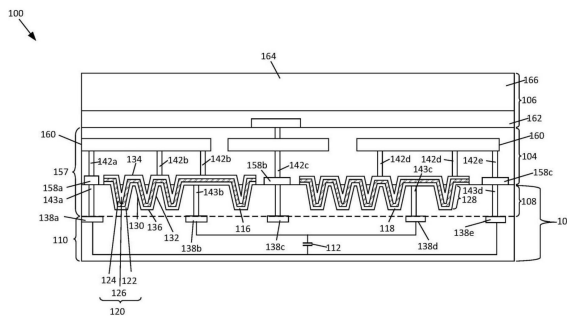
权利要求书2页 说明书13页 附图8页

(54) 发明名称

用于焦平面阵列的高密度电容器

(57) 摘要

一种光电检测器结构,包括读出集成电路(ROIC)衬底和覆盖IC衬底的电介质层。电介质层限定形成在电介质层的顶表面中的多个凹陷,其中每个凹陷具有从电介质层的顶表面延伸到每个相应凹陷的底部的至少一个侧壁。电容器结构形成光电检测器结构的一部分,并且包括:第一电极,其跨越电介质层的顶表面并且跨越多个凹陷的每个凹陷的至少一个侧壁形成;电容器电介质层,其跨越第一电极形成;第二电极,其跨越电容器电介质层形成。检测器覆盖电容器结构。



1. 一种光电检测器,包括:
  - 半导体层,其具有一个或多个集成的电气部件和最顶部金属层;
  - 电绝缘层,其覆盖所述半导体层并且限定形成在所述电绝缘层的第一表面中的多个凹陷,其中,所述多个凹陷中的每个凹陷包括至少一个侧壁,所述至少一个侧壁从所述第一表面延伸到相应凹陷的底部;
  - 电容器结构,其耦合到所述一个或多个集成的电气部件并且包括:
    - 第一电极,其跨越所述电绝缘层的所述第一表面并且沿着所述多个凹陷中的每个凹陷的所述至少一个侧壁形成;
    - 电容器电介质层,其形成在所述第一电极上方;和
    - 第二电极,其形成在所述电容器电介质层上方;和
  - 检测器,其覆盖所述电容器结构。
2. 根据权利要求1所述的光电检测器,其中,所述电绝缘层包括钝化层,所述钝化层作为集成电路衬底的一部分形成在所述半导体层上。
3. 根据权利要求1所述的光电检测器,其中,所述电绝缘层包括电介质层,所述电介质层位于所述半导体层与所述检测器之间。
4. 根据权利要求1所述的光电检测器,其中,所述电绝缘层的第一部分位于所述电容器结构与所述检测器之间,并且所述电绝缘层的第二部分位于所述电容器结构与所述半导体层之间。
5. 根据权利要求1所述的光电检测器,其中,所述多个凹陷包括部分过孔。
6. 根据权利要求1所述的光电检测器,其中,所述多个凹陷包括沟槽。
7. 根据权利要求1所述的光电检测器,其中,所述电容器结构包括第一电容器结构,并且其中,在电介质层中形成第二电容器结构并且所述第二电容器结构位于所述第一电容器结构与所述检测器之间。
8. 一种光电检测器结构,包括:
  - 半导体层,其包括外部金属层;
  - 电绝缘层,其覆盖所述半导体层并且限定形成在所述电绝缘层的顶表面中的多个凹陷;
  - 电容器结构,其包括:
    - 第一电极,其跨越所述电绝缘层的所述顶表面并且在所述多个凹陷内形成;
    - 电容器电介质层,其跨越所述第一电极形成;和
    - 第二电极,其跨越所述电容器电介质层形成;和
  - 检测器,其覆盖所述电容器结构。
9. 根据权利要求8所述的光电检测器结构,其中,所述电绝缘层包括钝化层,所述钝化层形成在所述半导体层上。
10. 根据权利要求8所述的光电检测器结构,其中,所述电绝缘层包括电介质层,所述电介质层位于所述半导体层和所述检测器之间。
11. 根据权利要求8所述的光电检测器结构,其中,所述电绝缘层的第一部分位于所述电容器结构与所述检测器之间,并且所述电绝缘层的第二部分位于所述电容器结构与所述半导体层之间。

12. 根据权利要求8所述的光电检测器结构,其中,所述多个凹陷包括部分过孔。
13. 根据权利要求8所述的光电检测器结构,其中,所述多个凹陷包括沟槽。
14. 根据权利要求8所述的光电检测器结构,其中,所述电容器结构包括第一电容器结构,并且其中,在电介质层中形成第二电容器结构并且所述第二电容器结构位于所述第一电容器结构与所述检测器之间。
15. 根据权利要求14所述的光电检测器结构,其中,所述第二电容器结构包括平面电容器。
16. 一种形成在焦平面阵列单位单元内的电容器,所述电容器包括:  
电绝缘层,其限定形成在所述电绝缘层的第一表面中的多个凹陷,其中,所述电绝缘层形成在半导体衬底的顶部金属层上方;  
第一电极,其跨越所述电绝缘层的所述第一表面并且在所述多个凹陷内形成;  
电容器电介质层,其跨越所述第一电极形成;和  
第二电极,其跨越所述电容器电介质层形成。
17. 根据权利要求16所述的电容器,其中,所述电绝缘层包括集成电路衬底的钝化部分。
18. 根据权利要求16所述的电容器,其中,所述电绝缘层包括电介质层,所述电介质层位于读出集成电路装置与检测器之间。
19. 根据权利要求16所述的电容器,其中,所述多个凹陷包括部分过孔。
20. 根据权利要求16所述的电容器,其中,所述多个凹陷包括沟槽。

## 用于焦平面阵列的高密度电容器

[0001] 相关申请的交叉引用

[0002] 本申请要求于2020年7月13日提交的美国临时专利申请第63/051,028号以及要求于2021年4月29日提交的美国专利申请第17/244,679号的优先权,这两件美国申请的公开内容通过引用并入本文。

### 背景技术

[0003] 随着光电检测器技术的继续发展,与过去的技术相比,新的设计可以提供明显提高的分辨率。光电检测器的分辨率至少部分地由检测器阵列中的像素数目来确定。通常,检测器阵列中的像素越多,成像操作期间可提供的细节越多。改进的技术使得制造操作能够产生尺寸小得多的像素,以便保持检测器阵列的整体成形因素,同时结合更多的像素以提供提高的分辨率。

[0004] 尽管在检测器阵列方面取得了一些进展,但是在本领域中仍需要改进与检测器阵列相关的方法和系统。

### 发明内容

[0005] 本技术涉及光电检测器装置和工艺。更具体地,本技术涉及包括高密度积分电容器的光电检测器结构。

[0006] 在一些实施例中,一种光电检测器,包括:半导体层,其具有一个或多个集成电气部件和最顶部金属层;电绝缘层,其覆盖半导体层并且限定形成在电绝缘层的第一表面中的多个凹陷,其中多个凹陷中的每个凹陷包括从第一表面延伸到相应凹陷的底部的至少一个侧壁;电容器结构,其耦合到一个或多个所述集成电气部件;和检测器,其覆盖电容器结构。所述电容器结构包括:第一电极,其跨越所述电绝缘层的所述第一表面并且沿着所述多个凹陷中的每个凹陷的所述至少一个侧壁形成;电容器电介质层,其形成在所述第一电极上方;和第二电极,其形成在所述电容器电介质层上方。

[0007] 在一些实施例中,电绝缘层包括钝化层,该钝化层作为集成电路衬底的一部分形成在半导体层上。在各种实施例中,电绝缘层包括位于半导体层和检测器之间的电介质层。在一些实施例中,电绝缘层的第一部分位于电容器结构和检测器之间,而电绝缘层的第二部分位于电容器结构和半导体层之间。在一些实施例中,多个凹陷包括部分过孔。在各种实施例中,多个凹陷包括沟槽。在一些实施例中,电容器结构包括第一电容器结构,并且第二电容器结构形成在电介质层中,并且位于第一电容器结构和检测器之间。

[0008] 在一些实施例中,一种光电检测器结构,包括:包括外部金属层的半导体层;覆盖半导体层并限定形成在电绝缘层的顶表面中的多个凹陷的电绝缘层;电容器结构;和覆盖电容器结构的检测器。该电容器结构包括:第一电极,其跨越电绝缘层的顶表面并且在多个凹陷内形成,电容器电介质层,其跨越第一电极形成,第二电极,其跨越电容器电介质层形成。

[0009] 在一些实施例中,电绝缘层包括形成在半导体层上的钝化层。在各种实施例中,电

绝缘层包括位于半导体层和检测器之间的电介质层。在一些实施例中，电绝缘层的第一部分位于电容器结构和检测器之间，而电绝缘层的第二部分位于电容器结构和半导体层之间。在各种实施例中，多个凹陷包括部分过孔。在一些实施例中，多个凹陷包括沟槽。

[0010] 在一些实施例中，电容器结构包括第一电容器结构，并且第二电容器结构形成在电介质层中并且位于第一电容器结构和检测器之间。在各种实施例中，第二电容器结构包括平面电容器。

[0011] 在一些实施例中，一种形成在焦平面阵列单元内的电容器，该电容器包括：电绝缘层，其限定形成在电绝缘层的第一表面中的多个凹陷，其中电绝缘层形成在半导体衬底的顶部金属层上方；第一电极，其跨越电绝缘层的第一表面并且在多个凹陷内形成；电容器电介质层，其跨越第一电极形成，第二电极，其跨越电容器电介质层形成。

[0012] 在一些实施例中，电绝缘层包括集成电路衬底的钝化部分。在各种实施例中，电绝缘层包括位于读出集成电路装置和检测器之间的电介质层。在一些实施例中，多个凹陷包括部分过孔。在各种实施例中，多个凹陷包括沟槽。

[0013] 与常规技术相比，通过本公开可以获得许多益处。例如，本公开实施例提供了增加电容器表面积和增加每单位单元面积的电容密度的能力。增加的电容密度允许更小的焦平面阵列和/或增加焦平面阵列和读出集成电路的温度和通量操作灵活性（本领域中称之为“动态范围”）。增加的电容密度还具有能够在焦平面阵列内部增加更大的去耦电容的能力，从而减轻焦平面阵列的重量和尺寸限制。

[0014] 将结合下本和附图来更详细地描述本公开的这些和其它实施例连同其许多优点和特征。

## 附图说明

[0015] 图1是根据本公开实施例的具有高密度电容器的光电检测器结构的简化截面图。

[0016] 图2是图1所示的高密度电容器结构的一部分的简化等距视图。

[0017] 图3是根据本公开实施例的焦平面阵列单元的实施例的简化平面图。

[0018] 图4是根据本公开实施例的凹陷的截面视图。

[0019] 图5是根据本公开实施例的焦平面阵列单位单元的简化电路图。

[0020] 图6是根据本公开实施例的多电容器焦平面阵列单位单元的简化截面图。

[0021] 图7是根据本公开实施例的具有两层高密度电容器的光电检测器结构的简化截面图。

[0022] 图8是根据本公开实施例的具有平面和高密度电容器结构的光电检测器结构的简化截面图。

[0023] 图9是根据本公开实施例的形成高密度电容器焦平面阵列单位单元的方法。

[0024] 图10是根据本公开实施例的具有高密度电容器的光电检测器结构的简化截面图。

[0025] 在附图中，类似的部件和/或特征可以具有相同的附图标记。此外，相同类型的各种部件可以通过在参考标记后面加上用于区分相似组件的字母来区分。如果在说明书中仅使用第一参考标记，则该描述可应用于具有相同第一参考标记的类似部件中的任一者，而不管字母如何。附图是未按比例绘制的。

## 具体实施方式

[0026] 本公开描述了总体上涉及使用焦平面阵列的光电检测器装置的技术。更具体地,本文公开的技术涉及被结合到夹层结构中的高密度电容器,所述夹层结构设置在读出集成电路(readout integrated circuit,ROIC)与焦平面阵列单位单元内的检测器结构之间。如本文所描述的,随着像素尺寸的减小,用于将提供积分电容的电容器结合的空间更小,这将直接与检测器阵列的性能相关。本公开实施例在每个像素的单位单元内提供增加的电容密度,以提供必要的积分电容。本文描述了各种创新性实施例,包括方法、过程、系统、设备等。

[0027] 例如,在一些实施例中,在焦平面阵列内的电介质层中形成多个凹陷。电容器结构遵循凹陷的形貌,并且包括由电介质层分开的两个电极。与位于同一平面区域内的平面电容器结构相比,波浪式电容器结构可以增加电容器的表面积。

[0028] 在另一示例中,可以在焦平面阵列中形成电容器结构的附加层,其中电容器结构可以是高密度的、平面的、或这两种类型的混合。在一些实施例中,电容器结构可独立地使用或耦合到内部积分电容器,而在其它实施例中,一个或多个电容器结构可用于其它目的,例如用于去耦电容器或旁路电容器。

[0029] 为了更好地理解根据本公开的用于焦平面阵列的高密度电容器结构的特征和方面,通过讨论根据本公开实施例的用于焦平面阵列单位单元的高密度电容器结构的特定实现方式,在以下部分中提供了本公开的进一步的上下文。这些实施例仅是示例性的,并且其它实施例也可以用于其它焦平面阵列结构。

[0030] 图1示出了根据本公开实施例的焦平面阵列单位单元100的简化截面。如图1所示,单元100具有三个主要层,包括:作为底层的IC衬底102、作为中间层的电介质层104、和作为顶层的光电检测器层106。检测器164形成在光电检测器层106中,并且响应于检测器检测到红外辐射,IC衬底102的半导体层110生成并传送相应的信号到一个或多个输出,以供适当的系统电子器件读出。

[0031] 更具体地,半导体层110使用集成的有源和无源电气部件生成相应的信号,所述集成的有源和无源电气部件分别与位于半导体层和光电检测器层106之间的第一高密度电容器116和第二高密度电容器118一起形成在半导体层内。在图1所示的实施例中,分别使用位于IC衬底102的钝化部分108中的多个凹陷128和遵循多个凹陷的轮廓的电容器结构120来形成第一高密度电容器116和第二高密度电容器118。在一个实施例中,多个凹陷128可以是形成阵列式锥形形貌的部分过孔(也称为盲孔)的形式,然而,在其它实施例中也可以使用其它形貌,如受益于本公开的本领域技术人员将理解的其它形貌。与形成在同一平面区域中的平面电容器结构(例如,平面且不遵循多个凹陷的轮廓的电容器结构)相比,电容器结构120的波浪式几何形状分别导致电容器结构的区域以及第一高密度电容器116和第二高密度电容器118的相关电容的增加。

[0032] 第一高密度电容器116和第二高密度电容器118可使用连接器138a-138e、过孔142a-142e、143a-143d和层间连接器158a-158c的任何组合耦合到半导体层110内的一个或多个电气部件。在图1所示的实施例中,第一高密度电容器116和第二高密度电容器118分别与积分电容器(integration capacitor)112并联耦合。更具体地,积分电容器112具有耦合到连接器138a、138e的第一电极和耦合到连接器138b、138d的第二电极。在一个实施例中,

连接器138a-138e由半导体层110的顶部金属层形成。也就是说,半导体层可以包括半导体材料层(例如硅),并且还可以包括由电介质层(其形成为半导体层的一部分)分隔的一个或多个金属层(本领域技术人员通常称为金属1,金属2等)。如本文所定义的,最顶部或外部金属层是离硅材料最远的金属层。连接器138a通过过孔143a、层间连接器158a和耦合到导体层160的过孔142a耦合到第一高密度电容器116的顶部电极层126。在一些实施例中,导体层160可以是形成在电介质层104内的相对厚的导电层。导体层160可耦合到过孔142b,该过孔142b耦合到第一电容器116的顶部电极层126。在一些实施例中,导体层160可耦合到顶部电极层126的多个位置以降低顶部电极两端的电压电位和/或将第一电容器116的分离部分电耦合在一起。

[0033] 类似地,连接器138e通过过孔143d、层间连接器158c和耦合到导体层160的过孔142e耦合到第二电容器118的顶部电极层126。导体层160可以耦合到过孔142d,该过孔142d耦合到第二高密度电容器118的顶部电极层126。在一些实施例中,导体层160可耦合到高密度电容器的顶部电极的多个部分以减小顶部电极两端的电压电位和/或将第二电容器的分离部分电耦合在一起。

[0034] 连接器138b通过过孔143b耦合到第一电容器116的底部电极层122,连接器138d通过过孔143c耦合到第二电容器118的底部电极层122。

[0035] 尽管第一电容器116和第二电容器118在图1中被示为与积分电容器112并联耦合,但是第一和第二高密度电容器可以以任何其它合适的配置耦合到半导体层110内的任何其它电气部件。例如,在另一实施例中,第一高密度电容器116可与积分电容器112并联耦合,且第二高密度电容器118可被配置用作去耦电容器。在进一步的实施例中,可以使用多于一个的高密度电容器层,包括两个、三个、四个或更多个单独的高密度电容器层。由116和118表示的两个高密度电容器的示例是本公开的一个实施例的示例。可以形成任何合适数量的高密度电容器,并以任何合适的方式将其耦合到IC衬底102内的电气部件。

[0036] 在一些实施例中,使用单位单元100中的一个或多个高密度电容器116、118可以增加给定单位单元区域的存储电容,使得与仅使用形成在半导体层110内的电容器的单位单元相比,能够减小焦平面阵列和IC衬底102的尺寸和/或增加温度和通量操作灵活性。在进一步的实施例中,使用一个或多个高密度电容器116、118还可以提供增加单位单元100内部的去耦电容、减轻焦平面阵列设计上的重量和尺寸限制的提高能力。受益于本公开的普通技术人员将认识到许多变化、修改和替换。下面将更详细地描述集成式高密度电容器的这些和其它优点。具体地,下面提供了包括与衬底相关的描述在内的单位单元设计特征。

[0037] 在一些实施例中,IC衬底102的半导体层110由半导体材料形成,例如硅、锗硅、玻璃、周期表的第14族或第15族元素的氧化物、砷化镓、各种贫金属和非金属(包括硅和锗)的合金等、或者可以在其上执行微制造的其它衬底。

[0038] 覆盖半导体层110的是钝化部分108,其可以是任何类型的电介质材料。在一些实施例中,钝化部分可以由氧化硅、氮化硅、周期表第14族或第15族元素的氧化物和/或氮化物、砷化镓、各种贫金属和非金属(包括硅和锗)的合金的氧化物或氮化物、或者可以在其上进行微制造的其它衬底形成。在一些实施例中,钝化部分108的厚度可以在1埃至3微米之间,并且钝化部分的厚度可以取决于第一高密度电容器116和第二高密度电容器118以及本文所述的其它部件的设计。

[0039] 在一些实施例中,可以在钝化部分108中形成高密度电容器116、118的至少一部分。如图1所示,在第一高密度电容器116和第二高密度电容器118的波浪式结构中,其分别由形成在钝化部分108中的多个凹陷128产生,然而,其它实施例可以利用形成在单位单元100的其它部分中的凹陷,如下面更详细描述。更具体地,在一些实施例中,高密度电容器116、118的至少一部分可以形成在电介质层104中(例如,参见图6至图8),在其它实施例中,高密度电容器的整体可以形成在电介质层中。如本文所限定的,电绝缘层157包括可形成为半导体层110的一部分的任何类型的钝化层108和/或可形成在IC衬底102上方的任何类型的电介质层104。在一些实施例中,高密度电容器116、118的至少一部分可以形成在电绝缘层157中。

[0040] 在一个实施例中,多个凹陷128中的每一者包括第一侧壁130,该第一侧壁130耦合到平面部分136,该平面部分136耦合到第二侧壁132。在一些实施例中,每个侧壁130、132可以是倾斜的,这允许增加电容器结构120的面积。在一些实施例中,多个凹陷128可以类似于连续的沟槽,而在其它实施例中,它们可以类似于过孔或“锥形结构”的阵列,并且在其它实施例中,它们可以是类似沟槽的矩形。在一些实施例中,每个凹陷128的宽度和/或直径可以在0.1微米至1.0微米之间,而在其它实施例中,其可以在0.01微米至10.0微米之间。受益于本公开的普通技术人员将认识到许多变化、修改和替换。

[0041] 在一些实施例中,可以通过化学蚀刻、离子束铣削、深度反应离子蚀刻(deep reactive ion etching, DRIE)或其它合适的技术来创建侧壁130、132。凹陷128的每个侧壁130、132的角度可以根据电容器结构的期望密度和/或制造考虑而变化。在一些实施例中,凹陷128的每个侧壁可以具有与右侧和/或左侧凹陷结构的凹陷结构相同和/或不同的倾斜角。

[0042] 典型地,从IC衬底102的顶表面测量的倾斜角可以在近似垂直(例如,近似90度)到10度或更小之间变化。在一些实施例中,凹陷128的截面轮廓在外观上可以类似于字母U、V或W。每个侧壁130、132的长度可以根据电容器结构135的设计而变化。在一些实施例中,凹陷128的第一侧壁130可以具有与第二侧壁132相同的长度,并且在其它实施例中,第一侧壁可以具有与第二侧壁不同的长度,以适应不同的凹陷结构构造。

[0043] 总体上,每个侧壁130、132包括耦合到平面部分134的顶部和耦合到每个侧壁之间的平面部分136的底部。在一些实施例中,侧壁130、132可以形成为具有均匀或平滑的斜率,因为每个侧壁以一致的增大率或减小率向下或向上倾斜。该侧壁结构可以形成有助于形成电容器结构120的每个层的均匀分布的线型外观。在其它实施例中,可以通过一系列台阶形成侧壁130、132,因为每个侧壁向下或向上倾斜。一系列台阶可以形成一组阶梯外观,因为每个侧壁从相应的平面部分134延伸到相应的平面部分136。在一些实施例中,在每个台阶的宽度和高度方面,该系列台阶中的每个台阶的尺寸可以是均匀的。在其它实施例中,该系列台阶中的每个台阶的宽度、高度和/或形状可以不同。在一些实施例中,可使用单一蚀刻技术来形成每个侧壁130、132,而在其它实施例中,可使用不同蚀刻技术的组合来形成每个侧壁。

[0044] 在一些实施例中,电容器结构120包括底部电极层122、电介质材料124和顶部电极层126,其中电容器结构的每一层彼此垂直堆叠在顶部上。更具体地,电介质材料124形成在底部电极层122的顶表面上,并且顶部电极层126形成在电介质材料124的顶表面上。每个电

极层122、126可以包括一种或多种材料,所述材料包括过渡金属(例如钛)或过渡金属氮化物(例如氮化钛)。在进一步的实施例中,电极层122、126可以包括导电材料,该导电材料可以包括金属、合金或其它材料,该其它材料可以包括银、镍、铜、铂、钨、铌、钽、铬、铁、铈、锰、铝、镓、锡等,或这些或其它导电材料中的一种或多种的某种组合。

[0045] 在一些实施例中,电极层122、126可形成薄膜涂层。使用薄膜溅射、蒸镀或其它技术来沉积该薄膜涂层,以便创建可用作电容器的电极的均匀层。每个电极层122、126的厚度可以根据所使用的材料的类型和高密度电容器116、118的设计而变化。在一个实施例中,第一高密度电容器116和第二高密度电容器118的等效串联电阻设计参数被用于为电极层122、126选择适当的材料和厚度。在一些实施例中,每个电极层122、126的厚度可以从一埃到1微米变化,而在其它实施例中,每个电极层可以具有不同的厚度。在一个实施例中,每个电极层122、126的厚度在50埃至4000埃之间,而在另一实施例中,每个电极层的厚度在75埃至3000埃之间。在一个实施例中,每个电极层的厚度在100埃至2000埃之间。

[0046] 在一些实施例中,电极层122、126可以包括各种材料的组合,并且可以包括多个材料层。例如,在一个实施例中,每个电极层122、126可以由至少两个材料层组成。每个材料层可以彼此相同或不同,并且在一个实施例中,可以包括金属层和金属氮化物层。作为说明性示例,底部电极层122可包括可由过渡金属(例如钛)制成的第一材料层。覆盖该第一材料层的可以是第二材料层,该第二材料层可以由过渡金属氮化物(例如氮化钛)制成。顶部电极层126可以以与底部电极层122类似的方式或不同的方式形成。例如,在一些实施例中,底部电极层122包括第一层(例如铋、锡、镍、钛、铝或钨)和第二层(例如氧化铋、氧化锡、氧化镍、氮化钛、氮化铝或氧化钨),而顶部电极层126可包括反向结构,其包括氧化铋、氧化锡、氧化镍、氮化钛、氮化铝或氧化钨的第一层和覆盖第一层的铋、锡、镍、钛、铝或钨的第二层。受益于本公开的普通技术人员将认识到许多变化、修改和替换。

[0047] 在一些实施例中,电介质材料124可以包括过渡金属的氧化物或贫金属或后过渡金属。例如,电介质材料124可以包括提供适当的介电常数的钛、锆、钪、钽、镧、铝、镓、铟、硅和其它金属、泄漏阻挡或这些或其它电介质特性的某种组合。一些实施例可以包括多层电介质材料,并且可以具有多于或大约1层、2层、3层、4层、5层、6层、7层、8层、9层、12层、15层、20层等、或更多层电介质材料。电介质材料层可以包括在两个或更多个电介质的交替层中。例如,电介质材料124可以包括三个材料层,其在电极层122、126之间的层中具有氧化铋、氧化钪、氧化锡、氧化铝和/或氧化锆。可替代地,可以使用两种材料的交替层。受益于本公开的普通技术人员将认识到许多变化、修改和替换。在一些实施例中,电介质材料的厚度可以与每个电极层122、126的厚度相同。在其它实施例中,电介质材料124可以比每个电极层122、126更薄或更厚。电介质材料124的厚度可以根据第一高密度电容器116和第二高密度电容器118的设计而变化。在一些实施例中,可以使用原子层沉积(atomic layer deposition,ALD)、溅射、化学气相沉积(chemical vapor deposition,CVD)、等离子体辅助沉积或任何其它合适的工艺来沉积电介质材料124。

[0048] 在一些实施例中,电容器结构120可遵循在钝化部分108中形成的多个凹陷128的形貌,然而,在其它实施例中,电容器结构120可遵循一部分电介质层104的形貌,如下文更详细描述。在进一步的实施例中,可以存在多层电容器结构120,其中一些可以遵循非平面形貌,并且其中一些可以遵循平面形貌,这也在下面更详细地描述。电容器结构120的特

定形貌对于每个电容器结构可以变化,并且可以基于期望的电容水平和/或其它设计要求,例如但不限于等效串联电阻(equivalent series resistance,ESR)。

[0049] 在一些实施例中,基于特定单元100的需要,第一高密度电容器116可以具有与第二高密度电容器118不同的电容和/或性能。更具体地,在一些实施例中,第一高密度电容器116可具有相对高密度的凹陷128,其用于使与积分电容器112并联耦合的电容最大化,而第二高密度电容器118可具有相对低密度的凹陷128并可用作单位单元100的去耦电容器。受益于本公开的普通技术人员将认识到许多变化、修改和替换。

[0050] 电介质层104可以位于IC衬底102和光电检测器层106之间,并且可以形成第一高密度电容器116和第二高密度电容器118的一部分。更具体地,在一些实施例中,可以在电容器结构120之后沉积电介质层,使得电介质层104分别使顶部电极122和底部电极126绝缘,并且进一步使光电检测器层106与单位单元100的其它部分绝缘。在一些实施例中,电介质层104可以是氧化物、氮化物、聚合物或在单位单元100内提供适当电绝缘的任何其它材料。在一个实施例中,电介质层104可以例如是二氧化硅。在一些实施例中,可以在层间电介质内形成多层电容结构120,如下面更详细描述。

[0051] 在一些实施例中,电介质层104可以包括与光电检测器层106和电容器结构120绝缘的导体层160。可使用薄膜或厚膜工艺来形成导体层160,在一个实施例中,使用电极电镀工艺沉积金属材料来形成导体层160。可以使用掩膜将金属材料直接沉积到预定部分上,或者可以用金属材料覆盖电介质层104的整个顶表面,并且可以蚀刻单独部分以形成导体层160的所需特征。

[0052] 在一些实施例中,导体层160可被配置成在电容器结构120的电极层122、126两端产生均匀的电压电位。在各种实施例中,导体层160可具有比电极层122、126更低的电阻,且可被配置成减小将在电极层122、126两端形成的电压电位。导体层160的厚度可以分别根据电极两端的允许电压电势和/或第一高密度电容器116和第二高密度电容器118的其它性能和制造考虑而变化。在一些实施例中,导体层160的厚度可以在0.3微米至30微米之间,在其它实施例中,导体层160的厚度可以在0.7微米至2微米之间,并且在一个实施例中,导体层160的厚度大约为1微米。在一些实施例中,导体层160可以比电极层122、126厚10倍至10000倍。

[0053] 光电检测器层106可以形成在电介质层104上方,并且可以包括与层间电介质邻近设置的反射器层162。反射器层162可由任何过渡金属或贫金属(例如钛或铝)或提供反射涂层的一些其它金属形成。反射器层162可以允许到检测器164的入射信号多次通过检测器,以便增强检测的可能性。反射器层162还可以提供电连接,通过该电连接可以接入顶部电极。

[0054] 检测器层166可以位于反射器层162上方并邻近反射器层162。检测器层166可以是可包括光电二极管的任何类型的光电检测器材料。在可替代实施例中,检测器层166可以是p-on-n光电二极管、n-on-p光电二极管、PIN光电二极管、辐射热计等。检测器层166可以在包括产生雪崩击穿的高反向偏压的各种偏压方案下工作。检测器层166可以由多种材料形成,这些材料可以单独使用或组合使用,以产生各种环境所需的最终带隙。所述材料可包括硅、锗、镉、镓、钒、氧化钒、砷、汞、镉、碲、铅、硫中的一种或多种。在一个实施例中,材料的示例性组合是碲化镉汞(HgCdTe或MCT),其可以以各种量使用以产生在约0至约1.5eV之间

的最终带隙。

[0055] 尽管本文描述的高密度电容器实施例被描述为形成光电检测器的一部分,但是可以在任何类型的衬底上形成高密度电容器结构。特别地,电容器结构可以形成分立式电容器件,或者与不同类型的电气部件(例如微处理器、功率转换器、逻辑器件或任何其它类型的基于集成电路的部件)集成。更具体地,在一个实施例中,可以在衬底(例如,半导体衬底层110、有机衬底、陶瓷衬底或任何其它材料)上形成电绝缘层157,并且可以在电绝缘层中形成电容结构120,从而形成不具有集成电路功能的分立式电容器件。在另一实施例中,半导体层110可以是微处理器的一部分,并且电绝缘层157可以形成在微处理器的半导体层上,并且电容结构120可以形成在电绝缘层中。受益于本公开的本领域技术人员将理解使用如本文所述的电容器结构120的其它方法。

[0056] 图2示出了图1所示的第一高密度电容器116的电容结构120的一部分的等距视图。如图2所示,电容结构120遵循由多个凹陷128(见图1)形成的波浪式形貌,从而与平面结构相比增加了电容。更具体地,由于交错的锥形结构205,图2所示的波浪式形貌显示了电容结构120的表面积的增加。如上所述,电容结构120包括顶部电极层126、电介质124和底部电极层122,它们都遵循图2所示的形貌。如本文所描述的,在其它实施例中,电容结构120可具有其它配置、几何形状和形状。

[0057] 图3示出了图1所示的焦平面阵列单位单元100的简化透视平面图。如图3所示,光电检测器层106是透明的,并且多个凹陷128以阵列形式排列,并且跨越单位单元100的大部分分布。在一个实施例中,与以相同面积形成的等效平面电容器相比,每个单位单元100使用18个至20个凹陷128导致1.8倍至2.0倍的高密度电容器密度。如本文所描述的,在一些实施例中,可以形成多于一个高密度电容器,使得凹陷128的一部分可以用于第一高密度电容器116(参见图1),而凹陷的剩余部分可以用于第二高密度电容器118。

[0058] 图4示出了在IC衬底415的钝化部分410中形成的凹陷405的部分截面图。如图4所示,凹陷405是具有相对平坦底表面425倾斜侧壁420的部分过孔。在该特定实施例中,凹陷405大约为0.958微米深,并且形成在大约1.075微米厚的钝化部分410中。

[0059] 图5示出了图1所示的单位单元100的简化电路图500。如图5所示,第一高密度电容器116和第二高密度电容器118与积分电容器112并联耦合。积分电容器112可以耦合到检测器164。在其它实施例中,第一高密度电容器116和/或第二高密度电容器118可与积分电容器112串联耦合,或耦合到单位单元电路100的其它部分。所示的检测器164具有n-on-p极性,然而,检测器也可以是例如p-on-n光电二极管或PIN光电二极管。在其它实施例中,可以使用不同的电路设计来与其它类型的光电检测器(例如微辐射热计)交互。

[0060] 图6示出了根据本公开实施例的具有多层电容器的焦平面阵列单位单元600的简化截面图。如图6所示,单位单元600类似于单位单元100,不同之处在于单位单元600包括堆叠在彼此顶部的两层电容器结构,使得能够增加电容器密度。更具体地,单位单元600示出了四个电容器,其中电容器630、632具有平面结构,电容器614、618具有非平面高密度结构。

[0061] 高密度电容器结构614、618可包括第一底部电极620和形成在第一底部电极620上方的电介质层622。第一顶部电极624可以形成在第一电介质层622上方。电介质层604的一部分可以形成在第一顶部电极624上方,并且电介质层用作高密度电容器结构614、618与平面电容器结构630、632之间的电绝缘体。在一些实施例中,平面电容器结构632包括与高密

度电容器结构614、618类似的层和材料。更具体地,平面电容器结构632包括第二底部电极634和形成在第二底部电极上方的第二电介质材料636。第二顶部电极638形成在第二电介质材料636上方。在一些实施例中,高密度电容器结构614、618和平面电容器结构630、632可电耦合在一起以充当单个电容器。在进一步的实施例中,平面电容器结构630、632可以形成在高密度电容器614、618下方。电介质层604可以形成在半导体衬底602上方。

[0062] 在其它实施例中,受益于本公开的本领域技术人员将理解,电介质层604可以包括任何数量的电容器结构层,并且在一个实施例中,可以具有3层、4层、5层、6层、7层、8层或更多层的电容器结构。

[0063] 图7示出了根据本公开实施例的具有多电容器结构的焦平面阵列单位单元700的截面图。如图7所示,单位单元700类似于图6所示的单位单元600,除了单位单元700包括能够增加电容器密度的两层高密度电容器结构。更具体地,单位单元700包括两个高密度层中的四个电容器。分别在ROIC 702的钝化部分708中形成第一高密度电容器716和第二高密度电容器718,并且分别在电介质层704中形成第三高密度电容器720和第四高密度电容器724。更具体地,在一个实施例中,钝化部分708可以是施加在半导体衬底703上方的钝化层,其中半导体衬底包括半导体材料层和形成为ROIC的一部分的一个或多个金属层。在一个实施例中,钝化部分是形成为半导体制造工艺的最后电介质层的氮化硅。每个高密度电容器716、718、720、724类似于先前描述的高密度电容器结构,且可使用之前披露的任何技术来形成。

[0064] 如图所示,在IC衬底702的钝化部分708中分别形成第一高密度电容器716和第二高密度电容器718。第一高密度电容器716和第二高密度电容器718都包括类似于先前披露的电容器结构的电容器结构,其中顶部电极730形成在电介质材料728上方,该电介质材料728形成在底部电极726上方。电容器结构遵循由形成在钝化部分708中的多个第一凹陷755形成的形貌。

[0065] 以与第一高密度电容器716和第二高密度电容器718类似或不同的材料以类似的方式形成第三高密度电容器720和第四高密度电容器724。顶部电极733形成在电介质材料729上方,电介质材料729形成在底部电极727上方。电容器结构遵循由形成在电介质层704中的多个第二凹陷756建立的形貌。在一些实施例中,第三高密度电容器720和第四高密度电容器724的底部电极727分别通过一个或多个过孔736耦合到第一高密度电容器716和第二高密度电容器718的顶部电极730。积分电容器结构可以为每像素多电容器提供任何适当数量的电容器。

[0066] 图8示出了根据本公开实施例的焦平面阵列单位单元800的简化截面图。如图8所示,单位单元800类似于图6的单位单元600,其中单位单元包括平面电容器805和高密度电容器810,然而在图8中,高密度电容器位于下部平面电容器顶部上并与其电接触。更具体地,在单位单元800中,平面电容器805的顶部电极815与高密度电容器810的底部电极820相邻并电接触。在一个实施例中,底部电极820与每个凹陷830的底部部分825中的顶部电极815接触。受益于本公开的普通技术人员将认识到许多变化、修改和替换。

[0067] 图9示出了示例性过程900,通过该过程,电容器结构可以形成在IC衬底上或覆盖IC衬底,如图10所示。过程900可被称为制造过程。根据图9的方法在IC衬底1002上方形成焦平面阵列单位单元1000的截面图,如图10所示。更具体地,在该特定实施例中,在形成于IC

衬底1002顶部上的电介质层1004中形成高密度电容器结构1020,然而在其它实施例中,如本文所公开的,可以使用作为IC衬底顶部的钝化层的一部分来形成高密度电容器结构。

[0068] 如图所示,在步骤902,提供IC衬底1002,在IC衬底1002上可以形成高密度电容器结构1016.IC衬底可以包括预处理的硅、二氧化硅、绝缘体上硅、锗、砷化镓、或其它III族-V族或II族-VI族材料。

[0069] 在步骤904,在IC衬底上沉积电介质层1004层的第一部分,该第一部分覆盖IC衬底1002。如之前描述的,电介质层1004位于IC衬底1002和光电检测器层1006之间,其中可以形成第一高密度电容器1016和第二高密度电容器1018的一部分。更具体地,在一些实施例中,可以在电容器结构1020之前、期间或之后沉积电介质层1004的部分,使得电介质层1004使高密度电容器结构1020的电极层与光电检测器层1006和/或单位单元1000的其它部分绝缘。在一些实施例中,电介质层1004可以是氧化物、氮化物、聚合物或在单位单元1000内提供适当电绝缘的任何其它材料。在一个实施例中,电介质层1004可以例如是二氧化硅。在一些实施例中,可以在层间电介质内形成电容器结构1016的附加层,如下面更详细描述。

[0070] 在沉积附加层以形成高密度电容器之前,在步骤906,可以将耦合在一起的多个凹陷结构1034蚀刻到电介质层1004中,如图10所示。如之前描述的,每个电容器结构1016形成波浪式和/或波纹状结构,其中平面部分被耦合到第一侧壁,该第一侧壁在向下的方向上延伸到平面部分,该平面部分然后被耦合到第二侧壁部分,该第二侧壁部分在向上的方向上朝向第二平面部分延伸。为了形成期望的电容器结构,重复将凹陷结构1034蚀刻到电介质层中的过程,直到可以形成期望的电容器形貌。在一些实施例中,可在电介质层1004中形成过孔结构或任何其它几何形状。

[0071] 在步骤908,可以在电介质层1024的第一部分上方沉积第一电极层1022。可以用各种制造技术沉积第一电极1022材料,所述制造技术可以包括化学气相沉积、物理气相沉积或溅射、等离子体增强化学气相沉积(其包括高密度等离子体沉积、低压或低于大气压的化学气相沉积、外延生长或原子层沉积)。电极材料可以包括过渡金属或贫金属,包括金属氮化物或其它组合。例如,如图10所示,可以沉积包括生长或沉积在电介质层1004中的钛的第一电极层1022。所述层的高度可以小于或约 $1\mu\text{m}$ 。可替代地,层的高度可以小于或约 $1\mu\text{m}$ 、 $0.1\mu\text{m}$ 、 $500\text{nm}$ 、 $400\text{nm}$ 、 $375\text{nm}$ 、 $350\text{nm}$ 、 $325\text{nm}$ 、 $300\text{nm}$ 、 $250\text{nm}$ 、 $200\text{nm}$ 、 $175\text{nm}$ 、 $150\text{nm}$ 、 $125\text{nm}$ 、 $100\text{nm}$ 、 $75\text{nm}$ 、 $50\text{nm}$ 、 $25\text{nm}$ 、 $10\text{nm}$ 、 $7\text{nm}$ 、 $5\text{nm}$ 、 $3\text{nm}$ 、 $1\text{nm}$ 、7埃、5埃等、或更小。

[0072] 在一些实施例中,在第一材料层上方沉积第二材料层。该第二材料层可以包括与第一材料层类似或替代性的金属,并且可以包括前述的任何材料。例如,在包括氮化钛的第一电极1022的第一材料层上方沉积第二材料层。与第一电极1022的第一材料层一样,第二材料层的高度可以小于或约 $5\mu\text{m}$ 。可替代地,该层的高度可以小于或约 $1\mu\text{m}$ 、 $0.1\mu\text{m}$ 、 $500\text{nm}$ 、 $400\text{nm}$ 、 $375\text{nm}$ 、 $350\text{nm}$ 、 $325\text{nm}$ 、 $300\text{nm}$ 、 $250\text{nm}$ 、 $200\text{nm}$ 、 $175\text{nm}$ 、 $150\text{nm}$ 、 $125\text{nm}$ 、 $100\text{nm}$ 、 $75\text{nm}$ 、 $50\text{nm}$ 、 $25\text{nm}$ 、 $10\text{nm}$ 、 $7\text{nm}$ 、 $5\text{nm}$ 、 $3\text{nm}$ 、 $1\text{nm}$ 、7埃等、或更小。在替代性实施例中,可以在第一电极1022的第一材料层和第二材料层上方沉积附加材料层。

[0073] 可以以一定厚度沉积一个或多个材料层并且将其图案化以最大化电流密度,使得材料可以在操作期间破裂(rupture)。例如,如图10所示,第一电极1022的第一材料层可沉积成一定厚度,使得超过某一阈值的电压可熔化电极材料或以其它方式使电极材料破裂,从而有效地断开与负电压相关联的检测器。该特征可以充当熔断机制以断开已经发生故障

的检测器像素,并且可以应用于本文所公开的任何实施例。

[0074] 在沉积或生长第一电极材料的一个或多个材料层之后,在步骤910,可以蚀刻第一电极结构。可用选择性地去除部分第一电极层的湿法或干法蚀刻工艺来执行蚀刻。可以首先沉积抗蚀剂层,使得在衬底上方的某些部分中去除电极材料,但是在其它部分中基本保持电极材料。如图10所示,可以去除包括用于顶部电极接触的连接器1028、用于底部电极接触的连接器1030a、1030b的区域上方以及用于检测器接触的连接器1032上方区域的电介质层1004材料。在去除电介质层材料之后,可以执行后道处理步骤,包括去除抗蚀剂材料。

[0075] 在步骤912,可以在第一电极材料上方沉积电容器电介质材料1024。电介质可以包括金属氧化物、金属氮化物、金属氧氮化物、金属碳化物或其它已知的电介质材料。所使用的金属可包括氧化物或其它配方,例如包括硅、铝、钛、锆、钨、钼或铬。可替代的电介质结构可以包括多层材料以提供组合的电介质特性。例如,这些层可以包括多于或约1层、2层、3层、4层、5层、6层、7层、8层、9层、10层、11层、12层、13层、15层、17层、20层、23层、25层等、或更多层的材料。这些层可以包括以多种方式分层的多种材料,包括交替层或两种或更多种材料,或随后被反向并重新分层以用于完整结构的有序的材料叠层。如图10所示,电介质材料1024以一层或多层沉积在第一电极1022的层上方。电介质材料层的高度可以小于或约 $1\mu\text{m}$ 。可替代地,层高度可以小于或约为 $1\mu\text{m}$ 、 $0.11\mu\text{m}$ 、 $500\text{nm}$ 、 $400\text{nm}$ 、 $375\text{nm}$ 、 $350\text{nm}$ 、 $325\text{nm}$ 、 $300\text{nm}$ 、 $250\text{nm}$ 、 $200\text{nm}$ 、 $175\text{nm}$ 、 $150\text{nm}$ 、 $125\text{nm}$ 、 $100\text{nm}$ 、 $75\text{nm}$ 、 $50\text{nm}$ 、 $25\text{nm}$ 、 $10\text{nm}$ 、 $7\text{nm}$ 、 $5\text{nm}$ 、 $3\text{nm}$ 、 $1\text{nm}$ 、7埃等、或更小。在可替代的实施例中,电介质材料的每个内层可以小于或约为所列出的任何高度。电介质材料层的总高度可基于特定应用要求而变化,以优先使泄电流最小化,使击穿电压最大化或使电容密度最大化。

[0076] 在已经沉积或生长了一层或多层电介质材料之后,在步骤914,可以蚀刻电介质结构。电介质材料可以被蚀刻低到第一电极材料的水平,并且可以利用相对于第一电极材料选择性地去除电介质材料的湿法或干法蚀刻工艺来执行蚀刻。可首先沉积抗蚀剂层,使得在衬底上方的某些部分中去除电介质材料,但在其它部分中基本保持电介质材料。如图10所示,可以去除包括用于顶部电极接触的连接器1028、用于底部电极接触的连接器1030a、1030b的区域上方以及用于检测器接触的连接器1032上方区域的电介质层1004材料。在去除电介质层材料之后,可以执行后道处理步骤,包括去除抗蚀剂材料。

[0077] 在处理步骤916,可以在覆盖第一电极1022和电介质材料1024的电容器结构1016上方沉积第二电极材料1026。可通过前述方法中的任一种来沉积第二电极材料1026,且可通过与第一底部电极类似或不同的方法来形成第二电极材料。可替代地,第二电极材料1026可包括前述材料中的任一种或其组合。第二电极1026可以包括一层或多层电极材料,其可以以与第一电极类似的方式形成。可替代地,可以用第二电极形成不同的电极材料结构。与第一电极材料一样,第二电极材料层中的每一者或形成第二电极材料的材料的组合的厚度可具有小于或约 $5\mu\text{m}$ 的高度。可替代地,层的高度可以小于或约为 $3\mu\text{m}$ 、 $1\mu\text{m}$ 、 $500\text{nm}$ 、 $400\text{nm}$ 、 $375\text{nm}$ 、 $350\text{nm}$ 、 $325\text{nm}$ 、 $300\text{nm}$ 、 $250\text{nm}$ 、 $200\text{nm}$ 、 $175\text{nm}$ 、 $150\text{nm}$ 、 $125\text{nm}$ 、 $100\text{nm}$ 、 $75\text{nm}$ 、 $50\text{nm}$ 、 $25\text{nm}$ 、 $10\text{nm}$ 、 $7\text{nm}$ 、 $5\text{nm}$ 、 $3\text{nm}$ 、 $1\text{nm}$ 、7埃等、或更小。

[0078] 在为第二电极1022沉积一层或多层材料之后,在步骤918,可以蚀刻第二电极1022。可以首先沉积抗蚀剂层,使得在衬底上方的某些部分中去除电极材料,但是在其它部分中基本保持电极材料。如图10所示,可以去除包括用于顶部电极接触的连接器1028、用于

底部电极接触的连接器1030的区域上方以及用于检测器接触的连接器1028上方区域的电介质层1004材料。在去除电介质层材料之后,可以执行后道处理步骤,包括去除抗蚀剂材料。可使用任何蚀刻工艺或工艺组合来去除之前沉积在电介质层1004上方的材料。如图10所示,覆盖各个连接器1028、1030a、1030b和1032的每个结构彼此隔离。可执行额外的蚀刻工艺以去除覆盖连接器1032的第二电极材料。该额外的蚀刻工艺可以在检测器接地连接和电容器结构之间提供额外的隔离。在一些实施例中,可以执行更多数量或更少数量的蚀刻。在一个实施例中,可以使用一次蚀刻工艺来同时蚀刻多个层。

[0079] 在步骤920,可以沉积电介质层1004的第二部分。在一些实施例中,电介质层1004的第二部分包括与在步骤904中沉积的电介质材料相同的电介质材料。如之前所揭示的,电介质层1004可以是诸如二氧化硅的绝缘材料,或者如前所描述的一些其它绝缘材料,或者可以另外用于隔离覆盖IC衬底的结构或在电介质层1004的另一部分中形成的电容器结构1020。可通过前述的任何方法沉积电介质层1004,并且在一个示例中,可通过等离子体增强化学气相沉积来沉积电介质层1004。如图10所示,电介质层1004被沉积成完全隔离电容器结构1020下方和上方的区域。在一些实施例中,可以执行多次沉积和/或蚀刻步骤以确保电容器结构1020的适当台阶覆盖,并且可以去除包括用于顶部电极接触的连接器1028、用于底部电极接触的连接器1030a、1030b的区域上方以及用于检测器接触的连接器1032上方区域的电介质层1004材料。

[0080] 在步骤922,可以沉积导体层1014,并且在步骤924,蚀刻导体层1014以在下方电容器结构的电极层两端提供均匀的电压电位,同时保持结构彼此充分隔离。根据前面公开的信息形成和蚀刻导体层1014。可以在蚀刻之前沉积抗蚀剂图案,以确保适当的去除区域。可以执行先前讨论的蚀刻方法中的任何一种,其选择性地去除导电层材料同时基本保持下方结构。

[0081] 在步骤926,可以在导体层1014上方沉积电介质层1004材料的其它部分。电介质层1004可以为下方电容器结构和导电层提供势垒,同时保持结构彼此之间的充分隔离。可以执行前面讨论的蚀刻方法中的任何一种。

[0082] 在IC衬底上方形成电容器结构之后,可以执行进一步的处理步骤。在步骤928,可以可选地在电容器结构上方形成检测器层1006。可以直接在反射器材料上方生长或形成检测器层1006,可替代地,可以单独形成检测器层1006,然后将其连接到反射器和电容器结构。也可形成包括过孔蚀刻的后道处理以产生光电二极管功能。为了进一步防止在检测器接触区和电容器区之间形成电连接,可以或可以不在反射器材料的区域上形成附加的隔离层。

[0083] 可以在约800°C或更低的温度下执行任何前述的加工步骤、以及额外的抛光、退火或固化,以保护下方的和预先形成的ROIC结构。可替代地,可以在约700°C、600°C、500°C、450°C、400°C、350°C、300°C、200°C、150°C、100°C等或更低温度下执行所述过程。在具有或不具有检测器材料的ROIC上方的沉积的材料层可具有小于或约30 $\mu\text{m}$ 的总高度。可替代地,沉积的材料层可具有小于或约7 $\mu\text{m}$ 、5 $\mu\text{m}$ 、3 $\mu\text{m}$ 、2 $\mu\text{m}$ 、1 $\mu\text{m}$ 、800nm、750nm、600nm、500nm、450nm、400nm、350nm、300nm、250nm、200nm、150nm、100nm、50nm等或更小的总高度。

[0084] 应当理解,过程900是说明性的,并且各种变化和修改也是可能的。可以并行地执行被描述为序列的步骤,可以改变各个步骤的顺序,并且可以修改、组合、添加或省略步骤。

[0085] 在前面的描述中,出于解释的目的,已经阐述了许多细节,以便提供对当前技术的各种实施例的理解。然而,对于本领域的技术人员来说明了的是,可以在没有这些细节中的一些的情况下或者利用附加的细节来实践某些实施例。

[0086] 已经公开了几个实施例,本领域技术人员将认识到,在不脱离所公开的实施例的精神的情况下,也可以使用各种修改、替代结构和等同物。另外,为了避免不必要地使本技术模糊,并未描述一些公知的过程和元素。因此,上述描述不应被认为是限制本技术的范围。

[0087] 应注意,可将个别实施例描述为被描绘为流程图、流程示意图或框图的过程。尽管流程图可以将该方法描述为顺序的过程,但是许多操作可以并行或同时执行。此外,可以重新安排操作顺序。当过程的操作完成时,该过程可以被终止,但是该过程可以具有没有讨论或未包括在图中的附加步骤。此外,并非所有具体描述的过程中的所有操作都可以在所有实施例中发生。过程可对应于方法、函数、步骤、子例程、子程序等。

[0088] 应理解,在提供值的范围的情况下,除非上下文另有明确规定,否则在该范围的上限和下限之间的每个居间值至该下限单位的最小分数也被具体公开。在所述范围内的任何值或居间值与所述范围内的任何其它值或居间值之间的每个较小范围都被涵盖。那些较小范围的上限和下限可以独立地包括在该范围内,并且包括在较小范围内的任一者、两者限制值的每个范围也被包括在所公开的技术内,并且受限于所述范围内的任何特别排除的限制值。当所述范围包括所述限制值中的一者或两者时,还包括那些包括限制值的一个或两个范围。

[0089] 如本文和所附权利要求书中所使用的,单数形式“一个”、“一种”和“该”包括复数引用,除非上下文另外明确规定。因此,例如,所引用的“电介质材料”包括多种该材料,并且所引用的“应用”包括引用一个或多个应用及其本领域技术人员已知的等效物等等。

[0090] 此外,当在本说明书和所附权利要求书中使用时,术语“包括”、“包含”、“含有”旨在指定所述特征、数字、部件或步骤的存在,但是其不排除存在或添加一个或多个其它特征、数字、部件、步骤、动作或组。

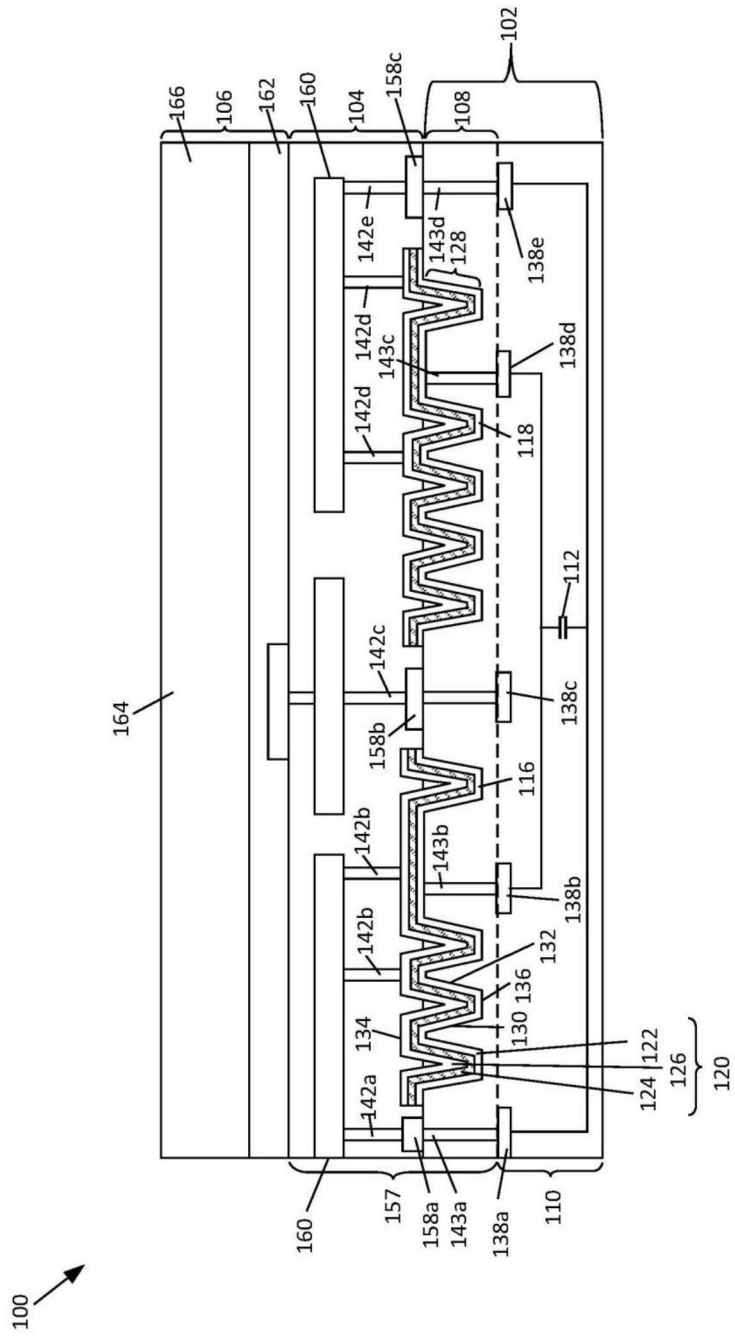


图1

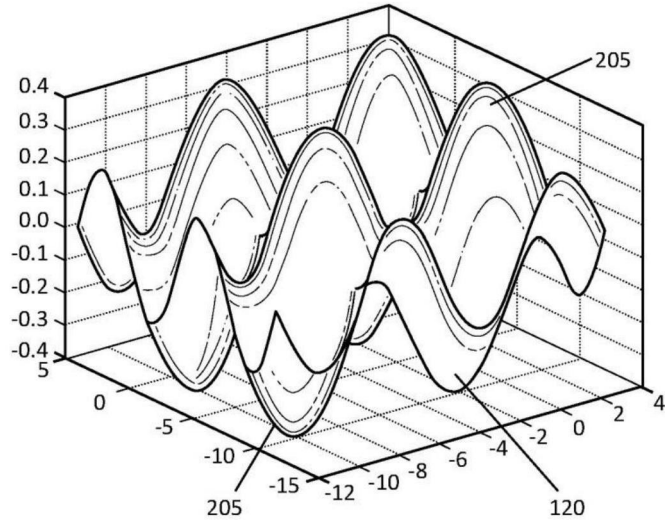


图2

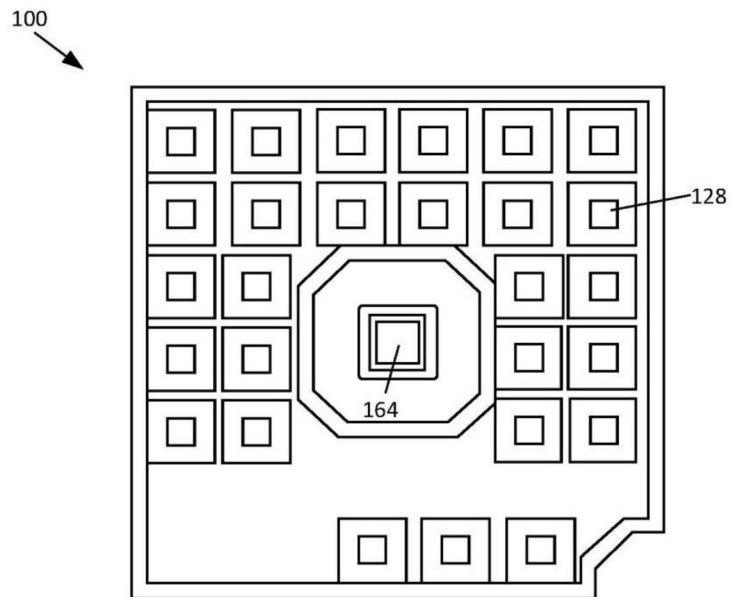


图3

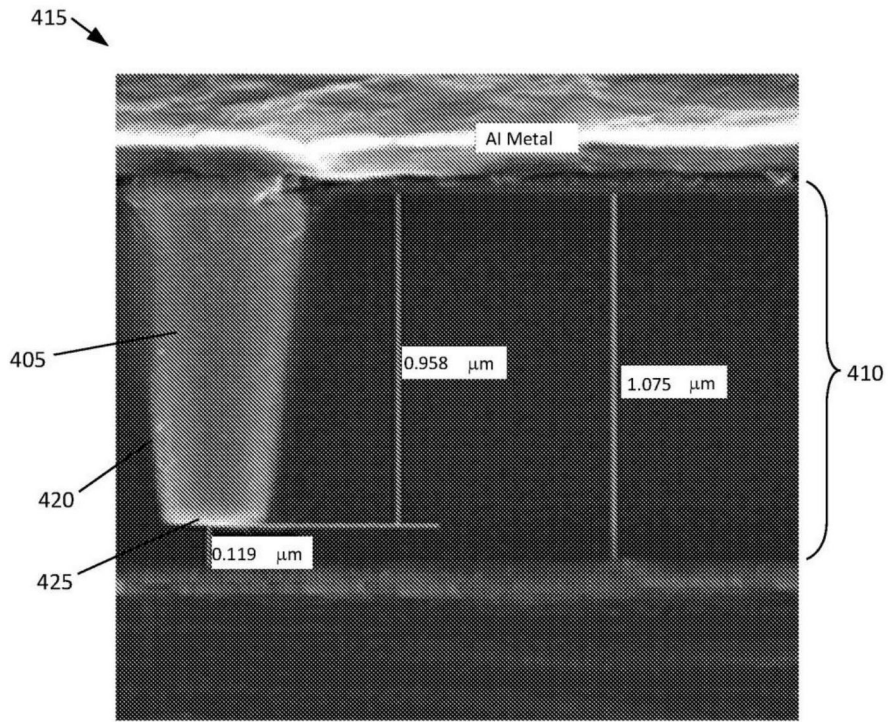


图4

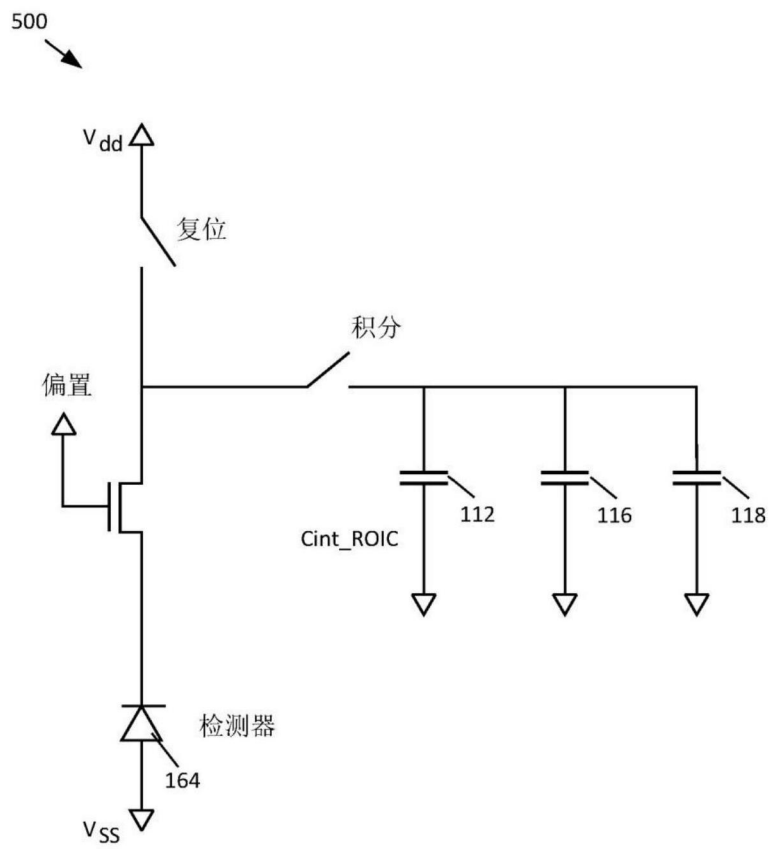


图5

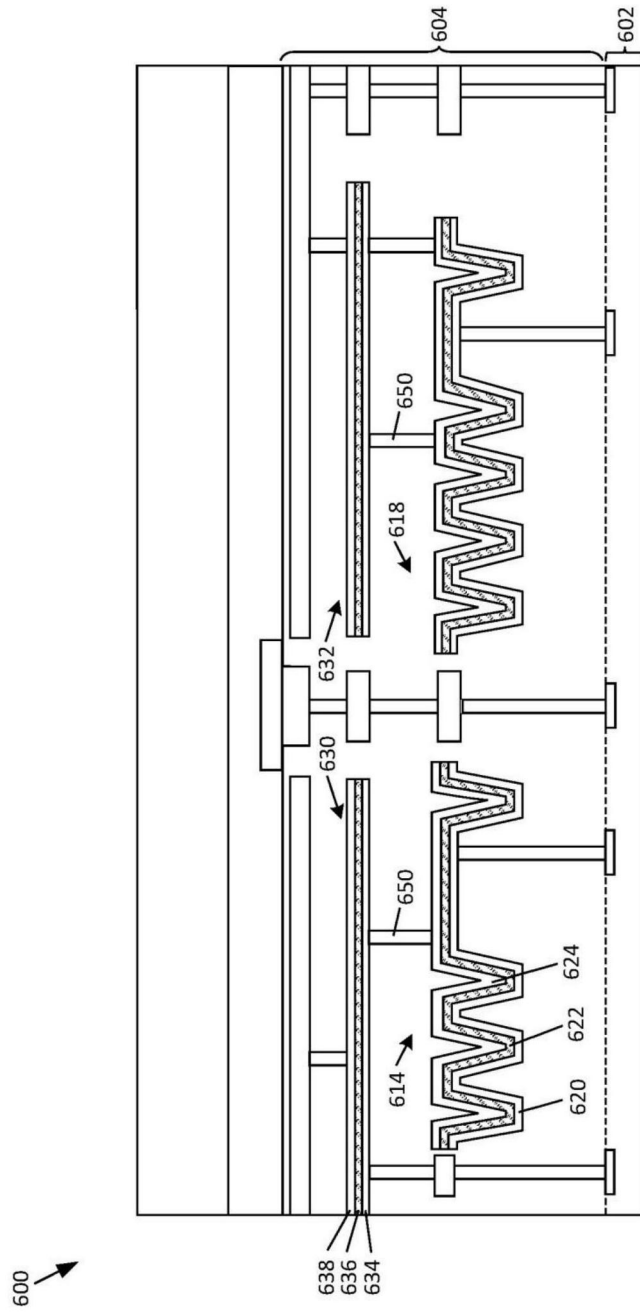


图6

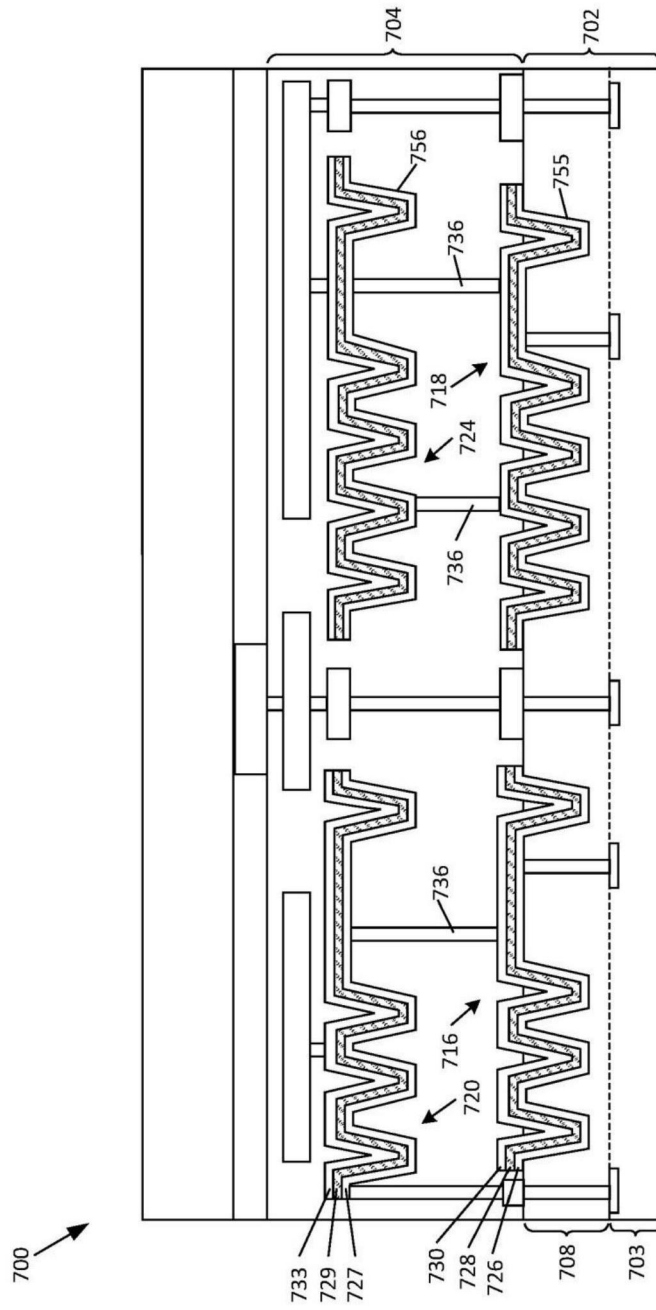


图7

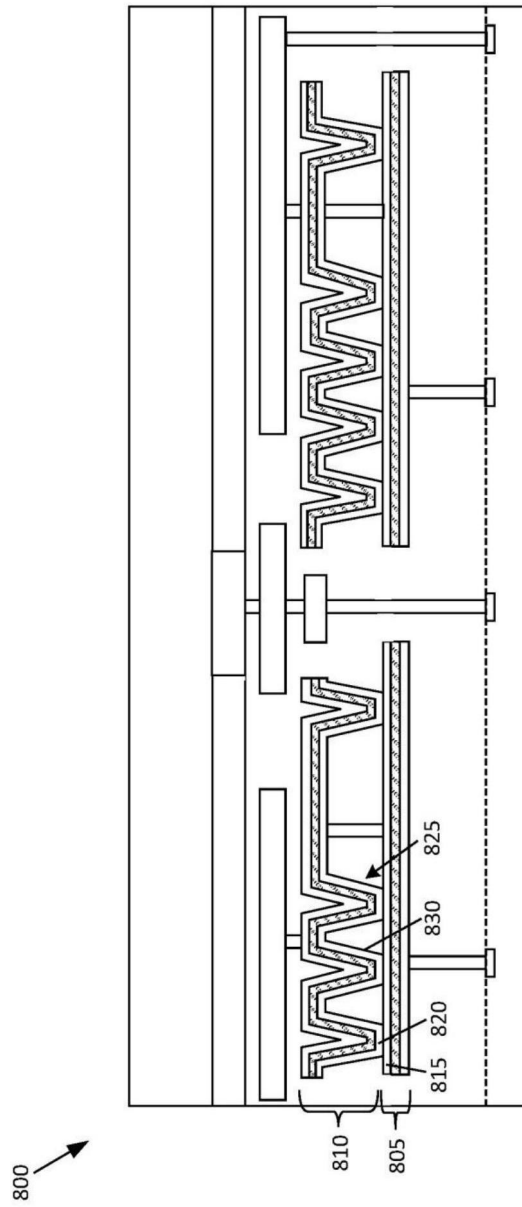


图8

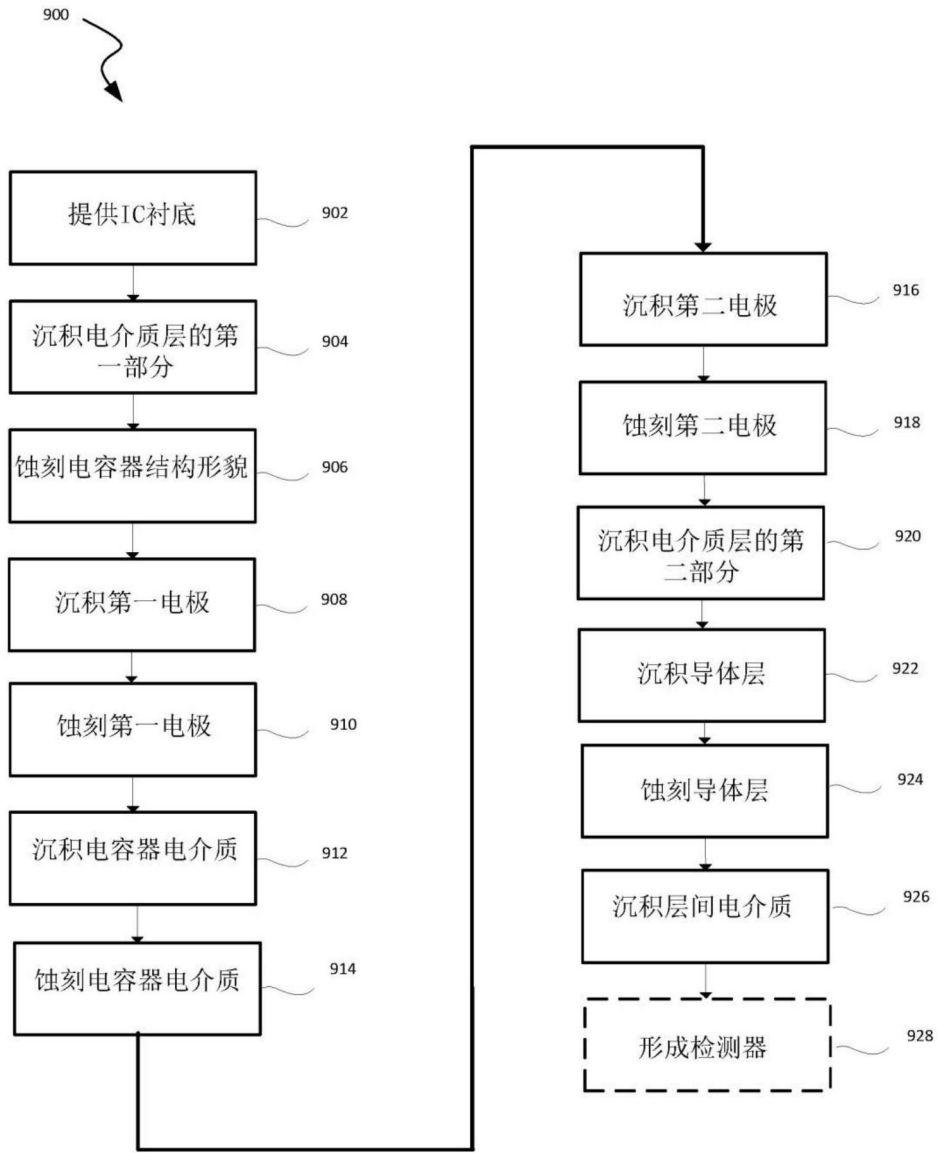


图9

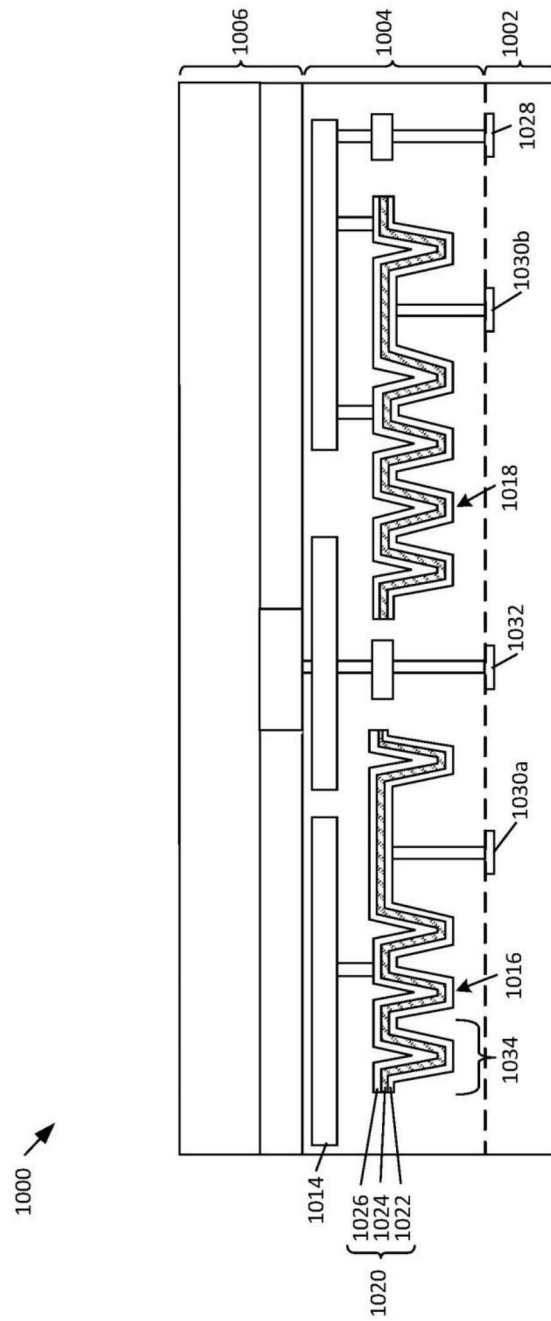


图10