

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-197345  
(P2005-197345A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int. Cl.<sup>7</sup>

H01L 21/8244  
G11C 15/04  
H01L 27/11

F I

H01L 27/10 381  
G11C 15/04 601A

テーマコード(参考)

5F083

審査請求 未請求 請求項の数 19 O L (全 25 頁)

(21) 出願番号 特願2004-316 (P2004-316)  
(22) 出願日 平成16年1月5日(2004.1.5)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区丸の内一丁目6番6号  
(74) 代理人 100089071  
弁理士 玉村 静世  
(72) 発明者 日下田 恵一  
東京都青梅市新町六丁目16番地の3 株  
式会社日立製作所デバイス開発センタ内  
(72) 発明者 岩橋 誠之  
東京都青梅市新町六丁目16番地の3 株  
式会社日立製作所デバイス開発センタ内  
(72) 発明者 相原 陽一郎  
東京都青梅市新町六丁目16番地の3 株  
式会社日立製作所デバイス開発センタ内

最終頁に続く

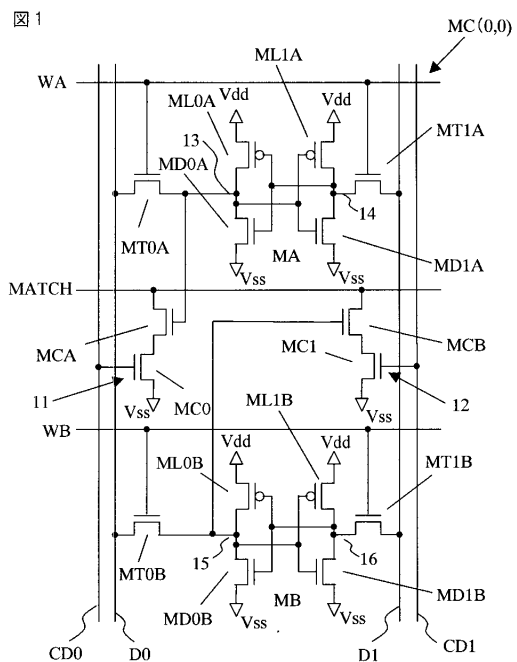
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 CAMにおけるメモリセル面積の縮小化を図る。

【解決手段】 データ線(D0, D1)を第1記憶部(MA)及び第2記憶部(MB)とで共有し、また、第1比較データ線(CD0)に結合された第1トランジスタ(MC0)と、第1記憶部の記憶ノードに結合された第2トランジスタ(MCA)とを直列接続して第1比較回路(11)を形成し、第2比較データ線(CD1)に結合された第3トランジスタ(MC1)と、上記第2記憶部の記憶ノードに結合された第4トランジスタ(MCB)とを直列接続して第2比較回路(12)を形成することは、拡散層や配線層のレイアウトにおける対称性を向上させ、メモリセルをその中心を通る中心線に対して線対称となるレイアウトの容易化を達成する。それにより製造プロセス条件を最適化し易くなり、製造プロセスのばらつきが低減されてメモリセルの微細化が達成される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ワード線と、それに交差するように配置されたデータ線と、上記ワード線と上記データ線との交差する箇所に配置されたメモリセルと、比較用データを取り込むための比較データ線と、上記比較データ線を介して伝達された比較用データと上記メモリセルの記憶データとの比較結果を得るための比較一致線と、を含むメモリを具備し、

上記メモリセルは、第 1 記憶部と、それとは別個に配置され第 2 記憶部と、上記比較データ線を介して伝達された比較用データと上記第 1 記憶部及び上記第 2 記憶部の記憶データとを比較可能な比較手段とを含み、

上記データ線は、上記第 1 記憶部及び上記第 2 記憶部とで共有され、

上記比較データ線は、第 1 比較データ線と、第 2 比較データ線とを含み、

上記比較手段は、上記第 1 比較データ線に結合された第 1 トランジスタと、上記第 1 記憶部の記憶ノードに結合された第 2 トランジスタとが直列接続されて成る第 1 比較回路と

10

、  
上記第 2 比較データ線に結合された第 3 トランジスタと、上記第 2 記憶部の記憶ノードに結合された第 4 トランジスタとが直列接続されて成る第 2 比較回路とを含んで成ることを特徴とする半導体装置。

## 【請求項 2】

上記ワード線は、上記第 1 記憶部に対応して配置された第 1 ワード線と、上記第 2 記憶部に対応して配置された第 2 ワード線とを含む請求項 1 記載の半導体装置。

20

## 【請求項 3】

上記メモリセルは、ゲート電極が互いに同一方向に揃えて形成された複数のトランジスタを含み、且つ、ゲート形成方向を軸として線対称になるようにレイアウトされた請求項 1 記載の半導体装置。

## 【請求項 4】

上記第 2 トランジスタのゲート電極と、上記第 1 記憶部において上記第 2 トランジスタに結合されたゲート電極とは共通化され、

上記第 4 トランジスタのゲート電極と、上記第 2 記憶部において上記第 4 トランジスタに結合されたゲート電極とは共通化された請求項 2 記載の半導体装置。

## 【請求項 5】

上記第 1 比較回路と上記第 2 比較回路とは、共通のコンタクトホールを介して上記比較一致線に共通接続された請求項 1 記載の半導体装置。

30

## 【請求項 6】

ワード線と、それに交差するように配置されたデータ線と、上記ワード線と上記データ線との交差する箇所に配置されたメモリセルと、比較用データを取り込むための比較データ線と、上記比較データ線を介して伝達された比較用データと上記メモリセルの記憶データとの比較結果を得るための比較一致線と、を含むメモリを具備し、

上記メモリセルは、相補レベルの一对の記憶ノードを備えた第 1 記憶部と、それとは別個に配置され、相補レベルの一对の記憶ノードを備えた第 2 記憶部と、上記比較データ線を介して伝達された比較用データと上記第 1 記憶部及び上記第 2 記憶部の記憶データとを比較可能な比較手段とを含み、

40

上記データ線は、上記第 1 記憶部及び上記第 2 記憶部における一方の記憶ノード側に配置され、且つ、上記第 1 記憶部及び上記第 2 記憶部における一方の記憶ノードで共有される第 1 データ線と、上記第 1 記憶部及び上記第 2 記憶部における他方の記憶ノード側に配置され、且つ、上記第 1 記憶部及び上記第 2 記憶部における他方の記憶ノードで共有される第 2 データ線とを含み、

上記比較データ線は、第 1 比較データ線と、第 2 比較データ線とを含み、

上記比較手段は、上記第 1 比較データ線に結合された第 1 トランジスタと、上記第 1 記憶部における上記第 1 データ線側の記憶ノードに結合された第 2 トランジスタとが直列接続されて成る第 1 比較回路と、

50

上記第2比較データ線に結合された第3トランジスタと、上記第2記憶部における上記第1データ線側の記憶ノードに結合された第4トランジスタとが直列接続されて成る第2比較回路とを含んで成ることを特徴とする半導体装置。

【請求項7】

上記ワード線は、上記第1記憶部に対応して配置された第1ワード線と、上記第2記憶部に対応して配置された第2ワード線とを含む請求項6記載の半導体装置。

【請求項8】

上記メモリセルは、ゲート電極が互いに同一方向に揃えて形成された複数のトランジスタを含み、且つ、ゲート形成方向を軸として線対称になるようにレイアウトされた請求項7記載の半導体装置。

10

【請求項9】

上記第2トランジスタのゲート電極と、上記第1記憶部において上記第2トランジスタに結合されたゲート電極とは共通化され、

上記第4トランジスタのゲート電極と、上記第2記憶部において上記第4トランジスタに結合されたゲート電極とは共通化された請求項8記載の半導体装置。

【請求項10】

上記第1比較回路と上記第2比較回路とは、共通のコンタクトホールを介して上記比較一致線に共通接続された請求項9記載の半導体装置。

【請求項11】

ワード線と、それに交差するように配置されたデータ線と、上記ワード線と上記データ線との交差する箇所に配置されたメモリセルと、比較用データを取り込むための比較データ線と、上記比較データ線を介して伝達された比較用データと上記メモリセルの記憶データとの比較結果を得るための比較一致線と、を含むメモリを具備し、

20

上記メモリセルは、相補レベルの一对の記憶ノードを備えた第1記憶部と、それとは別個に配置され、相補レベルの一对の記憶ノードを備えた第2記憶部と、上記比較データ線を介して伝達された比較用データと上記第1記憶部及び上記第2記憶部の記憶データとを比較可能な比較手段とを含み、

上記データ線は、上記第1記憶部及び上記第2記憶部とで共有され、

上記比較データ線は、第1比較データ線と、第2比較データ線と、第3比較データ線と、第4比較データ線とを含み、

30

上記比較手段は、上記第1比較データ線に結合された第5トランジスタと、上記第1記憶部における一方の記憶ノードに結合された第6トランジスタとが直列接続されて成る第1比較回路と、

上記第1記憶部における他方の記憶ノードに結合された第7トランジスタと、上記第2比較データ線に結合された第7トランジスタとが直列接続されて成る第2比較回路と、

上記第3比較データ線に結合された第9トランジスタと、上記第2記憶部における一方の記憶ノードに結合された第10トランジスタとが直列接続されて成る第3比較回路と、

上記第2記憶部における他方の記憶ノードに結合された第11トランジスタと、上記第4比較データ線に結合された第12トランジスタとが直列接続されて成る第4比較回路と、を含んで成ることを特徴とする半導体装置。

40

【請求項12】

上記ワード線は、上記第1記憶部に対応して配置された第1ワード線と、上記第2記憶部に対応して配置された第2ワード線とを含む請求項11記載の半導体装置。

【請求項13】

上記メモリセルは、ゲート電極が互いに同一方向に揃えて形成された複数のトランジスタを含み、且つ、ゲート形成方向を軸として線対称になるようにレイアウトされた請求項12記載の半導体装置。

【請求項14】

上記第6トランジスタのゲート電極と、上記第1記憶部において上記第6トランジスタに結合されたゲート電極とは共通化され、

50

上記第7トランジスタのゲート電極と、上記第1記憶部において上記第7トランジスタに結合されたゲート電極とは共通化され、

上記第10トランジスタのゲート電極と、上記第2記憶部において上記第10トランジスタに結合されたゲート電極とは共通化され、

上記第11トランジスタのゲート電極と、上記第2記憶部において上記第11トランジスタに結合されたゲート電極とは共通化される請求項12記載の半導体装置。

【請求項15】

上記第1比較回路と第3比較回路は共通のコンタクトホールを介して上記比較一致線に共通接続され、第2比較回路と第4比較回路は共通のコンタクトホールを介して上記比較一致線に共通接続された請求項11記載の半導体装置。

10

【請求項16】

上記第1記憶部と上記第2記憶部は、第1と第2pチャネル型MOSトランジスタと、第1と第2と第3と第4nチャネル型MOSトランジスタとをそれぞれ具備し、上記第1と第2pチャネル型MOSトランジスタは、上記第1と第2nチャネル型MOSトランジスタが形成される第1pウェル領域と、上記第3と第4nチャネル型MOSトランジスタが形成される第2pウェル領域との間に配置されたnウェル領域に形成され、上記第1pウェル領域に上記第1と第2と第3と第4比較回路が形成されることを特徴とする請求項11記載の半導体装置。

【請求項17】

上記メモリセルは、上記メモリセルの中心点を通りゲート電極の延在方向に沿う中心線に対して線対称となるようにレイアウトされて成る請求項14記載の半導体装置。

20

【請求項18】

上記データ線と上記比較データ線とは同一配線層によって形成され、且つ、上記データ線と上記比較データ線との間には電源配線が介在されて成る請求項15項記載の半導体装置。

【請求項19】

上記第1記憶部と第2記憶部は、上記ワード線が延在する方向と並行な軸を中心として、線対称に配置される請求項16項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、コンテンツアドレスブルメモリ（「CAM」と略記する）を含む半導体装置、さらにはそれにおけるレイアウト技術に関し、例えばルータ用LSIに適用して有効な技術に関する。

【背景技術】

【0002】

半導体集積回路の微細化が進むにつれ、露光装置の波長をG波からI波、さらにはエキシマレーザへと短く対応してきた。しかし、微細化の要求は装置の短波長化の進歩よりも早く、近年では波長以下のパターン寸法を加工する必要に迫られている。パターン寸法が波長以下になると鍵状にながったような複雑なパターンではレイアウトに忠実にパターンを形成できなくなり、メモリセルの対称性を崩す原因となる。しかし、従来はpウェル領域の基板へのコンタクトをとるために拡散層の形を鍵状に曲げる必要があり、そのことが対称性を悪くし、微細化を阻害していた。それを解決するため、SRAMを構成するインバータが形成されたpウェル領域が二つに分割され、nウェル領域の両端に配置され、トランジスタを形成する拡散層に曲がりがなく、配置方向が、ウェル領域やビット線に平行に走るように形成することによって拡散層が複雑な形状となるのを回避して微細化を容易にした技術が知られている（例えば特許文献1参照）。

40

【0003】

また、インターネット通信回線網において異なるネットワークアドレス間のパケットの中継および方路選択を行うルータ用LSIに用いられるメモリとして、CAMが知られて

50

いる。そのようなCAMの一例として、メモリセルにデータ比較マスクの2ビットの情報を記憶し、入力データとの比較結果を比較一致線へ出力するようにしたターナリ型メモリが知られている（例えば特許文献2参照）。

【0004】

【特許文献1】特開2001-28401号公報（図1）

【0005】

【特許文献2】米国特許第6,154,384号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

CAMについて本願発明者が検討したところ、以下に掲げるように種々の課題が見いだされた。

【0007】

CAMの製造コストを低減するには、CAMの歩留りを改善することが必要とされる。また、同一チップに多くのCAMを搭載することによってLSIの性能を向上させることができるが、そのためにはCAMにおけるメモリセルの面積を低減することが必要とされる。CAMの消費電力や動作速度の改善を図るにはCAMを小さく形成することでCAM内の配線長を可能な限り短くすることが有効とされる。CAMから読出されたデータの信頼性を向上するには読み出し用データ線のノイズを低減する必要がある。

【0008】

20

しかしながら、上記特許文献1では、6個のMOSトランジスタによって形成されるSRAMセルのレイアウトについて記載されているものの、CAMの最適な回路及びそのレイアウトについては記載されてない。また、上記特許文献2によれば、メモリセル回路に対象性の無い部分があるために小面積でプロセスばらつきの少ない対象的レイアウトを行うことは困難であると考えられる。

【0009】

本発明の目的は、CAMにおけるメモリセル面積の縮小化を図るための技術を提供することにある。

【0010】

本発明の別の目的は、CAMにおける比較一致線のノイズを低減するための技術を提供することにある。

30

【0011】

本発明の別の目的は、CAMにおけるデータ読み出し用データ線のノイズを低減するための技術を提供することにある。

【0012】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

40

【0014】

すなわち、ワード線と、それに交差するように配置されたデータ線と、上記ワード線と上記データ線との交差する箇所に配置されたメモリセルと、比較用データを取り込むための比較データ線と、上記比較データ線を介して伝達された比較用データと上記メモリセルの記憶データとの比較結果を得るための比較一致線と含んで半導体記憶装置が構成される時、上記メモリセルは、第1記憶部と、それとは別個に配置され第2記憶部と、上記比較データ線を介して伝達された比較用データと上記第1記憶部及び上記第2記憶部の記憶データとを比較可能な比較手段とを含み、上記データ線は、上記第1記憶部及び上記第2記憶部とで共有され、上記比較データ線は、第1比較データ線と、第2比較データ線とを

50

含み、上記比較手段は、上記第1比較データ線に結合された第1トランジスタと、上記第1記憶部の記憶ノードに結合された第2トランジスタとが直列接続されて成る第1比較回路と、上記第2比較データ線に結合された第3トランジスタと、上記第2記憶部の記憶ノードに結合された第4トランジスタとが直列接続されて成る第2比較回路とを含む。

【0015】

上記の手段によれば、上記データ線を上記第1記憶部及び上記第2記憶部とで共有し、また、上記第1比較データ線に結合された第1トランジスタと、上記第1記憶部の記憶ノードに結合された第2トランジスタとを直列接続して第1比較回路を形成し、上記第2比較データ線に結合された第3トランジスタと、上記第2記憶部の記憶ノードに結合された第4トランジスタとを直列接続して第2比較回路を形成することは、拡散層や配線層のレイアウトにおける対称性を向上させ、メモリセルをその中心を通る中心線に対して線対称となるレイアウトの容易化を達成する。メモリセルは、その中心を通る中心線に対して線対称となるようにレイアウトされることにより製造プロセス条件を最適化し易くなる。それにより、製造プロセスのばらつきが少なくなり、メモリセルの微細化が可能になり、ひいては半導体チップ面積の縮小化、チップの取得数や歩留りの改善により、製造コストの低減を達成する。

10

【0016】

このとき、上記ワード線は、上記第1記憶部に対応して配置された第1ワード線と、上記第2記憶部に対応して配置された第2ワード線とを含んで構成することができる。

【0017】

また、ゲート電極が互いに同一方向に揃って形成された複数のトランジスタを含み、且つ、ゲート形成方向を軸として線対称になるようにレイアウトすることができる。

20

【0018】

上記第2トランジスタのゲート電極と、上記第1記憶部において上記第2トランジスタに結合されたゲート電極とが共通化され、上記第4トランジスタのゲート電極と、上記第2記憶部において上記第4トランジスタに結合されたゲート電極とが共通化されることにより、余分なコンタクトや電極を不要とする。

【0019】

上記第1比較回路と上記第2比較回路とが、共通のコンタクトホールを介して上記比較一致線に共通接続されることにより、コンタクト数の低減を達成する。

30

【0020】

そして、上記メモリセルは、相補レベルの一对の記憶ノードを備えた第1記憶部と、それとは別個に配置され、相補レベルの一对の記憶ノードを備えた第2記憶部と、上記比較データ線を介して伝達された比較用データと上記第1記憶部及び上記第2記憶部の記憶データとを比較可能な比較手段とを含み、上記データ線は、上記第1記憶部及び上記第2記憶部とで共有され、上記比較データ線は、第1比較データ線と、第2比較データ線と、第3比較データ線と、第4比較データ線とを含み、上記比較手段は、上記第1比較データ線に結合された第5トランジスタと、上記第1記憶部における一方の記憶ノードに結合された第6トランジスタとが直列接続されて成る第1比較回路と、上記第1記憶部における他方の記憶ノードに結合された第7トランジスタと、上記第2比較データ線に結合された第7トランジスタとが直列接続されて成る第2比較回路と、上記第3比較データ線に結合された第9トランジスタと、上記第2記憶部における一方の記憶ノードに結合された第10トランジスタとが直列接続されて成る第3比較回路と、上記第2記憶部における他方の記憶ノードに結合された第11トランジスタと、上記第4比較データ線に結合された第12トランジスタとが直列接続されて成る第4比較回路とを含んで構成することができる。

40

【0021】

かかる構成においても、コンタクト数の低減を達成するため、上記第6トランジスタのゲート電極と、上記第1記憶部において上記第6トランジスタに結合されたゲート電極とを共通化し、上記第7トランジスタのゲート電極と、上記第1記憶部において上記第7トランジスタに結合されたゲート電極とを共通化し、上記第10トランジスタのゲート電極

50

と、上記第2記憶部において上記第10トランジスタに結合されたゲート電極とを共通化し、上記第11トランジスタのゲート電極と、上記第2記憶部において上記第11トランジスタに結合されたゲート電極とを共通化すると良い。

【0022】

また、コンタクトホール数の低減を図るため、上記第1比較回路と第3比較回路は共通のコンタクトホールを介して上記比較一致線に共通接続させ、上記第2比較回路と第4比較回路も共通のコンタクトホールを介して上記比較一致線に共通接続させると良い。

【0023】

上記データ線と上記比較データ線とは同一配線層によって形成され、且つ、上記データ線と上記比較データ線の間には電源配線が介在され、電源配線がシールド機能を発揮させることにより、上記データ線におけるノイズ低減を達成する。

10

【発明の効果】

【0024】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0025】

すなわち、メモリセルにおける拡散層や配線層のレイアウトにおける対称性を向上させることにより、CAMにおけるメモリセル面積の縮小化を図ることができる。また、電源配線を利用してシールドすることにより、比較一致線のノイズや、データ読み出し用データ線のノイズを低減することができる。

20

【発明を実施するための最良の形態】

【0026】

図20には、本発明にかかる半導体装置の一例であるルータ用LSIが示される。このルータ用LSI200は、所定のプログラムに従ってパケットデータに含まれる宛先アドレス情報に従って当該パケットの転送処理を行うルーティングプロセッサ201と、このルーティングプロセッサ201から伝達された宛先アドレスに対応するIPアドレス情報をルーティングテーブルを使って検索するためのIPアドレス検索部210と、このIPアドレス検索部210で検索されたIPアドレス情報に対応するルーティング情報を出力するためのルーティング情報出力部220とを含み、公知の半導体集積回路製造技術により単結晶シリコン基板などの一つの半導体基板に形成される。ルーティングプロセッサ201は、上記ルーティング情報出力部220から伝達されたルーティング情報に従ってパケットデータの転送処理を行う。上記IPアドレス検索部210は、特に制限されないが、複数のCAMがアレイ状に配列されたCAMアレイ211と、入力されたアドレス情報をデコードするためのデコーダ212と、上記CAMアレイ211に対してデータの入出力を行うための直接周辺回路213と、上記CAMアレイ211から出力されたデータをエンコードするためのエンコーダ215と、上記CAMアレイ211についてのリードライト制御を行うためのリードライト制御部217とを含んで成る。上記ルーティング情報出力部220は、特に制限されないが、ルーティング情報がIPアドレスとの関係で記憶されたRAMアレイ221、上記IPアドレス検索部210での検索結果をデコードするデコーダ222、RAMアレイ221に対してデータの入出力を行うための直接周辺回路223を含む。上記デコーダ222のデコード結果に基づいてRAMアレイ221から対応するルーティング情報が読み出され、それが直接周辺回路223を介してルーティングプロセッサ201に伝達されるようになっている。

30

40

【0027】

図16にはCAMアレイ211及び直接周辺回路213の構成例が示される。

【0028】

CAMアレイ211は、特に制限されないが、複数組のワード線WA(0), WB(0), WA(1), WB(1)~WA(m-1), WB(m-1)と、それに交差するように配列されたビット線D0(0), D1(0), D0(1), D1(1), D0(n-1), D1(n-1)、比較線CD0(0), CD1(0), CD0(1), CD1(1)

50

、 $CD0(n-1)$ 、 $CD1(n-1)$ とを有し、それらの交差箇所に、それぞれ対応するメモリセル $MC(0,0) \sim MC(0,n-1)$ 、 $MC(1,0) \sim MC(1,n-1)$ 、 $MC(m-1,0) \sim MC(m-1,n-1)$ が設けられる。また、メモリセル $MC(0,0) \sim MC(0,n-1)$ には比較一致線 $MATCH(0)$ が共通接続され、メモリセル $MC(1,0) \sim MC(1,n-1)$ には比較一致線 $MATCH(1)$ が共通接続され、メモリセル $MC(m-1,0) \sim MC(m-1,n-1)$ には比較一致線 $MATCH(m-1)$ が共通接続される。さらに上記比較一致線 $MATCH(0)$ 、 $MATCH(1)$ 、 $MATCH(m-1)$ はエンコーダ215に接続される。

#### 【0029】

直接周辺回路213は、特に制限されないが、ライトアンプ $WAP(0)$ 、 $WAP(1) \sim WAP(n-1)$ 、センスアンプ $SAP(0)$ 、 $SAP(1) \sim SAP(n-1)$ 、比較データアンプ $CDA(0)$ 、 $CDA(1) \sim CDA(n-1)$ 、及び外部との間で信号の入出力を可能とする入出力回路 $I/O(0)$ 、 $I/O(1) \sim I/O(n-1)$ を含む。入出力回路 $I/O(0)$ はデータ $D(0)$ 、 $DM(0)$ を選択的に内部に取り込むことができ、また、データ $DQ(0)$ 、 $DMQ(0)$ を選択的に外部出力することができる。入出力回路 $I/O(1)$ はデータ $D(1)$ 、 $DM(1)$ を選択的に内部に取り込むことができ、また、データ $DQ(1)$ 、 $DMQ(1)$ を選択的に外部出力することができる。入出力回路 $I/O(n-1)$ はデータ $D(n-1)$ 、 $DM(n-1)$ を選択的に内部に取り込むことができ、また、データ $DQ(n-1)$ 、 $DMQ(n-1)$ を選択的に外部出力することができる。比較データアンプ $CDA(0)$ は、比較制御部216の制御により比較データ入力信号 $CD(0)$ と、比較マスク信号 $CM(0)$ により比較データ線 $CD0(0)$ と $CD1(0)$ を制御する。比較データアンプ $CDA(1)$ は、比較制御部216の制御により比較データ入力信号 $CD(1)$ と、比較マスク信号 $CM(1)$ より比較データ線 $CD0(1)$ と $CD1(1)$ を制御する。比較データアンプ $CDA(n-1)$ は、比較制御部216の制御により比較データ入力信号 $CD(n-1)$ と、比較マスク信号 $CM(n-1)$ より比較データ線 $CD0(n-1)$ と $CD1(n-1)$ を制御する。

#### 【0030】

比較制御部216は、比較イネーブル信号 $CE$ によって選択的にイネーブル状態とされ、 $RAM$ アレイ221からルーティング情報を読み出すためのアドレス信号 $ADRQ$ 、制御を行うための一致信号 $MATCH$ 、多重一致信号 $MULTI$ を出力する。リードライト制御部217には、アドレス信号 $ADR$ 、読み出しの有効性を示すリードイネーブル信号 $RE$ 、書き込みの有効性を示すライトイネーブル信号 $WE$ が入力される。このアドレス信号 $ADR$ がデコーダ212でデコードされることによって、ワード線 $WA(0)$ 、 $WB(0)$ 、 $WA(1)$ 、 $WB(1) \sim WA(m-1)$ 、 $WA(m-1)$ を選択レベルに駆動するための信号を生成する。

#### 【0031】

図1には、上記 $CAM$ アレイ211における複数のメモリセルのうちの一つであるメモリセル $MC(0,0)$ の構成例が代表的に示される。尚、他のメモリセルはメモリセル $MC(0,0)$ と同一構成とされる。

#### 【0032】

このメモリセル $MC(0,0)$ はターナリ型と称されるもので、第1ワード線 $WA$ 、第2ワード線 $WB$ 、比較一致線 $MATCH$ と、第1データ線 $D0$ 、第2データ線 $D1$ 、第1比較データ線 $CD0$ 、第2比較データ線 $CD1$ とが交差するように配置され、それらの交差箇所に第1記憶部 $MA$ 、第2記憶部 $MB$ 、第1比較回路11、第2比較回路12が配置されて成る。

#### 【0033】

第1記憶部 $MA$ は、 $p$ チャネル型 $MOS$ トランジスタ $ML0A$ と $n$ チャネル型 $MOS$ トランジスタ $MD0A$ とが直列接続されてなる第1インバータと、 $p$ チャネル型 $MOS$ トランジスタ $ML1A$ と $n$ チャネル型 $MOS$ トランジスタ $MD1A$ とが直列接続されてなる第2インバータとがループ状に結合されて成る。上記 $p$ チャネル型 $MOS$ トランジスタ $ML$



0 A, M L 1 A のソース電極は高電位側電源  $V_{dd}$  に結合され、上記  $n$  チャンネル型 MOS トランジスタ M D 0 A, M D 1 A のソース電極は低電位側電源  $V_{ss}$  に結合される。第 1 記憶部 M A は第 1 記憶ノード 1 3 と第 2 記憶ノード 1 4 とを有する。第 1 記憶ノード 1 3 はトランスファ MOS とされる  $n$  チャンネル型 MOS トランジスタ M T 0 A を介して上記第 1 データ線 D 0 に結合され、第 2 記憶ノード 1 4 は、トランスファ MOS とされる  $n$  チャンネル型 MOS トランジスタ M T 1 A を介して第 2 データ線 D 1 に結合される。この  $n$  チャンネル型 MOS トランジスタ M T 0 A, M T 1 A のゲート電極は第 1 ワード線 W A に結合され、この第 1 ワード線 W A がハイレベルに駆動されたときに  $n$  チャンネル型 MOS トランジスタ M T 0 A, M T 1 A が導通され、第 1 記憶部 M A からのデータ読み出しや第 1 記憶部 M A へのデータ書き込みが可能とされる。

10

## 【0034】

第 2 記憶部 M B は、 $p$  チャンネル型 MOS トランジスタ M L 0 B と  $n$  チャンネル型 MOS トランジスタ M D 0 B とが直列接続されてなる第 1 インバータと、 $p$  チャンネル型 MOS トランジスタ M L 1 B と  $n$  チャンネル型 MOS トランジスタ M D 1 B とが直列接続されて成る第 2 インバータとがループ状に結合されて成る。上記  $p$  チャンネル型 MOS トランジスタ M L 0 B, M L 1 B のソース電極は高電位側電源  $V_{dd}$  に結合され、上記  $n$  チャンネル型 MOS トランジスタ M D 0 B, M D 1 B のソース電極は低電位側電源  $V_{ss}$  に結合される。第 2 記憶部 M B は第 1 記憶ノード 1 5 と第 2 記憶ノード 1 6 とを有する。第 1 記憶ノード 1 5 はトランスファ MOS とされる  $n$  チャンネル型 MOS トランジスタ M T 0 B を介して上記第 1 データ線 D 0 に結合され、第 2 記憶ノード 1 6 は、トランスファ MOS とされる  $n$  チャンネル型 MOS トランジスタ M T 1 B を介して第 2 データ線 D 1 に結合される。この  $n$  チャンネル型 MOS トランジスタ M T 0 B, M T 1 B のゲート電極は第 2 ワード線 W B に結合され、この第 2 ワード線 W B がハイレベルに駆動されたときに  $n$  チャンネル型 MOS トランジスタ M T 0 B, M T 1 B が導通され、第 2 記憶部 M B からのデータ読み出しや第 2 記憶部 M B へのデータ書き込みが可能とされる。

20

## 【0035】

第 1 比較回路 1 1 は、二つの  $n$  チャンネル型 MOS トランジスタ M C A, M C 0 が直列接続されて成る。 $n$  チャンネル型 MOS トランジスタ M C A のドレイン電極は比較一致線 M A T C H に結合され、 $n$  チャンネル型 MOS トランジスタ M C A のゲート電極は第 1 記憶部 M A の第 1 記憶ノード 1 3 に結合される。 $n$  チャンネル型 MOS トランジスタ M C 0 のソース電極は低電位側電源  $V_{ss}$  に結合され、 $n$  チャンネル型 MOS トランジスタ M C 0 のゲート電極は第 1 比較データ線 C D 0 に結合される。

30

## 【0036】

第 2 比較回路 1 2 は、二つの  $n$  チャンネル型 MOS トランジスタ M C B, M C 1 が直列接続されて成る。 $n$  チャンネル型 MOS トランジスタ M C B のドレイン電極は比較一致線 M A T C H に結合され、 $n$  チャンネル型 MOS トランジスタ M C B のゲート電極は第 2 記憶部 M B の第 1 記憶ノード 1 5 に結合される。 $n$  チャンネル型 MOS トランジスタ M C 1 のソース電極は低電位側電源  $V_{ss}$  に結合され、 $n$  チャンネル型 MOS トランジスタ M C 1 のゲート電極は第 2 比較データ線 C D 1 に結合される。

## 【0037】

図 1 8 には上記入出力回路 I / O ( 0 ) の構成例が示される。尚、入出力回路 I / O ( 1 ) ~ I / O (  $n - 1$  ) は、上記入出力回路 I / O ( 0 ) と同一構成とされる。

40

## 【0038】

上記入出力回路 I / O ( 0 ) は、データを内部に取り込むための入力部 I N P と、データを外部出力するための出力部 O U T P とを含む。入力部 I N P は、選択信号 S E L によって活性化される 2 入力アンドゲート 1 8 2、選択信号 S E L の論理反転信号によって活性化される 2 入力アンドゲート 1 8 3 と、アンドゲート 1 8 2 の出力信号と、アンドゲート 1 8 3 の出力信号とのオア論理を得るオアゲート 1 8 1 とを含む。選択信号 S E L がハイレベルの場合には、入力データ D ( 0 ) がアンドゲート 1 8 2 を介して取り込まれ、選択信号 S E L がローレベルの場合には、入力データ D M ( 0 ) がアンドゲート 1 8 3 を介

50

して取り込まれる。これにより、ライトアンプWAP(0)に供給されるデータDIを、D(0)とDM(0)とに経時的に分けることができる。

【0039】

また、出力部OUTPUTは、上記選択信号SELとデータ出力イネーブル信号DQENとのアンド論理を得るアンドゲート184と、上記選択信号SELの論理反転信号とデータ出力イネーブル信号DQENとのアンド論理を得るアンドゲート185と、上記アンドゲート184の出力信号に基づいてセンスアンプSAP(0)からの出力データDQをラッチ可能なラッチ回路186と、上記アンドゲート185の出力信号に基づいてセンスアンプSAP(0)からの出力データDQをラッチ可能なラッチ回路187とを含む。選択信号SELがハイレベルの場合には、アンドゲート184の出力信号に基づいて出力データDQがラッチ回路186を介して外部出力され、選択信号SELがローレベルの場合には、アンドゲート185の出力に基づいて出力データDQがラッチ回路187を介して外部出力される。

10

【0040】

上記選択信号SELの論理はリードライト制御回路217によって制御される。例えばリードライト制御回路217は、ワード線WAが選択レベルに駆動される場合に選択信号SELをハイレベルに制御し、ワード線WBが選択レベルに駆動される場合に選択信号SELをローレベルに制御する。これにより、上記選択信号SELがハイレベルの場合には、入力データD(0)を第1記憶部MAへ書き込んだり、第1記憶部MAの記憶データを読み出してラッチ回路186を介してデータDQ(0)として外部出力したりすることができ、また、上記選択信号SELがローレベルの場合には、入力データDM(0)を第2記憶部MBへ書き込んだり、第2記憶部MBの記憶データを読み出してラッチ回路187を介してデータDMQ(0)として外部出力したりすることができる。

20

【0041】

図2には、上記メモリセルMC(0,0)の真理値表が示される。この真理値表において、「H」はハイレベル、「L」はローレベル、「0」は論理値“0”を示し、「1」は論理値“1”を示し、「M」は情報保持状態を示し、「Z」は高インピーダンス状態を示す。上記メモリセルMC(0,0)のオペレーションには、ライト動作、リード動作、比較動作、非動作がある。

【0042】

ライト操作について説明する。ライト動作では、第1比較データ線CD0及び第2比較データ線CD1はローレベルに固定されることによって比較一致線MATCHが高インピーダンス状態にされる。

30

【0043】

第1ワード線WA, WBの双方がハイレベルに駆動された場合には、第1記憶部MA及び第2記憶部MBの双方に対して同一データの同時書き込みを行うことができる。例えば第1データ線D0をローレベル、第2データ線D1をハイレベルとすることで、第1記憶部MA及び第2記憶部MBの双方に論理値“0”の書き込みを行うことができ、第1データ線D0をハイレベル、第2データ線D1をローレベルとすることで、第1記憶部MA及び第2記憶部MBの双方に論理値“1”の書き込みを行うことができる。また、第1ワード線WAのみをハイレベルに駆動した場合において、第1データ線D0をローレベル、第2データ線D1をハイレベルとすることで、第1記憶部MAに論理値“0”の書き込みを行うことができ、第1データ線D0をハイレベル、第2データ線D1をローレベルとすることで、第1記憶部MAに論理値“1”の書き込みを行うことができる。このとき、第2記憶部MBは情報保持状態とされる。そして、第2ワード線WBのみをハイレベルに駆動した場合において、第1データ線D0をローレベル、第2データ線D1をハイレベルとすることで、第2記憶部MBに論理値“0”の書き込みを行うことができ、第1データ線D0をハイレベル、第2データ線D1をローレベルとすることで、第2記憶部MBに論理値“1”の書き込みを行うことができる。このとき、第1記憶部MAは情報保持状態とされる。

40

50

## 【 0 0 4 4 】

次に、リード動作について説明する。リード動作では、第1比較データ線CD0及び第2比較データ線CD1はローレベルに固定されることによって比較一致線MATCHが高インピーダンス状態にされる。

## 【 0 0 4 5 】

第1ワード線WAをハイレベル、第2ワード線WBをローレベルとすることで、第1データ線D0、第2データ線D1を介して第1記憶部MAの記憶情報を読み出すことができる。また、第1ワード線WAをローレベル、第2ワード線WBをハイレベルとすることで、第1データ線D0、第2データ線D1を介して第2記憶部MBの記憶情報を読み出すことができる。

10

## 【 0 0 4 6 】

次に、比較動作について説明する。比較動作においては、第1ワード線WA及び第2ワード線WBはローレベル、第1データ線D0及び第2データ線D1はハイレベルに固定される。

## 【 0 0 4 7 】

第1記憶部MAに論理値“0”が書き込まれ、第2記憶部MBに論理値“0”が書き込まれている状態で、第1比較データ線CD0がハイレベル、第2比較データ線CD1がローレベルとされた場合には、比較一致線MATCHは高インピーダンス状態とされる。

## 【 0 0 4 8 】

第1記憶部MAに論理値“0”が書き込まれ、第2記憶部MBに論理値“1”が書き込まれている状態で、第1比較データ線CD0がハイレベル、第2比較データ線CD1がローレベルとされた場合には、比較一致線MATCHは高インピーダンス状態とされる。

20

## 【 0 0 4 9 】

第1記憶部MAに論理値“1”が書き込まれ、第2記憶部MBに論理値“0”が書き込まれている状態で、第1比較データ線CD0がハイレベル、第2比較データ線CD1がローレベルとされた場合には、第1比較回路11を形成するnチャンネル型MOSトランジスタMCA、MC0の双方が導通されることにより、比較一致線MATCHはローレベルにされる。

## 【 0 0 5 0 】

第1記憶部MAに論理値“1”が書き込まれ、第1記憶部MBに論理値“1”が書き込まれている状態で、第1比較データ線CD0がハイレベル、第2比較データ線CD1がローレベルとされた場合には、第1比較回路11を形成するnチャンネル型MOSトランジスタMCA、MC0の双方が導通されることにより、比較一致線MATCHはローレベルにされる。

30

## 【 0 0 5 1 】

第1記憶部MAに論理値“0”が書き込まれ、第2記憶部MBに論理値“0”が書き込まれている状態で、第1比較データ線CD0がローレベル、第2比較データ線CD1がハイレベルとされた場合には、比較一致線MATCHは高インピーダンス状態とされる。

## 【 0 0 5 2 】

第1記憶部MAに論理値“0”が書き込まれ、第2記憶部MBに論理値“1”が書き込まれている状態で、第1比較データ線CD0がローレベル、第2比較データ線CD1がハイレベルとされた場合には、第2比較回路12におけるnチャンネル型MOSトランジスタMCB、MC1が導通されることにより、比較一致線MATCHはローレベルにされる。

40

## 【 0 0 5 3 】

第1記憶部MAに論理値“1”が書き込まれ、第2記憶部MBに論理値“0”が書き込まれている状態で、第1比較データ線CD0がローレベル、第2比較データ線CD1がハイレベルとされた場合には、比較一致線MATCHは高インピーダンス状態とされる。

## 【 0 0 5 4 】

第1記憶部MAに論理値“1”が書き込まれ、第2記憶部MBに論理値“1”が書き込まれている状態で、第1比較データ線CD0がローレベル、第2比較データ線CD1がハ

50

イレベルとされた場合には、第 2 比較回路 1 2 における n チャンネル型 MOS トランジスタ M C B , M C 1 が導通されることにより、比較一致線 M A T C H はローレベルにされる。

【 0 0 5 5 】

上記のように第 1 記憶部 M A に論理値 “ 0 ” が書き込まれ、第 2 記憶部 M B に論理値 “ 1 ” が書き込まれた状態では、メモリセル M C ( 0 , 0 ) は論理値 “ 0 ” として、第 1 比較データ線 C D 0 と第 2 比較データ線 C D 1 が相補レベルとされることで、比較データとの比較が行われ、結果が比較一致線 M A T C H に出力されることになる。また、上記のように第 1 記憶部 M A に論理値 “ 1 ” が書き込まれ、第 2 記憶部 M B に論理値 “ 0 ” が書き込まれた状態では、メモリセル M C ( 0 , 0 ) は論理値 “ 1 ” として、第 1 比較データ線 C D 0 と第 2 比較データ線 C D 1 が相補レベルとされることで、比較データとの比較が行われ、結果が比較一致線 M A T C H に出力されることになる。さらに、上記のように第 1 記憶部 M A に論理値 “ 0 ” が書き込まれ、第 2 記憶部 M B に論理値 “ 0 ” が書き込まれた状態では、メモリセル M C ( 0 , 0 ) はドントケア状態 ( 論理値 “ X ” ) として、第 1 比較データ線 C D 0 と第 2 比較データ線 C D 1 のレベルに関わらず、比較一致線 M A T C H は高インピーダンス状態とされる。

10

【 0 0 5 6 】

そして、非動作状態では、第 1 ワード線 W A , W B がローレベルにされることで第 1 記憶部 M A 及び第 2 記憶部 M B が情報保持状態とされ、第 1 データ線 D 0 及び第 2 データ線 D 1 がローレベル、第 1 比較データ線 C D 0 及び第 2 比較データ線 C D 1 がローレベルとされることにより、比較一致線 M A T C H は高インピーダンスにされる。

20

【 0 0 5 7 】

図 1 5 には、上記メモリセル M C ( 0 , 0 ) の動作例が示される。図 1 5 ( A ) にはライト又はリード動作のタイミングが示される。

【 0 0 5 8 】

ワード線 W A が選択レベルに駆動された状態でデータ線 D 0 がローレベルにされ、ワード線 W B が選択された状態でデータ線 D 1 がローレベルにされることで論理値 “ 0 ” の書き込みが行われる。ワード線 W A が選択レベルに駆動された状態でデータ線 D 1 がローレベルにされ、ワード線 W B が選択された状態でデータ線 D 0 がローレベルにされることで論理値 “ 1 ” の書き込みが行われる。尚、ワード線 W A が選択レベルに駆動された状態でデータ線 D 0 がローレベルにされ、ワード線 W B が選択された状態でデータ線 D 0 がローレベルにされることでドントケア状態 ( 論理値 “ X ” ) の書き込みが行われる。

30

【 0 0 5 9 】

図 1 5 ( B ) には比較動作のタイミングが示される。比較一致線 M A T C H は、比較動作の前に比較データ線 C D 0 と C D 1 がローレベルの状態ではイレベルにプリチャージされ、プリチャージ完了後に比較データ線 C D 0 と比較データ線 C D 1 のうち比較データに応じたどちらか一方がイレベルにされることで比較動作が行われる。

【 0 0 6 0 】

比較動作後に比較一致線 M A T C H がイレベルの場合には比較データ線 C D 0 , C D 1 を介して伝達された比較用データと記憶データとが一致することを示し、比較一致線 M A T C H がローレベルの場合には、比較データ線 C D 0 , C D 1 を介して伝達された比較用データと記憶データとが不一致であることを示す。比較データ線 C D 0 , C D 1 の双方がローレベルの場合にはマスク状態とされ、比較は行われない。

40

【 0 0 6 1 】

図 3 には上記メモリセル M C ( 0 , 0 ) の拡散層及びゲートが示され、図 4 には上記メモリセル M C ( 0 , 0 ) のメタル最下位層及びメタル第 1 層が示され、図 5 には上記メモリセル M C ( 0 , 0 ) のメタル第 2 層及びメタル第 3 層が示される。また、図 2 1 には、図 3 における A - A ' 線切断断面が示される。n ウェル ( N W ) 内にはメモリセル内の p チャンネル型 MOS トランジスタ M L 0 B , M L 0 A の p 型拡散層が絶縁層 ( S T I ) を挟んで形成されている。p チャンネル型 MOS トランジスタ M L 1 B , M L 1 A のゲート層 ( F G 4 , F G 5 ) はそれぞれ、この断面まで延在し、タングステンプラグ ( W ) により p

50

チャンネル型MOSトランジスタML0B、ML0Aのp型拡散層のうちドレイン側とコンタクトがとられる。

【0062】

図3において、L1～L6は拡散層、FG1～FG10はゲートである。ND0-1、ND0-2はpウェル層、PD0はnウェル層である。2つのpウェル(ND0-1、ND0-2)の間にnウェル(PD0)が形成され、pウェルND0-1にはnチャンネル型MOSトランジスタMD0B、MT0B、MT0A、MD0Aが形成される。nウェルPD0にはpチャンネル型MOSトランジスタML0B、ML1B、ML1A、ML0Aが形成され、pウェルND0-2にはnチャンネル型MOSトランジスタMT1B、MD1B、MD1A、MT1A、MC1、MCB、MCA、MC0が形成される。すなわち、第1記憶部(MA)と第2記憶部(MB)にはそれぞれ、点对称のスタティック型メモリセルが用いられ、ワード線方向に並行な軸31を中心として線対称に配置される。対となる転送及び駆動MOSトランジスタのうち的一方と比較回路は共通のウェル(ND0-2)に形成される。図3に示される拡散層の上に、図4に示される最下位メタル層ML及びメタル第1層M1が積層され、その上に、図5に示されるメタル第2層M2、及びメタル第3層M3が積層される。メタル最下層MLの配線の材質はタングステン(W)とされ、メタル第1層M1～メタル第3層M3の配線の材質は銅(Cu)とされ、コンタクトやスルーホールV0の材質はタングステン(W)とされる。拡散層とメタル最下位層MLとはコンタクトホールMLCTで結合され、メタル最下位層MLとメタル第1層M1とはスルーホールV0によって結合され、メタル第1層M1とメタル第2層M2とはスルーホールV1によって結合され、メタル第2層M2とメタル第3層M3とはスルーホールV2によって結合される。

【0063】

ゲートFG1～FG10は矢印X方向に延在形成され、且つ、互いに並行とされ、メモリセルMC(0,0)の中心を通る中心線31に対して線対称となるようにレイアウトされている。そのようなレイアウトのために、拡散層L1～L6は曲がり角が抑えられ、ウェル境界線(ND0-1PD0、ND0-2の境界線)に並行に形成される。特に、MOSトランジスタML1B、MD1B、MCBのゲート電極はFG4によって共通化され、MOSトランジスタML1A、MD1A、MCAのゲート電極はFG5によって共通化されることにより、回路構成におけるコンタクト数の低減が図られている。

【0064】

さらに、データ線D0を上記第1記憶部MA及び上記第2記憶部MBにおける一方の記憶ノードで共有し、データ線D1を上記第1記憶部MA及び上記第2記憶部MBにおける他方の記憶ノードで共有し、第1記憶部MAにおける記憶ノード13の出力信号を比較回路11におけるnチャンネル型MOSトランジスタMCAのゲート電極に伝達するようにし、第2記憶部MBにおける記憶ノード15の出力信号を比較回路12におけるnチャンネル型MOSトランジスタMCBのゲート電極に伝達するようにすることにより、中心線31に対して線対称となるようなレイアウトの容易化を図ることができる。

【0065】

そして、図5に示されるように、データ線D0、D1を低電位側電源Vssのメタル第2層M2と、高電位側電源Vddのメタル第2層M2で挟み、比較データ線CD1、CD0を2本の低電位側電源Vssのメタル第2層M2で挟むようなレイアウトは、低電位側電源Vssや高電位側電源Vddのシールド機能が発揮されることで、微小信号を取り扱うデータ線D0、D1に、比較データ線CD0、CD1の論理レベルの変化に起因するノイズが乗るのを防止することができる。

【0066】

そして、レイアウト面積を低減させるため、コンタクトホールの共通化が図られている。例えば第1比較回路11におけるnチャンネル型MOSトランジスタMCAのドレイン電極と、第2比較回路12におけるnチャンネル型MOSトランジスタMCBのドレイン電極とは、共通のコンタクトホールMTCを介して比較一致線MATCHに結合される。こ

10

20

30

40

50

のようにコンタクトホールMTCを共通化することにより、nチャンネル型MOSトランジスタMCAのドレイン電極用、nチャンネル型MOSトランジスタMCBのドレイン電極用としてそれぞれ個別的にコンタクトホールを形成するのに比べてレイアウト面積の低減を図ることができる。また、1ビット分の境界線32上には、高電位側電源Vddについてのコンタクトホール(Vddで示される)、低電位側電源Vssについてのコンタクトホール(Vssで示される)、データ線についてのコンタクトホールDLCが配置される。これは複数のメモリセルが縦横に配置された場合に、1ビット分の境界線32上に配置された上記各コンタクトホールを、隣接するメモリセル間で共通化可能とすることで、CAMレイ211のチップ占有面積の低減を図ることができる。このとき、メモリセルの配列方向を例えば図14に示されるように適宜変更するようになると良い。図14において、Aは図3～図5に示される向きで配置されることを示し、これを正方向配置とした場合において、BはX軸を基準に線対称となる配置を示し、CはY軸を基準に線対称となる配置を示し、DはX軸及びY軸の双方を基準に線対称となる配置を示している。このような配置によれば、1ビット分の境界線32上に位置するコンタクトホールを、隣接するメモリセル間で共有化することができるため、メモリセル毎に専用のコンタクトホールを形成する場合に比べてコンタクトホール数の低減及びレイアウト面積の低減を図ることができる。

10

## 【0067】

上記例によれば、以下の作用効果を得ることができる。

## 【0068】

20

(1) 拡散層L1～L6は矢印Y方向に互いに並行となるように形成され、折れ曲がり が抑えられているため、折曲り部でのパターン補正の必要がない。

## 【0069】

(2) メモリセルMC(0,0)～MC(m-1,n-1)は、その中心を通る中心線31に対して線対称となるようにレイアウトされ、また、ゲート電極の形成方向が矢印X方向に統一されているため、製造プロセス条件を最適化し易い。このため、製造プロセスのばらつきが少なくなり、メモリセルの微細化が可能になり、ひいては半導体チップ面積の縮小化、チップの取得数や歩留りを改善することができるため、製造コストの低減を図ることができる。

## 【0070】

30

(3) 中心線31に対して線対称となるようにレイアウトされたメモリセルMC(0,0)～MC(m-1,n-1)が、図16に示されるようにアレイ状に配列される場合において、図14に示されるように、互いに隣接するメモリセル間で電極やコンタクトを共通化することができることから、限られたレイアウト面積内で、より多くのメモリセルを配列することが可能になる。これによって、IPアドレス検索部210の性能向上を図ることができる。

## 【0071】

(4) MOSトランジスタML1A, MD1A, MCAのゲート電極がFG5によって共通化されることで記憶ノードMAと第1比較回路11とを直接接続することができ、MOSトランジスタML1B, MD1B, MCBのゲート電極がFG4によって共通化され

40

## 【0072】

(5) 比較時において、第1比較回路11におけるMOSトランジスタMCAのゲート電極の電位レベル、及び第2比較回路12におけるMOSトランジスタMCBのゲート電極の電位レベルは、それぞれ対応する記憶ノード13, 15の電位によって固定されるため、第1比較回路11及び第2比較回路12においては、ダイナミック回路特有のいわゆるチャージシェアリングによる影響がないため、比較一致線MATCHに不所望なノイズを生ずるのを防ぐことができ、回路動作の安定化を図ることができる。

## 【0073】

50

(6) 図5に示されるように、データ線D0, D1を低電位側電源Vssのメタル第2層M2と、高電位側電源Vddのメタル第2層M2で挟み、比較データ線CD1, CD0を2本の低電位側電源Vssで挟むようなレイアウトは、低電位側電源Vssや高電位側電源Vddのシールド機能が発揮されることで、微小信号を取り扱うデータ線D0, D1に、比較データ線CD0, CD1の論理レベルの変化に起因するノイズが乗るのを防止することができるので、比較結果の信頼性の向上を図ることができる。

#### 【0074】

上記の例では、メモリセルMC(0, 0)~MC(m-1, n-1)における第1記憶部MA及び第2記憶部MBがスタティック型とされたが、ダイナミック型とすることができる。その場合におけるメモリセルMC(0, 0)の構成例が図6に示される。図6に示される構成が図1に示される構成と大きく相違するのは、第1記憶部MA、第2記憶部MBがダイナミック型とされている点であり、データ線Dが第1記憶部MAと第2記憶部MBとで共有されている点は、2本の相補データ線ではなく単一のデータ線となっている点を除けば共通である。

#### 【0075】

図6において、第1記憶部MAはnチャンネル型MOSトランジスタMTAと、それに結合された電荷蓄積容量CAとを含んで成り、第2記憶部MBは、nチャンネル型MOSトランジスタMTBと、それに結合された電荷蓄積容量CBとを含んで成る。上記電荷蓄積容量CAの一端は低電位側電源Vssに結合され、他端はnチャンネル型MOSトランジスタMTAを介してデータ線Dに結合される。上記電荷蓄積容量CBの一端は低電位側電源Vssに結合され、他端はnチャンネル型MOSトランジスタMTBを介してデータ線Dに結合される。そして、上記nチャンネル型MOSトランジスタMTAのゲート電極はワード線WAに結合され、上記nチャンネル型MOSトランジスタMTBのゲート電極はワード線WBに結合される。ワード線WAが選択レベルに駆動された場合には、nチャンネル型MOSトランジスタMTAが導通されることにより、データDを介して伝達されたデータを電荷蓄積容量CAに書き込むことができ、また、この電荷蓄積容量CAに記憶されたデータをデータ線Dに読み出すことができる。ワード線WBが選択レベルに駆動された場合には、nチャンネル型MOSトランジスタMTBが導通されることにより、データDを介して伝達されたデータを電荷蓄積容量CBに書き込むことができ、また、この電荷蓄積容量CBに記憶されたデータをデータ線Dに読み出すことができる。第1比較回路11は、nチャンネル型MOSトランジスタMCA, MC0が直列接続され、nチャンネル型MOSトランジスタMCAのゲート電極は第1比較データ線CD0に結合され、nチャンネル型MOSトランジスタMC0のゲート電極は第1記憶部MAの記憶ノード17に結合される。第1比較回路12は、nチャンネル型MOSトランジスタMCB, MC1が直列接続され、nチャンネル型MOSトランジスタMCBのゲート電極は第1比較データ線CD1に結合され、nチャンネル型MOSトランジスタMC1のゲート電極は第2記憶部MBの記憶ノード18に結合される。

#### 【0076】

図7には、図6に示されるメモリセルMC(0, 0)の真理値表が示される。データ線が1本のみであることを除いて、ライト動作、リード動作、比較動作、非動作の各動作における真理値は図2に示されるのと同とされる。

#### 【0077】

図8には、図6に示されるメモリセルMC(0, 0)のレイアウト例が示される。尚、図6においては、メタル配線層M1~M3が省略されている。

#### 【0078】

図8において、L1, L2は拡散層、FG1~FG6はゲートである。ゲートFG1~FG6は形成方向(矢印X方向)に並行であり、且つ、メモリセルMC(0, 0)の中心を通る中心線31に対して線対称となるようにレイアウトされるなど、基本的には図1に示されるメモリセルMC(0, 0)と同様にレイアウトされる。従って、メモリセルMC(0, 0)~MC(m-1, n-1)における第1記憶部MA及び第2記憶部MBをダイ

10

20

30

40

50

ナミック型としても、上記の例の場合と同様の作用効果を得ることができる。

【0079】

上記の例では、メモリセルがターナリ型とされる場合について説明したが、メモリセル  $MC(0, 0) \sim MC(m-1, n-1)$  は次に述べるようにバイナリ型としても良い。

【0080】

図9には、バイナリ型のメモリセルの構成例が示される。

【0081】

図9に示される構成では、第1比較データ線  $CD0A$  と、第2比較データ線  $CD1A$  と、第3比較データ線  $CD0B$  と、第4比較データ線  $CD1B$  とを含む。上記第1比較データ線  $CD0A$  に結合された  $n$  チャンネル型  $MOS$  トランジスタ  $MC00A$  と、第1記憶部  $MA$  における一方の記憶ノード13に結合された  $n$  チャンネル型  $MOS$  トランジスタ  $MC01A$  とが直列接続されて第1比較回路11-1が形成される。第1記憶部  $MA$  における他方の記憶ノード14に結合された  $n$  チャンネル型  $MOS$  トランジスタ  $MC10A$  と、第2比較データ線  $CD1A$  に結合された  $n$  チャンネル型  $MOS$  トランジスタ  $MC11A$  とが直列接続されて第2比較回路11-2が形成される。上記第3比較データ線  $CD0B$  に結合された  $n$  チャンネル型  $MOS$  トランジスタ  $MC00B$  と、第2記憶部  $MB$  における一方の記憶ノード15に結合された  $n$  チャンネル型  $MOS$  トランジスタ  $MC01B$  とが直列接続されて第3比較回路12-1が形成される。第2記憶部  $MB$  における他方の記憶ノード16に結合された  $n$  チャンネル型  $MOS$  トランジスタ  $MC10B$  と、第4比較データ線  $CD1B$  に結合された  $n$  チャンネル型  $MOS$  トランジスタ  $MC11B$  とが直列接続されて第4比較回路12-2が形成される。

【0082】

図10には図9に示されるバイナリ型メモリセルの真理値表が示される。基本的な動作は、図1に示されるターナリ型と同様であるが、バイナリ型メモリセルの場合には、2組の比較データ線  $CD0A$  ,  $CD1A$  ,  $CD0B$  ,  $CD1B$  を有し、2ビット分の比較用データを取り込んで、そのデータと第1, 第2記憶部  $MA$  ,  $MB$  の記憶データとの比較を行うことができるため、比較動作の組み合わせは、ターナリ型の場合より多くなっている(図2参照)。

【0083】

図11には図9に示されるメモリセルの拡散層及びゲートが示され、図12には上記メモリセルのメタル最下位層及びメタル第1層が示され、図13には上記メモリセルのメタル第2層及びメタル第3層が示される。

【0084】

図11において、 $L1 \sim L7$  は拡散層、 $FG1 \sim FG12$  はゲートである。 $ND0-1$  ,  $ND0-2$  は  $p$  ウェルを形成するためのインプラ層、 $PD0$  は  $n$  ウェルを形成するためのインプラ層である。インプラ層  $ND0-1$  を利用して  $n$  チャンネル型  $MOS$  トランジスタ  $MC11B$  ,  $MC10B$  ,  $MC10A$  ,  $MC11A$  ,  $MT0B$  ,  $MD0B$  ,  $MD0A$  ,  $MT0A$  が形成される。インプラ層  $PD0$  を利用して  $p$  チャンネル型  $MOS$  トランジスタ  $ML0B$  ,  $ML0A$  ,  $ML1B$  ,  $ML1A$  が形成される。インプラ層  $ND0-2$  を利用して  $n$  チャンネル型  $MOS$  トランジスタ  $MD1B$  ,  $MT1B$  ,  $MT1A$  ,  $MD1A$  ,  $MC01B$  ,  $MC00B$  ,  $MC00A$  ,  $MC01A$  が形成される。図11に示される拡散層の上に、図12に示される最下位メタル層  $ML$  及びメタル第1層  $M1$  積層され、その上に、図13に示されるメタル第2層  $M2$  、及びメタル第3層  $M3$  が積層される。拡散層とメタル最下位層  $ML$  とはコンタクトホール  $M L C T$  で結合され、メタル最下位層  $ML$  とメタル第1層  $M1$  とはスルーホール  $V0$  によって結合され、メタル第1層  $M1$  とメタル第2層  $M2$  とはスルーホール  $V1$  によって結合され、メタル第2層  $M2$  とメタル第3層  $M3$  とはスルーホール  $V2$  によって結合される。

【0085】

ゲート  $FG1 \sim FG12$  は矢印  $X$  方向に延在形成され、且つ、互いに並行とされ、メモリセル  $MC(0, 0)$  の中心を通る中心線  $31$  に対して線対称となるようにレイアウトさ



れている。そのようなレイアウトのために、拡散層 L1 ~ L7 は曲がりやが抑えられ、ウェル境界線（インプラ層 ND0 - 1 PD0, ND0 - 2 の境界線）に並行に形成される。特に、MOS トランジスタ MC10B, MD0B, ML0B のゲート電極は FG12 によって共通化され、MOS トランジスタ MC10A, MD0A, ML0A のゲート電極は FG11 によって共通化され、MOS トランジスタ ML1B, MD1B, MC01B のゲート電極は FG3 によって共通化され、MOS トランジスタ ML1A, MD1A, MC01A のゲート電極は FG6 によって共通化されることにより、回路構成におけるコンタクト数の低減が図られている。

【0086】

さらに、データ線 D0 を上記第1記憶部 MA 及び上記第2記憶部 MB における一方の記憶ノードで共有し、データ線 D1 を上記第1記憶部 MA 及び上記第2記憶部 MB における他方の記憶ノードで共有することにより、中心線 31 に対して線対称となるようなレイアウトの容易化が図られている。

10

【0087】

そして、図13に示されるように、データ線 D0, D1 と比較データ線 CD0A, CD1A, CD0B, CD1B との間には、高電位側電源 Vdd 又は低電位側電源 Vss のメタル第2層 M2 が介在され、データ線 D0, D1 におけるノイズの低減のためにシールドされている。

【0088】

そして、レイアウト面積を低減させるため、コンタクトホールを共通化が図られている。例えば第1比較回路 11-1、第2比較回路 11-2、第3比較回路 12-1、第4比較回路 12-2 における MOS トランジスタ MC00A, MC10A, MC00B, MC10B のドレイン電極は、共通のコンタクトホール MTC を介して比較一致線 MATCH に結合される。このようにコンタクトホール MTC を共通化することにより、レイアウト面積の低減を図ることができる。

20

【0089】

また、1ビット分の境界線 32 上には、高電位側電源 Vdd についてのコンタクトホール（Vdd で示される）、低電位側電源 Vss についてのコンタクトホール（Vss で示される）、データ線についてのコンタクトホール DLC が配置される。これは複数のメモリセルが縦横に配置された場合に、1ビット分の境界線 32 上に配置された上記各コンタクトホールを、隣接するメモリセル間で共通化可能とすることで、CAM アレイ 211 のチップ占有面積の低減を図ることができる。このとき、メモリセルの配列方向を例えば図14に示されるように適宜変更すると良い。

30

【0090】

図17には、図9に示されるようなバイナリ型メモリセルが配列されて成る CAM アレイ 211 の構成例が示される。図9に示されるようなバイナリ型メモリセルの場合、図1に示されるターナリ型メモリセルに比べて比較データ線の数が多いため、図16に示される場合よりも直接周辺回路 213 での信号線の本数が増えている。

【0091】

図19には、図17における入出力回路 I/O(0)の構成例が示される。尚、入出力回路 I/O(1) ~ I/O(n-1) は、上記入出力回路 I/O(0) と同一構成とされる。

40

【0092】

上記入出力回路 I/O(0) は、データを内部に取り込むための入力部 INP と、データを外部出力するための出力部 OUTPUT とを含む。入力部 INP は、選択信号 SEL によって活性化される2入力アンドゲート 192、選択信号 SEL の論理反転信号によって活性化される2入力アンドゲート 193 と、アンドゲート 192 の出力信号と、アンドゲート 193 の出力信号とのオア論理を得るオアゲート 191 とを含む。選択信号 SEL がハイレベルの場合には、入力データ D(0) がアンドゲート 192 を介して取り込まれ、選択信号 SEL がローレベルの場合には、入力データ DM(0) がアンドゲート 193 を介

50

して取り込まれる。これにより、ライトアンプWAP(0)に供給されるデータDIを、D(0)とDM(0)とに経時的に分けることができる。

【0093】

また、出力部OUTPUTは、上記選択信号SELとデータ出力イネーブル信号DQENとのアンド論理を得るアンドゲート194と、上記選択信号SELの論理反転信号とデータ出力イネーブル信号DQENとのアンド論理を得るアンドゲート195と、上記アンドゲート194の出力信号に基づいてセンスアンプSAP(0)からの出力データDQをラッチ可能なラッチ回路196と、上記アンドゲート195の出力信号に基づいてセンスアンプSAP(0)からの出力データDQをラッチ可能なラッチ回路197とを含む。選択信号SELがハイレベルの場合には、アンドゲート184の出力信号に基づいて出力データDQがラッチ回路196を介して外部出力され、選択信号SELがローレベルの場合には、アンドゲート195出力に基づいて出力データDQがラッチ回路197介して外部出力される。

10

【0094】

このようにバイナリ型メモリセルを用いた場合について説明したが、かかる場合においても、ターナリ型メモリセルの場合と同様の作用効果を得ることができる。

【0095】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0096】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるルータ用LSI内のCAMに適用した場合について説明したが、本発明はそれに限定されるものではなく、ネットワーク接続機能を有する情報家電に使用されるシステムLSI内蔵CAMや、マイクロプロセッサのキャッシュメモリやマルチメディア処理のためのパターン認識用CAMあるいはデータ圧縮用CAMなどに広く適用することができる。

20

【0097】

本発明は、メモリセルを含むことを条件に適用することができる。

【図面の簡単な説明】

【0098】

【図1】本発明にかかる半導体装置に含まれるCAMにおけるメモリセルの構成例回路図である。

30

【図2】上記メモリセルの真理値表説明図である。

【図3】上記メモリセルにおけるレイアウト説明図である。

【図4】上記メモリセルにおけるレイアウト説明図である。

【図5】上記メモリセルにおけるレイアウト説明図である。

【図6】上記メモリセルとは別の構成例を示す回路図である。

【図7】図6に示されるメモリセルの真理値表説明図である。

【図8】図6に示されるメモリセルのレイアウト説明図である。

【図9】上記メモリセルとは別の構成例を示す回路図である。

【図10】図9に示されるメモリセルの真理値表説明図である。

40

【図11】図9に示されるメモリセルのレイアウト説明図である。

【図12】図9に示されるメモリセルのレイアウト説明図である。

【図13】図9に示されるメモリセルのレイアウト説明図である。

【図14】上記メモリセルを複数個配置する場合の配置例説明図である。

【図15】上記メモリセルにおける主要部の動作タイミング図である。

【図16】図1に示されるメモリセルを含むCAMアレイの構成例ブロック図である。

【図17】図9に示されるメモリセルを含むCAMアレイの構成例ブロック図である。

【図18】図16における主要部の構成例回路図である。

【図19】図17における主要部の構成例回路図である。

【図20】上記CAMアレイを含むルータ用LSIの構成例ブロック図である。

50

【図21】図3におけるA - A'線切断断面図である。

【符号の説明】

【0099】

11 第1比較部

12 第2比較部

MA 第1記憶部

MB 第2記憶部

WA, WB ワード線

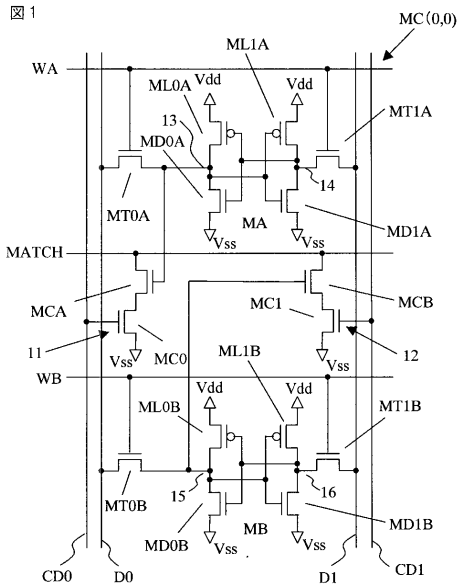
MATCH 比較一致線

D0, D1 データ線

CD0, CD1, CD0A, CD1A, CD0B, CD1B 比較データ線

【図1】

図1

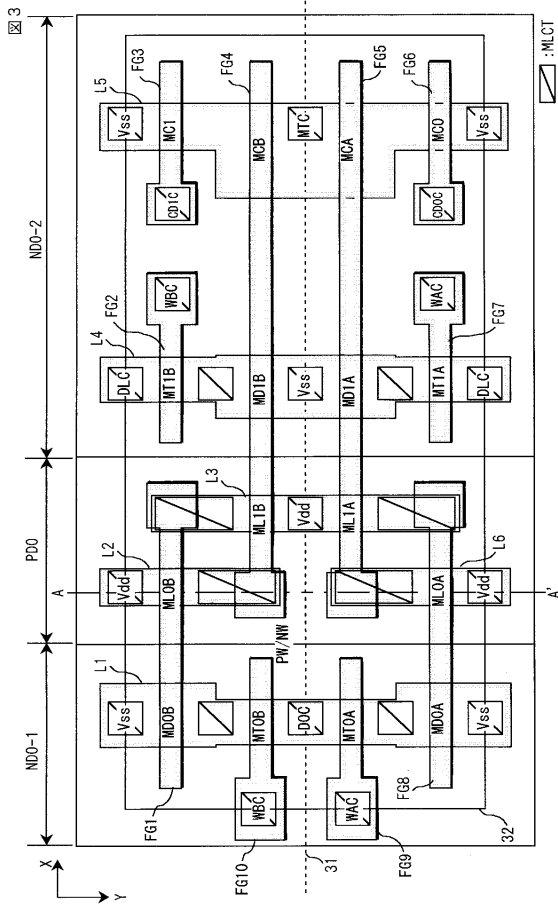


【図2】

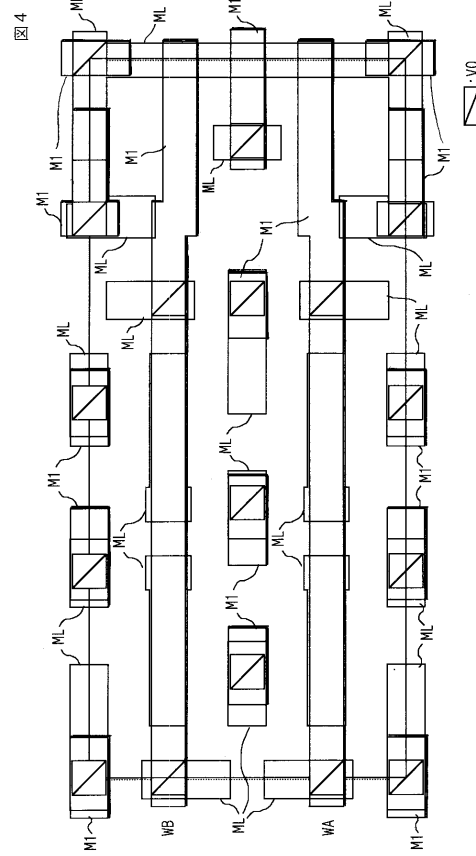
図2

	WA	WB	D0	D1	MA	MB	CD0	CD1	MATCH
ライト	H	H	L	H	0	0	L	L	Z
	H	H	H	L	1	1	L	L	Z
	H	L	L	H	0	M	L	L	Z
	H	L	H	L	1	M	L	L	Z
	L	H	L	H	M	0	L	L	Z
	L	H	H	L	M	1	L	L	Z
リード	H	L	L	H	0	-	L	L	Z
	H	L	H	L	1	-	L	L	Z
	L	H	L	H	-	0	L	L	Z
	L	H	H	L	-	1	L	L	Z
比較	L	L	H	H	0	0	H	L	Z
	L	L	H	H	0	1	H	L	Z
	L	L	H	H	1	0	H	L	L
	L	L	H	H	1	1	H	L	L
	L	L	H	H	0	0	L	H	Z
	L	L	H	H	1	0	L	H	Z
非動作	L	L	H	H	1	1	L	H	L
	L	L	L	L	M	M	L	L	Z

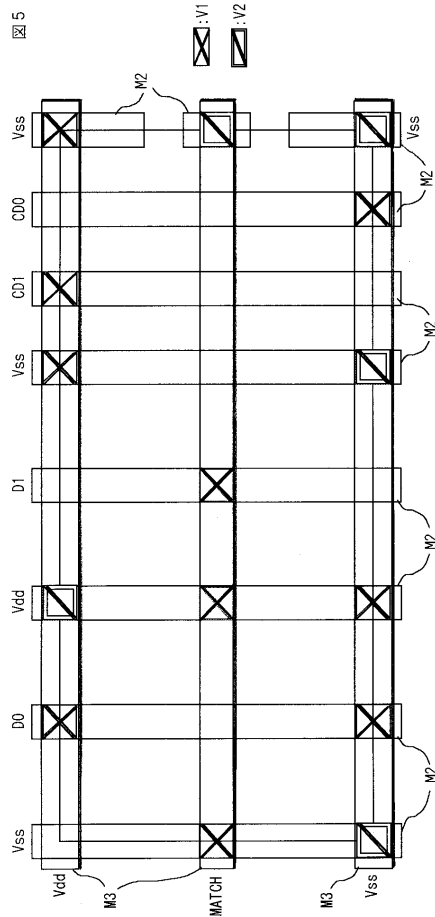
【 図 3 】



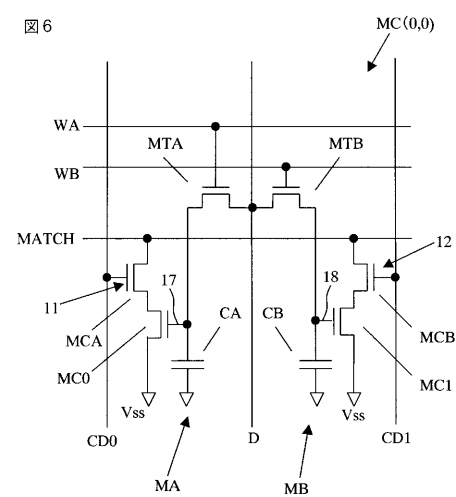
【 図 4 】



【 図 5 】



【 図 6 】



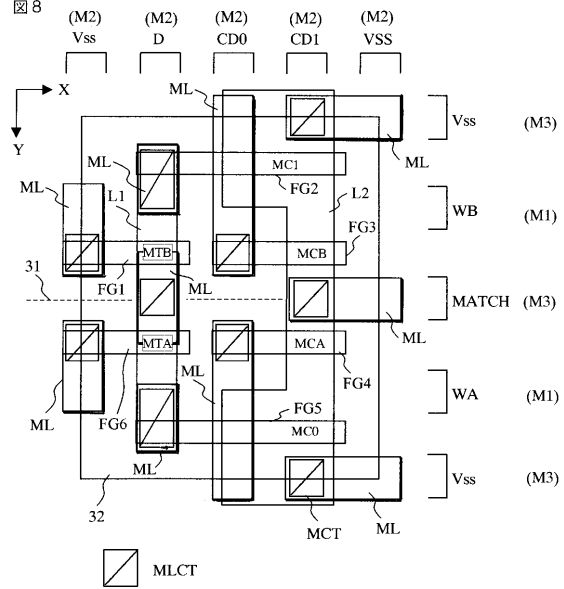
【 図 7 】

図 7

	WA	WB	D	MA	MB	CD0	CD1	MATCH
ライト	H	H	L	0	0	L	L	Z
	H	H	H	1	1	L	L	Z
	H	L	L	0	M	L	L	Z
	H	L	H	1	M	L	L	Z
リード	L	H	L	M	0	L	L	Z
	L	H	H	M	1	L	L	Z
	L	L	L	0	-	L	L	Z
	L	L	H	1	-	L	L	Z
比較	L	H	H	-	1	L	L	Z
	L	L	H	0	1	H	L	Z
	L	L	H	1	0	H	L	L
	L	L	H	1	1	H	L	L
	L	L	H	0	0	L	H	Z
	L	L	H	0	1	L	H	L
	L	L	H	1	0	L	H	Z
	L	L	H	1	1	L	H	L
非動作	L	L	L	M	M	L	L	Z

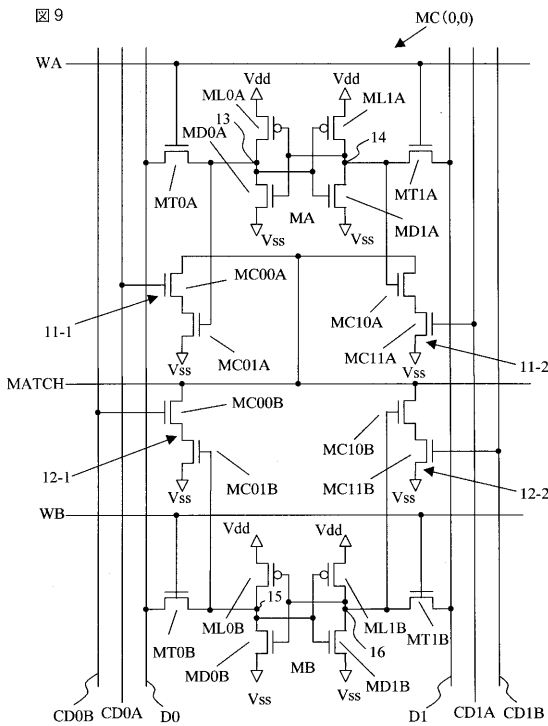
【 図 8 】

図 8



【 図 9 】

図 9



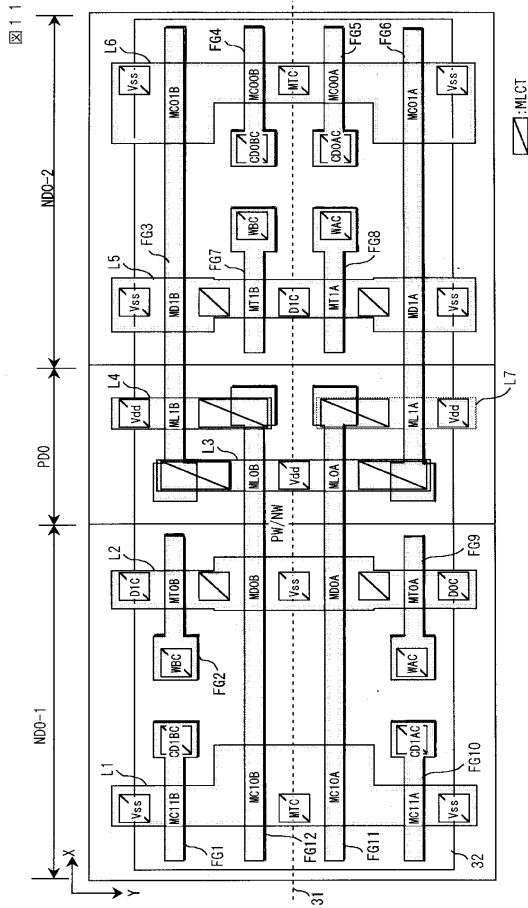
【 図 10 】

図 10

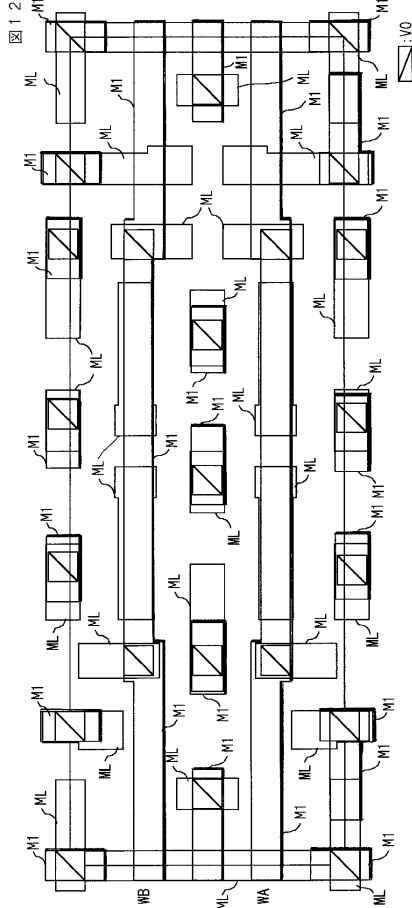
	WA	WB	D0	D1	MA	MB	CD0A	CD1A	CD0B	CD1B	MATCH
MA	H	L	L	H	0	M	L	L	L	L	Z
ライト	H	L	H	L	1	M	L	L	L	L	Z
MTB	L	H	L	H	M	0	L	L	L	L	Z
ライト	L	H	H	L	M	1	L	L	L	L	Z
MA	H	L	L	H	0	-	L	L	L	L	Z
リード	H	L	H	L	1	-	L	L	L	L	Z
MB	L	H	L	H	-	0	L	L	L	L	Z
リード	L	H	H	L	-	1	L	L	L	L	Z
比較	-	-	-	0	0	H	L	H	L	L	Z
	-	-	-	0	1	H	L	H	L	L	L
	-	-	-	1	0	H	L	H	L	L	L
	-	-	-	1	1	H	L	H	L	L	L
	-	-	-	0	0	L	H	L	H	L	L
	-	-	-	0	1	L	H	L	H	L	L
	-	-	-	1	0	L	H	L	H	L	L
	-	-	-	1	1	L	H	L	H	L	Z
	-	-	-	0	0	H	L	L	H	L	L
	-	-	-	0	1	H	L	L	H	L	Z
	-	-	-	1	0	H	L	L	H	L	L
	-	-	-	1	1	H	L	L	H	L	L
	-	-	-	0	0	L	H	H	L	L	L
	-	-	-	0	1	L	H	H	L	L	L
	-	-	-	1	0	L	H	H	L	L	Z
	-	-	-	1	1	L	H	H	L	L	L
非動作	L	L	L	L	M	M	L	L	L	L	Z

M: 情報保持

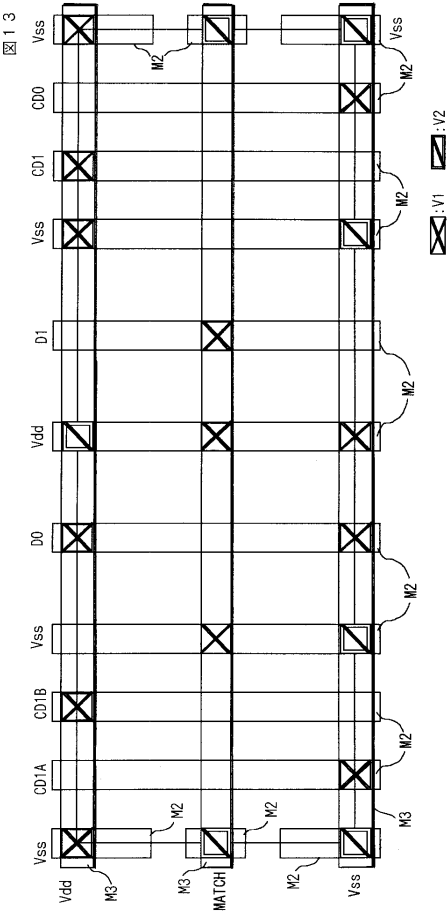
【 1 1 】



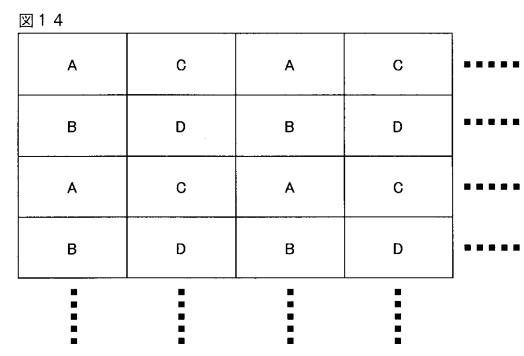
【 1 2 】



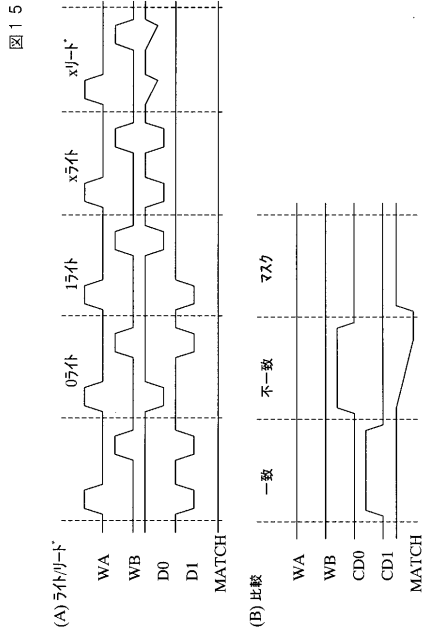
【 1 3 】



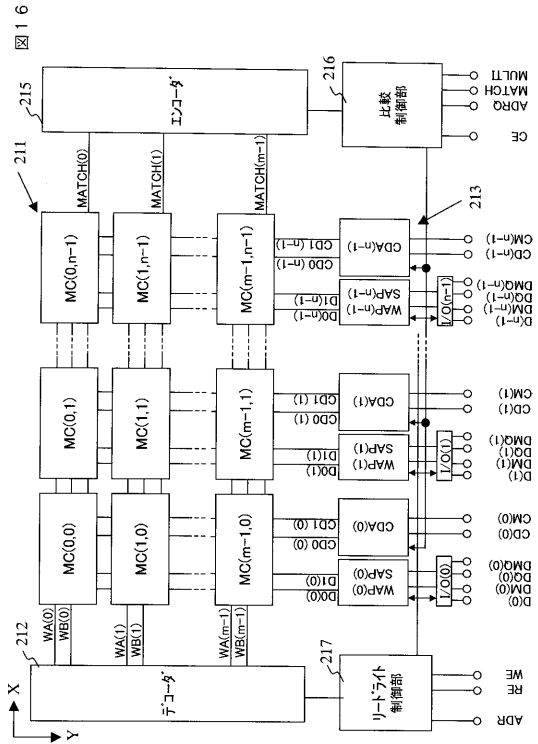
【 1 4 】



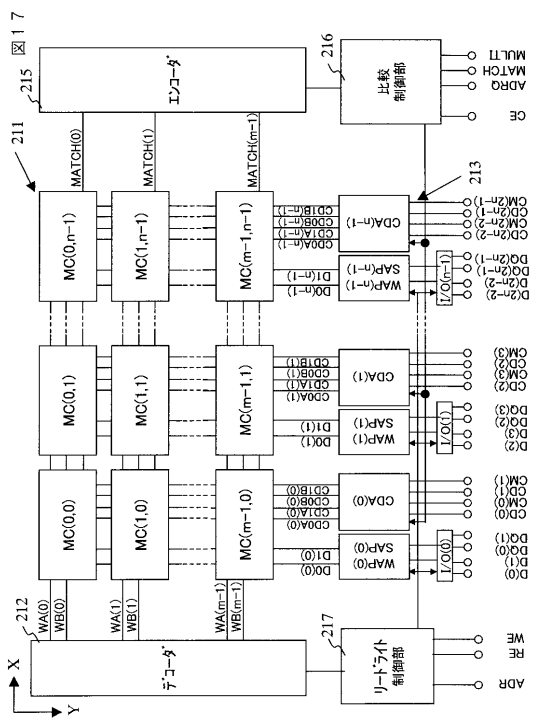
【 図 15 】



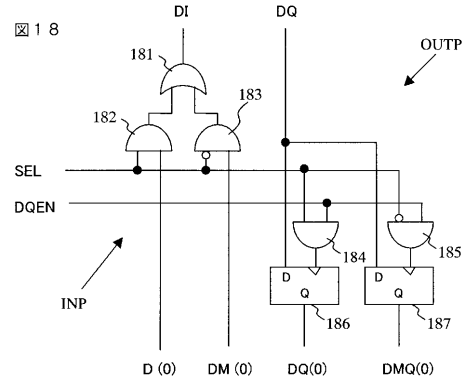
【 図 16 】



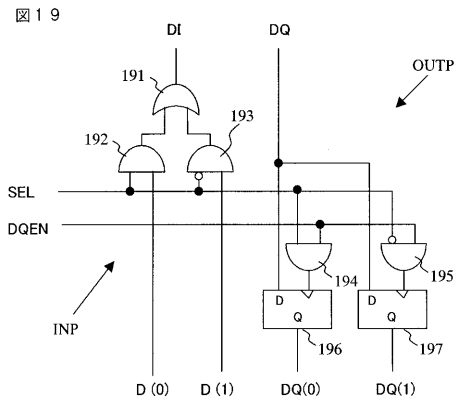
【 図 17 】



【 図 18 】

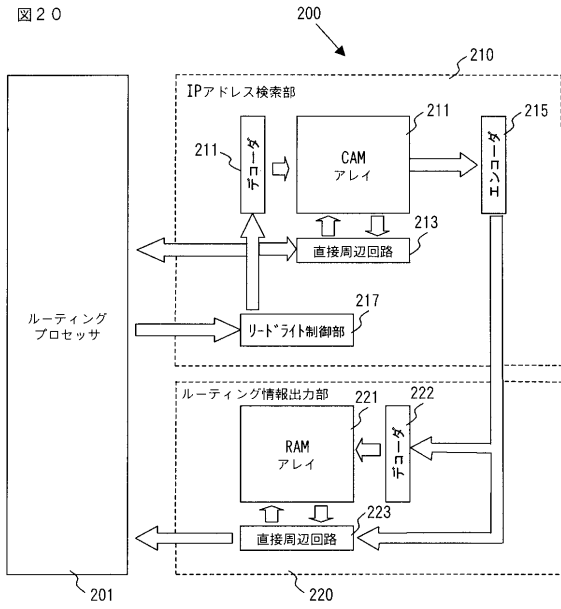


【 図 19 】



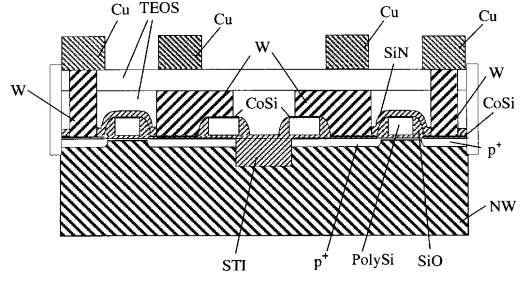
【図20】

図20



【図21】

図21





---

フロントページの続き

(72)発明者 中原 茂

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

Fターム(参考) 5F083 AD00 AD69 BS27 BS50 GA09 GA12 JA35 JA37 JA39 JA53

LA01 LA11 LA21