



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I607626 B

(45)公告日：中華民國 106 (2017) 年 12 月 01 日

(21)申請案號：104133258

(22)申請日：中華民國 104 (2015) 年 10 月 08 日

(51)Int. Cl. : H03K17/284 (2006.01)

H03K17/687 (2006.01)

H02M1/36 (2007.01)

(30)優先權：2014/10/10 美國

62/062,445

(71)申請人：高效電源轉換公司 (美國) EFFICIENT POWER CONVERSION CORPORATION
(US)

美國

(72)發明人：德魯義 麥克 A DE ROOIJ, MICHAEL A. (NL)；史泰登 約翰 T STRYDOM,
JOHAN T. (ZA)；羅伊施 大衛 C REUSCH, DAVID C. (US)

(74)代理人：惲軼群

(56)參考文獻：

TW 306093

TW I337799

TW 200818674A

TW 201125270A1

CN 103001616A

CN 103004071A

US 8063616B2

US 8390560B2

US 2008/0290841A1

US 2014/0169052A1

審查人員：范士隆

申請專利範圍項數：23 項 圖式數：6 共 24 頁

(54)名稱

高電壓零反向回復電荷自舉供應器

HIGH VOLTAGE ZERO Q_{RR} BOOTSTRAP SUPPLY

(57)摘要

佈置在一半橋接拓撲中的一種電路。該電路包括一高側電晶體；一低側電晶體；被電耦合至該高側電晶體之一閘極之一閘極驅動器和準位移位器；被電耦合至該低側電晶體之一閘極之一閘極驅動器；被電耦合並聯於該閘極驅動器和準位移位器之一電容；被電耦合至該閘極驅動器和準位移位器之一輸入和該閘極驅動器之一輸入之一電壓源；以及，被電耦合在該電壓源和該電容之間之一自舉電晶體。一 GaN 場效電晶體與該半橋接電路之一低側裝置被同步地開關。

An electrical circuit arranged in a half bridge topology. The electrical circuit includes a high side transistor; a low side transistor; a gate driver and level shifter electrically coupled to a gate of the high side transistor; a gate driver electrically coupled to a gate of the low side transistor; a capacitor electrically coupled in parallel with the gate driver and level shifter; a voltage source electrically coupled to an input of the gate driver and level shifter and an input of the gate driver; and, a bootstrap transistor electrically coupled between the voltage source and the capacitor. A GaN field-effect transistor is synchronously switched with a low side device of the half bridge circuit.

指定代表圖：

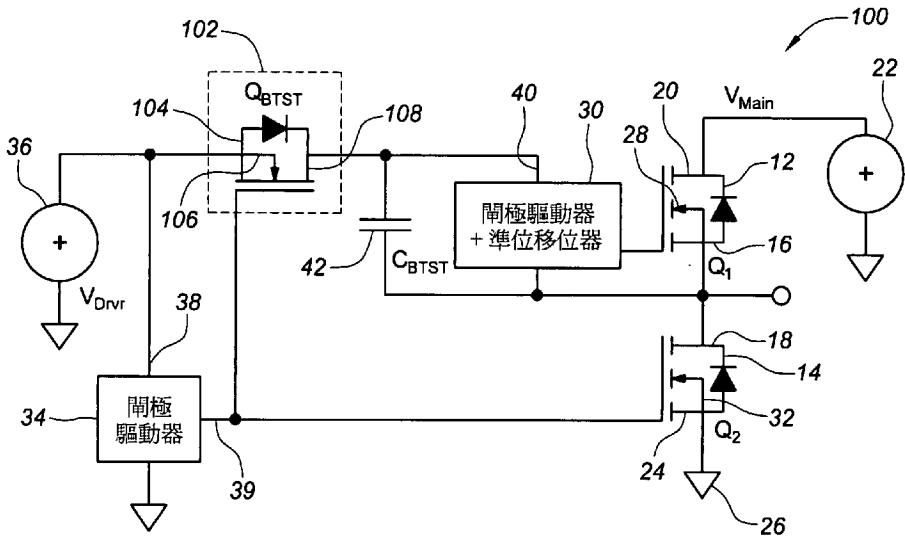


圖2

- 符號簡單說明：
- 12、14 . . . 電晶體
 - 16、24 . . . 源極
 - 18、20 . . . 汲極
 - 22 . . . 電壓源
 - 26 . . . 接地
 - 28、32 . . . 閘極
 - 30 . . . 閘極驅動器和準位移器
 - 34 . . . 閘極驅動器
 - 36 . . . 驅動電壓源
 - 38、40 . . . 輸入
 - 39 . . . 輸出
 - 42 . . . 自舉電容
 - 100 . . . 實施例
 - 102 . . . 自舉裝置
 - 104 . . . 源極
 - 106 . . . 閘極
 - 108 . . . 汲極

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

高電壓零反向回復電荷自舉供應器

HIGH VOLTAGE ZERO Q_{RR} BOOTSTRAP SUPPLY

【技術領域】

[0001]本發明係有關於高電壓零反向回復電荷自舉供應器。

【先前技術】

發明背景

[0002]圖1圖示出一種傳統的半橋接拓撲10。如圖所示，該傳統的拓撲10包含有標示為Q1和Q2的一對電晶體12和14。這樣一種拓撲可以，舉例來說，以增強型場效電晶體(FET)來實現。典型上，該等電晶體12和14被認為是高側和低側開關。高側電晶體12的該源極16被耦合到在該半橋接輸出處的低側電晶體14的該汲極18。高側電晶體12的該汲極20被耦合到一高電壓源22(V_{MAIN})，以及低側電晶體14的該源極24被耦合到接地26。此外，高側電晶體12的該閘極28被耦合到一閘極驅動器和準位移位器30，而低側電晶體14的該閘極32被耦合到一閘極驅動器34。閘極驅動器30/34和準位移位器30是公知的技術，不會在本文中被詳細描述。然而，應被理解的是，這種配置使得一個電晶體12或14(Q1或Q2)在操作過程中被導通而另一個電晶體被截止，反之亦然。

[0003]如進一步於圖1所示，一驅動電壓源36(V_{Drv})被耦合到該高側閘極驅動器和準位移器30的一輸入端40以及低側閘極驅動器34的一輸入端38。對於此傳統設計，一自舉電容器42(C_{BTST})被並聯耦合到該高側閘極驅動器和準位移器30，而一自舉二極體44(D_{BTST})被耦合在該驅動電壓源36 V_{Drv} 和該自舉電容器42(C_{BTST})之間。當該等高側和低側電晶體Q1和Q2使用eGaN FET時，在圖1中所示的該配置產量大約7.5 V，舉例來說，跨越該自舉電容器42(C_{BTST})，如果低側電晶體14(Q2)的「內接二極體」導通的話。然而，該電壓可以根據許多的因素而有所不同。該電壓可以約為6.5 V或更高，取決於該等操作條件和使用於低側電晶體14(Q2)之電晶體裝置的該類型。然而，對於這樣的結構，高側閘極驅動器30需要某種形式的調節器。傳統上，這是以一內部自舉二極體來實現，該二極體被使用來在該半橋接配置中把電力提供給該高側電晶體。理想情況下，一肖特基二極體被使用，因為它體積小，它具有低的順向壓降和沒有反向回復電荷。然而，在一積體電路製程中製作高電壓(100V)肖特基二極體是非常困難的，因此，具有反向回復電荷的PN接面二極體經常被使用。而且，高電壓肖特基二極體也會有導致損失的反向回復電荷(Q_{RR})。

[0004]爲了此目的，當GaN FET被用於這種類型半橋接拓撲的電晶體12和14(Q1和Q2)時，該等肖特基二極體或PN接面二極體的該等反向回復電荷 Q_{RR} 會影響性能並導致在該高側電晶體中的損失。通常這些損失相比於在該電路中

其他的功率損失機制是可以忽略的。然而，該等反向回復電荷損失正比於頻率，並且在更高的工作頻率上會增加到使該轉換器損失變成一顯著部分的一點上。因此，自舉的傳統方法在高操作開關頻率上係效率不彰的。

【發明內容】

發明概要

[0005]本發明涉及一種自舉供應器用於一種半橋接拓撲，並且，更具體地，使用一種氮化鎵(GaN)FET的一種自舉供應器。有利的是，一氮化鎵FET係有用於高電壓應用，因為它有一零反向回復電荷 Q_{RR} ，並且可以與該半橋接電路的該低側電晶體同步地被開關。該同步開關避免了一高自舉供應器電壓，如果該低FET「內接二極體」導通的話。此外，該自舉裝置的該零反向回復電荷 Q_{RR} 顯著地改善該開關性能，特別是用於超低電容裝置和降低在該高側裝置中所感應出的該等損失。

[0006]為達此目的，佈置在一半橋接拓撲的一種電路被提供。該電路包含有：一高側電晶體；一低側電晶體；被電耦合至該高側電晶體之一閘極的一高側閘極驅動器和準位移器；被電耦合至該低側電晶體之一閘極的一低側閘極驅動器和準位移器；與該高側閘極驅動器和準位移器並聯電耦合的一電容；被電耦合至該高側閘極驅動器和準位移器的一輸入以及該低側閘極驅動器的一輸入的一電壓源；以及，被電耦合在該電壓源和該電容之間的一自舉電晶體。

[0007] 在一些實施例中，該自舉電晶體為一GaN場效電晶體。取決於該實施例，該自舉電晶體可以是一空乏型電晶體或一增強型電晶體。在該自舉電晶體係一空乏型電晶體的一些實施例中，該空乏型電晶體的一閘極被電耦合到該閘極驅動器的該輸出。在該空乏型實施例中，該空乏型電晶體的該汲極被電耦合到該高側閘極驅動器和準位移位器的該輸入。

[0008] 如果一增強型電晶體被使用作為該自舉裝置，它可以被箝位或不被箝位，取決於該實施例。如果該增強型電晶體被箝位，它可以以與該自舉電容並聯的一齊納二極體來箝位。一電阻可在該增強型電晶體的一汲極和該齊納二極體之間被串聯地設置。該電阻可以被整合到該增強型電晶體中。較佳的是，該齊納二極體把跨越一自舉電容的電壓箝位到用於該高側裝置的一安全準位上。

[0009] 該增強型電晶體可以串聯的兩個增強型GaN場效電晶體來被箝位，該等電晶體的每一個的一閘極短路到它們各自的源極。

[0010] 在一增強型電晶體被使用的實施例中，供給該增強型電晶體的該電壓可以是比供給該閘極驅動器該電壓的要高的一電壓。在這些實施例的一些中，可以使用一個以上的電壓源。

[0011] 在一些實施例中，該低側閘極驅動器可能需要被調節。在一些實施例中，一調節器可以被設置以與該低側閘極驅動器做電氣通信。

閘極28的故障。

[0030] 圖4根據本發明的一第二實施例200圖示出用於一半橋接拓撲之一種自舉供應器。如圖所示，圖4的該實施例包括有許多相同於以上所討論之該傳統半橋接拓撲10的組件。即，高側和低側電晶體12和14(Q1和Q2)，它們各自的閘極28和32分別被耦合到一閘極驅動器和準位移位器30以及一閘極驅動器34。然而，對比於圖1的傳統設計10，該自舉裝置102(Q_{BTST})係一非箝位增強型裝置其被耦合在電壓源36(V_{Drv})和該自舉電容42(C_{BTST})之間。此外，一額外的供應電壓202 V_{SD_GaN}也被提供給該自舉裝置102(Q_{BTST})以增加並克服跨越該自舉裝置102(Q_{BTST})之該GaN FET內接二極體之該壓降。若無該額外的電源電壓202(V_{SD_GaN})，電壓源203(V_{Drv})被施加到該低側閘極驅動器38。如果電晶體14(Q2)的該內接二極體導通的話，該配置產生大約7.5 V跨越該自舉電容器42(C_{BTST})。然而，該閘極驅動器34針對此配置需要某種形式的調節。取決於該實施例，該閘極驅動器34可被內部地或外部地調節。在其他的實施例中，該電路10的該定時可以調節該低側閘極驅動器34。舉例來說，驅動電路10的該電壓源36可被調節，並且該調節可進而被傳遞到該自舉電容42，當該電路正確地運行時。類似於圖2的該實施例，跨越該自舉裝置102(Q_{BTST})該源極和汲極的電壓V_{SD}應當等同於或類似於跨越電晶體14(Q2)該源極和汲極的電壓。

[0031] 在圖5中的該實施例300圖示出圖4該實施例200

的一變形。主要的區別是該自舉供應器係以一齊納箝位302(即，一齊納二極體 D_{CLMP})被箝位，該齊納二極體被並聯耦合到該自舉電容42(C_{BTST})。在圖5中所示的該實施例300，一電阻304 R_{lim} 被串聯連接在該自舉裝置102(Q_{BTST})的該汲極108和該齊納箝位 D_{CLMP} 之間。圖5的該配置使用了該齊納箝位302以保持跨越該自舉電容42(C_{BTST})兩端的該電壓會在安全操作限制內，如果電晶體14(Q2)的內接二極體導通的話。此外，該齊納箝位302(D_{CLMP})把該電壓箝位到一用於該電晶體12(Q1)的一安全限制內，並且該電阻304(R_{lim})提供了在箝位期間的電壓緩衝器。類似於圖2的該實施例100，跨越該自舉裝置102(Q_{BTST})該源極和汲極的電壓 V_{SD} 應當等同於或類似於跨越電晶體14(Q2)該源極和汲極的電壓。類似於圖4的結構200，一額外的電源電壓202(V_{SD_GaN})也被提供給該自舉裝置102(Q_{BTST})以克服跨越該自舉裝置102內接二極體的該壓降。如上所述，該自舉裝置102最好是一GaN FET。

[0032]在圖5之示例性實施例的一個改進中，提供該限流功能的該電阻304(R_{lim})可被整合到該自舉裝置102(Q_{BTST})中。在一些實施例中，該電阻可以藉由使用 $R_{DS(on)}$ 來整合，即，與提供適當電阻之該FET之該內部電阻一起。在其他的實施例中，一電阻元件可被加入，諸如一金屬襯套，舉例來說。在其他的實施例中，可以使用其他的電阻元件。整合電阻元件304的一個優點是它可消除一外部的組件。

[0033]在又其他的實施例中，該齊納箝位302可藉由使用兩個串聯連接的增強型GaN FET來實現，其每一個的該閘極被短路到它們各自的源極。這種設計可以最大化該電路設計的整合。

[0034]圖6根據本發明的一額外的實施例400圖示出用於一半橋接拓撲電路之一種自舉供應器。如圖所示，圖6的該設計包含有以上針對於在圖2中所示之實施例100所討論之該傳統半橋接拓撲之相同組件的許多個。例如，實施例400包括高側和低側電晶體12和14(Q1和Q2)，它們各自的閘極28和32分別被耦合到一閘極驅動器和準位移器30以及一閘極驅動器34。然而，對比於圖2的該設計，該自舉供應器可以被認為是一種同步增強型裝置的實現。如圖所示，該自舉裝置102 Q_{BTST} 被耦合在該驅動電壓源36(V_{Drv})和該高側閘極驅動器和準位移器30之間。此外，一增強型二極體402(D_{ENH})被耦合在該驅動電壓源36(V_{Drv})和該自舉裝置102(Q_{BTST})的該閘極106之間。再者，一增強型電容404(C_{ENH})被耦合在該自舉裝置102(Q_{BTST})的該閘極106與該低側閘極驅動器34的一輸出38之間。

[0035]在一些實施例中，該增強型二極體402(D_{ENH})可被整合到該自舉裝置102中以減少外部元件的數量。在又其他的實施例中，一增強型電阻，與該增強型二極體402並聯，也可被整合到該自舉裝置102中。

[0036]有利的是，圖5的該實施例的該自舉裝置102(Q_{BTST})被同步到電晶體14(Q2)的該開關，其克服了以上

針對該傳統設計所討論之跨越該自舉電容42(C_{BTST})的該7.5 V。同步可使該低側電晶體14的該「內接二極體」免於過度充電該高側電晶體閘極28。在該示例實施例中，跨越該自舉裝置102(Q_{BTST})該源極和汲極的電壓 V_{SD} 應當等同於跨越電晶體14(Q2)該源極和汲極的電壓。此外，跨越電晶體14(Q2)該閘極和該源極的電壓 V_{GS} 為0伏特而跨越該自舉裝置102(Q_{BTST})該閘極和該源極的電壓 V_{GS} 為-5伏特，其中該汲極電流 I_D 的該等值是最壞的情況。在該示例性配置中，該增強型二極體402(D_{ENH})的該壓降會降低跨越該自舉裝置102(Q_{BTST})該閘極和該源極的電壓 V_{GS} 到0 V以下，因此，提升跨越該源極到汲極的該電壓 V_{SD} 為額外的界限增加了在電晶體14(Q2)和該自舉裝置102(Q_{BTST})之間的差異。此外，該增強型電容404(C_{ENH})與同一傳統自舉供應器相同的方式被充電(例如，到5 V)，但該使用的增強型二極體402(D_{ENH})可以是一低電壓(例如，< 20 V)肖特基二極體具有零或超低的反向回復電荷 Q_{rr} 。

[0037]應被理解的是，對於以上所討論之該等示例性實施例的每一個，額外的定時可以被添加到該等配置以驅動該自舉裝置102(Q_{BTST})以允許有時間來讓該等主電晶體12和14(Q1和Q2)完成它們的開關轉換，最顯著的為電晶體14(Q2)的該導通事件。而且，當該自舉裝置102(Q_{BTST})是開啓時，它可以以相同於一電阻的方式來在兩個方向上傳導電流。此外，跨越該增強電容器(C_{ENH})兩端的該電壓可被控制(降低)以在該關閉狀態期間增加該自舉裝置102(Q_{BTST})額

外的內接二極體電壓界限，進一步降低電晶體(Q2)的該內接二極體之該導通反向電壓會把該自舉供應器電壓增加到安全運作限制之上的可能性。

[0038]一些實施例可進一步包括定時電路，以允許在該自舉電晶體102導通之前該低側電晶體14有時間來完全地導通。該定時電路也立即，或盡可能快地，關閉該自舉電晶體102，當在該低側電晶體14的該閘極上的該電壓被減小到零(0)時。

[0039]透過實驗，已被證實上述該等實施例會敏感於該自舉電晶體102的汲極電感，如果不控制的話其會振盪。除了一般以電晶體的該設計/選擇來控制電感設計之外，一小型串聯電阻可被串聯在該自舉電晶體102的該汲極之後。這個電阻可以被整合到該自舉電晶體102。在一些實施例中，藉由設計該自舉電晶體102具有一高的RDS(on)約為 3Ω ，該電阻可被整合。在其他的實施例中，該電阻可能只是一整合式的阻尼電阻(非RDS(on)但是分立的)。

[0040]應被理解的是，用於在圖2、4-6中所示之每一個示例性實施例的該自舉裝置中的該等電晶體最好可以是GaN FET。最後，應被理解的是，用於以上所討論之自舉裝置的該等配置被提供來驅動氮化鎵「GaN」FET，但該等示例性實施例並不以任何的方式被限定，也可以被用來驅動傳統的MOSFET(例如，用於一半橋接拓撲)。此外，如果該半橋接電晶體也是MOSFET的話，使用一MOSFET作為該自舉裝置102以上所討論的該等技術將無效。對於這有兩個主要的原因：1)為了正常工作，該自舉電晶體必須利用GaN

的該反向導通電壓特性，其中該壓降可由該負的閘極電壓的該大小來規劃。這可使該內部二極體當它不應導通時不會導通。MOSFET不能以這種方式執行，因此，可能會成為具災難性後果之該主要功率電路的一部分。2) MOSFET具有Qrr而eGaN FET沒有。如果MOSFET二極體導通(無論以何種原因)，在這裡教導之該等技術所帶來的該等好處，將完全地失去。

[0041]以上的描述和附圖僅僅被認為是具體實施例的說明，其實現在此所描述的特徵和優點。對於特定工序條件的修改和替換可被進行。因此，本發明的該等實施例不被視為受限於前面的描述和附圖。

【符號說明】

10...半橋接拓撲	44...自舉二極體
12、14...電晶體	100...實施例
16、24...源極	102...自舉裝置
18、20...汲極	104...源極
22...電壓源	106...閘極
26...接地	108...汲極
28、32...閘極	200...實施例
30...閘極驅動器和準位移器	202...電源電壓
34...閘極驅動器	300...實施例
36...驅動電壓源	302...齊納箝位
38、40...輸入	304...電阻
39...輸出	400...實施例
42...自舉電容	402...增強型二極體

發明摘要

※ 申請案號：104133258

※ 申請日：104.10.08

※ I P C 分類：H03K 17/284 (2006.01)

H03K 17/687 (2006.01)

H02M 1/36 (2007.01)

【發明名稱】(中文/英文)

高電壓零反向回復電荷自舉供應器

HIGH VOLTAGE ZERO Q_{RR} BOOTSTRAP SUPPLY

【中文】

佈置在一半橋接拓撲中的一種電路。該電路包括一高側電晶體；一低側電晶體；被電耦合至該高側電晶體之一閘極的一閘極驅動器和準位移器；被電耦合至該低側電晶體之一閘極的一閘極驅動器；被電耦合並聯於該閘極驅動器和準位移器的一電容；被電耦合至該閘極驅動器和準位移器之一輸入和該閘極驅動器之一輸入的一電壓源；以及，被電耦合在該電壓源和該電容之間的一自舉電晶體。一GaN場效電晶體與該半橋接電路的一低側裝置被同步地開關。

【英文】

An electrical circuit arranged in a half bridge topology. The electrical circuit includes a high side transistor; a low side transistor; a gate driver and level shifter electrically coupled to a gate of the high side transistor; a gate driver electrically coupled to a gate of the low side transistor; a capacitor electrically coupled in parallel with the gate driver and level shifter; a voltage source electrically coupled to an input of the gate driver and level shifter and an input of the gate driver; and, a bootstrap transistor electrically coupled between the voltage source and the capacitor. A GaN field-effect transistor is synchronously switched with a low side device of the half bridge circuit.

圖式
1/4

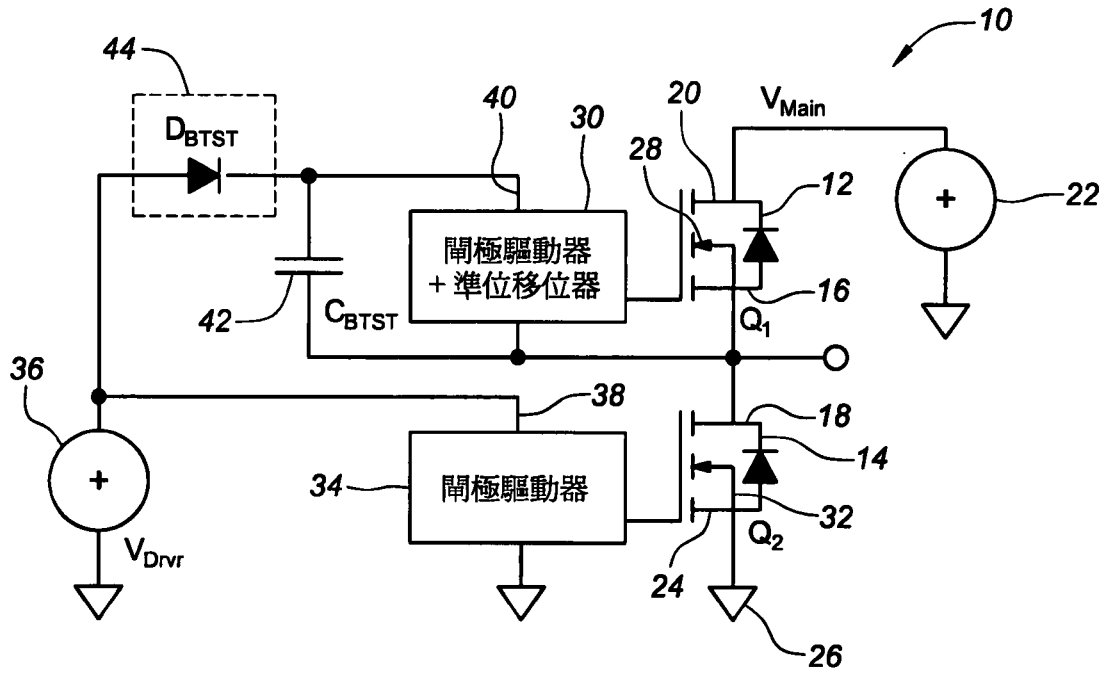


圖1

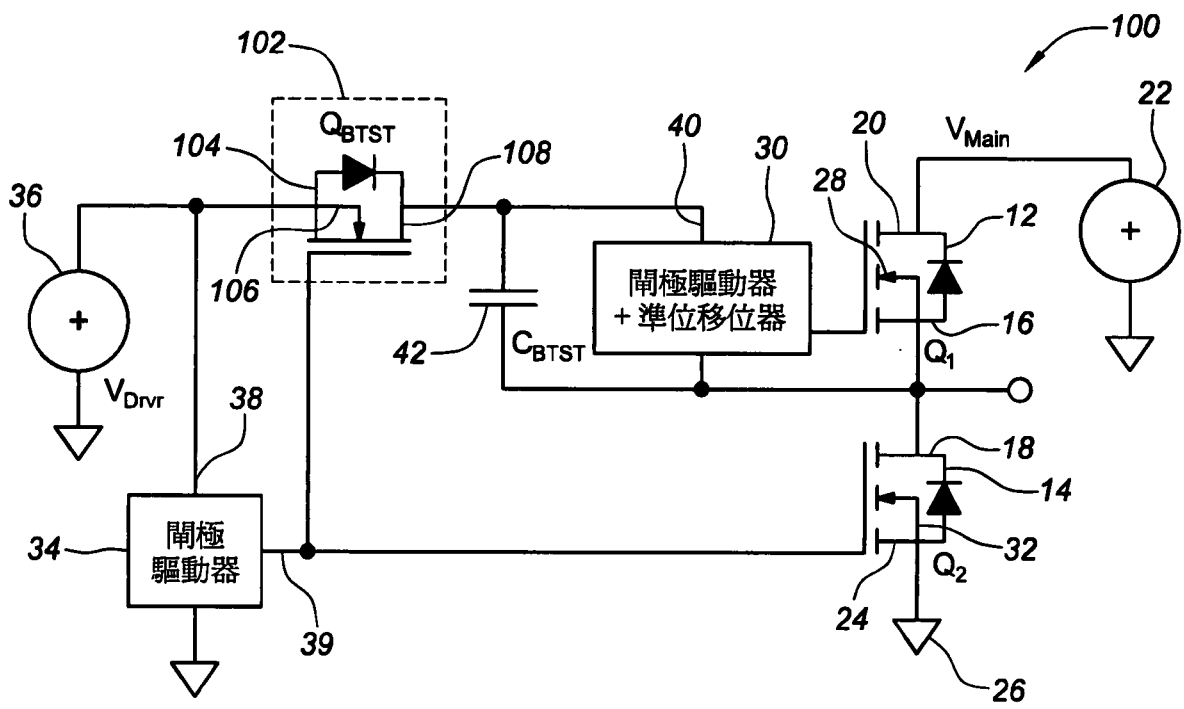


圖2

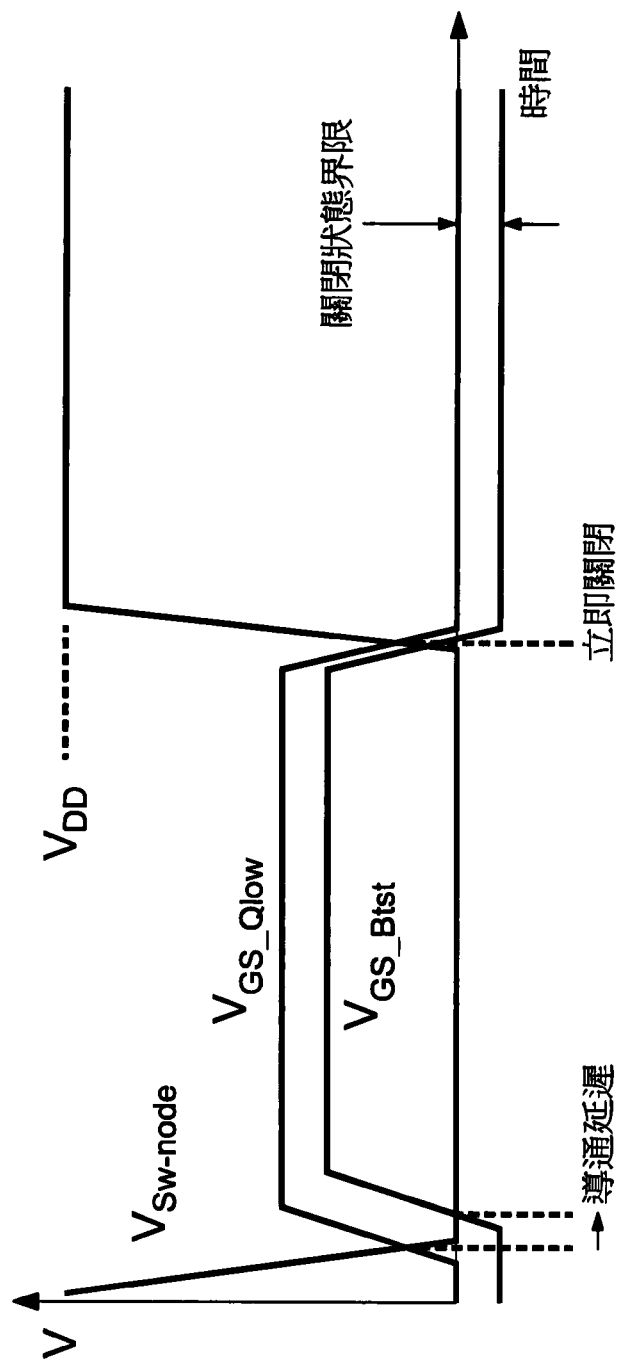


圖3

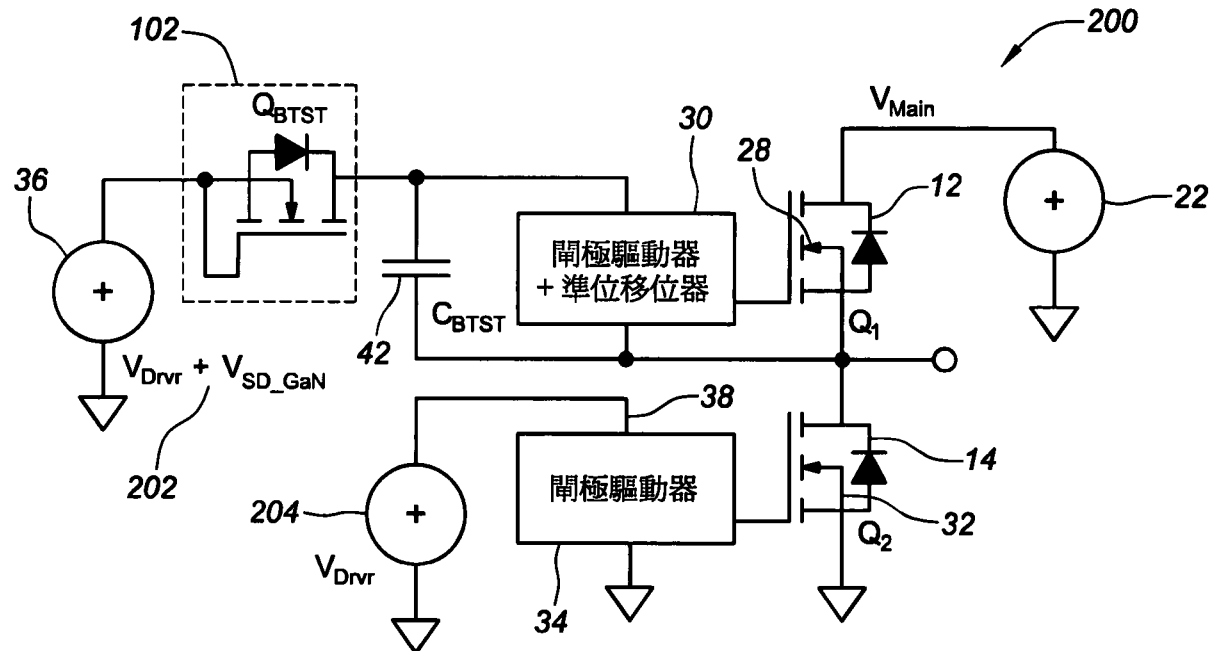


圖4

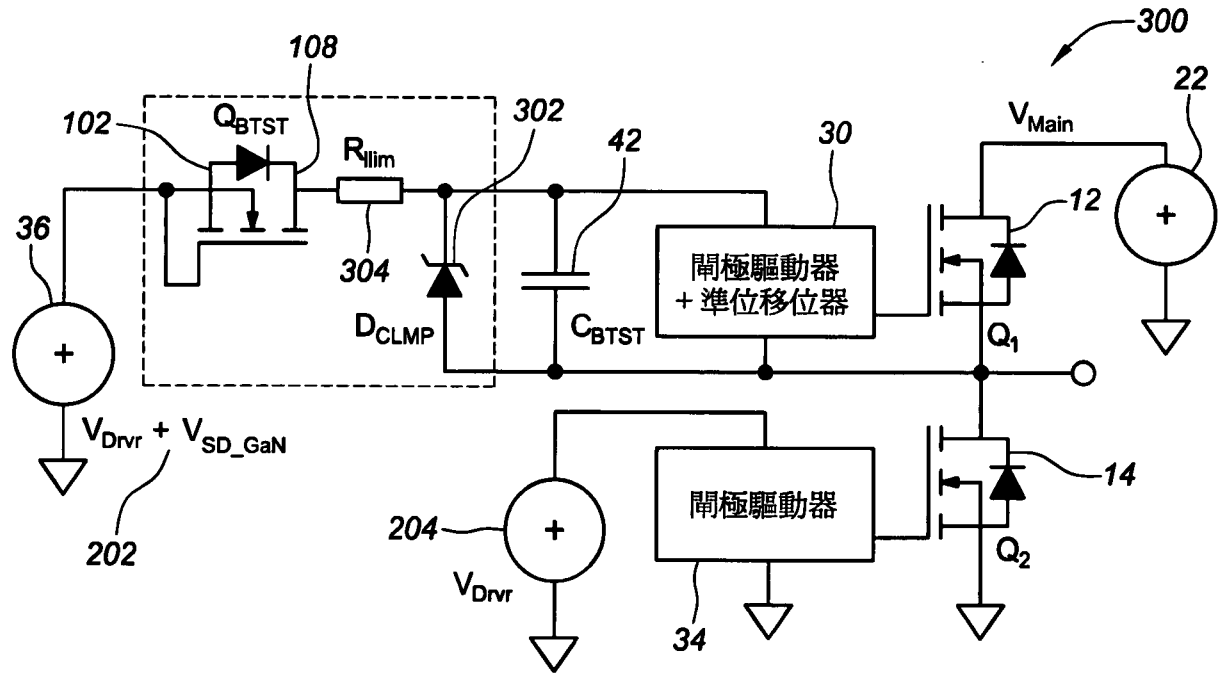


圖5

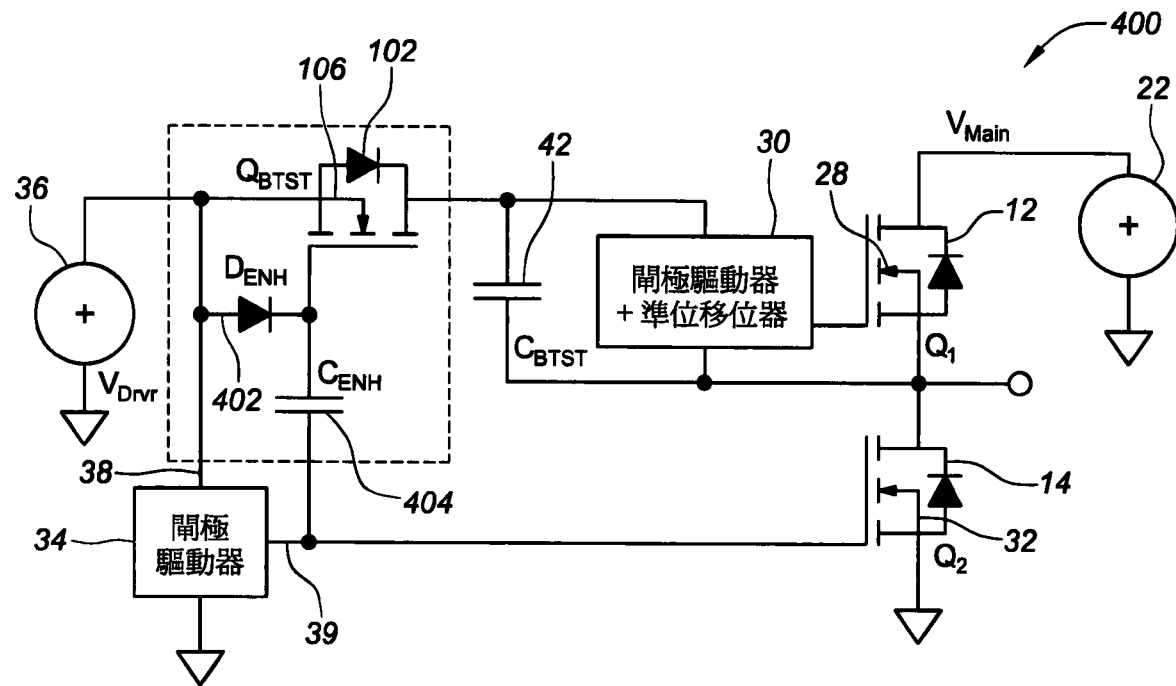


圖6

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

12、14...電晶體	38、40...輸入
16、24...源極	39...輸出
18、20...汲極	42...自舉電容
22...電壓源	100...實施例
26...接地	102...自舉裝置
28、32...閘極	104...源極
30...閘極驅動器和準位移位器	106...閘極
34...閘極驅動器	108...汲極
36...驅動電壓源	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

[0012] 在一些實施例中，一個二極體被耦合在該電源電壓和該電晶體的一閘極之間；以及，一第二電容被耦合在該電晶體的該閘極和該閘極驅動器的一輸出之間。

[0013] 在本發明的另一方面，提供了一種自舉一半橋接電路的方法。在較佳的實施例中，一GaN場效電晶體與該半橋接電路的該低側電晶體被同步開關，其最好是一GaN場效電晶體。

[0014] 在較佳的實施例中，跨越該GaN場效電晶體的該源極和汲極上的該電壓等於跨越該低側裝置電晶體的該源極和汲極的該電壓。

[0015] 在一些實施例中，跨越該低側裝置電晶體該閘極和源極的該電壓是零(0)伏特，並且跨越該GaN場效電晶體該閘極和源極的該電壓是負五(-5)伏特，當一汲極電流的值是最壞的情況時。

【圖式簡單說明】

[0016] 圖1圖示出用於一半橋接拓撲電路之一傳統的自舉供應器。

[0017] 圖2根據本發明的一第一實施例圖示出用於一半橋接拓撲電路之一種自舉供應器。

[0018] 圖3圖示出使用一eGaN電晶體作為一自舉裝置之電路的一較佳實施例的一時序圖。

[0019] 圖4根據本發明的一第二實施例200圖示出用於一半橋接拓撲電路之一種自舉供應器。

[0020] 圖5圖示出圖3該實施例的一種變形。

[0021]圖6根據本發明的一額外的實施例圖示出用於一半橋接拓撲電路之一種自舉供應器。

【實施方式】

較佳實施例之詳細說明

[0022]以下的詳細描述參考了本發明的示例性實施例。該等示例性實施例係以足夠詳細的方式來描述以使本領域的習知技藝者能夠實踐它們。但應被理解的是，其他的實施例可被使用，並且各種結構、邏輯、和電氣方面的改變可被做出。

[0023]根據本發明的一第一實施例100，圖2圖示出用於一半橋接拓撲的一種自舉供應器。如圖所示，圖2的設計包括有許多相同於以上所討論之該傳統半橋接拓撲10的組件。即，高側和低側電晶體12和14(Q1和Q2)被提供，它們各自的閘極分別耦合到一高側閘極驅動器和準位移器30，以及一低側閘極驅動器34。然而，對比於圖1的傳統設計，圖2的該示例性設計採用一空乏型電晶體(例如，一種n通道空乏型場效電晶體(FET))做為該自舉裝置102。最佳的是，該自舉裝置102(Q_{BTST})係一GaN FET。

[0024]如圖所示，該自舉裝置102 (Q_{BTST})的該源極104被耦合到該電壓源36(V_{Drv})。該自舉裝置102(Q_{BTST})的該閘極106被耦合到該低側閘極驅動器34的該輸出39。該自舉裝置102(Q_{BTST})的該汲極108被耦合到該高側閘極驅動器和準位移器30的該輸入40。有利的是，該示例性實施例的該自舉裝置102(Q_{BTST})被同步到低側電晶體14(Q2)的開關，其

克服了以上針對該傳統設計所討論之跨越該自舉電容 $42(C_{BTST})$ 的該 7.5 V 。

[0025] 跨越該自舉裝置 $102(Q_{BTST})$ 該源極和汲極的電壓 V_{SD} 應當等同於跨越電晶體 $14(Q2)$ 該源極和汲極的電壓。此外，跨越電晶體 $14(Q2)$ 該閘極和該源極的電壓 V_{GS} 為 0 伏特而跨越該自舉裝置 $102(Q_{BTST})$ 該閘極和該源極的電壓 V_{GS} 為 -5 伏特，其中該汲極電流的該等值(ID)是最壞的情況。即使在該汲極和該源極之間的電壓 V_{DS} 對於該自舉裝置 $102(Q_{BTST})$ 和該等主電晶體 12 和/或 $14(\text{FET } Q1 \text{ 和/或 } Q2)$ 兩者應具有相同的等級，但該自舉裝置 $102(Q_{BTST})$ 可顯著地較小(較高的 $R_{DS(on)}$)。此外，該自舉裝置 $102(Q_{BTST})$ 可被整合在一半橋接裝置對之中。

[0026] 爲了確保該同步FET自舉電路的實現對該閘極驅動器和電源電路會有最小的影響並可在任何的條件下工作，該電路需要被設計成在嚴苛的條件下還是穩健的。在較佳的實施例中，以下的條件都可以被處理：低側FET反向導通；跟隨著低側反向導通的硬開關(一高損耗 C_{oss} 轉換)；部分零電壓開關(PZVS)；自整流之後跟著高側FET反向導通；以及，零電壓開關(ZVS)，最不嚴苛的條件。

[0027] 如上所述，使用一FET於該自舉裝置 102 的實施例最好被同步。圖3圖示出一時序圖，其用於包含有一FET自舉裝置 102 之一自舉電路的較佳實施例。該正確的定時有助於處理或消除上面所列出之嚴苛條件的該等影響。在操作中，該開關節點電壓跟隨著該低側電晶體 14 閘極電壓的

該上升從高轉換到低需要一定的時間。如果該小型同步FET自舉裝置102被過早地導通，該汲極電壓將仍然是高的。在此情況下，該開關節點將被連接到該5 V並伴隨災難性的後果。因此，該同步FET自舉裝置102的導通必須被充分的延遲，以防止這種情況的發生。此延遲被圖示於圖3中，如 V_{GS_Qlow} 和 V_{GS_BTST} 該上升的差異所示。由於類似的原因，該同步FET自舉裝置102的該關閉必須和該低側電晶體14發生在同一時間。這也被圖示於圖3中。

[0028]用於設計出可抵抗上面列出之嚴苛條件之一實施例的另一個重要的設計參數係關閉狀態的界限。由於該低側電晶體14和該同步的FET自舉裝置102兩者都可以是eGaN FET裝置，當保持關閉時兩者都可以具有類似的反向導通壓降。在這些條件下，該同步的FET自舉裝置102可能會與該低側電晶體14一起或取代該低側電晶體14來反轉導通主電流。這可能會導致跨越該自舉電容器42的一過度電壓狀況，其會導致該高側電晶體閘極28的故障。為了防止這種情況的發生，在一些實施例中，該同步的FET自舉裝置102的該關閉狀態電壓被保持在-1 V，由此增加了該反向導通電壓成為顯著地高於該低側電晶體14，因此，阻止它導通。一適當的關閉狀態界限的一例子被圖示於圖3中。

[0029]除了定時和關閉狀態的界限，較佳的實施例使用一電路佈局其防止該自舉裝置102的該汲極電路到更高的電壓。該同步的FET自舉裝置102的該汲極電路，可以到更高的電壓，該電壓會充電該自舉電容42導致該高側電晶體

申請專利範圍

1. 一種佈置在一半橋接拓撲中的電路，其包含有：
 - 一高側電晶體；
 - 一低側電晶體；
 - 被電耦合至該高側電晶體之一閘極之一閘極驅動器和準位移器；
 - 被電耦合至該低側電晶體之一閘極之一閘極驅動器；
 - 被電耦合並聯於該閘極驅動器和準位移器之一電容器；
 - 被電耦合至該閘極驅動器和準位移器之一輸入和該閘極驅動器之一輸入的一電壓源；以及
 - 被電耦合在該電壓源和該電容器之間的一自舉裝置；
 - 其中該自舉裝置係一電晶體，及
 - 其中該自舉裝置被同步到該低側電晶體。
2. 如請求項1之電路，其中該自舉裝置係一GaN場效電晶體。
3. 如請求項1之電路，其中該自舉裝置係一空乏型電晶體，且該空乏型電晶體之一閘極被電耦合到該閘極驅動器的該輸出。
4. 如請求項3之電路，其中該空乏型電晶體之一汲極被電耦合到該閘極驅動器和準位移器的該輸入。

5. 如請求項1之電路，其中該自舉裝置係一增強型電晶體。
6. 如請求項5之電路，其中該增強型電晶體係未被箝位。
7. 如請求項5之電路，其中該增強型電晶體係以並聯於該電容器的一齊納二極體來被箝位。
8. 如請求項5之電路，其中供給到該增強型電晶體的電壓會比被供給到該閘極驅動器的電壓要高。
9. 如請求項5之電路，其更包含有與該閘極驅動器進行電氣通信的一調節器。
10. 如請求項7之電路，更包含有一電阻器，串聯在該增強型電晶體的一汲極和該齊納二極體之間。
11. 如請求項7之電路，其中一電阻器被整合到該增強型電晶體中。
12. 如請求項5之電路，其中該增強型電晶體係以兩個串聯的增強型GaN場效電晶體來被箝位，該等電晶體的每一個的閘極短路到它們各自的源極。
13. 如請求項1之電路，其更包含有：
被電耦合在該電壓源和該自舉裝置的一閘極之間的一二極體；以及
被電耦合在該自舉裝置的該閘極和該閘極驅動器的一輸出之間的一第二電容器。
14. 如請求項1之電路，其中該自舉裝置與該等高側和低側電晶體整合在一起。
15. 一種自舉佈置在半橋接拓撲中之電路的方法，其中該電路包含：一高側電晶體；一低側電晶體；被電耦合至該

高側電晶體之一閘極的一閘極驅動器和準位移位器；被電耦合並聯於該閘極驅動器和準位移位器的一電容器；被電耦合至該閘極驅動器和準位移位器之一輸入的一電壓源；以及被電耦合在該電壓源和該電容器之間的一自舉GaN場效電晶體，其中該方法包含下列步驟：

與該半橋接電路的該低側電晶體同步地開關該自舉GaN場效電晶體，

其中該自舉GaN場效電晶體被同步到該低側電晶體。

16. 如請求項15之方法，其中該低側電晶體係一GaN場效電晶體。
17. 如請求項15之方法，其中該自舉GaN場效電晶體係一空乏型電晶體，其閘極與一閘極驅動器的該輸出進行電氣通信，該閘極驅動器與該低側電晶體的該閘極進行電氣通信。
18. 如請求項16之方法，其中跨越該自舉GaN場效電晶體的一源極和一汲極的一電壓等於跨越該低側GaN場效電晶體的一源極和一汲極的一電壓。
19. 如請求項15之方法，其中該自舉GaN場效電晶體係一未被箝位之增強型電晶體並且一額外的電壓被提供給該自舉GaN場效電晶體以增加並克服跨越該自舉GaN場效電晶體之內接二極體之電壓降。
20. 如請求項15之方法，

其中該自舉GaN場效電晶體係一增強型電晶體，其

以與該電容器及該閘極驅動器和準位移位器並聯的一齊納二極體來箝位。

21. 如請求項20之方法，其中該齊納二極體把跨越該電容器的該電壓箝位到用於該低側電晶體的一安全準位上。
22. 如請求項20之方法，其中一電阻器係串聯連接在該增強型電晶體的一汲極和該齊納二極體之間。
23. 如請求項15之方法，其中一個二極體被電耦合在一驅動電壓和該自舉GaN場效電晶體的一閘極之間，且一電容器被電耦合在該自舉GaN場效電晶體的一閘極和用於該低側電晶體之一閘極驅動器的一輸出之間。