



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월20일
(11) 등록번호 10-2023358
(24) 등록일자 2019년09월16일

(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01) G11C 16/06 (2006.01)
G11C 16/26 (2006.01)
(21) 출원번호 10-2012-0120534
(22) 출원일자 2012년10월29일
심사청구일자 2017년10월26일
(65) 공개번호 10-2014-0054714
(43) 공개일자 2014년05월09일
(56) 선행기술조사문헌
JP2010157306 A*
KR100809334 B1*
KR1020080066114 A*
US20120063195 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이승연
서울 서초구 논현로27길 57, 812호 (양재동, 신영
체르니아파트)
이영택
서울 송파구 송이로 88, 5동 602호 (가락동, 가락
대림아파트)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 18 항

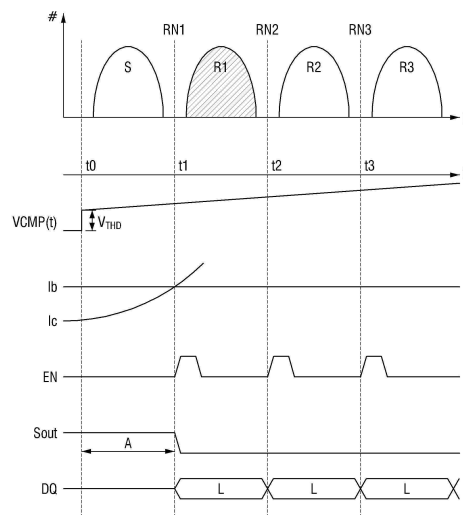
심사관 : 유재천

(54) 발명의 명칭 저항체를 이용한 비휘발성 메모리 장치 및 그 구동 방법

(57) 요약

저항체를 이용한 비휘발성 메모리 장치 및 그 구동 방법이 제공된다. 상기 비휘발성 메모리 장치는 저항성 메모리 셀; 제1 센싱 노드; 상기 저항성 메모리 셀과 상기 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하고, 상기 제1 클램핑 바이어스는 시간에 따라 변경되는 제1 클램핑부; 상기 제1 센싱 노드에 보상 전류를 제공하는 제1 보상부; 및 상기 제1 센싱 노드에 연결되어, 상기 제1 센싱 노드의 레벨 변화를 센싱하는 제1 센스 앰프를 포함하되, 상기 저항성 메모리 셀에 제1 데이터가 저장된 경우, 상기 제1 클램핑 바이어스의 제공시작 시점부터 제1 시간 후에, 상기 제1 센스 앰프의 출력값은 트랜지션(transition)되고, 상기 저항성 메모리 셀에 상기 제1 데이터와 다른 제2 데이터가 저장된 경우, 상기 제1 클램핑 바이어스의 제공시작 시점부터 상기 제1 시간과 다른 제2 시간 후에, 상기 제1 센스 앰프의 출력값은 트랜지션된다.

대표도 - 도8



명세서

청구범위

청구항 1

저항성 메모리 셀;

제1 센싱 노드;

상기 저항성 메모리 셀과 상기 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하고, 상기 제1 클램핑 바이어스는 시간에 따라 변경되는 제1 클램핑부;

상기 제1 센싱 노드에 제1 보상 전류를 제공하는 제1 보상부; 및

상기 제1 센싱 노드에 연결되어, 상기 제1 센싱 노드의 레벨 변화를 센싱하는 제1 센스 앰프를 포함하되,

상기 저항성 메모리 셀에 제1 데이터가 저장된 경우, 상기 제1 클램핑 바이어스의 제공시작 시점부터 제1 시간 후에, 상기 제1 센스 앰프의 출력값은 트랜지션(transition)되고,

상기 저항성 메모리 셀에 상기 제1 데이터와 다른 제2 데이터가 저장된 경우, 상기 제1 클램핑 바이어스의 제공시작 시점부터 상기 제1 시간과 다른 제2 시간 후에, 상기 제1 센스 앰프의 출력값은 트랜지션되고,

상기 제1 센스 앰프는 리드 구간 동안 다수회 액티브되는 인에이블 신호에 응답하여, 다수회 동작하고,

상기 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하고, 상기 인에이블 신호 생성부는

레퍼런스 저항과,

제2 센싱 노드와,

상기 레퍼런스 저항과 상기 제2 센싱 노드 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하는 제2 클램핑부와,

상기 제2 센싱 노드에 제2 보상 전류를 제공하는 제2 보상부와,

상기 제2 센싱 노드에 연결되어, 상기 제2 센싱 노드의 레벨 변화를 센싱하는 제2 센스 앰프를 포함하고,

상기 리드 구간동안, 상기 제2 클램핑 바이어스는 시간에 따라 변경되는,

비휘발성 메모리 장치.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하고,

상기 인에이블 신호 생성부는 다수의 레퍼런스 저항을 포함하고, 상기 레퍼런스 저항의 저항값에 대응하여 상기 인에이블 신호의 액티브 시점이 달라지는 비휘발성 메모리 장치.

청구항 4

제 3항에 있어서,

상기 리드 구간은 노말(normal) 리드 구간이고,

상기 레퍼런스 저항은 저항성 메모리 셀을 포함하는 비휘발성 메모리 장치.

청구항 5

제 3항에 있어서,
상기 리드 구간은 베리파이(verify) 리드 구간이고,
상기 레퍼런스 저항은 폴리실리콘(polysilicon)을 포함하는 비휘발성 메모리 장치.

청구항 6

제 3항에 있어서,
상기 인에이블 신호 생성부는 다수의 레퍼런스 출력신호를 생성하는 다수의 레퍼런스 블록과, 상기 다수의 레퍼런스 출력신호를 제공받아 상기 인에이블 신호를 출력하는 연산기를 포함하는 비휘발성 메모리 장치.

청구항 7

삭제

청구항 8

제 1항에 있어서,
상기 제1 보상 전류와 상기 제2 보상 전류는 서로 동일한 비휘발성 메모리 장치.

청구항 9

제 1항에 있어서,
상기 제1 클램핑 바이어스와 상기 제2 클램핑 바이어스는 서로 동일한 비휘발성 메모리 장치.

청구항 10

제 1항에 있어서,
상기 제1 보상부는 상기 제1 보상 전류의 크기를 조절하여, 상기 제1 센스 앰프의 인에이블 시점을 조절하는 비휘발성 메모리 장치.

청구항 11

제 1항에 있어서,
상기 제1 클램핑 바이어스는 시간에 따라 k 차 함수(단, k 는 자연수) 형태로 증가하는 비휘발성 메모리 장치.

청구항 12

제 1항에 있어서,
상기 제1 클램핑 바이어스는 시간에 따라 계단형태로 증가하는 비휘발성 메모리 장치.

청구항 13

제 1항에 있어서,
상기 저항성 메모리 셀을 포함하는 메모리 셀 어레이는 크로스 포인트 구조인 비휘발성 메모리 장치.

청구항 14

멀티비트를 저장하는 저항성 메모리 셀;

제1 센싱 노드;

상기 저항성 메모리 셀과 상기 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하는 제1 클램핑부;

상기 제1 센싱 노드에 제1 보상 전류를 제공하는 제1 보상부; 및

상기 제1 센싱 노드에 연결되어, 상기 제1 센싱 노드의 레벨 변화를 센싱하는 제1 센스 앰프를 포함하되,

리드 구간 동안, 상기 제1 보상 전류는 일정하고 상기 제1 클램핑 바이어스는 시간에 따라 변경되고 상기 제1 센스 앰프는 다수회 액티브되는 인에이블 신호에 따라 인에이블되어 상기 제1 센싱 노드의 레벨 변화를 센싱하고,

상기 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하고, 상기 인에이블 신호 생성부는

레퍼런스 저항과,

제2 센싱 노드와,

상기 레퍼런스 저항과 상기 제2 센싱 노드 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하는 제2 클램핑부와,

상기 제2 센싱 노드에 제2 보상 전류를 제공하는 제2 보상부와,

상기 제2 센싱 노드에 연결되어, 상기 제2 센싱 노드의 레벨 변화를 센싱하는 제2 센스 앰프를 포함하고,

상기 리드 구간동안, 상기 제2 클램핑 바이어스는 시간에 따라 변경되는,

비휘발성 반도체 장치.

청구항 15

제1 보호 전류가 흘러들어오고, 셀 전류가 흘러나가는 제1 센싱 노드;

상기 셀 전류가 흐르는 저항성 메모리 셀;

상기 제1 센싱 노드의 전압 레벨을 센싱하는 제1 센스 앰프;

제2 보호 전류가 흘러들어오고, 레퍼런스 전류가 흘러나가는 제2 센싱 노드;

상기 레퍼런스 전류가 흐르는 레퍼런스 저항; 및

상기 제2 센싱 노드의 전압 레벨을 센싱하는 제2 센스 앰프를 포함하고,

상기 제2 센싱 노드의 전압 레벨에 따라 상기 제2 센스 앰프의 출력값이 트랜지션될 때, 상기 제1 센스 앰프가 인에이블되어 상기 제1 센싱 노드의 전압 레벨을 센싱하는 비휘발성 메모리 장치.

청구항 16

제 15항에 있어서,

상기 제1 센싱 노드와 상기 저항성 메모리 셀 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하는 제1 클램핑부를 더 포함하고, 상기 제1 클램핑 바이어스는 시간에 따라 증가하는 비휘발성 메모리 장치.

청구항 17

제 15항에 있어서,

상기 제2 센싱 노드와 상기 레퍼런스 저항 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하는 제2 클램핑부를 더 포함하고, 상기 제2 클램핑 바이어스는 시간에 따라 증가하는 비휘발성 메모리 장치.

청구항 18

저항성 메모리 셀과 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하고, 상기 제1 클램핑 바이어스는 시간에 따라 증가하는 제1 클램핑부;

레퍼런스 저항과 제2 센싱 노드 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하고, 상기 제2 클램핑 바이어스는 시간에 따라 증가하는 제2 클램핑부;

상기 제2 센싱 노드의 전압 레벨을 센싱하여, 레퍼런스 출력 신호를 출력하는 제2 센스 앰프;

상기 레퍼런스 출력 신호를 기초로 인에이블 신호를 출력하는 연산기; 및

상기 인에이블 신호에 응답하여, 상기 제1 센싱 노드의 전압 레벨을 센싱하는 제1 센스 앰프를 포함하는 비휘발

성 메모리 장치.

청구항 19

저항성 메모리 셀;

제1 내지 제 n (단, n 은 자연수) 레퍼런스 출력신호를 생성하는 제1 내지 제 n 레퍼런스 블록으로서, 상기 제 k (단, $1 \leq k \leq n$) 레퍼런스 블록은

제 k 레퍼런스 저항과,

제 k 센싱 노드와,

상기 제 k 레퍼런스 저항과 상기 제 k 센싱 노드 사이에 연결되고, 상기 제 k 레퍼런스 저항에 클램핑 바이어스를 제공하고, 상기 클램핑 바이어스는 시간에 따라 증가하는 제 k 클램핑부와,

상기 제 k 센싱 노드에 보상 전류를 제공하는 제 k 보상부와,

상기 제 k 센싱 노드의 레벨 변화를 센싱하여 제 k 레퍼런스 출력 신호를 제공하는 제 k 센스 앰프를 포함하고,

상기 제1 내지 제 n 레퍼런스 출력신호를 기초로, n 회 인에이블되어 상기 저항성 메모리 셀의 저항값을 리드하기 위한 메인 센스 앰프를 포함하는 비휘발성 메모리 장치.

청구항 20

멀티비트를 저장하는 저항성 메모리 셀과, 제1 센싱 노드와, 상기 저항성 메모리 셀과 상기 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하는 제1 클램핑부와, 상기 제1 센싱 노드에 제1 보상 전류를 제공하는 제1 보상부와, 상기 제1 센싱 노드에 연결되어, 상기 제1 센싱 노드의 레벨 변화를 센싱하는 제1 센스 앰프를 포함하는 비휘발성 메모리 장치를 제공하고,

리드 구간 동안, 상기 제1 보상 전류는 일정하게 유지하고, 상기 제1 클램핑 바이어스는 시간에 따라 변경되도록 하고,

상기 제1 센스 앰프는 다수회 액티브되는 인에이블 신호에 따라 인에이블되어 상기 제1 센싱 노드의 레벨 변화를 센싱하고,

상기 비휘발성 메모리 장치는, 상기 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하고, 상기 인에이블 신호 생성부는

레퍼런스 저항과,

제2 센싱 노드와,

상기 레퍼런스 저항과 상기 제2 센싱 노드 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하는 제2 클램핑부와,

상기 제2 센싱 노드에 제2 보상 전류를 제공하는 제2 보상부와,

상기 제2 센싱 노드에 연결되어, 상기 제2 센싱 노드의 레벨 변화를 센싱하는 제2 센스 앰프를 포함하고,

상기 리드 구간동안, 상기 제2 클램핑 바이어스는 시간에 따라 변경되는,

비휘발성 메모리 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 저항체를 이용한 비휘발성 메모리 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 저항체(resistance material)를 이용한 비휘발성 메모리 장치에는 상변화 메모리 장치(PRAM: Phase change

Random Access Memory), 저항 메모리 장치(RRAM: Resistive RAM), 자기 메모리 장치(MRAM: Magnetic RAM) 등 있다. 동적 메모리 장치(DRAM: Dynamic RAM)나 플래시 메모리 장치는 전하(charge)를 이용하여 데이터를 저장하는 반면, 저항체를 이용한 비휘발성 메모리 장치는 셀코제나이드 합금(chalcogenide alloy)과 같은 상변화 물질의 상태 변화(PRAM), 가변 저항체의 저항 변화(RRAM), 강자성체의 자화상태에 따른 MTJ(Magnetic Tunnel Junction) 박막의 저항 변화(MRAM) 등을 이용하여 데이터를 저장한다.

[0003] 여기서, 상변화 메모리 셀을 예를 들어 설명하면, 상변화 물질은 가열 후 냉각되면서 결정 상태 또는 비정질 상태로 변화되는데, 결정 상태의 상변화 물질은 저항이 낮고 비정질 상태의 상변화 물질은 저항이 높다. 따라서, 결정 상태는 셋(set) 데이터 또는 0데이터로 정의하고 비정질 상태는 리셋(reset) 데이터 또는 1데이터로 정의할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하려는 과제는, 리드 신뢰성이 향상된 비휘발성 메모리 장치를 제공하는 것이다.

[0005] 본 발명이 해결하려는 다른 과제는, 리드 신뢰성이 향상된 비휘발성 메모리 장치의 구동 방법을 제공하는 것이다.

[0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 일 면(aspect)은 저항성 메모리 셀; 제1 센싱 노드; 상기 저항성 메모리 셀과 상기 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하고, 상기 제1 클램핑 바이어스는 시간에 따라 변경되는 제1 클램핑부; 상기 제1 센싱 노드에 보상 전류를 제공하는 제1 보상부; 및 상기 제1 센싱 노드에 연결되어, 상기 제1 센싱 노드의 레벨 변화를 센싱하는 제1 센스 앰프를 포함하되, 상기 저항성 메모리 셀에 제1 데이터가 저장된 경우, 상기 제1 클램핑 바이어스의 제공시작 시점부터 제1 시간 후에, 상기 제1 센스 앰프의 출력값은 트랜지션(transition)되고, 상기 저항성 메모리 셀에 상기 제1 데이터와 다른 제2 데이터가 저장된 경우, 상기 제1 클램핑 바이어스의 제공시작 시점부터 상기 제1 시간과 다른 제2 시간 후에, 상기 제1 센스 앰프의 출력값은 트랜지션된다.

[0008] 상기 제1 센스 앰프는 상기 리드 구간 동안 다수회 액티브되는 인에이블 신호에 응답하여, 다수회 동작할 수 있다.

[0009] 상기 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하고, 상기 인에이블 신호 생성부는 다수의 레퍼런스 저항을 포함하고, 상기 레퍼런스 저항의 저항값에 대응하여 상기 인에이블 신호의 액티브 시점이 달라질 수 있다.

[0010] 상기 리드 구간은 노말(normal) 리드 구간이고, 상기 레퍼런스 저항은 저항성 메모리 셀을 포함할 수 있다.

[0011] 상기 리드 구간은 베리파이(verify) 리드 구간이고, 상기 레퍼런스 저항은 폴리실리콘(polysilicon)을 포함할 수 있다.

[0012] 상기 인에이블 신호 생성부는 다수의 레퍼런스 출력신호를 생성하는 다수의 레퍼런스 블록과, 상기 다수의 레퍼런스 출력신호를 제공받아 상기 인에이블 신호를 출력하는 연산기를 포함할 수 있다.

[0013] 상기 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하고, 상기 인에이블 신호 생성부는 레퍼런스 저항과, 제2 센싱 노드와, 상기 레퍼런스 저항과 상기 제2 센싱 노드 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하는 제2 클램핑부와, 상기 제2 센싱 노드에 제2 보상 전류를 제공하는 제2 보상부와, 상기 제2 센싱 노드에 연결되어, 상기 제2 센싱 노드의 레벨 변화를 센싱하는 제2 센스 앰프를 포함하고, 상기 리드 구간동안, 상기 제2 클램핑 바이어스는 시간에 따라 변경될 수 있다.

[0014] 상기 제1 보상 전류와 상기 제2 보상 전류는 서로 동일할 수 있다.

[0015] 상기 제1 클램핑 바이어스와 상기 제2 클램핑 바이어스는 서로 동일할 수 있다.

[0016] 상기 제1 보상부는 상기 제1 보상 전류의 크기를 조절하여, 상기 제1 센스 앰프의 인에이블 시점을 조절할 수

있다.

- [0017] 상기 제1 클램핑 바이어스는 시간에 따라 k 차 함수(단, k 는 자연수) 형태로 증가할 수 있다.
- [0018] 상기 제1 클램핑 바이어스는 시간에 따라 계단형태로 증가할 수 있다.
- [0019] 상기 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 다른 면은 멀티비트를 저장하는 저항성 메모리 셀; 제1 센싱 노드; 상기 저항성 메모리 셀과 상기 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하는 제1 클램핑부; 상기 제1 센싱 노드에 제1 보상 전류를 제공하는 제1 보상부; 및 상기 제1 센싱 노드에 연결되어, 상기 제1 센싱 노드의 레벨 변화를 센싱하는 제1 센스 앰프를 포함하되, 리드 구간 동안, 상기 제1 보상 전류는 일정하고 상기 제1 클램핑 바이어스는 시간에 따라 변경되고 상기 제1 센스 앰프는 다수회 인에이블되어 상기 제1 센싱 노드의 레벨 변화를 센싱한다.
- [0020] 상기 제1 센스 앰프는 상기 리드 구간 동안 다수회 액티브되는 인에이블 신호에 응답하여, 다수회 동작할 수 있다.
- [0021] 상기 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하고, 상기 인에이블 신호 생성부는 다수의 레퍼런스 저항을 포함하고, 상기 레퍼런스 저항의 저항값에 대응하여 상기 인에이블 신호의 액티브 시점이 달라질 수 있다.
- [0022] 상기 리드 구간은 노말(normal) 리드 구간이고, 상기 레퍼런스 저항은 저항성 메모리 셀을 포함할 수 있다.
- [0023] 상기 리드 구간은 베리파이(verify) 리드 구간이고, 상기 레퍼런스 저항은 폴리실리콘(polysilicon)을 포함할 수 있다.
- [0024] 상기 인에이블 신호 생성부는 다수의 레퍼런스 출력신호를 생성하는 다수의 레퍼런스 블록과, 상기 다수의 레퍼런스 출력신호를 제공받아 상기 인에이블 신호를 출력하는 연산기를 포함할 수 있다.
- [0025] 상기 인에이블 신호를 생성하는 인에이블 신호 생성부를 더 포함하고, 상기 인에이블 신호 생성부는 레퍼런스 저항과, 제2 센싱 노드와, 상기 레퍼런스 저항과 상기 제2 센싱 노드 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하는 제2 클램핑부와, 상기 제2 센싱 노드에 제2 보상 전류를 제공하는 제2 보상부와, 상기 제2 센싱 노드에 연결되어, 상기 제2 센싱 노드의 레벨 변화를 센싱하는 제2 센스 앰프를 포함하고, 상기 리드 구간동안, 상기 제2 클램핑 바이어스는 시간에 따라 변경될 수 있다.
- [0026] 상기 제1 보상부는 상기 제1 보상 전류의 크기를 조절하여, 상기 제1 센스 앰프의 인에이블 시점을 조절할 수 있다.
- [0027] 상기 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 또 다른 면은 제1 보호 전류가 흘러 들어오고, 셀 전류가 흘러나가는 제1 센싱 노드; 상기 셀 전류가 흐르는 저항성 메모리 셀; 상기 제1 센싱 노드의 전압 레벨을 센싱하는 제1 센스 앰프; 제2 보호 전류가 흘러 들어오고, 레퍼런스 전류가 흘러나가는 제2 센싱 노드; 상기 레퍼런스 전류가 흐르는 레퍼런스 저항; 및 상기 제2 센싱 노드의 전압 레벨을 센싱하는 제2 센스 앰프를 포함하고, 상기 제2 센싱 노드의 전압 레벨에 따라 상기 제2 센스 앰프의 출력값이 트랜지션될 때, 상기 제1 센스 앰프가 인에이블되어 상기 제1 센싱 노드의 전압 레벨을 센싱할 수 있다.
- [0028] 상기 제1 센싱 노드와 상기 저항성 메모리 셀 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하는 제1 클램핑부를 더 포함하고, 상기 제1 클램핑 바이어스는 시간에 따라 증가할 수 있다.
- [0029] 상기 제2 센싱 노드와 상기 레퍼런스 저항 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하는 제2 클램핑부를 더 포함하고, 상기 제2 클램핑 바이어스는 시간에 따라 증가할 수 있다.
- [0030] 상기 제1 클램핑 바이어스와 상기 제2 클램핑 바이어스는 동일할 수 있다.
- [0031] 상기 제1 클램핑 바이어스와 상기 제2 클램핑 바이어스는 시간에 따라 k 차 함수(단, k 는 자연수) 형태로 증가할 수 있다.
- [0032] 상기 제1 클램핑 바이어스와 상기 제2 클램핑 바이어스는 시간에 따라 계단 형태로 증가할 수 있다.
- [0033] 상기 제1 보호 전류는 일정하고, 상기 셀 전류는 시간에 따라 증가할 수 있다.
- [0034] 상기 제2 보호 전류는 일정하고, 상기 레퍼런스 전류는 시간에 따라 증가할 수 있다.
- [0035] 제1 보호 전류와 상기 제2 보호 전류는 서로 동일한 크기일 수 있다.

- [0036] 상기 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 또 다른 면은 저항성 메모리 셀과 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하고, 상기 제1 클램핑 바이어스는 시간에 따라 증가하는 제1 클램핑부; 레퍼런스 저항과 제2 센싱 노드 사이에 연결되고, 상기 레퍼런스 저항에 제2 클램핑 바이어스를 제공하고, 상기 제2 클램핑 바이어스는 시간에 따라 증가하는 제2 클램핑부; 상기 제2 센싱 노드의 전압 레벨을 센싱하여, 레퍼런스 출력 신호를 출력하는 제2 센스 앰프; 상기 레퍼런스 출력 신호를 기초로 인에이블 신호를 출력하는 연산기; 및 상기 인에이블 신호에 응답하여, 상기 제1 센싱 노드의 전압 레벨을 센싱하는 제1 센스 앰프를 포함할 수 있다.
- [0037] 상기 제1 센싱 노드와 상기 제2 센싱 노드에 각각 동일한 보상 전류를 제공하는 보상부를 더 포함할 수 있다.
- [0038] 상기 제1 클램핑 바이어스와 상기 제2 클램핑 바이어스는 서로 동일할 수 있다.
- [0039] 상기 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 일 면은 저항성 메모리 셀; 제1 내지 제 n (단, n 은 자연수) 레퍼런스 출력신호를 생성하는 제1 내지 제 n 레퍼런스 블록으로서, 상기 제 k (단, $1 \leq k \leq n$) 레퍼런스 제 k 레퍼런스 저항과, 제 k 센싱 노드와, 상기 제 k 레퍼런스 저항과 상기 제 k 센싱 노드 사이에 연결되고, 상기 제 k 레퍼런스 저항에 클램핑 바이어스를 제공하고, 상기 클램핑 바이어스는 시간에 따라 증가하는 제 k 클램핑부와, 상기 제 k 센싱 노드에 보상 전류를 제공하는 제 k 보상부와, 상기 제 k 센싱 노드의 레벨 변화를 센싱하여 제 k 레퍼런스 출력 신호를 제공하는 제 k 센스 앰프를 포함하고, 상기 제1 내지 제 n 레퍼런스 출력신호를 기초로, n 회 인에이블되어 상기 저항성 메모리 셀의 저항값을 리드하기 위한 메인 센스 앰프를 포함할 수 있다.
- [0040] 상기 제1 내지 제 n 레퍼런스 출력신호를 기초로 인에이블 신호를 출력하는 연산기를 더 포함하고, 상기 메인 센스 앰프는 상기 인에이블 신호를 기초로 동작할 수 있다.
- [0041] 상기 메인 센스 앰프는 노말(normal) 리드 구간에서 동작하고, 상기 제 k 레퍼런스 저항은 저항성 메모리 셀을 포함할 수 있다.
- [0042] 상기 메인 센스 앰프는 베리파이(verify) 리드 구간에서 동작하고, 상기 제 k 레퍼런스 저항은 폴리실리콘(polysilicon)을 포함할 수 있다.
- [0043] 상기 다른 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 구동 방법의 일 면은 멀티비트를 저장하는 저항성 메모리 셀과, 제1 센싱 노드와, 상기 저항성 메모리 셀과 상기 제1 센싱 노드 사이에 연결되고, 상기 저항성 메모리 셀에 제1 클램핑 바이어스를 제공하는 제1 클램핑부와, 상기 제1 센싱 노드에 제1 보상 전류를 제공하는 제1 보상부와, 상기 제1 센싱 노드에 연결되어, 상기 제1 센싱 노드의 레벨 변화를 센싱하는 제1 센스 앰프를 포함하는 비휘발성 메모리 장치를 제공하고, 리드 구간 동안, 상기 제1 보상 전류는 일정하게 유지하고, 상기 제1 클램핑 바이어스는 시간에 따라 변경되도록 하고, 상기 제1 센스 앰프는 다수회 인에이블되어 상기 제1 센싱 노드의 레벨 변화를 센싱할 수 있다.
- [0044] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0045] 도 1a는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다.
- 도 1b 및 도 1c는 도 1a의 메모리 셀 어레이를 설명하기 위한 도면이다.
- 도 2 및 도 3은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치에서 사용되는 저항성 메모리 셀의 저항 분포를 설명하기 위한 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다.
- 도 5는 도 4의 비휘발성 메모리 장치의 예시적인 회로도이다.
- 도 6는 도 4의 인에이블 신호 생성부의 예시적인 블록도이다.
- 도 7은 도 4의 인에이블 신호 생성부의 예시적인 타이밍도이다.
- 도 8 내지 도 10은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 타이밍도이다.
- 도 11은 도 6의 레퍼런스 블록의 예시적인 회로도이다.

도 12는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 타이밍도이다.

도 13은 도 6의 레퍼런스 블록의 다른 예시적인 회로도이다.

도 14는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 회로도이다.

도 15는 도 14의 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 타이밍도이다.

도 16 내지 도 18은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치에서 사용할 수 있는 제1 클램핑 바이어스의 예이다.

도 19 내지 도 23은 본 발명의 몇몇 실시예에 따른 메모리 시스템을 설명하기 위한 도면이다.

도 24는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 예시적 블록도이다.

도 25은 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 다른 예시적 블록도이다.

도 26은 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 또 다른 예시적 블록도이다.

도 27는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 또 다른 예시적 블록도이다.

도 28는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 또 다른 예시적 블록도이다.

도 29는 SCM이 사용된 메모리 시스템을 도시한 예시적 블록도이다.

도 30은 SCM이 사용된 메모리 시스템을 도시한 다른 예시적 블록도이다.

도 31은 SCM이 사용된 메모리 시스템을 도시한 다른 예시적 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0046] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0047] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "연결된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 연결된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 연결된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0048] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0049] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0050] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해

석되지 않는다.

- [0051] 이하, 본 발명의 실시예들은 상변화 메모리 장치(PRAM: Phase change Random Access Memory)를 이용하여 설명할 것이다. 그러나, 본 발명은 저항 메모리 장치(RRAM: Resistive RAM), 자기 메모리 장치(MRAM: Magnetic RAM) 과 같이 저항체를 이용한 비휘발성 메모리 장치에 모두 적용될 수 있음은 본 발명이 속하는 기술의 당업자에게 자명하다.
- [0052] 도 1a는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다. 도 1a에서는 설명의 편의를 위해서 16개의 메모리 뱅크로 구성된 비휘발성 메모리 장치를 예로 드나, 이에 한정되는 것은 아니다.
- [0053] 도 1a를 참조하면, 본 발명의 실시예들에 따른 비휘발성 메모리 장치는 메모리 셀 어레이, 다수의 센스 앰프 및 라이트 드라이버(2_1~2_8), 주변 회로 영역(3)을 포함한다.
- [0054] 메모리 셀 어레이는 다수의 메모리 뱅크(1_1~1_16)로 구성될 수 있고, 각 메모리 뱅크(1_1~1_16)는 각각 다수의 메모리 블록(BLK0~BLK7)으로 구성될 수 있고, 각 메모리 블록(1_1~1_16)은 매트릭스 형태로 배열된 다수의 비휘발성 메모리 셀을 포함한다. 본 발명의 실시예들에서는, 메모리 블록이 8개씩 배치된 경우를 예로 들었으나, 이에 한정되는 것은 아니다.
- [0055] 또한, 도면에는 자세히 도시하지 않았으나, 메모리 뱅크(1_1~1_16)에 대응하여 라이트/리드하려는 저항성 메모리 셀의 행 및 열을 각각 지정하는 로우 선택 회로 및 컬럼 선택 회로가 배치된다.
- [0056] 센스 앰프 및 라이트 드라이버(2_1~2_8)은 2개의 메모리 뱅크(1_1~1_16)에 대응하여 배치되어, 대응하는 메모리 뱅크에서의 리드 및 라이트 동작을 한다. 본 발명의 실시예들에서는, 센스 앰프 및 라이트 드라이버(2_1~2_8)가 2개의 메모리 뱅크(1_1~1_16)에 대응되는 경우를 예로 들었으나, 이에 한정되는 것은 아니다. 즉, 센스 앰프 및 라이트 드라이버(2_1~2_8)는 1개 또는 4개의 메모리 뱅크 등에 대응하여 배치되어도 무방하다.
- [0057] 주변 회로 영역(3)에는 상기 컬럼 선택 회로, 로우 선택 회로, 센스 앰프 및 라이트 드라이버(2_1~2_8) 등을 동작시키기 위한 다수의 로직 회로 블록과 전압 생성부가 배치될 수 있다.
- [0058] 도 1b 및 도 1c는 도 1a의 메모리 셀 어레이를 설명하기 위한 도면이다.
- [0059] 도 1b를 참조하면, 메모리 셀 어레이는 크로스 포인트 구조(cross point structure)를 가질 수 있다. 크로스 포인트 구조는 하나의 라인과 다른 라인이 서로 교차되는 영역에, 하나의 메모리 셀이 형성되어 있는 구조를 의미한다. 예를 들어, 비트 라인(BL1_1~BL4_1)이 제1 방향으로 연장되어 형성되고, 워드 라인(WL1_1~WL3_1)이 상기 비트 라인(BL1_1~BL4_1)과 서로 교차되도록 제2 방향으로 연장되어 형성되고, 각 비트 라인(BL1_1~BL4_1)과 각 워드 라인(WL1_1~WL3_1)이 교차되는 영역에 저항성 메모리 셀(MC)이 형성될 수 있다.
- [0060] 또는, 메모리 셀 어레이는 도 1c에 도시된 것과 같이, 3차원 적층 구조를 가질 수도 있다. 3차원 적층 구조는 다수의 메모리 셀 레이어(111_1~111_8)가 수직으로 적층된 형태를 의미한다. 도면에서는 8개의 메모리 셀 레이어(111_1~111_8)가 적층된 것을 예로 들고 있으나, 이에 한정되는 것은 아니다. 여기서, 각 메모리 셀 레이어(111_1~111_8)는 다수의 메모리 셀 그룹 및/또는 다수의 리던던시 메모리 셀 그룹을 포함할 수 있다. 메모리 셀 어레이가 3차원 적층 구조일 경우, 각 메모리 셀 레이어(111_1~111_8)는 도 1b에 도시된 크로스 포인트 구조일 수 있으나, 이에 한정되는 것은 아니다.
- [0061] 도 2 및 도 3은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치에서 사용되는 저항성 메모리 셀의 저항 분포를 설명하기 위한 도면이다.
- [0062] 먼저, 도 2를 참조하면, 저항성 메모리 셀은 멀티비트 셀일 수 있다. 저항성 메모리 셀은 제1 데이터 내지 제4 데이터(S, R1, R2, R3) 중 어느 하나를 저장할 수 있다. 도 2에 도시된 저항 분포는, 라이트 동작 직후의 분포일 수 있다.
- [0063] 제1 데이터(S) 내지 제4 데이터(R3) 각각은 제1 내지 제4 저항 레벨(L1, L2, L3, L4)에 대응될 수 있다. 제1 내지 제4 저항 레벨(L1, L2, L3, L4) 순서로, 저항값이 증가할 수 있다. 예를 들어, 제1 저항 레벨(L1)는 RL1보다 작고, 제2 저항 레벨(L2)는 RH1보다 크고 RL2보다 작고, 제3 저항 레벨(L3)는 RH2보다 크고 RL3보다 작고, 제4 저항 레벨(L4)는 RH3보다 크다. 여기서, RL1, RL2, RL3, RH1, RH2, RH3은, 라이트 동작시 라이트가 정확하게 이루어졌는지 확인하는 베리파이 리드(verify read) 동작시 사용되는 기준값일 수 있다.
- [0064] 한편, 도 3에 도시된 저항 분포는, 라이트 동작 후 소정 시간이 경과한 후의 분포일 수 있다. 즉, 제1 데이터(S) 내지 제4 데이터(R3) 각각은 제1 내지 제4 저항 레벨(DL1, DL2, DL3, DL4)에 대응될 수 있다. 도 2에 도시

된 제1 내지 제4 저항 레벨(L1, L2, L3, L4)에 비해서, 도 3에 도시된 제1 내지 제4 저항 레벨(DL1, DL2, DL3, DL4)의 폭이 넓어졌음을 알 수 있다.

[0065] RN1은 제1 저항 레벨(DL1)과 제2 저항 레벨(DL2) 사이에 위치하는 저항값이고, RN2는 제2 저항 레벨(DL2)과 제3 저항 레벨(DL3) 사이에 위치하는 저항값이고, RN3은 제3 저항 레벨(DL3)과 제4 저항 레벨(DL4) 사이에 위치하는 저항값이다. 여기서, RN1 내지 RN3은, 노말 리드(normal read) 동작시 사용되는 기준값일 수 있다. 예를 들어, RN1 보다 작은 저항값을 갖는 저항성 메모리 셀은, 제1 데이터(S)를 저장하는 것으로 볼 수 있다.

[0066] 도 4는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다. 도 5는 도 4의 비휘발성 메모리 장치의 예시적인 회로도이다.

[0067] 우선, 도 4 및 도 5를 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는 저항성 메모리 셀(170), 제1 센싱 노드(SN1), 제1 보상부(140), 제1 클램핑부(160), 제1 센스 앰프(180), 인에이블 신호 생성부(110) 등을 포함할 수 있다.

[0068] 도시된 저항성 메모리 셀(170)은 메모리 셀 어레이 내의 다수의 저항성 메모리 셀 중에서 리드하기 위해 선택된 저항성 메모리 셀을 도시한 것이다. 여기서, 저항성 메모리 셀(170)이 PRAM인 경우에는, 저항성 메모리 셀(170)은 상변화 물질을 구비하는 가변 저항 소자(GST)와, 가변 저항 소자(GST)에 흐르는 전류를 제어하는 액세스 소자(D)를 포함할 수 있다. 여기서, 액세스 소자(D)는 가변 저항 소자(GST)와 직렬로 연결된 다이오드 또는 트랜지스터일 수 있다. 또한, 상변화 물질은 2개의 원소를 화합한 GaSb, InSb, InSe, Sb2Te3, GeTe, 3개의 원소를 화합한 GeSbTe, GaSeTe, InSbTe, SnSb2Te4, InSbGe, 4개의 원소를 화합한 AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te81Ge15Sb2S2 등 다양한 종류의 물질을 사용할 수 있다. 이 중에서 게르마늄(Ge), 안티모니(Sb), 텔루리움(Te)으로 이루어진 GeSbTe를 주로 이용할 수 있다.

[0069] 한편, 저항성 메모리 셀이 RRAM인 경우에는, 가변 저항 소자는 예를 들어, NiO 또는 페로브스카이트(perovskite)를 포함할 수 있다. 페로브스카이트는 망가나이트($\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$, $\text{Pr}_{0.5}\text{Ca}_{0.5}\text{MnO}_3$, 기타 PCMO, LCMO 등), 타이타네이트(STO:Cr), 지르코네이트(SZO:Cr , $\text{Ca}_2\text{Nb}_2\text{O}_7\text{:Cr}$, $\text{Ta}_2\text{O}_5\text{:Cr}$) 등의 조합물(composition)일 수 있다. 가변 저항 소자 내에는 필라멘트가 형성될 수 있고, 필라멘트는 저항성 메모리 셀을 관통하여 흐르는 셀 전류의 전류 경로(current path)가 된다.

[0070] 제1 보상부(140)는 제1 센싱 노드(SN1)에 제1 보상 전류(Ib)를 제공한다. 구체적으로, 보상부(140)는 선택된 저항성 메모리 셀(170)을 관통하여 흐르는 셀 전류(Ic)에 의해 발생하는 제1 센싱 노드(SN1)의 레벨 감소를 보상하기 위해, 제1 센싱 노드(SN1)에 제1 보상 전류(Ib)를 제공한다. 이러한 제1 보상부(140)는 도 5에서 도시된 바와 같이, 전원 전압(VDD)과 제1 센싱 노드(SN1) 사이에 연결된 PMOS 트랜지스터(MP1)와, 전원 전압(VDD)과 접지 전압 사이에 연결된 PMOS 트랜지스터(MP2)와 소오스(S1)를 포함할 수 있다. 2개의 PMOS 트랜지스터(MP1, MP2)는 게이트가 서로 연결되어 있고, 전류 미러(current mirror) 형태일 수 있다.

[0071] 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치에서, 저항성 메모리 셀(170)에 멀티비트가 저장되어 있더라도, 리드 구간 동안, 제1 보상 전류(Ib)는 일정할 수 있다. 예를 들어, 저항성 메모리 셀(170)에 제1 데이터(도 3의 S 참조)가 저장되는지 검토할 때의 제1 보상 전류(Ib)와, 제3 데이터(도 3의 R2 참조)가 저장되었는지 검토할 때의 제1 보상 전류(Ib)는 서로 동일할 수 있다.

[0072] 제1 클램핑부(160)는 저항성 메모리 셀(170)과 제1 센싱 노드(SN1) 사이에 연결되고, 비트 라인의 레벨을 리드하기 적절한 범위 내로 클램핑시킨다. 구체적으로, 상변화 물질의 임계 전압(Vth) 이하의 소정 레벨로 클램핑시킨다. 임계 전압(Vth) 이상의 레벨이 되면, 선택된 저항성 메모리 셀(170)의 상변화 물질의 상이 변화할 수 있기 때문이다. 제1 클램핑부(160)는 도 5에서 도시된 바와 같이, 저항성 메모리 셀(170)과 제1 센싱 노드(SN1) 사이에 연결된 NMOS 트랜지스터(MN1)와, OP 앰프(OP1)를 포함할 수 있다.

[0073] 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치에서, 클램핑부(160)는 저항성 메모리 셀(170)에 제1 클램핑 바이어스(VCMP(t))를 제공한다. 특히, 제1 클램핑 바이어스(VCMP(t))는 리드 구간동안, 시간에 따라 변경된다. 제1 클램핑 바이어스(VCMP(t))의 형상은 여러가지일 수 있다. 예를 들어, 제1 클램핑 바이어스(VCMP(t))는 시간에 따라 증가할 수 있다. 또는, 제1 클램핑 바이어스(VCMP(t))는 시간에 따라 계단 형태로 증가할 수 있고, 또는 시간에 따라 k차 함수(단, k는 자연수) 형태로 증가할 수 있다.

[0074] 제1 센스 앰프(180)는 제1 센싱 노드(SN1)에 연결되고, 제1 센싱 노드(SN1)의 레벨 변화를 센싱한다. 구체적으로, 센스 앰프(180)는 제1 센싱 노드(SN1)의 레벨과 기준 레벨(VR)을 비교하여, 비교 결과를 출력한다. 센스 앰

프(180)는 전류 센스 앰프일 수도 있고, 전압 센스 앰프일 수도 있다.

- [0075] 전술한 것과 같이, 리드 구간 동안, 제1 보상 전류(Ib)는 일정하고 제1 클램핑 바이어스(VCMP(t))는 시간에 따라 변경된다. 이러한 상태에서, 제1 센스 앰프(180)는 리드 구간동안 다수회 액티브되는 인에이블 신호(EN)에 응답하여, 다수회 인에이블될 수 있다.
- [0076] 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치에서, 제1 센스 앰프(180)는 저항성 메모리 셀(170)에 저장된 데이터에 따라서, 제1 센스 앰프(180)의 출력값(SOUT)이 트랜지션(transition)되는 시점이 달라진다.
- [0077] 예를 들어, 저항성 메모리 셀(170)에 제2 데이터(예를 들어, R1)가 저장된 경우, 제1 클램핑 바이어스(VCMP(t))의 제공시작 시점부터 제1 시간 후에, 제1 센스 앰프(180)의 출력값(SOUT)은 트랜지션(transition)될 수 있다(예를 들어, H상태에서 L상태로 트랜지션될 수 있다). 반면, 저항성 메모리 셀(170)에 제2 데이터(예를 들어, R1)와 다른 제3 데이터(예를 들어, R2)가 저장된 경우, 제1 클램핑 바이어스(VCMP(t))의 제공시작 시점부터 상기 제1 시간과 다른 제2 시간 후에, 제1 센스 앰프(180)의 출력값(SOUT)은 트랜지션될 수 있다. 이러한 구체적인 동작에 대해서는, 도 8 내지 도 10을 이용하여 자세히 후술한다.
- [0078] 인에이블 신호 생성부(110)는 리드 구간 동안 다수회 액티브되는 인에이블 신호(EN)를 생성하여, 제1 센스 앰프(180)를 제어할 수 있다. 인에이블 신호 생성부(110)에 대해서는 도 6, 도 7, 도 11 및 도 13을 이용하여 자세히 후술한다.
- [0079] 도 6는 도 4의 인에이블 신호 생성부의 예시적인 블록도이다. 도 7은 도 4의 인에이블 신호 생성부의 예시적인 타이밍도이다.
- [0080] 먼저, 도 6을 참조하면, 인에이블 신호 생성부(110)는 다수의 레퍼런스 블록(112_1~112_n)(단, n은 자연수), 연산기(114) 등을 포함할 수 있다.
- [0081] 다수의 레퍼런스 블록(112_1~112_n)은 다수의 레퍼런스 출력신호(REF1~REFn)를 생성한다. 구체적으로, 다수의 레퍼런스 블록(112_1~112_n)은 다수의 레퍼런스 저항(RR1~RRn)을 포함하고, 다수의 레퍼런스 저항(RR1~RRn)은 서로 다른 저항값을 가질 수 있다. 레퍼런스 저항(RR1~RRn)의 저항값에 대응하여, 레퍼런스 출력신호(REF1~REFn)의 액티브 시점이 달라질 수 있다. 예를 들어, 레퍼런스 저항(예를 들어, RR1)이 작은 경우 레퍼런스 출력신호(예를 들어, REF1)의 액티브 시점은 빠르고, 레퍼런스 저항(예를 들어, RR2)이 큰 경우 레퍼런스 출력신호(예를 들어, REF2)의 액티브 시점은 느려질 수 있다.
- [0082] 연산기(114)는 다수의 레퍼런스 출력신호(REF1~REFn)를 제공받아, 인에이블 신호(EN)를 생성한다. 연산기(114)는 예를 들어, OR 연산자일 수 있다.
- [0083] 도 7을 참조하면, t1 시점에서, 제1 레퍼런스 블록(112_1)의 제1 레퍼런스 출력신호(REF1)는 액티브된다. t2 시점에서, 제2 레퍼런스 블록(112_2)의 제2 레퍼런스 출력신호(REF2)는 액티브된다. 또한, tn 시점에서, 제n 레퍼런스 블록(112_n)의 제n 레퍼런스 출력신호(REFn)는 액티브된다.
- [0084] 제1 레퍼런스 출력신호(REF1) 내지 제n 레퍼런스 출력신호(REFn)가 액티브될 때마다, 인에이블 신호(EN)는 로직 로우에서 로직 하이로 트랜지션(transition)될 수 있다.
- [0085] 도 8 내지 도 10은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 타이밍도이다. 도 8 내지 도 10은 노말 리드(normal read) 동작에 관한 것이다.
- [0086] 도 8은 저항성 메모리 셀(170)에 제2 데이터(R1)가 저장되어 있는 경우의 타이밍도이다.
- [0087] 도 8을 참조하면, t0시점부터 리드 동작이 시작된다. 제1 클램핑 바이어스(VCMP(t))가 인에이블된다. 도시된 것과 같이, 제1 클램핑 바이어스(VCMP(t))의 최초값은 저항성 메모리 셀(170)의 역세스 소자(D)의 문턱전압(V_{THD})일 수 있다. 제1 보상 전류(Ib)는 일정한 상태를 유지하고, 제1 클램핑 바이어스(VCMP(t))는 시간에 따라서 증가한다. 제1 클램핑 바이어스(VCMP(t))가 증가함에 따라서, 저항성 메모리 셀(170)을 관통하는 셀 전류(Ic)가 증가하기 시작한다. 한편, 제1 보상 전류(Ib)가 셀 전류(Ic)보다 클 때, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 하이로 유지한다.
- [0088] 이어서, t1 시점이 되면, 증가하던 셀 전류(Ic)는 제1 보상 전류(Ib)만큼 증가하고, 결국 제1 보상 전류(Ib)보다 커지게 된다. 따라서, 제1 센싱 노드(SN1)의 레벨이 변화하기 시작한다. 이 때, 인에이블 신호(EN)는 액티브 상태가 된다. 인에이블 신호(EN)에 응답하여 제1 센스 앰프(180)는 인에이블되어, 제1 센싱 노드(SN1)의 레벨 변화를 센싱한다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 하이에서 로직 로우로 트랜지션한다. 제1

센스 앰프(180)의 출력단과 인코더(encoder)가 연결되어 있다. 인코더는 제1 센스 앰프(180)의 출력값(SOUT)을 기초로 하여, 데이터 출력(DQ)으로서 로직 로우(L)를 출력한다.

- [0089] 여기서, 저항성 메모리 셀(170)에 제2 데이터(R1)가 저장되어 있는 경우, 제1 클램핑 바이어스(VCMP(t))의 제공 시작 시점(t0)부터 제1 시간(A) 후에, 제1 센스 앰프(180) 출력값(SOUT)은 트랜지션(transition)된다.
- [0090] 이어서, t2 시점이 되면, 다시 인에이블 신호(EN)는 액티브 상태가 된다. 인에이블 신호(EN)에 응답하여 제1 센스 앰프(180)는 인에이블된다. 제1 클램핑 바이어스(VCMP(t))가 증가하기 때문에 셀 전류(Ic)는 증가하고, 여전히 제1 보상 전류(Ib)보다 셀 전류(Ic)가 크다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 로우 상태를 그대로 유지한다. 또한, 인코더는 로직 로우를 출력한다.
- [0091] 이어서, t3 시점이 되면, 다시 인에이블 신호(EN)는 액티브 상태가 된다. 인에이블 신호(EN)에 응답하여 제1 센스 앰프(180)는 인에이블된다. 제1 클램핑 바이어스(VCMP(t))가 증가하기 때문에 셀 전류(Ic)는 증가하고, 여전히 제1 보상 전류(Ib)보다 셀 전류(Ic)가 크다. 제1 클램핑 바이어스(VCMP(t))는 저항성 메모리 셀(170)의 상변화 물질의 상이 변하지 않는 범위까지 증가한다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 로우 상태를 그대로 유지한다. 또한, 인코더는 로직 로우를 출력한다.
- [0092] 결과적으로, 저항성 메모리 셀(170)에 제2 데이터(R1)이 저장되어 있는 경우, 인코더는 LLL을 출력할 수 있다.
- [0093] 도 9는 저항성 메모리 셀(170)에 제3 데이터(R2)가 저장되어 있는 경우의 타이밍도이다. 도 8을 이용하여 설명한 것과 실질적으로 동일한 내용은 생략한다.
- [0094] 도 9를 참조하면, t0시점부터 리드 동작이 시작된다. 제1 보상 전류(Ib)는 일정한 상태를 유지하고, 제1 클램핑 바이어스(VCMP(t))는 시간에 따라서 증가한다. 제1 클램핑 바이어스(VCMP(t))가 증가함에 따라서, 셀 전류(Ic)가 증가하기 시작한다. 하지만, 제1 보상 전류(Ib)가 셀 전류(Ic)보다 크기 때문에, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 하이를 유지한다.
- [0095] 이어서, t1 시점이 되어도, 제1 보상 전류(Ib)가 셀 전류(Ic)보다 크다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 하이를 유지한다.
- [0096] 이어서, t2 시점이 되면, 증가하던 셀 전류(Ic)는 제1 보상 전류(Ib)만큼 증가하고, 결국 제1 보상 전류(Ib)보다 커지게 된다. 따라서, 제1 센싱 노드(SN1)의 레벨이 변화하기 시작한다. 이 때, 인에이블 신호(EN)는 액티브 상태가 된다. 인에이블 신호(EN)에 응답하여 제1 센스 앰프(180)는 인에이블되어, 제1 센싱 노드(SN1)의 레벨 변화를 센싱한다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 하이에서 로직 로우로 트랜지션한다. 인코더(encoder)는 제1 센스 앰프(180)의 출력값(SOUT)을 기초로 하여, 데이터 출력(DQ)으로서 로직 로우(L)를 출력한다.
- [0097] 여기서, 저항성 메모리 셀(170)에 제3 데이터(R2)가 저장되어 있는 경우, 제1 클램핑 바이어스(VCMP(t))의 제공 시작 시점(t0)부터 제2 시간(B) 후에, 제1 센스 앰프(180)의 출력값(SOUT)은 트랜지션(transition)된다.
- [0098] 이어서, t3 시점이 되면, 인에이블 신호(EN)는 액티브 상태가 된다. 인에이블 신호(EN)에 응답하여 제1 센스 앰프(180)는 인에이블된다. 제1 클램핑 바이어스(VCMP(t))가 증가하기 때문에 셀 전류(Ic)는 증가하고, 여전히 제1 보상 전류(Ib)보다 셀 전류(Ic)가 크다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 로우 상태를 그대로 유지한다. 또한, 인코더는 로직 로우를 출력한다.
- [0099] 결과적으로, 저항성 메모리 셀(170)에 제3 데이터(R2)이 저장되어 있는 경우, 인코더는 HLL을 출력할 수 있다.
- [0100] 도 10은 저항성 메모리 셀(170)에 제4 데이터(R3)가 저장되어 있는 경우의 타이밍도이다. 도 8을 이용하여 설명한 것과 실질적으로 동일한 내용은 생략한다.
- [0101] 도 10을 참조하면, t0시점부터 리드 동작이 시작된다. 제1 보상 전류(Ib)는 일정한 상태를 유지하고, 제1 클램핑 바이어스(VCMP(t))는 시간에 따라서 증가한다. 제1 클램핑 바이어스(VCMP(t))가 증가함에 따라서, 셀 전류(Ic)가 증가하기 시작한다.
- [0102] 이어서, t1 시점, t2 시점이 되어도, 제1 보상 전류(Ib)가 셀 전류(Ic)보다 크다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 하이를 유지한다.
- [0103] 이어서, t3 시점이 되면, 증가하던 셀 전류(Ic)는 제1 보상 전류(Ib)만큼 증가하고, 결국 제1 보상 전류(Ib)보다 커지게 된다. 따라서, 제1 센싱 노드(SN1)의 레벨이 변화하기 시작한다. 이 때, 인에이블 신호(EN)는 액티브

상태가 된다. 인에이블 신호(EN)에 응답하여 제1 센스 앰프(180)는 인에이블되어, 제1 센싱 노드(SN1)의 레벨 변화를 센싱한다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 하이에서 로직 로우로 트랜지션한다. 인코더(encoder)는 제1 센스 앰프(180)의 출력값(SOUT)을 기초로 하여, 데이터 출력(DQ)으로서 로직 로우(L)를 출력한다.

[0104] 여기서, 저항성 메모리 셀(170)에 제4 데이터(R3)가 저장되어 있는 경우, 제1 클램핑 바이어스(VCMP(t))의 제공 시작 시점(t0)부터 제3 시간(C) 후에, 제1 센스 앰프(180) 출력값(SOUT)은 트랜지션(transition)된다.

[0105] 결과적으로, 저항성 메모리 셀(170)에 제4 데이터(R3)이 저장되어 있는 경우, 인코더는 HHL을 출력할 수 있다.

[0106] 여기서, 도 8 내지 도 10을 참조하면, 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치는, 저항성 메모리 셀(170)에 저장되어 있는 데이터에 따라서, 제1 센스 앰프(180)의 출력값(SOUT)의 트랜지션 시점이 달라진다(도 8의 A, 도 9의 B, 도 10의 C 참조).

[0107] 또한, 저항성 메모리 셀(170)에 저장되어 있는 데이터에 따라서, 제1 센스 앰프(180)의 출력단과 연결된 인코더는 서로 다른 로직값을 출력한다. 즉, 저항성 메모리 셀에 저장된 데이터에 따라, LLL, HLL, HHL, HHH 등을 출력할 수 있다.

[0108] 도 8 내지 도 10에서 설명한 것과 같이, 노말 리드 동작 중에, 제1 센싱 노드(SN1)의 레벨 변화되는 시점에, 인에이블 신호(EN)를 액티브 상태가 된다. 이러한 인에이블 신호(EN)를 생성하기 위해서, 인에이블 신호 생성부(110)의 레퍼런스 저항(RR1~RRn)으로 저항성 메모리 셀을 사용할 수 있다. 특히, 노말 리드 동작시에는, 레퍼런스 저항(RR1~RRn)을 저항성 메모리 셀로 이용할 수 있으나, 이에 한정되지 않는다. 도 2 및 도 3을 이용하여 설명한 것과 같이, 라이트 동작 후 소정 시간이 지나면, 저항성 메모리 셀(170)이 열화되어, 저항성 메모리 셀(170)의 저항값이 변경될 수 있다. 따라서, 이러한 변경을 고려하여 인에이블 신호(EN)를 액티브하기 위해서, 레퍼런스 저항(RR1~RRn)으로 저항성 메모리 셀을 이용할 수 있다. 저항성 메모리 셀을 포함하는 레퍼런스 블록을 도 11을 이용하여 설명한다.

[0109] 도 11은 도 6의 레퍼런스 블록의 예시적인 회로도이다.

[0110] 도 11을 참조하면, 레퍼런스 블록(예를 들어, 112_1)은 레퍼런스 저항(RR1~RRn), 제2 센싱 노드(SN2), 제2 클램핑부(260), 제2 보상부(240), 제2 센스 앰프(280) 등을 포함할 수 있다.

[0111] 레퍼런스 저항(예를 들어, RR1)은 저항성 메모리 셀(170)과 동일한 구성일 수 있다. 즉, 레퍼런스 저항(RR1)은 상변화 물질을 구비하는 가변 저항 소자(GST)와, 가변 저항 소자(GST)에 흐르는 전류를 제어하는 액세스 소자(D)를 포함할 수 있다.

[0112] 제2 보상부(240)는 제2 센싱 노드(SN2)에 제2 보상 전류(Ib2)를 제공할 수 있다. 제2 보상부(240)는 전원 전압(VDD)과 제2 센싱 노드(SN2) 사이에 연결된 PMOS 트랜지스터(MP3)를 포함하고, PMOS 트랜지스터(MP3)의 게이트는 제1 보상부(140)의 노드(N2)에 연결된다. 즉, 제1 보상부(140)의 PMOS 트랜지스터(MP1, MP2), 제2 보상부(240)의 PMOS 트랜지스터(MP3)는 동일한 노드에 연결될 수 있다. 따라서, 제1 보상 전류(Ib)와 제2 보상 전류(Ib2)는 동일할 수 있다. 즉, 멀티비트가 저장된 저항성 메모리 셀(170)에 저장된 데이터를 리드하는 동안, 제1 보상 전류(Ib)과 제2 보상 전류(Ib2)는 일정할 수 있다.

[0113] 제2 클램핑부(260)는 레퍼런스 저항(RR1)과 제2 센싱 노드(SN2) 사이에 연결된다. 제2 클램핑부(260)는 NMOS 트랜지스터(MN2)와, OP 앰프(OP2)를 포함할 수 있다. 여기서, 제2 클램핑부(260)는 레퍼런스 저항(RR1~RRn)에 제2 클램핑 바이어스(VCMP2(t))를 제공한다. 제2 클램핑 바이어스(VCMP2(t))는 리드 구간동안, 시간에 따라 변경된다. 제2 클램핑 바이어스(VCMP2(t))는 제1 클램핑 바이어스(VCMP(t))와 동일할 수 있다. 예를 들어, 제1 클램핑 바이어스(VCMP(t))처럼, 제2 클램핑 바이어스(VCMP2(t))는 시간에 따라 증가할 수 있다. 제2 클램핑 바이어스(VCMP2(t))는 시간에 따라 계단 형태로 증가할 수도 있고, 또는 시간에 따라 k차 함수(단, k는 자연수) 형태로 증가할 수도 있다.

[0114] 하지만, 제1 클램핑 바이어스(VCMP(t))와 제2 클램핑 바이어스(VCMP2(t))가 반드시 동일할 필요는 없다. 제1 클램핑 바이어스(VCMP(t))와 제2 클램핑 바이어스(VCMP2(t))가 별도로 생성/제어되어도 무방하다.

[0115] 제2 센스 앰프(280)는 제2 센싱 노드(SN2)에 연결되어, 제2 센싱 노드(SN2)의 레벨 변화를 센싱한다. 구체적으로, 제2 센스 앰프(280)는 제2 센싱 노드(SN2)의 레벨과 기준 레벨(VR)을 비교하여, 레퍼런스 출력신호(REF1)를 출력한다.

- [0116] 도 12는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 타이밍도이다. 도 12에 도시된 것은, 베리파이 리드(verify read) 동작이다.
- [0117] 도 12에서는 예시적으로, 저항성 메모리 셀(170)에 제2 데이터(R1)을 라이트한 후, 저항성 메모리 셀(170)의 저항값이 RH1보다 큰지를 확인하는 것을 도시하였다. 따로 설명하지는 않겠으나, 본 발명이 속하는 기술의 당업자는 아래 기술 내용을 통해서, 저항성 메모리 셀(170)의 저항값과 RL1, RL2, RH2, RL3, RH3을 비교하는 방법을 용이하게 유추할 수 있다.
- [0118] 도 12를 참조하면, t12 시점에서, 증가하던 셀 전류(Ic)는 제1 보상 전류(Ib)만큼 증가하고, 결국 제1 보상 전류(Ib)보다 커지게 된다. 따라서, 제1 센싱 노드(SN1)의 레벨이 변화하기 시작한다. 이 때, 인에이블 신호(EN)는 액티브 상태가 된다. 인에이블 신호(EN)에 응답하여 제1 센스 앰프(180)는 인에이블되어, 제1 센싱 노드(SN1)의 레벨 변화를 센싱한다. 따라서, 제1 센스 앰프(180)의 출력값(SOUT)은 로직 하이에서 로직 로우로 트랜지션한다. 인코더는 제1 센스 앰프(180)의 출력값(SOUT)을 기초로 하여, 데이터 출력(DQ)으로서 로직 로우(L)를 출력한다.
- [0119] 도 13은 도 6의 레퍼런스 블록의 다른 예시적인 회로도이다. 설명의 편의를 위해서 도 11을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0120] 도 13을 참조하면, 인에이블 신호 생성부(110)의 레퍼런스 저항(예를 들어, RR1)으로 폴리 실리콘(poly silicon)을 사용할 수 있다. 도 12에서 설명한 것과 같이, 베리파이 리드 동작에서, 제1 센싱 노드(SN1)의 레벨 변화되는 시점에, 인에이블 신호(EN)를 액티브 상태로 만들어야 한다. 그런데, 베리파이 리드 동작은, 라이트 동작 후에 바로 진행된다. 따라서, 저항성 메모리 셀(170)의 저항값이 쉽게 이동되지 않는다. 따라서, 레퍼런스 저항(RR1)으로 고정저항인 폴리 실리콘을 사용할 수 있다. 물론, 레퍼런스 저항(RR1)으로 저항성 메모리 셀 또는 다른 물질을 사용할 수도 있다.
- [0121] 도 14는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 회로도이다. 도 15는 도 14의 비휘발성 메모리 장치의 구동 방법을 설명하기 위한 타이밍도이다. 설명의 편의를 위해서, 도 4 및 도 5를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0122] 도 14를 참조하면, 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치에서, 제1 보상부(140)는 제1 보상 전류(Ib)의 크기를 조절하여, 제1 센스 앰프(180)의 인에이블 시점을 조절할 수 있다.
- [0123] 제1 보상부(140)는 PMOS 트랜지스터(MP1, MP2), 다수의 스위치(SW1, SW2, SWm)(단, m은 2이상의 자연수), 다수의 소오스(S1, S2, Sm)를 포함한다. 다수의 스위치(SW1, SW2, SWm) 중에서 적어도 하나의 스위치(SW1, SW2, SWm)를 턴온함으로써, 다수의 소오스(S1, S2, Sm) 중에서 적어도 하나의 소오스(S1, S2, Sm)를 선택할 수 있다. 이에 따라서, 제1 보상 전류(Ib)의 전류량이 조절될 수 있다.
- [0124] 여기서 도 15를 참조하면, 저항성 메모리 셀(170)에 제3 데이터(R2)가 저장된 경우를 설명한다.
- [0125] 만약, 소오스(S1)를 선택한 경우(CASE S1)에는, t2 시점에서 셀 전류(Ic)가 제1 보상 전류(Ib)보다 커질 수 있다.
- [0126] 반면, 소오스(S2)를 선택한 경우(CASE S2)에는, t2a 시점에서 셀 전류(Ic)가 제1 보상 전류(Ib)보다 커질 수 있다. 즉, 소오스(S2)를 선택한 경우에는, 소오스(S1)을 선택하는 경우보다 제1 센스 앰프(180)의 인에이블 시점이 빨라질 수 있다.
- [0127] 소오스(S3)를 선택한 경우(CASE S3)에는, t2b 시점에서 셀 전류(Ic)가 제1 보상 전류(Ib)보다 커질 수 있다. 즉, 소오스(S3)를 선택한 경우에는, 소오스(S1)을 선택하는 경우보다 제1 센스 앰프(180)의 인에이블 시점이 늦어질 수 있다.
- [0128] 이와 같이, 제1 보상 전류(Ib)의 전류량을 조절함으로써, 제1 센스 앰프(180)의 인에이블 시점을 조절할 수 있다. 즉, 센싱 시점을 조절할 수 있다.
- [0129] 도 16 내지 도 18은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치에서 사용할 수 있는 제1 클램핑 바이어스의 예이다.
- [0130] 도 16에서와 같이, 제1 클램핑 바이어스(VCMP(t))는 시간에 따라 계단 형태로 증가할 수 있다.
- [0131] 도 17에서와 같이, 제1 클램핑 바이어스(VCMP(t))는 구간별로 기울기가 다를 수 있다. 예를 들어, t0 에서 t1

사이에서 제1 클램핑 바이어스(VCMP(t))의 기울기는 Θ_1 이고, t_1 에서 t_2 사이에서 제1 클램핑 바이어스(VCMP(t))의 기울기는 Θ_2 이고, t_2 에서 t_3 사이에서 제1 클램핑 바이어스(VCMP(t))의 기울기는 Θ_3 일 수 있다. Θ_1 보다 Θ_2 가 크고, Θ_2 보다 Θ_3 가 클 수 있으나, 이에 한정되지 않는다.

- [0132] 도 18에서와 같이, 제1 클램핑 바이어스(VCMP(t))는 시간에 따라 k 차 함수(단, k 는 자연수) 형태로 증가할 수 있다. 도 18에서는 예시적으로 제1 클램핑 바이어스(VCMP(t))가 2차 함수 형태로 증가하는 것을 도시하였으나, 이에 한정되지 않는다.
- [0133] 도 19 내지 도 23은 본 발명의 몇몇 실시예에 따른 메모리 시스템을 설명하기 위한 도면이다. 여기서, 도 19 내지 도 23은 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 사용하는 메모리 시스템에 관한 것이다.
- [0134] 도 19는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 휴대폰 시스템(cellular phone system)의 예시적 도면이다.
- [0135] 도 19를 참조하면, 휴대폰 시스템은 소리를 압축하거나 압축된 소리를 푸는(compression or decompression) ADPCM 코덱 회로(1202), 스피커(speaker)(1203), 마이크로폰(microphone)(1204), 디지털 데이터를 시분할 멀티플렉싱하는 TDMA회로(1206), 무선 신호의 캐리어 주파수(carrier frequency)를 세팅하는 PLL회로(1210), 무선 신호를 전달하거나 받기 위한 RF 회로(1211) 등을 포함할 수 있다.
- [0136] 또한, 휴대폰 시스템은 여러가지 종류의 메모리 장치를 포함할 수 있는데, 예를 들어, 비휘발성 메모리 장치(1207), ROM(1208), SRAM(1209)를 포함할 수 있다. 비휘발성 메모리 장치(1207)는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용될 수 있고, 예를 들어, ID번호를 저장할 수 있다. ROM(1208)은 프로그램을 저장할 수 있고, SRAM(1209)은 시스템 컨트롤 마이크로컴퓨터(1212)를 위한 작업 영역으로써 역할을 하거나 데이터를 일시적으로 저장한다. 여기서, 시스템 컨트롤 마이크로컴퓨터(1212)는 프로세서로서, 비휘발성 메모리 장치(1207)의 라이트 동작 및 리드 동작을 제어할 수 있다.
- [0137] 도 20는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 카드(memory card)의 예시적 도면이다. 메모리 카드는 예를 들어, MMC 카드, SD카드, 멀티유즈(multiuse) 카드, 마이크로 SD카드, 메모리 스틱, 콤팩트 SD 카드, ID 카드, PCMCIA 카드, SSD카드, 칩카드(chipcard), 스마트카드(smartcard), USB카드 등일 수 있다.
- [0138] 도 20를 참조하면, 메모리 카드는 외부와의 인터페이스를 수행하는 인터페이스부(1221), 버퍼 메모리를 갖고 메모리 카드의 동작을 제어하는 컨트롤러(1222), 본 발명의 실시예들에 따른 비휘발성 메모리 장치(1207)를 적어도 하나 포함할 수 있다. 컨트롤러(1222)는 프로세서로서, 비휘발성 메모리 장치(1207)의 라이트 동작 및 리드 동작을 제어할 수 있다. 구체적으로, 컨트롤러(1222)는 데이터 버스(DATA)와 어드레스 버스(ADDRESS)를 통해서 비휘발성 메모리 장치(1207), 인터페이스부(1221)와 커풀링되어 있다.
- [0139] 도 21은 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 디지털 스틸 카메라(digital still camera)의 예시적 도면이다.
- [0140] 도 21을 참조하면, 디지털 스틸 카메라는 바디(1301), 슬롯(1302), 렌즈(303), 디스플레이부(1308), 셔터 버튼(1312), 스트로브(strobe)(1318) 등을 포함한다. 특히, 슬롯(1308)에는 메모리 카드(1331)가 삽입될 수 있고, 메모리 카드(1331)는 본 발명의 실시예들에 따른 비휘발성 메모리 장치(1207)를 적어도 하나 포함할 수 있다.
- [0141] 메모리 카드(1331)가 접촉형(contact type)인 경우, 메모리 카드(1331)가 슬롯(1308)에 삽입될 때 메모리 카드(1331)와 회로 기관 상의 특정 전기 회로가 전기적으로 접촉하게 된다. 메모리 카드(1331)가 비접촉형(non-contact type)인 경우, 메모리 카드(1331)는 무선 신호를 통해서 메모리 카드(1331)와 통신하게 된다.
- [0142] 도 22은 도 20의 메모리 카드가 사용되는 다양한 시스템을 설명하는 예시적 도면이다.
- [0143] 도 22을 참조하면, 메모리 카드(331)는 (a) 비디오 카메라, (b) 텔레비전, (c) 오디오 장치, (d) 게임장치, (e) 전자 음악 장치, (f) 휴대폰, (g) 컴퓨터, (h) PDA(Personal Digital Assistant), (i) 보이스 레코더(voice recorder), (j) PC 카드 등에 사용될 수 있다.
- [0144] 도 23은 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 이미지 센서(image sensor) 시스템의 예시적 도면이다.
- [0145] 도 23를 참조하면, 이미지 센서 시스템은 이미지 센서(1332), 입출력 장치(1336), RAM(1348), CPU(1344), 본 발명의 실시예들에 따른 비휘발성 메모리 장치(1354) 등을 포함할 수 있다. 각 구성요소, 즉, 이미지 센서

(1332), 입출력 장치(1336), RAM(1348), CPU(1344), 비휘발성 메모리 장치(1354)는 버스(1352)를 통해서 서로 통신한다. 이미지 센서(1332)는 포토게이트, 포토다이오드 등과 같은 포토센싱(photo sensing) 소자를 포함할 수 있다. 각각의 구성 요소는 프로세서와 함께 하나의 칩으로 구성될 수도 있고, 프로세서와 각각 별개의 칩으로 구성될 수도 있다.

[0146] 도 24는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 예시적 블록도이다.

[0147] 도시된 것과 같이, 메모리(3010)은 메모리 컨트롤러(3020)와 커플링된다. 메모리(3010)은 전술한 실시예들 중 어느 것이어도 무방하다. 메모리 컨트롤러(3020)는 메모리(3010)의 동작 제어를 위해 입력 신호를 제공한다. 예를 들어, 메모리 컨트롤러(3020)은 커맨드(CMD)와 어드레스 신호를 보낼 수 있다. 메모리 컨트롤러(3020)는 메모리 인터페이스, 호스트 인터페이스, ECC회로, CPU(central processing unit), 버퍼 메모리 등을 포함할 수 있다. 메모리 인터페이스는 데이터를 버퍼 메모리로부터 메모리(3010)으로 전송할 수 있고, 메모리(3010)으로부터 데이터를 읽어 버퍼 메모리로 전송할 수도 있다. 또한, 메모리 인터페이스는 커맨드 또는 어드레스를 외부 호스트로부터 메모리(3010)으로 전송할 수 있다.

[0148] 호스트 인터페이스는 외부 호스트와 USB (Universal Serial Bus), SCSI (Small Computer System Interface), PCI express, ATA, PATA (Parallel ATA), SATA (Serial ATA), SAS (Serial Attached SCSI) 등을 통해서 통신할 수 있다.

[0149] 본 발명의 실시예들에 따른 메모리 시스템은, ECC회로를 가질 수 있다. ECC회로는 메모리(3010)에 전송되는 데이터를 이용하여 패러티 비트를 생성할 수 있다. 생성된 패러티 비트는 메모리(3010)의 특정 영역에 데이터와 함께 저장될 수 있다. ECC 회로는 메모리(3010)에서 리드되는 데이터의 에러를 감지한다. 만약 감지된 에러가 수정가능하면, ECC회로는 데이터를 수정한다.

[0150] CPU는 호스트 인터페이스 또는 메모리 인터페이스를 통해서 외부 호스트 또는 메모리(3010)을 제어한다. CPU는 메모리를 구동하는 펌웨어에 따라서, 라이트, 리드, 이레이즈 동작을 제어할 수 있다.

[0151] 버퍼 메모리는 외부 소스트로부터 제공된 라이트 데이터 또는 메모리(3010)로부터 리드된 데이터를 일시적으로 저장한다. 또한, 버퍼 메모리는 메모리(3010)에 저장될 메타 데이터 또는 캐쉬 데이터를 저장할 수 있다. 갑작스런 파워 오프 동작 중에, 버퍼 메모리에 저장되어 있는 메타 데이터 또는 캐쉬 데이터는 메모리(3010)에 저장될 수 있다. 버퍼 데이터는 DRAM 또는 SRAM 일 수 있다.

[0152] 도 25은 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 다른 예시적 블록도이다. 도 24의 메모리 시스템과 실질적으로 동일하다. 다른 점은, 메모리(3010), 메모리 컨트롤러(3020)은 카드(3130)에 임베디드된다는 점이다. 예를 들어, 카드(3130)은 플래쉬 메모리 카드일 수 있다. 즉, 카드(3130)는 디지털 카메라, 퍼스널 컴퓨터 등과 같은 소비자 전자 기기에 사용되는 스탠다드 제품일 수 있다. 메모리 컨트롤러(3020)는 다른 장치(외부 장치)로부터 제공된 제어 신호에 따라서 메모리(3010)를 제어할 수 있다.

[0153] 도 26은 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 또 다른 예시적 블록도이다. 도시된 것과 같이, 메모리(3010)은 호스트 시스템(3210)에 커플링될 수 있다. 호스트 시스템(3210)은 퍼스널 컴퓨터, 디지털 카메라 등과 같은 프로세싱 시스템일 수 있다. 호스트 시스템(3210)은 지울 수 있는 저장장치로서 메모리(3010)을 사용할 수 있다. 전술한 것과 같이, 호스트 시스템(3210)은 메모리(3010)를 제어하기 위해 입력 신호를 제공할 수 있다. 예를 들어, 호스트 시스템(3210)은 커맨드(CMD)와 어드레스 신호를 제공할 수 있다.

[0154] 도 27는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 또 다른 예시적 블록도이다. 호스트 시스템(3210)과 카드(3130)이 커플링된다. 호스트 시스템(3210)이 제어 신호를 카드(3130)에 제공하여, 메모리 컨트롤러(3020)가 메모리(3010)을 제어하도록 한다.

[0155] 도 28는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 메모리 시스템의 또 다른 예시적 블록도이다. 메모리(3010)는 컴퓨터 시스템(3410) 내의 CPU(3120)에 저장된다. 예를 들어, 컴퓨터 시스템(3410)은 퍼스널 컴퓨터, PDA 등일 수 있다. 메모리(3010)는 버스 등을 통해서 CPU(3120)과 직접 연결될 수 있다.

[0156] 본 발명의 실시예들에 따른 비휘발성 메모리 장치는 SCM(storage class memory)으로 사용될 수 있다. SCM은 비휘발성 특성과 액세스 특성을 동시에 지닌 일반적 메모리 개념을 의미한다. SCM은 데이터 저장 영역 및 프로그램 동작 영역으로 사용될 수 있다.

[0157] 전술한 PRAM, RRAM, MRAM 등의 저항체를 이용한 비휘발성 메모리 장치는 SCM으로 사용될 수 있다. 이러한 SCM은 플래쉬 메모리를 대신하여 데이터 저장 메모리로 사용될 수도 있고, SRAM을 대신하여 메인 메모리로 사용될 수 있다. 하나의 SCM은 플래쉬 메모리와 SRAM을 대체할 수 있다.

[0158] 도 29는 SCM이 사용된 메모리 시스템을 도시한 예시적 블록도이다. 메모리 시스템(4100)은 CPU(4110), SDRAM(4120), 플래시 메모리를 대신하여 사용된 SCM(4130)을 포함한다.

[0159] 메모리 시스템(4100)에서, SCM(4130)의 데이터 액세스 스피드는 플래시 메모리의 스피드보다 빠르다. 예를 들어, PC 환경에서, CPU(4110)은 4GHz로 동작할 때, SCM의 일종인 PRAM의 액세스 속도는 플래시의 액세스 속도보다 약 32배 빠르다. 따라서, 메모리 시스템(4100)은 플래시 메모리를 장착한 메모리 시스템보다 더 빠른 스피드 액세스 이득(higher-speed access gain)을 얻을 수 있다.

[0160] 도 30은 SCM이 사용된 메모리 시스템을 도시한 다른 예시적 블록도이다. 메모리 시스템(4200)은 CPU(4210), SDRAM을 대신하여 사용된 SCM(4220), 플래쉬 메모리(4230)을 포함한다.

[0161] 메모리 시스템(4200)에서, SCM(4220)의 파워 사용은 SDRAM의 파워 사용보다 작다. 컴퓨터 시스템의 메인 메모리에 의해 사용된 에너지는, 전체 시스템에서 사용되는 에너지의 약 40% 정도이다. 그러므로, 많은 사람들이 메인 메모리에서 사용되는 에너지를 줄이기 위한 노력한다. SCM은 동적 에너지 사용을 평균적으로 약 53% 절감할 수 있고, 전력 누수로 인한 에너지 사용을 평균적으로 약 73% 절감할 수 있다. 그 결과, 메모리 시스템(4200)은 SDRAM을 장착한 메모리 시스템보다 에너지를 절감할 수 있다.

[0162] 도 31은 SCM이 사용된 메모리 시스템을 도시한 다른 예시적 블록도이다. 메모리 시스템(4300)은 CPU(4310), SDRAM 및 플래시 메모리를 대신하여 사용된 SCM(4320)을 포함한다. SCM(4320)은 SDRAM 대신 메인 메모리로 사용되고, 플래시 메모리 대신 데이터 저장 메모리로 사용된다. 이러한 메모리 시스템(4300)은 데이터 액세스 스피드, 로우 파워, 스페이스 활용, 비용 등에서 장점이 있다.

[0163] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.

부호의 설명

[0164]

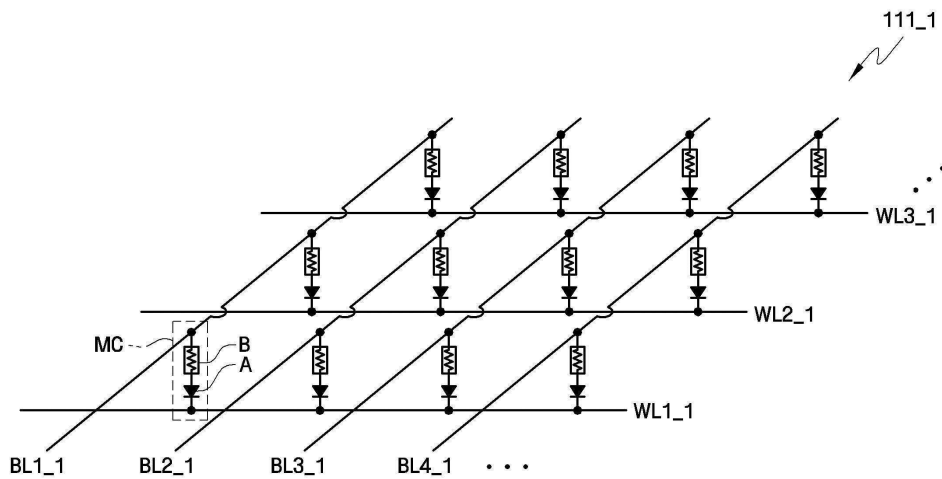
110: 인에이블 신호 생성부	140: 제1 보상부
160: 제1 클램핑부	170: 저항성 메모리 셀
180: 제1 센스 앰프	

도면

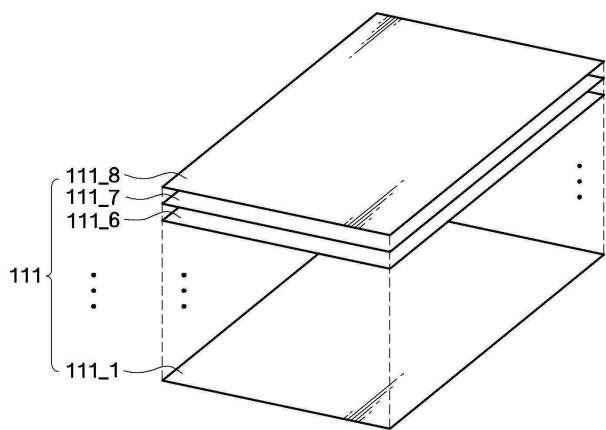
도면1a

1_1	1_2	1_3	1_4	1_5	1_6	1_7	1_8
BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7
BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6
BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5
BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4
BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3
BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2
BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1
BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0
SA/WD(2_1)		SA/WD(2_2)		SA/WD(2_3)		SA/WD(2_4)	
PERIPHERY(3)							
SA/WD(2_8)		SA/WD(2_7)		SA/WD(2_6)		SA/WD(2_5)	
BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7	BLK7
BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6	BLK6
BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5	BLK5
BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4	BLK4
BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3	BLK3
BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2	BLK2
BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1	BLK1
BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0	BLK0
1_16	1_15	1_14	1_13	1_12	1_11	1_10	1_9

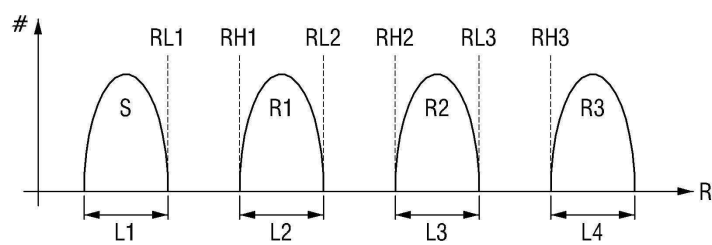
도면1b



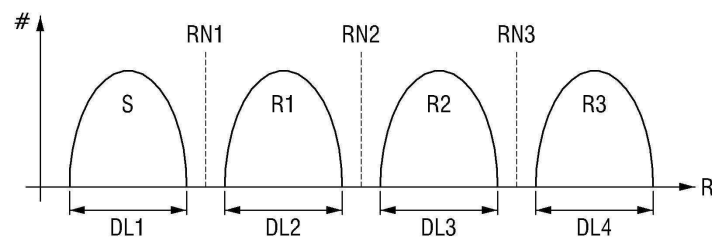
도면1c



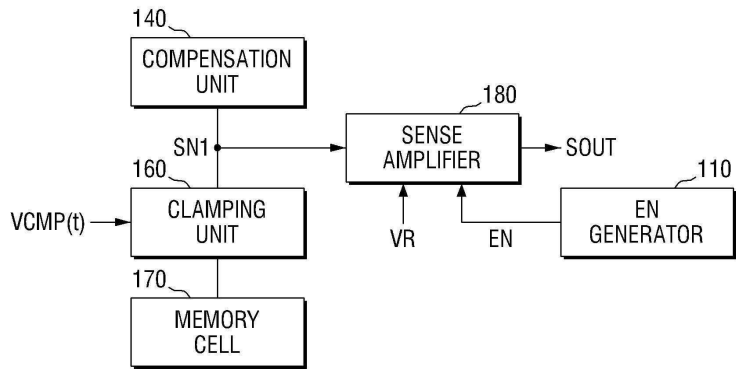
도면2



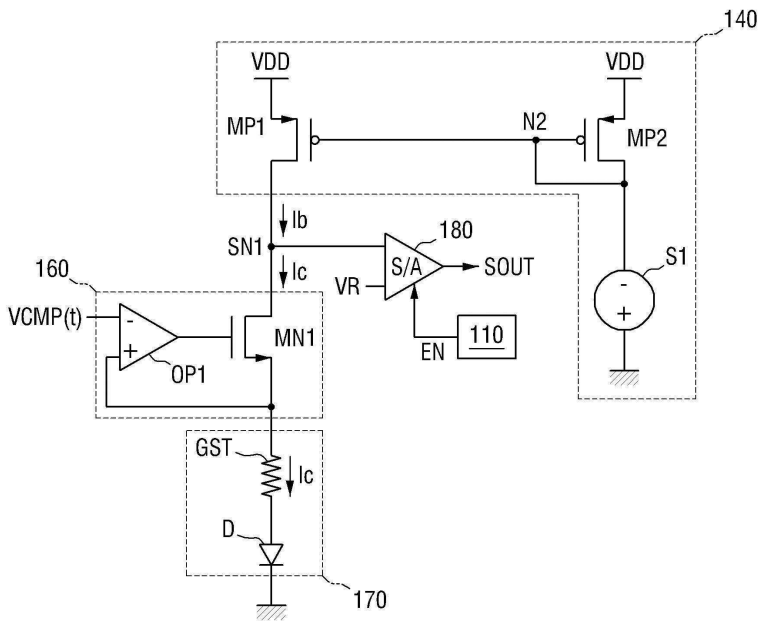
도면3



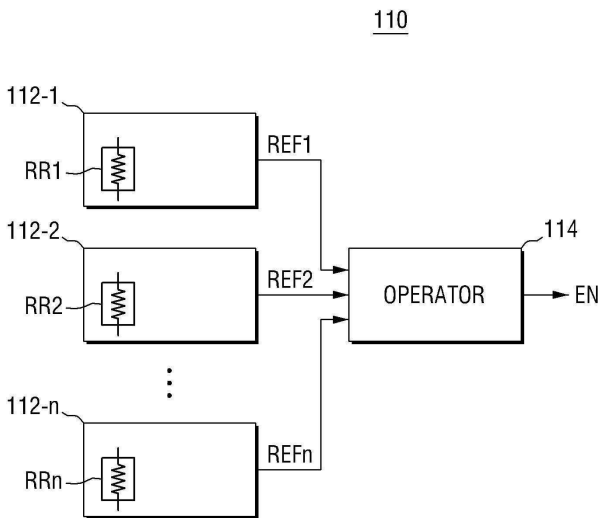
도면4



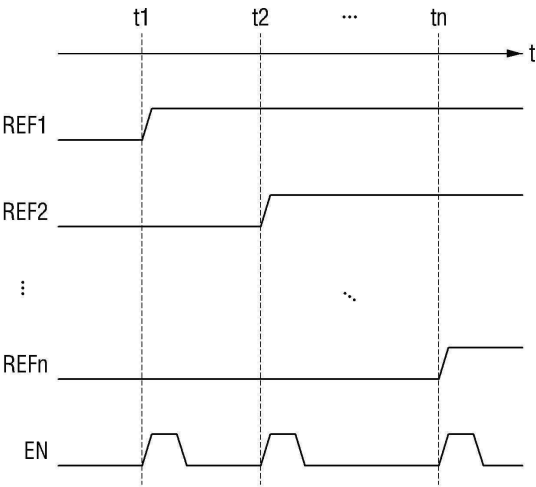
도면5



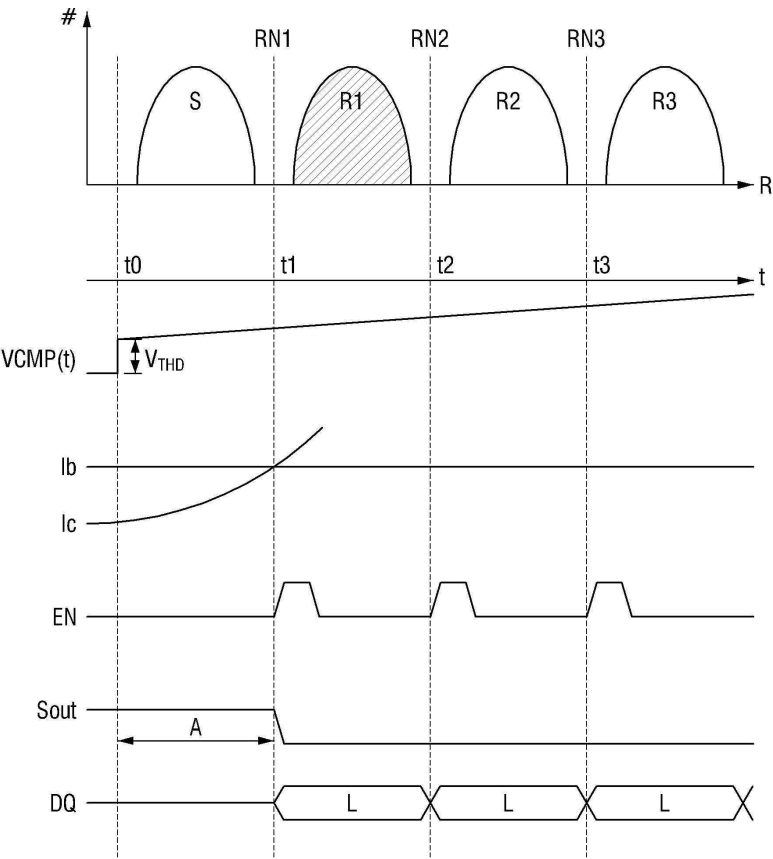
도면6



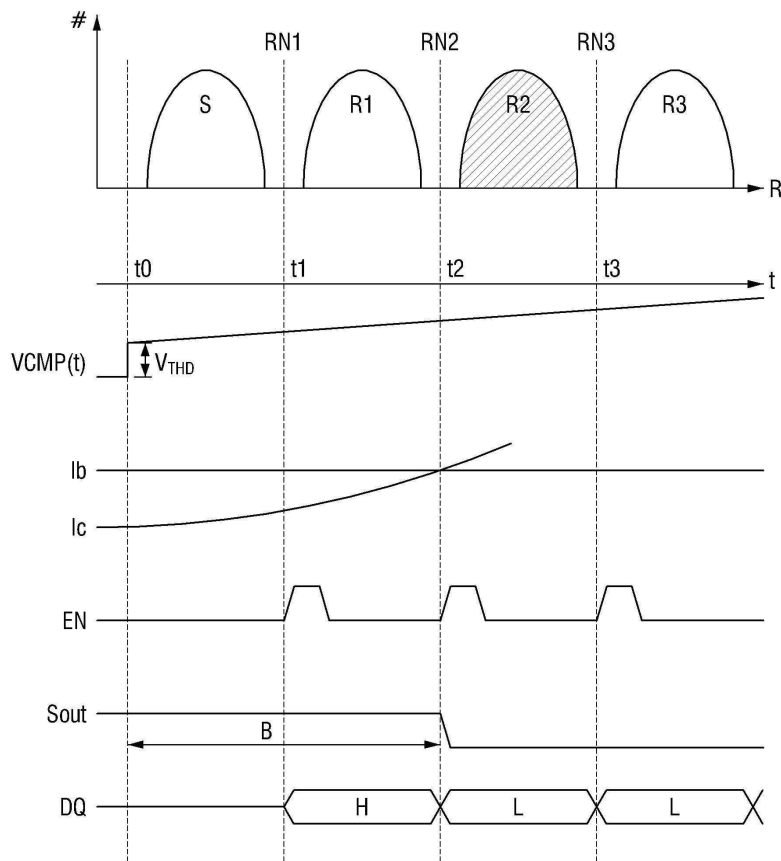
도면7



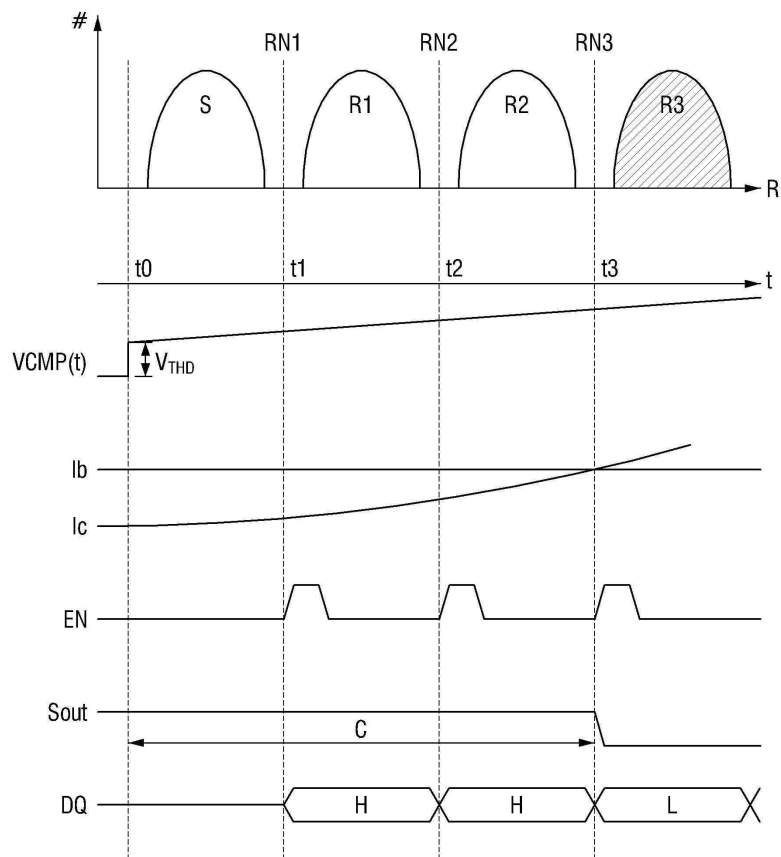
도면8



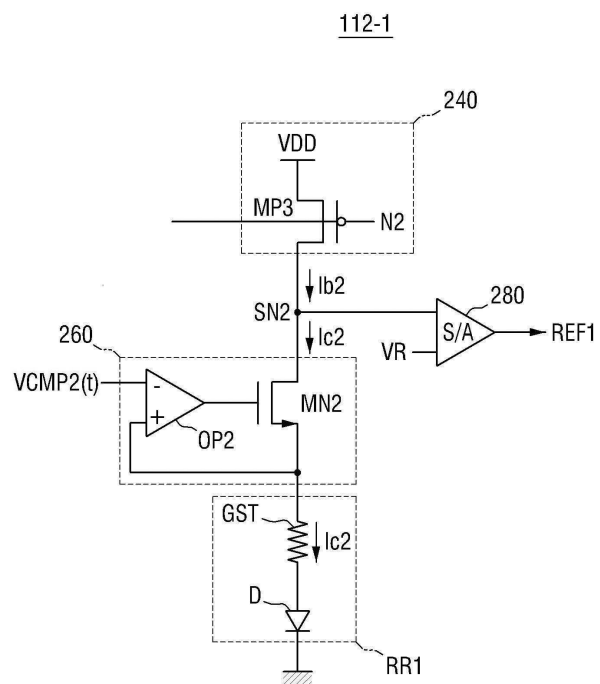
도면9



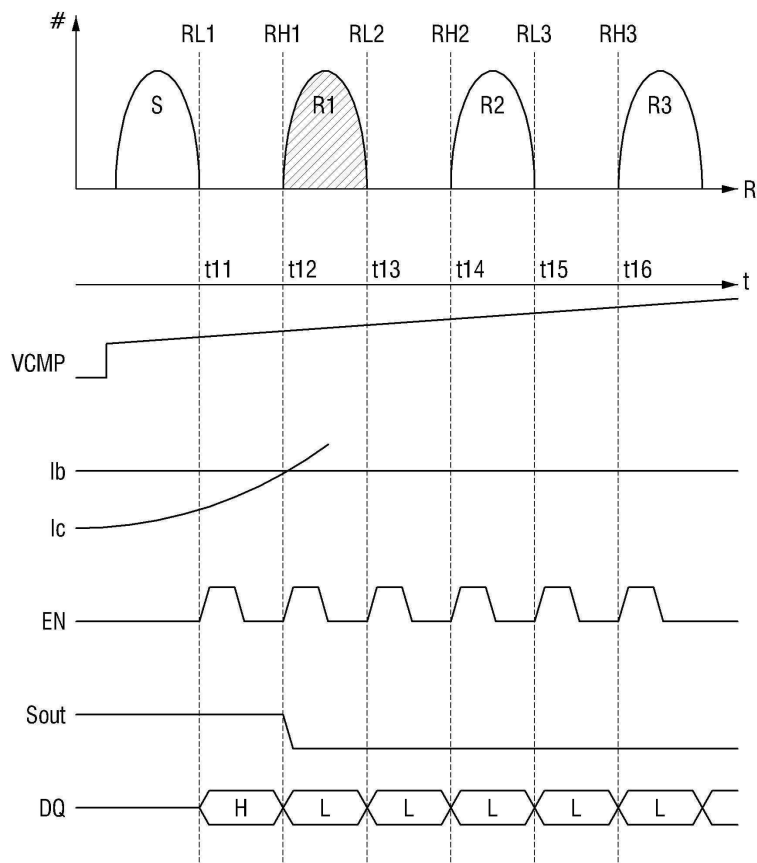
도면10



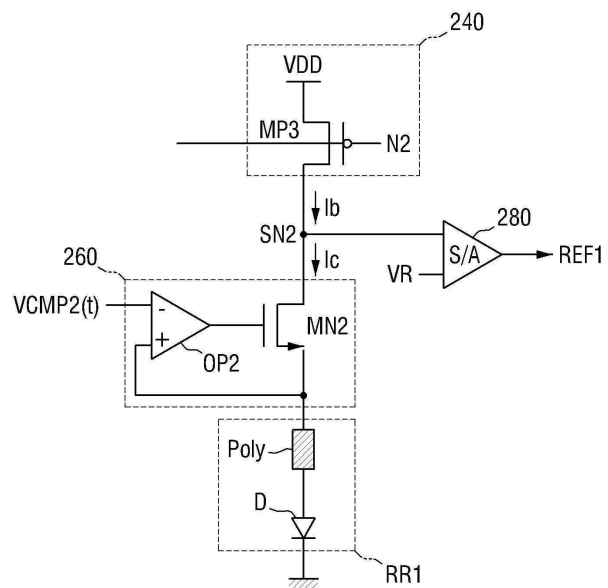
도면11



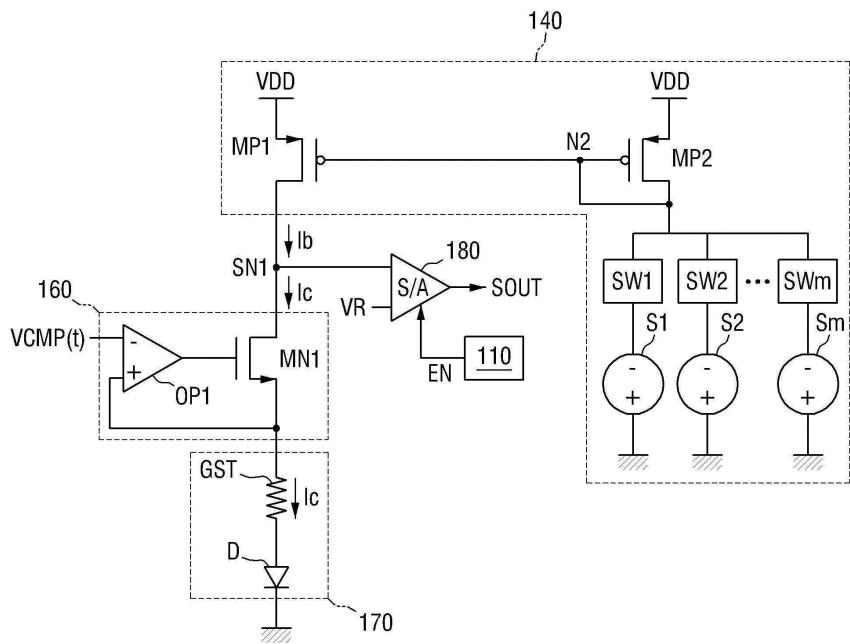
도면12



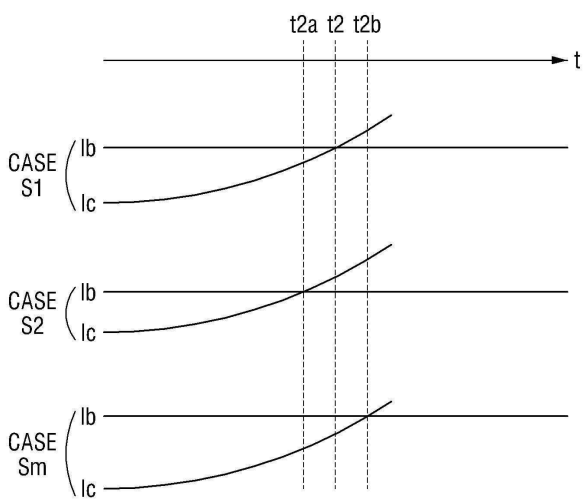
도면13



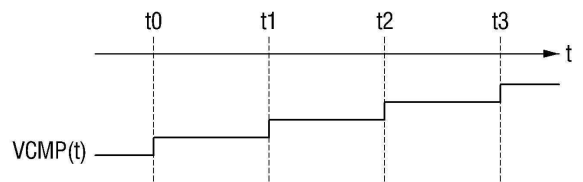
도면14



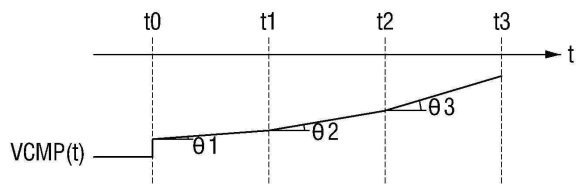
도면15



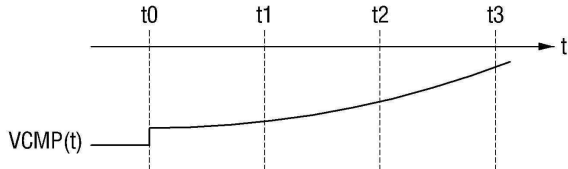
도면16



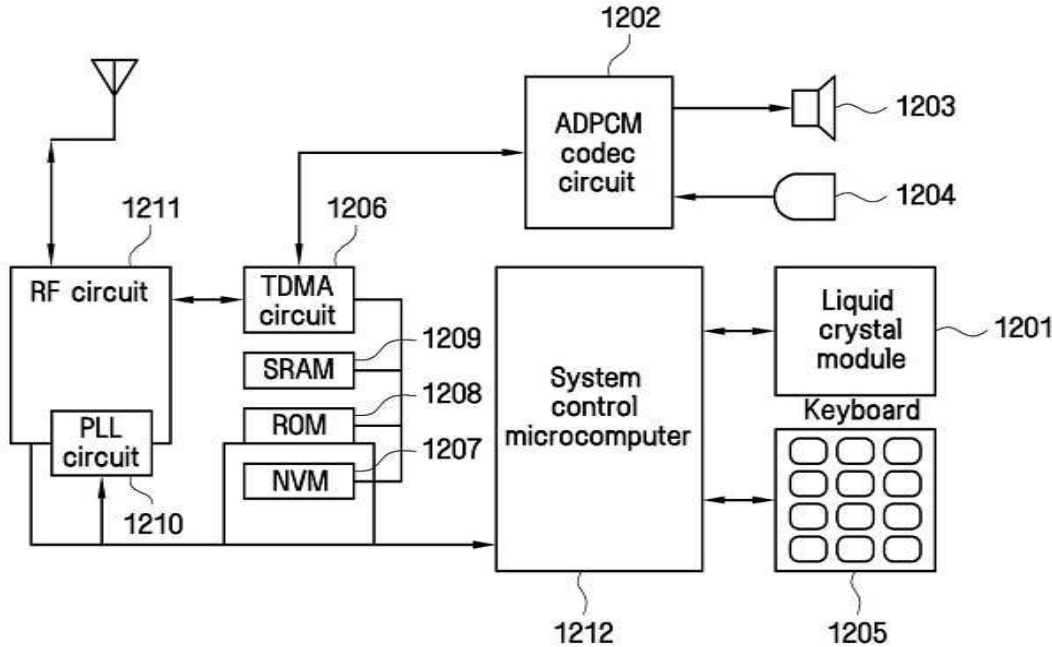
도면17



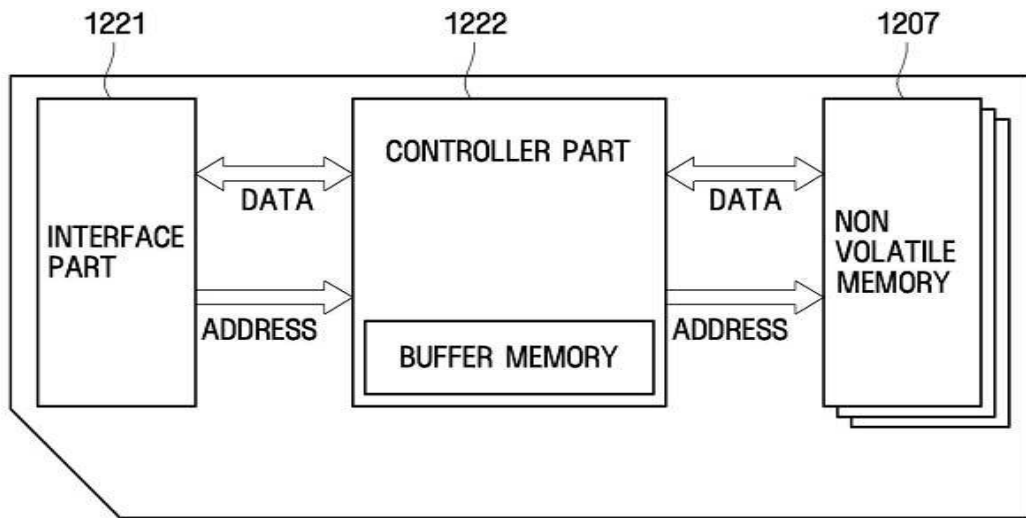
도면18



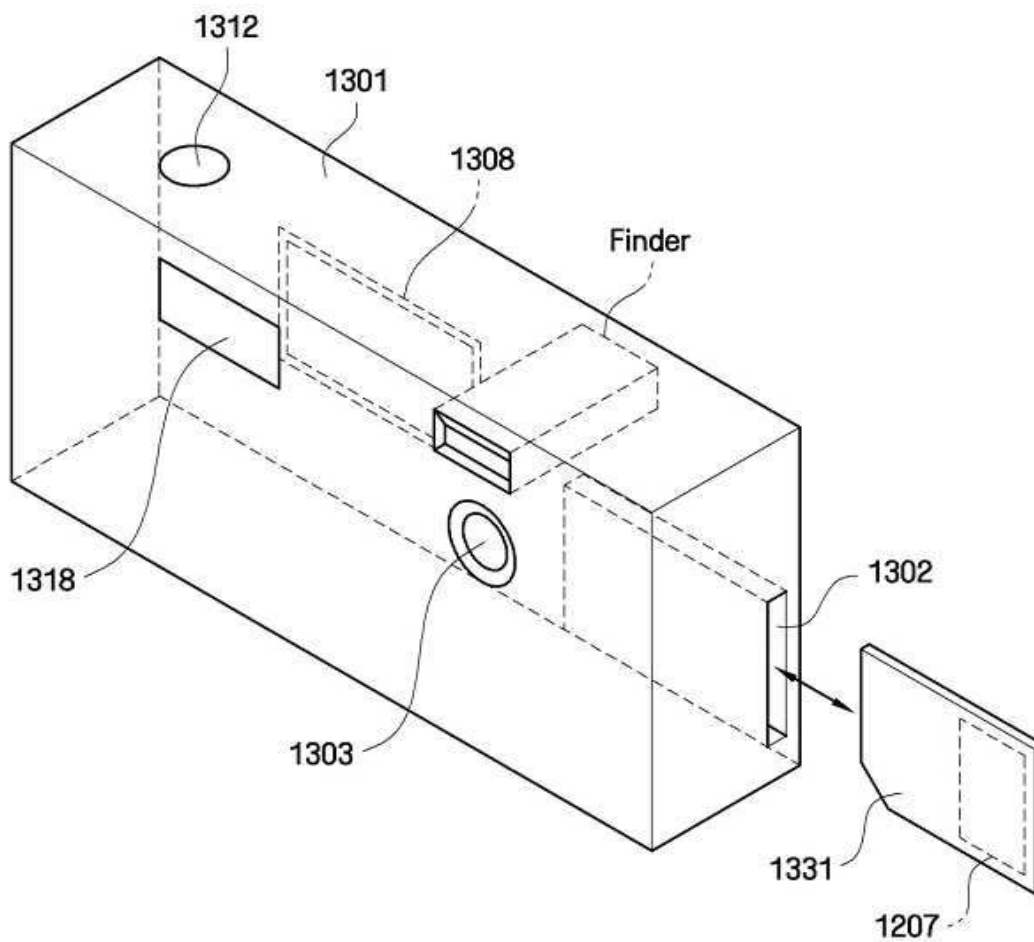
도면19



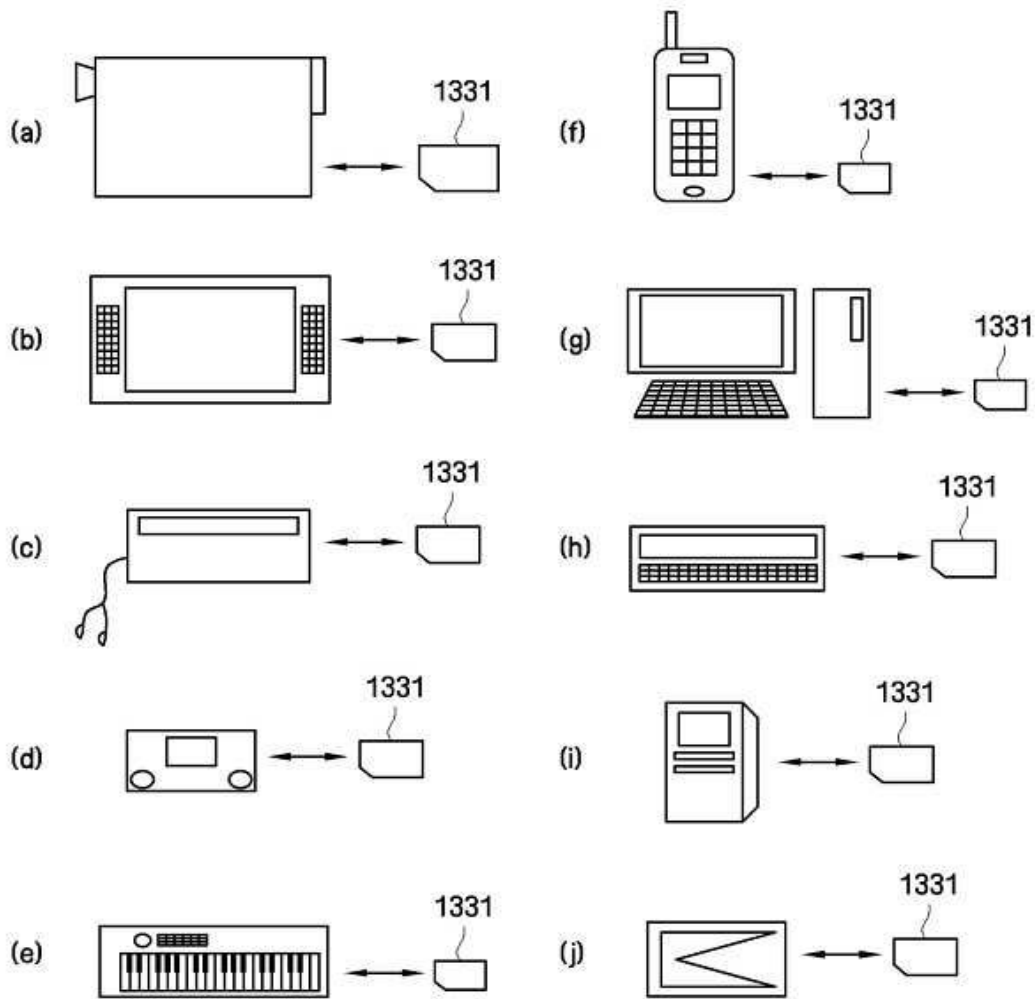
도면20



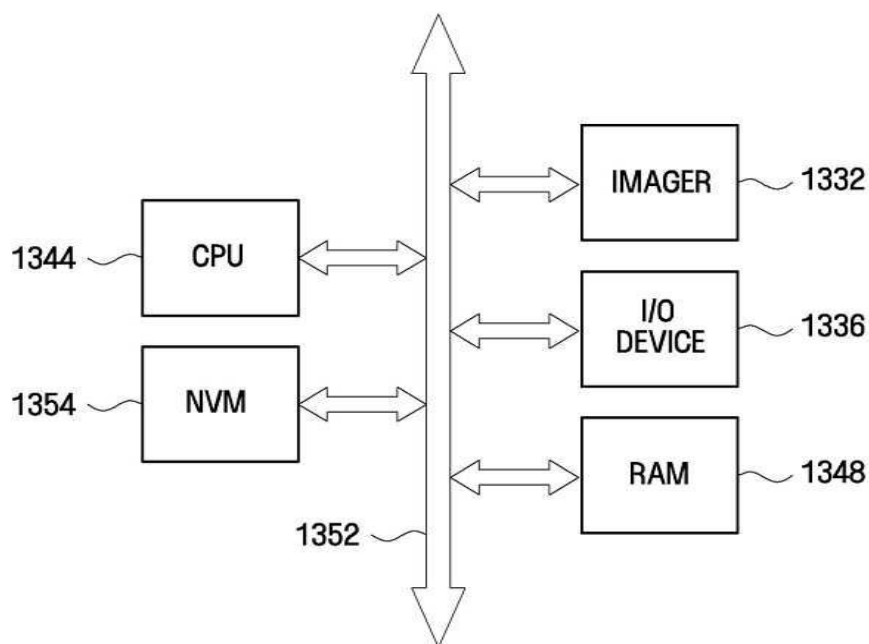
도면21



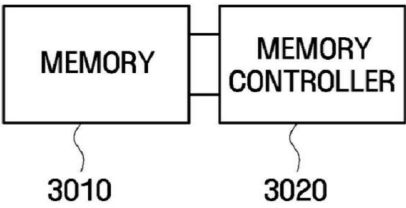
도면22



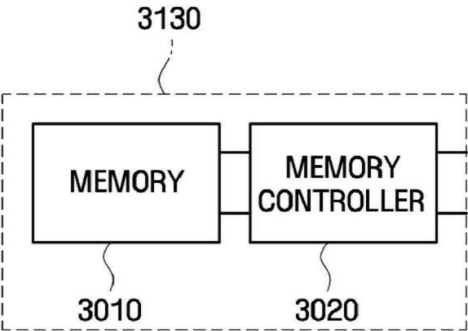
도면23



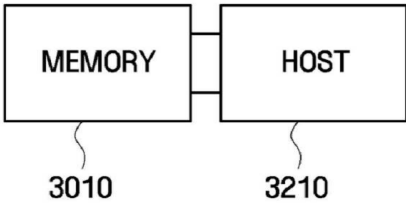
도면24



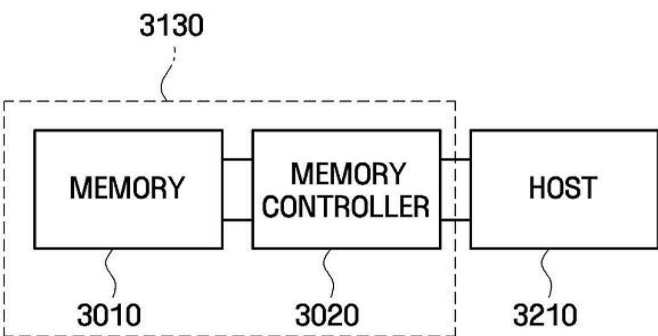
도면25



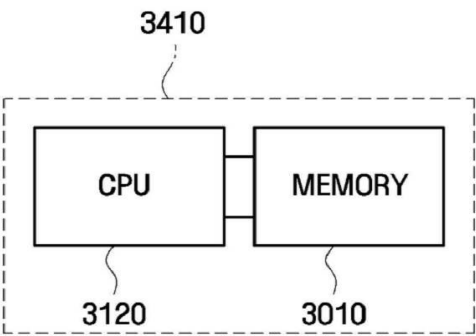
도면26



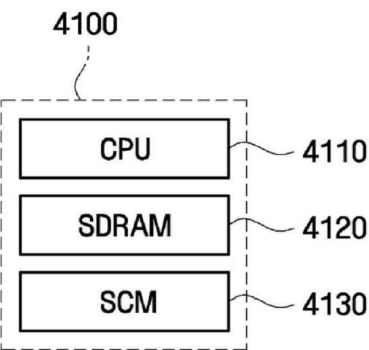
도면27



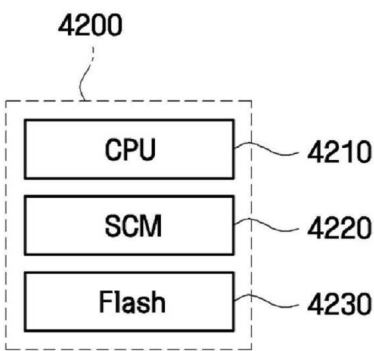
도면28



도면29



도면30



도면31

