



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년01월03일
(11) 등록번호 10-2483827
(24) 등록일자 2022년12월28일

- (51) 국제특허분류(Int. Cl.)
H01L 27/112 (2006.01) H01L 23/525 (2006.01)
- (52) CPC특허분류
H01L 27/11206 (2013.01)
H01L 23/5252 (2013.01)
- (21) 출원번호 10-2017-7026913
- (22) 출원일자(국제) 2016년02월19일
심사청구일자 2021년02월04일
- (85) 번역문제출일자 2017년09월22일
- (65) 공개번호 10-2017-0120662
- (43) 공개일자 2017년10월31일
- (86) 국제출원번호 PCT/JP2016/054809
- (87) 국제공개번호 WO 2016/136604
국제공개일자 2016년09월01일
- (30) 우선권주장
JP-P-2015-035858 2015년02월25일 일본(JP)
- (56) 선행기술조사문헌
KR1020090121295 A*
KR1020140029090 A*
US04382289 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
플로디아 코포레이션
일본 도쿄도 고다이라시 오가와히가시쵸 1쵸메 3
0반 9고
- (72) 발명자
가사이, 히데오
일본 1870031 도쿄도 고다이라시 오가와히가시쵸
1쵸메 30-9 플로디아 코포레이션 내
다니구찌, 야스히로
일본 1870031 도쿄도 고다이라시 오가와히가시쵸
1쵸메 30-9 플로디아 코포레이션 내
(뒷면에 계속)
- (74) 대리인
윤선근, 장수길

전체 청구항 수 : 총 11 항

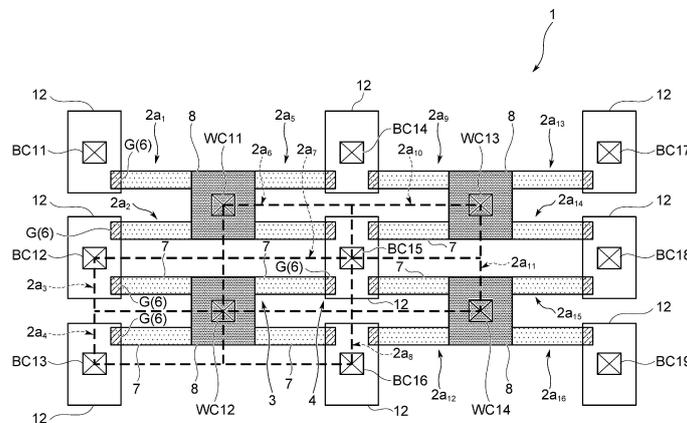
심사관 : 김려원

(54) 발명의 명칭 반도체 기억 장치

(57) 요약

반도체 기억 장치(1)에서는, 종래와 같은 제어 회로를 사용하지 않고, 메모리 캐패시터(4)의 메모리 게이트 전극(G) 및 워드선에 인가되는 전압값에 의해 정류 소자(3)에 의해 메모리 게이트 전극(G)으로부터 워드선에의 전압 인가를 차단할 수 있고, 이렇게 하여, 종래와 같은 스위치 트랜지스터나, 또한 스위치 트랜지스터에 온 오프 동 (뒷면에 계속)

대표도



작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다. 또한, 반도체 기억 장치(1)에서는, 서로 인접하는 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)에서 1개의 비트선 콘택트(BC15)를 공유함과 함께, 예를 들어 서로 인접하는 4개의 안티퓨즈 메모리(2a₃, 2a₄, 2a₇, 2a₈)에서 1개의 워드선 콘택트(WC12)를 공유하도록 함으로써, 각 안티퓨즈 메모리마다 비트선 콘택트 및 워드선 콘택트를 각각 개별로 형성하는 경우에 비해 장치 전체로서 소형화를 도모할 수 있다.

(72) 발명자

가와시마, 야스히코

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

사쿠라이, 료타로

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

시나가와, 유타카

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

도야, 다쯔로

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

야마구찌, 다카노리

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

오와다, 후쿠오

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

요시다, 신지

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

하마다, 데루오

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

노다, 사토시

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

가토, 다카후미

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

무라야, 데쯔야

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

오쿠야마, 고스케

일본 1870031 도쿄도 고다이라시 오가와히가시쵸 1쵸메 30-9 플로디아 코퍼레이션 내

명세서

청구범위

청구항 1

복수의 워드선 및 복수의 비트선의 각 교차 개소에 안티퓨즈 메모리가 배치된 반도체 기억 장치로서,
 각 상기 안티퓨즈 메모리는,

메모리 게이트 절연막을 개재하여 메모리 게이트 전극이 형성되고, 웰에 형성된 한쪽의 확산 영역에 비트선 콘택트를 통해 상기 복수의 비트선 중 하나의 비트선이 접속된 메모리 캐패시터와,

상기 메모리 게이트 전극과 상기 복수의 워드선 중 하나의 워드선 사이에 형성되며, 상기 워드선으로부터의 전압이 워드선 콘택트를 경유하여 상기 메모리 게이트 전극에 인가되는 한편, 상기 메모리 게이트 전극 및 상기 워드선에 인가되는 전압값에 의해 상기 메모리 게이트 전극으로부터 상기 워드선에의 전압 인가가 차단되는 정류 소자를 구비하고 있고,

상기 하나의 비트선에 상기 비트선 콘택트가 접속되어 있으며, 2개 이상의 상기 안티퓨즈 메모리에서 1개의 상기 비트선 콘택트를 공유하고 있고,

상기 하나의 워드선에 상기 워드선 콘택트가 접속되어 있으며, 2개 이상의 상기 안티퓨즈 메모리에서 1개의 상기 워드선 콘택트를 공유하고 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

서로 인접하는 4개의 상기 안티퓨즈 메모리에서 1개의 상기 비트선 콘택트를 공유함과 함께, 서로 인접하는 4개의 상기 안티퓨즈 메모리에서 1개의 상기 워드선 콘택트를 공유하는 것을 특징으로 하는 반도체 기억 장치.

청구항 5

제4항에 있어서,

1개의 상기 비트선 콘택트에 접속되는 4개의 상기 안티퓨즈 메모리는, 각각 전기적으로 독립적으로 제어할 수 있는 상기 워드선에 접속되고,

1개의 상기 워드선 콘택트에 접속되는 4개의 상기 안티퓨즈 메모리는, 각각 전기적으로 독립적으로 제어할 수 있는 상기 비트선에 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제1항, 제4항 또는 제5항에 있어서,

각 상기 비트선은, 상기 비트선 콘택트를 통해 2개 이상의 상기 안티퓨즈 메모리에 전압을 인가하고, 각 상기 워드선은, 상기 워드선 콘택트를 통해 2개 이상의 상기 안티퓨즈 메모리에 전압을 인가하는 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제1항, 제4항 또는 제5항에 있어서,

말단에 배치된 소정의 방향으로 배열되는 각 상기 워드선 콘택트에는, 각각 2개의 상기 안티퓨즈 메모리가 접속되어 있고,

중앙 영역에 배치된 나머지 상기 워드선 콘택트에는, 각각 4개의 상기 안티퓨즈 메모리가 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제1항에 있어서,

일방향으로 배열되는 복수의 상기 안티퓨즈 메모리에서, 1개의 상기 비트선 콘택트를 공유함과 함께, 상이한 상기 비트선 콘택트에 접속된 인접하는 2개의 상기 안티퓨즈 메모리에서, 1개의 상기 워드선 콘택트를 공유하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제1항에 있어서,

일방향으로 배열되는 복수의 상기 안티퓨즈 메모리에서, 1개의 상기 워드선 콘택트를 공유함과 함께, 다른 상기 워드선 콘택트에 접속된 인접하는 2개의 상기 안티퓨즈 메모리에서, 1개의 상기 비트선 콘택트를 공유하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10

제1항, 제4항 또는 제5항에 있어서,

상기 안티퓨즈 메모리는,

상기 메모리 캐패시터에 데이터를 기입할 때에는, 상기 워드선에 인가된 전압이 상기 정류 소자를 통해 상기 메모리 게이트 전극에 인가되고, 해당 메모리 게이트 전극과 상기 비트선의 전압차에 의해 상기 메모리 게이트 절연막이 절연 파괴되고,

상기 메모리 캐패시터에 데이터를 기입하지 않을 때에는, 상기 메모리 게이트 전극이 상기 워드선보다도 전압이 높으면, 상기 메모리 캐패시터의 상기 메모리 게이트 전극으로부터 상기 워드선에의 전압 인가를 차단하는 것을 특징으로 하는 반도체 기억 장치.

청구항 11

제1항, 제4항 또는 제5항에 있어서,

상기 안티퓨즈 메모리의 상기 정류 소자는, P형 반도체 영역과 N형 반도체 영역이 접합한 PN 접합 다이오드의 반도체 접합 구조를 포함하고, 상기 P형 반도체 영역이 상기 워드선 콘택트를 통해 상기 워드선에 접속되고, 상기 N형 반도체 영역이 상기 메모리 게이트 전극에 접속되어 있는 반도체 기억 장치.

청구항 12

제11항에 있어서,

상기 안티퓨즈 메모리는, 상기 정류 소자를 구성하는 상기 P형 반도체 영역과 상기 N형 반도체 영역이, 상기 메모리 게이트 전극과 일체 형성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 13

제1항, 제4항 또는 제5항에 있어서,

상기 안티퓨즈 메모리의 상기 정류 소자는, N형 MOS(Metal-Oxide-Semiconductor) 트랜지스터를 포함하고, 일단의 소스 영역이 상기 메모리 게이트 전극에 접속되어 있음과 함께, 타단의 드레인 영역이 상기 워드선에 접속되고, 정류 소자 게이트 전극이 상기 워드선에 접속되어 있고, 채널을 비도통 상태로 함으로써 상기 메모리 게이트 전극으로부터 상기 워드선에의 전압 인가를 차단하거나 또는

상기 정류 소자는 P형 MOS 트랜지스터를 포함하고, 일단의 소스 영역이 상기 메모리 게이트 전극에 접속되어 있음과 함께, 타단의 드레인 영역이 상기 워드선에 접속되고, 정류 소자 게이트 전극이 상기 메모리 게이트 전극

에 접속되어 있고, 채널을 비도통 상태로 함으로써 상기 메모리 게이트 전극으로부터 상기 워드선에의 전압 인가를 차단하는 것을 특징으로 하는 반도체 기억 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 기억 장치에 관한 것이며, 예를 들어 안티퓨즈 메모리가 행렬 형상으로 배치된 반도체 기억 장치에 적용하기에 적합한 것이다.

배경 기술

[0002] 종래, 절연막을 파괴함으로써, 1회만 데이터의 기입을 행할 수 있는 안티퓨즈 메모리로서는, 미국 특허 제 6,667,902호 명세서(특허문헌 1)에 기재된 바와 같은 구성을 가진 안티퓨즈 메모리가 알려져 있다. 이 특허문헌 1에 나타내는 안티퓨즈 메모리는, 스위치 트랜지스터와, 메모리 캐패시터가 웰 상에 나란히 형성된 2트랜지스터 구성을 포함한다.

[0003] 실제상, 트랜지스터 구성으로 이루어지는 스위치 트랜지스터에는, 웰 상에 스위치 게이트 절연막을 개재하여 스위치 게이트 전극이 형성되어 있고, 스위치 게이트 전극에 워드선이 접속되어 있음과 함께, 웰 표면에 형성한 한쪽의 확산 영역에 비트선이 접속되어 있다. 또한, 스위치 트랜지스터와 쌍을 이루는 메모리 캐패시터에는, 웰 상에 메모리 게이트 절연막을 개재하여 메모리 게이트 전극이 형성되어 있고, 스위치 게이트 전극에 접속된 워드선과는 별도의 기입 워드선이 당해 메모리 게이트 전극에 접속되어 있다.

[0004] 데이터 기입 동작 시, 메모리 캐패시터는, 기입 워드선으로부터 메모리 게이트 전극에 인가되는 파괴 워드 전압과, 스위치 트랜지스터의 비트선에 인가되는 절연 파괴 비트 전압의 전압차에 의해 메모리 게이트 절연막이 절연 파괴되고, 웰과 절연되어 있었던 메모리 게이트 전극이, 메모리 게이트 절연막의 절연 파괴에 의해, 웰의 표면, 즉 메모리 채널이 형성되는 영역과 전기적으로 연결될 수 있다.

[0005] 그리고, 데이터 판독 동작 시, 판독하고 싶은 비트선에 접속된 기입 워드선에 전압을 인가하면, 메모리 게이트 절연막이 파괴되어 있는 경우에는, 기입 워드선에 인가한 전압이 메모리 채널을 통해 스위치 트랜지스터의 다른 쪽의 확산 영역에 인가된다. 또한 스위치 트랜지스터는, 스위치 게이트 전극에 접속된 워드선, 및 확산 영역에 접속된 비트선으로부터 각각 인가되는 전압에 의해 온 상태로 되고, 쌍을 이루는 메모리 캐패시터에서의 메모리 게이트 전극과, 메모리 채널과의 전기적인 연결 상태를, 비트선에 인가한 전압의 변화를 기초로 판단하여, 데이터의 기입 유무를 판별할 수 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 미국 특허 제6,667,902호 명세서

발명의 내용

해결하려는 과제

[0007] 그러나, 이러한 구성으로 이루어지는 종래의 안티퓨즈 메모리에서는, 메모리 캐패시터와는 별도로 독립된 스위치 트랜지스터를 형성하고 있기 때문에, 당해 메모리 캐패시터에 파괴 워드 전압을 인가하는 제어 회로와는 별도로, 스위치 트랜지스터를 온 오프 동작시키기 위한 스위치 제어 회로가 필요해져, 그만큼, 소형화가 도모되기 어렵다는 문제가 있었다.

[0008] 또한, 이와 같은 안티퓨즈 메모리가 행렬 형상으로 배치된 반도체 기억 장치에서는, 특정한 안티퓨즈 메모리의 메모리 게이트 절연막을 절연 파괴시키고, 다른 안티퓨즈 메모리의 메모리 게이트 절연막을 절연 파괴시키지 않을 때, 행렬 형상으로 배치된 안티퓨즈 메모리에 대하여 각각 최적의 전압을 인가할 필요가 있기 때문에, 각 안티퓨즈 메모리에 대한 전압을 인가하기 위한 배선을 효율적으로 레이아웃하여 전체로서도 소형화를 도모하는 고안도 필요해진다.

[0009] 따라서, 본 발명은 이상의 점을 고려하여 이루어진 것이며, 종래보다도 소형화를 도모할 수 있는 반도체 기억 장치를 제안하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 이러한 과제를 해결하기 위해 본 발명의 반도체 기억 장치는, 복수의 워드선 및 복수의 비트선의 각 교차 개소에 안티퓨즈 메모리가 배치된 반도체 기억 장치로서, 각 상기 안티퓨즈 메모리는, 메모리 게이트 절연막을 개재하여 메모리 게이트 전극이 형성되고, 웰에 형성된 한쪽의 확산 영역에 비트선 콘택트를 통해 상기 비트선이 접속된 메모리 캐패시터와, 상기 메모리 게이트 전극과 상기 워드선 사이에 형성되며, 상기 워드선으로부터의 전압이 워드선 콘택트를 경유하여 상기 메모리 게이트 전극에 인가되는 한편, 상기 메모리 게이트 전극 및 상기 워드선에 인가되는 전압값에 의해 상기 메모리 게이트 전극으로부터 상기 워드선에의 전압 인가가 차단되는 정류 소자를 구비하고 있고, 2개 이상의 상기 안티퓨즈 메모리에서 1개의 상기 비트선 콘택트를 공유하고 있는 것을 특징으로 한다.

[0011] 또한, 본 발명의 반도체 기억 장치는, 복수의 워드선 및 복수의 비트선의 각 교차 개소에 안티퓨즈 메모리가 배치된 반도체 기억 장치로서, 각 상기 안티퓨즈 메모리는, 메모리 게이트 절연막을 개재하여 메모리 게이트 전극이 형성되고, 웰에 형성된 한쪽의 확산 영역에 비트선 콘택트를 통해 상기 비트선이 접속된 메모리 캐패시터와, 상기 메모리 게이트 전극과 상기 워드선 사이에 형성되며, 상기 워드선으로부터의 전압이 워드선 콘택트를 경유하여 상기 메모리 게이트 전극에 인가되는 한편, 상기 메모리 게이트 전극 및 상기 워드선에 인가되는 전압값에 의해 상기 메모리 게이트 전극으로부터 상기 워드선에의 전압 인가가 차단되는 정류 소자를 구비하고 있고, 2개 이상의 상기 안티퓨즈 메모리에서 1개의 상기 워드선 콘택트를 공유하고 있는 것을 특징으로 한다.

발명의 효과

[0012] 본 발명에 따르면, 종래와 같은 제어 회로를 사용하지 않고, 메모리 캐패시터의 메모리 게이트 전극 및 워드선에 인가되는 전압값에 의해 정류 소자에 의해 메모리 게이트 전극으로부터 워드선에의 전압 인가를 차단하도록 하였기 때문에, 종래와 같은 메모리 캐패시터에의 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 또한 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.

[0013] 또한, 본 발명에 따르면, 1개의 비트선 콘택트 및 또는 1개의 워드선 콘택트를, 적어도 2개 이상의 안티퓨즈 메모리에서 공유하고 있기 때문에, 안티퓨즈 메모리마다 비트선 콘택트나 워드선 콘택트를 형성하는 경우에 비해, 소형화를 도모할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 반도체 기억 장치의 기본적인 회로 구성을 도시하는 회로도이다.
 도 2a는 2개의 안티퓨즈 메모리가 병렬로 배치되어 있는 개소에서의 단면 구성을 도시하는 개략도이고, 도 2b는 도 2a에 도시한 2개의 안티퓨즈 메모리의 평면 레이아웃을 도시하는 개략도이다.
 도 3은 4개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트 및 1개의 비트선 콘택트를 공유할 때의 평면 레이아웃(1)을 도시하는 개략도이다.
 도 4는 워드선 및 비트선의 평면 레이아웃(1)을 도시하는 개략도이다.
 도 5는 다른 실시 형태에 의한 워드선 및 비트선의 평면 레이아웃(1)을 도시하는 개략도이다.
 도 6은 행방향으로 배열되는 2개의 안티퓨즈 메모리에서 1개의 워드선 콘택트를 공유하고, 열방향으로 배열되는 복수의 안티퓨즈 메모리에서 1개의 비트선 콘택트를 공유할 때의 평면 레이아웃(1)을 도시하는 개략도이다.
 도 7은 행방향으로 배열되는 복수의 안티퓨즈 메모리에서 1개의 워드선 콘택트를 공유하고, 열방향으로 배열되는 2개의 안티퓨즈 메모리에서 1개의 비트선 콘택트를 공유할 때의 평면 레이아웃(1)을 도시하는 개략도이다.
 도 8은 N형 MOS 트랜지스터 구성의 정류 소자를 구비한 다른 실시 형태에 의한 안티퓨즈 메모리의 회로 구성을 도시하는 회로도이다.
 도 9a는 도 8에 도시한 안티퓨즈 메모리의 단면 구성을 도시하는 개략도이고, 도 9b는 도 9a에 도시한 안티퓨즈 메모리의 평면 레이아웃을 도시하는 개략도이다.

도 10은 4개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트 및 1개의 비트선 콘택트를 공유할 때의 평면 레이아웃(2)을 도시하는 개략도이다.

도 11은 워드선 및 비트선의 평면 레이아웃(2)을 도시하는 개략도이다.

도 12는 다른 실시 형태에 의한 워드선 및 비트선의 평면 레이아웃(2)을 도시하는 개략도이다.

도 13은 다른 실시 형태에 의한 콘택트의 평면 레이아웃(1)을 도시하는 개략도이다.

도 14는 행방향으로 배열되는 2개의 안티퓨즈 메모리에서 1개의 워드선 콘택트를 공유하고, 열방향으로 배열되는 복수의 안티퓨즈 메모리에서 1개의 비트선 콘택트를 공유할 때의 평면 레이아웃(2)을 도시하는 개략도이다.

도 15는 다른 실시 형태에 의한 콘택트의 평면 레이아웃(2)을 도시하는 개략도이다.

도 16은 행방향으로 배열되는 복수의 안티퓨즈 메모리에서 1개의 워드선 콘택트를 공유하고, 열방향으로 배열되는 2개의 안티퓨즈 메모리에서 1개의 비트선 콘택트를 공유할 때의 평면 레이아웃(2)을 도시하는 개략도이다.

도 17은 P형 MOS 트랜지스터 구성의 정류 소자를 구비한 다른 실시 형태에 의한 안티퓨즈 메모리의 회로 구성을 도시한 개략도이다.

도 18a는 다른 실시 형태의 안티퓨즈 메모리의 단면 구성을 도시하는 개략도이고, 도 18b는 도 18a에 도시한 안티퓨즈 메모리의 평면 레이아웃을 도시하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하 도면에 기초하여 본 발명의 실시 형태를 상세하게 설명한다.
- [0016] 이하, 본 발명을 실시하기 위한 형태에 대하여 설명한다. 또한, 설명은 이하에 나타내는 순서로 한다.
- [0017] <1. 행렬 형상으로 안티퓨즈 메모리가 형성된 본 발명의 반도체 기억 장치의 기본적 개념>
- [0018] 1-1. 기본 구성
- [0019] 1-2. 데이터의 기입 동작
- [0020] 1-3. 데이터의 판독 동작
- [0021] 1-4. 상기 구성에 의한 반도체 기억 장치의 작용 및 효과
- [0022] <2. 4개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트 및 1개의 비트선 콘택트를 공유하는 경우에 대하여>
- [0023] 2-1. 평면 레이아웃의 구성에 대하여
- [0024] 2-2. 비트선 및 워드선의 평면 레이아웃의 구성에 대하여
- [0025] <3. 다른 실시 형태에 의한 비트선 및 워드선의 평면 레이아웃의 구성에 대하여>
- [0026] <4. 2개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 열방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여>
- [0027] <5. 행방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 2개의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여>
- [0028] <6. N형 MOS(Metal-Oxide-Semiconductor) 트랜지스터를 포함하는 정류 소자를 가진 안티퓨즈 메모리>
- [0029] 6-1. 기본 구성
- [0030] 6-2. 데이터의 기입 동작
- [0031] 6-3. 상기 구성에 의한 반도체 기억 장치의 작용 및 효과
- [0032] <7. 4개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트 및 1개의 비트선 콘택트를 공유하는 경우에 대하여>
- [0033] 7-1. 평면 레이아웃의 구성에 대하여
- [0034] 7-2. 비트선 및 워드선의 평면 레이아웃의 구성에 대하여

- [0035] <8. 다른 실시 형태에 의한 비트선 및 워드선의 평면 레이아웃의 구성에 대하여>
- [0036] <9. 2개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 열방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여>
- [0037] <10. 행방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 2개의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여>
- [0038] <11. 다른 실시 형태>
- [0039] 11-1. P형 MOS 트랜지스터를 포함하는 정류 소자를 가진 안티퓨즈 메모리
- [0040] 11-2. 트랜지스터 구성의 정류 소자를 구비한 안티퓨즈 메모리에 있어서의 다른 실시 형태에 의한 구성
- [0041] 11-3. 기타
- [0042] (1) 행렬 형상으로 안티퓨즈 메모리가 형성된 본 발명의 반도체 기억 장치의 기본적 개념
- [0043] (1-1) 기본 구성
- [0044] 도 1에 있어서, 참조 부호 1은 본 발명의 반도체 기억 장치를 나타내고, 예를 들어 4개의 안티퓨즈 메모리(2a, 2b, 2c, 2d)가 행렬 형상으로 배치된 구성을 갖는다. 이 경우, 반도체 기억 장치(1)는 행방향으로 배열되는 안티퓨즈 메모리[2a, 2b(2c, 2d)]에서 워드선 WLa(WLb)를 공유하고 있음과 함께, 열방향으로 배열되는 안티퓨즈 메모리[2a, 2c(2b, 2d)]에서 비트선 BLa(BLb)를 공유하고 있다. 각 안티퓨즈 메모리(2a, 2b, 2c, 2d)는, 모두 동일 구성을 갖고 있기 때문에, 여기에서는 예를 들어 1행1열짜의 안티퓨즈 메모리(2a)에 주목하여 설명한다. 실제상, 안티퓨즈 메모리(2a)는, PN 접합 다이오드의 반도체 접합 구조를 가진 정류 소자(3)와, 메모리 게이트 전극 G 및 비트선 BLa의 전압차에 의해 절연 파괴되는 메모리 게이트 절연막(6)을 구비한 메모리 캐패시터(4)를 포함하고 있다.
- [0045] 이 실시 형태의 경우, 정류 소자(3)는 P형 반도체 영역과 N형 반도체 영역이 접합된 구성을 갖고 있고, P형 반도체 영역이 워드선 WLa에 접속되어 있음과 함께, N형 반도체 영역이 메모리 캐패시터(4)의 메모리 게이트 전극 G에 접속되어 있다. 이에 의해, 안티퓨즈 메모리(2a)는, 워드선 WLa로부터 정류 소자(3)를 통해 메모리 캐패시터(4)의 메모리 게이트 전극 G에 전압이 인가되는 한편, 당해 메모리 게이트 전극 G로부터 워드선 WLa에의 전압 인가가 정류 소자(3)에서 역방향 바이어스의 전압으로 되어, 정류 소자(3)에 의해 메모리 게이트 전극 G로부터 워드선 WLa에의 전압 인가가 차단될 수 있다.
- [0046] 이와 같은 안티퓨즈 메모리(2a, 2b, 2c, 2d)는, 데이터 기입 동작 시, 워드선 WLa, WLb에 인가된 전압이 정류 소자(3)를 통해 메모리 캐패시터(4)의 메모리 게이트 전극 G에 인가되고, 메모리 캐패시터(4)에 있어서 메모리 게이트 전극 G와 비트선 BLa, BLa 사이에 큰 전압차가 발생하면, 메모리 캐패시터(4)의 메모리 게이트 절연막(6)이 절연 파괴되어, 당해 메모리 캐패시터(4)에 데이터가 기입될 수 있다.
- [0047] 여기서 반도체 기억 장치(1)에 형성되는 본 발명의 안티퓨즈 메모리(2a, 2b, 2c, 2d)에 대하여 상세하게 설명한다. 또한, 여기에서는, 도 1에 있어서, 예를 들어 1행짜에 배열되어 있는 2개의 안티퓨즈 메모리(2a, 2b)에 주목하여 이하 설명한다. 도 2a에 도시한 바와 같이, 반도체 기억 장치(1)는 예를 들어 Si를 포함하는 P형 또는 N형의 웰 S2가, 반도체 기판 S1 상에 형성되어 있고, 당해 웰 S2의 표면에 절연 부재로 이루어지는 정류 소자 형성층 ILb가 형성되어 있다. 또한, 웰 S2의 표면에는, 정류 소자 형성층 ILb를 사이에 두도록 하여, 당해 정류 소자 형성층 ILb로부터 소정 간격을 설정하여 절연 부재로 이루어지는 소자 분리층 ILa, ILc가 형성되어 있다.
- [0048] 이 경우, 반도체 기억 장치(1)는 정류 소자 형성층 ILb 및 하나의 소자 분리층 ILa 간에 하나의 안티퓨즈 메모리(2a)의 메모리 캐패시터(4)가 형성되고, 정류 소자 형성층 ILb 및 다른 소자 분리층 ILc 간에 다른 안티퓨즈 메모리(2b)의 메모리 캐패시터(4)가 형성될 수 있다.
- [0049] 실제상, 정류 소자 형성층 ILb 및 하나의 소자 분리층 ILa 간에는, 당해 소자 분리층 ILa에 인접하도록 하여 웰 S2의 표면에 하나의 확산 영역(5)이 형성되어 있고, 이 확산 영역(5) 및 정류 소자 형성층 ILb 간의 웰 S2 상에 메모리 게이트 절연막(6)을 개재하여 메모리 게이트 전극 G가 배치된 메모리 캐패시터(4)가 형성되어 있다.
- [0050] 또한, 정류 소자 형성층 ILb 및 다른 소자 분리층 ILc 간에도, 당해 소자 분리층 ILc에 인접하도록 하여 웰 S2의 표면에 다른 확산 영역(5)이 형성되어 있고, 이 확산 영역(5) 및 정류 소자 형성층 ILb 간의 웰 S2 상에 메

모리 게이트 절연막(6)을 개재하여 메모리 게이트 전극 G가 배치된 메모리 캐패시터(4)가 형성되어 있다.

- [0051] 각 확산 영역(5)에는, 실리사이드 SC 상에 비트선 콘택트 BC가 각각 기립 형성되어 있고, 당해 비트선 콘택트 BC의 선단에, 대응한 비트선 BLa, BLb가 각각 접속되어 있다. 이에 의해 예를 들어 안티퓨즈 메모리(2a)의 메모리 캐패시터(4)에는, 비트선 BLa로부터 비트선 콘택트 BC를 통해 확산 영역(5)에 소정 전압이 인가될 수 있다. 이러한 구성에 더하여, 정류 소자 형성층 ILb에는, 표면에 정류 소자(3)가 형성되어 있다. 이 실시 형태의 경우, 정류 소자 형성층 ILb의 표면에는, P형 반도체 영역(8)과, 당해 P형 반도체 영역(8)의 양측에 형성된 N형 반도체 영역(7)이 형성되어 있고, 하나의 N형 반도체 영역(7) 및 P형 반도체 영역(8)에 의한 반도체 접합 구조에 의해, PN 접합 다이오드의 정류 소자(3)가 형성되어 있다.
- [0052] 이 경우, 각 안티퓨즈 메모리(2a, 2b)에서는, 메모리 캐패시터(4)의 메모리 게이트 전극 G가 N형 반도체에 의해 형성되어 있고, 당해 메모리 게이트 전극 G의 단부와, 정류 소자 형성층 ILb 상에 형성된 정류 소자(3)의 N형 반도체 영역(7)의 단부가 일체 형성되어 있다. 또한, 안티퓨즈 메모리(2a, 2b)는, 이들 정류 소자(3)의 N형 반도체 영역(7) 및 P형 반도체 영역(8)과, 메모리 캐패시터(4)의 각 메모리 게이트 전극 G가 동일한 배선층(동일층)에 형성되어 있고, 정류 소자(3)의 N형 반도체 영역(7) 및 P형 반도체 영역(8)과, 메모리 캐패시터(4)의 메모리 게이트 전극 G가, 동일한 막 두께로 형성되어 있다.
- [0053] 이에 의해, 안티퓨즈 메모리(2a, 2b)에서는, 정류 소자(3)의 N형 반도체 영역(7), P형 반도체 영역(8) 및 메모리 캐패시터(4)의 메모리 게이트 전극 G의 각 접합 표면에 단차가 없고 전체로서 박형화가 도모되어 있다. 또한, 안티퓨즈 메모리(2a, 2b)에서는, 정류 소자(3)의 N형 반도체 영역(7), P형 반도체 영역(8), 및 메모리 캐패시터(4)의 메모리 게이트 전극 G를 동일한 성막 공정에서 형성할 수 있기 때문에, N형 반도체 영역(7), P형 반도체 영역(8) 및 메모리 캐패시터(4)의 메모리 게이트 전극 G를 각각 따로따로 형성하는 경우에 비해 제조 프로세스의 간략화를 도모할 수 있다.
- [0054] 또한, 정류 소자(3)에는, P형 반도체 영역(8)의 실리사이드 SC에 워드선 콘택트 WC가 기립 형성되어 있고, 비트선 BLa, BLa 상부에 배치된 워드선 WLa가, 워드선 콘택트 WC를 통해 P형 반도체 영역(8)에 접속되어 있다. 이렇게 하여, 예를 들어 안티퓨즈 메모리(2a)에서는, 메모리 게이트 전극 G에 대하여 상대적으로 정의 전압이 워드선 WLa에 인가되면, 당해 워드선 WLa로부터의 전압이, 워드선 콘택트 WC, 정류 소자(3)의 P형 반도체 영역(8) 및 N형 반도체 영역(7)을 순차적으로 통해 각 메모리 캐패시터(4)의 메모리 게이트 전극 G에 인가된다. 한편, 안티퓨즈 메모리(2a)에서는, 워드선 WLa에 대하여 상대적으로 정의 전압이 메모리 캐패시터(4)의 메모리 게이트 전극 G에 인가되면, 당해 메모리 게이트 전극 G로부터의 전압이, 정류 소자(3)에 있어서 역방향 바이어스의 전압으로 되어, N형 반도체 영역(7) 및 P형 반도체 영역(8) 간에서 차단될 수 있다. 또한, 웰 S2 상에 형성된 비트선 콘택트 BC나, 워드선 콘택트 WC, 정류 소자(3), 메모리 게이트 전극 G, 비트선 BLa, BLb, 워드선 WLa는 층간 절연층(9)에 의해 덮여 있다.
- [0055] 또한, 도 2a와의 대응 부분에 동일 부호를 붙여 나타내는 도 2b는, 도 2a에 도시한 안티퓨즈 메모리(2a, 2b)가 형성된 영역에서의 평면 레이아웃의 구성을 도시한다. 또한, 도 2a는 도 2b의 A-A'에서의 측단면 구성으로 된다. 도 2b에 도시한 바와 같이, 반도체 기억 장치(1)는 각 비트선 콘택트 BC가, 웰 S2의 대응하는 활성 영역(12)에 배치되어 있다. 인접하는 안티퓨즈 메모리(2a, 2b)에 각각 형성된 직사각형상의 N형 반도체 영역(7)은, 직사각형상의 P형 반도체 영역(8)의 중심 위치에 배치된 워드선 콘택트 WC를 중심으로 좌우 대칭으로 배치되어 있다. 또한, 각 N형 반도체 영역(7)은, 일단이 P형 반도체 영역(8)의 변에 접합하고 있고, 당해 P형 반도체 영역(8)으로부터 활성 영역(12)을 향하여 연장된 긴 변 방향을 갖고, 선단부에 접합된 메모리 게이트 전극 G가, 대응하는 활성 영역(12)과 대향 배치되어 있다. 그리고, 메모리 게이트 전극 G와 활성 영역(12)의 대향 영역에는, 각각 안티퓨즈 메모리(2a, 2b)의 메모리 게이트 절연막(6)이 형성되어 있다.
- [0056] 덧붙여서, 이와 같은 구성을 갖는 반도체 기억 장치(1)는 포토리소그래피 기술, 산화나 CVD(Chemical Vapor Deposition) 등의 성막 기술, 에칭 기술 및 이온 주입법을 이용한 일반적인 반도체 제조 프로세스에 의해 형성할 수 있기 때문에, 여기에서는 그 설명은 생략한다.
- [0057] (1-2) 데이터의 기입 동작
- [0058] 다음에, 이러한 구성을 가진 반도체 기억 장치(1)에 있어서, 예를 들어 2행1열체의 안티퓨즈 메모리(2c)에만 데이터를 기입할 때의 데이터 기입 동작에 대하여 설명한다. 또한, 여기에서는, 데이터를 기입하는 안티퓨즈 메모리(2c)를 기입 선택 메모리라고도 칭하고, 데이터를 기입하지 않는 안티퓨즈 메모리(2a, 2b, 2d)를 기입 비선택 메모리라고도 칭한다. 이 경우, 도 1에 도시한 바와 같이, 반도체 기억 장치(1)에는, 기입 선택 메모리로

되는 안티퓨즈 메모리(2c)가 접속된 비트선 BLa(이하, 기입 선택 비트선이라고도 칭함)에 0[V]의 파괴 비트 전압이 인가되고, 기입 비선택 메모리로 되는 안티퓨즈 메모리(2b, 2d)만이 접속된 비트선 BLb(이하, 기입 비선택 비트선이라고도 칭함)에 3[V]의 비파괴 비트 전압이 인가될 수 있다.

[0059] 또한, 이때, 반도체 기억 장치(1)에는, 기입 선택 메모리로 되는 안티퓨즈 메모리(2c)가 접속된 워드선 Wlb(이하, 기입 선택 워드선이라고도 칭함)에 5[V]의 파괴 워드 전압이 인가되고, 기입 비선택 메모리로 되는 안티퓨즈 메모리(2a, 2b)만이 접속된 워드선 WLa(이하, 기입 비선택 워드선이라고도 칭함)에 0[V]의 비파괴 워드 전압이 인가될 수 있다. 안티퓨즈 메모리(기입 선택 메모리)(2c)에서는, 기입 선택 워드선으로 되는 워드선 Wlb로부터 정류 소자(3)의 P형 반도체 영역(8)에 5[V]의 파괴 워드 전압이 인가됨과 함께, 기입 선택 비트선으로 되는 비트선 BLa로부터 메모리 캐패시터(4)의 일단의 확산 영역(5)에 0[V]의 파괴 비트 전압이 인가될 수 있다.

[0060] 이에 의해, 안티퓨즈 메모리(2c)에서는, 정류 소자(3)로부터 메모리 캐패시터(4)의 메모리 게이트 전극 G에 파괴 워드 전압이 인가됨과 함께, 비트선 BLa로부터 확산 영역(5)에 0[V]이 인가되고, 그 결과, 메모리 캐패시터(4)의 채널(도시하지 않음)이 온 상태로 되어, 채널 전위가 비트선 BLa의 전위와 동전위로 된다. 이렇게 하여, 안티퓨즈 메모리(2c)에서는, 예를 들어 정류 소자(3)의 PN 접합 다이오드의 빌트인 포텐셜을 0.7[V]로 한 경우, 채널과 메모리 게이트 전극 G의 전위차가 4.3[V]으로 되기 때문에, 메모리 게이트 전극 G 하부의 메모리 게이트 절연막(6)이 절연 파괴되고, 메모리 게이트 전극 G와 확산 영역(5)이 채널을 통해 저저항에서 도통 상태로 되어, 데이터가 기입된 상태로 될 수 있다.

[0061] 한편, 5[V]의 파괴 워드 전압이 인가되는 워드선(기입 선택 워드선) Wlb에 접속되어 있지만, 데이터가 기입되지 않는 다른 열의 안티퓨즈 메모리(2d)에서는, 메모리 캐패시터(4)의 일단에 있는 확산 영역(5)에 비트선(기입 비선택 비트선) BLb를 통해 3[V]의 비파괴 비트 전압이 인가되기 때문에, 메모리 캐패시터(4)에 있어서 메모리 게이트 전극 G와 확산 영역(5)의 전압차가 1.3[V](빌트인 포텐셜 0.7[V]을 고려)으로 작아진다. 이 때문에, 이 안티퓨즈 메모리(2d)에서는, 설령 메모리 캐패시터(4)에 있어서 메모리 게이트 전극 G 하부의 메모리 게이트 절연막(6)이 절연 파괴되어 있지 않을 때라도, 당해 메모리 게이트 절연막(6)이 절연 파괴되지 않고 절연 상태인 채로 되어, 데이터가 기입되지 않는 상태가 유지될 수 있다.

[0062] 또한, 3[V]의 비파괴 비트 전압이 인가되는 비트선(기입 비선택 비트선) BLb에 접속되며, 데이터가 기입되지 않는 다른 안티퓨즈 메모리(2b)에서는, 메모리 게이트 절연막(6)이 절연 파괴되어 있지 않을 때, 워드선(기입 비선택 워드선) WLa로부터 정류 소자(3)를 통해 메모리 게이트 전극 G에 0[V]의 비파괴 워드 전압이 인가되기 때문에, 메모리 캐패시터(4)에 있어서, 메모리 게이트 전극 G와, 비트선 BLb가 접속된 확산 영역(5)의 전압차가 3[V]으로 작아진다.

[0063] 이 때문에, 이 안티퓨즈 메모리(2b)에서는, 설령 메모리 캐패시터(4)에 있어서 메모리 게이트 전극 G 하부의 메모리 게이트 절연막(6)이 절연 파괴되어 있지 않을 때라도, 당해 메모리 게이트 절연막(6)이 절연 파괴되지 않고 절연 상태인 채로 되어, 데이터가 기입되지 않는 상태가 유지될 수 있다.

[0064] 또한, 비트선(기입 비선택 비트선) BLb로부터 3[V]의 비파괴 비트 전압이 인가되는 안티퓨즈 메모리(2b)에서는, 예를 들어 메모리 캐패시터(4)의 메모리 게이트 절연막(6)이 이미 절연 파괴되어 있는 경우라도, 워드선(기입 비선택 워드선) WLa에 0[V]의 비파괴 워드 전압이 인가되어 있기 때문에, 메모리 캐패시터(4)에 채널이 형성되지 않아, 당해 비트선 BLb의 3[V]의 비파괴 비트 전압이 메모리 캐패시터(4)에 의해 차단된다. 이에 의해, 이 안티퓨즈 메모리(2d)에서는, 비파괴 비트 전압이, 절연 파괴된 메모리 게이트 절연막(6)을 통해 메모리 게이트 전극 G에 인가되는 일은 없다.

[0065] 그러나, 메모리 게이트 절연막(6)의 절연 파괴된 개소가, 예를 들어 비트선(기입 비선택 비트선) BLb가 접속되어 있는 확산 영역(5)에 매우 가까운 개소였을 때에는, 비트선 BLb의 전위를 메모리 캐패시터(4)의 채널에 의해 차단할 수 없어, 당해 확산 영역(5)에 인가된 3[V]의 비파괴 비트 전압이 메모리 게이트 전극 G에 인가되어 버릴 우려도 있다.

[0066] 이와 같은 경우라도, 본 발명의 안티퓨즈 메모리(2b)에서는, N형 반도체 영역(7) 및 P형 반도체 영역(8)에 의한 반도체 접합 구조에 의해 PN 접합 다이오드로 이루어지는 정류 소자(3)가 메모리 캐패시터(4)의 메모리 게이트 전극 G와, 워드선 WLa 사이에 형성되어 있음으로써, 메모리 게이트 전극 G로부터 정류 소자(3)에 3[V]의 비파괴 비트 전압이 인가되어도, 당해 정류 소자(3)에 있어서 N형 반도체 영역(7)으로부터 P형 반도체 영역(8)으로의 역방향 바이어스의 전압으로 되어, 당해 정류 소자(3)에 의해 메모리 게이트 전극 G로부터 워드선 WLa에의 전압 인가를 확실하게 차단할 수 있다.

- [0067] 또한, 만약, 이와 같은 정류 소자(3)에 의한 차단 기능이 없는 경우에는, 안티퓨즈 메모리(2b)를 통해 비트선 BLb의 3[V]의 비파괴 비트 전압이, 워드선 WLa에 전달되어 버린다. 이 경우, 안티퓨즈 메모리(2b)를 통해 워드선 WLa에 인가된 3[V]의 전압이, 워드선 WLa를 통해, 당해 워드선 WLa를 공유하는 다른 안티퓨즈 메모리(2a)의 메모리 게이트 전극 G에까지 전달되어 버린다. 그 때문에, 안티퓨즈 메모리(2a)의 메모리 게이트 절연막(6)이 이미 파괴되어 있었던 경우에는, 비트선 BLa와 워드선 WLa가 쇼트하여 동전위로 되려고 하고, 그 결과, 하나의 비트선 BLa와, 다른 비트선 BLb가 원하는 전위를 유지할 수 없게 되어 버려, 안티퓨즈 메모리에 대한 정상적인 데이터 기입 동작이 행할 수 없게 되어 버린다는 문제가 발생한다.
- [0068] 덧붙여서, 0[V]의 비파괴 워드 전압이 인가되는 워드선(기입 비선택 워드선) WLa와, 동일하게 0[V]의 비파괴 비트 전압이 인가되는 비트선(기입 비선택 비트선) BLa에 접속되는, 데이터를 기입하지 않는 안티퓨즈 메모리(2a)에서는, 메모리 캐패시터(4)에 있어서 메모리 게이트 전극 G와 확산 영역(5)의 전압차가 0[V]으로 되기 때문에, 절령 메모리 게이트 절연막(6)이 절연 파괴되어 있지 않을 때라도, 당해 메모리 게이트 절연막(6)이 절연 파괴되지 않고 절연 상태인 채로 되어, 데이터가 기입되지 않는 상태가 유지될 수 있다. 이렇게 하여, 반도체 기억 장치(1)에서는, 행렬 형상으로 배치된 안티퓨즈 메모리(2a, 2b, 2c, 2d) 중, 원하는 안티퓨즈 메모리(2c)에만 데이터를 기입할 수 있다.
- [0069] (1-3) 데이터의 판독 동작
- [0070] 다음에, 도 1에 도시한 반도체 기억 장치(1)에 있어서, 예를 들어 2행1열짜의 안티퓨즈 메모리(2c)의 데이터를 판독하는 경우에 대하여 설명한다. 이 경우, 판독 선택 메모리로 되는 안티퓨즈 메모리(2c)가 접속된 비트선 BLa(이하, 판독 선택 비트선이라고도 칭함)와, 데이터를 판독하지 않는 판독 비선택 메모리로 되는 안티퓨즈 메모리(2b, 2d)만이 접속된 비트선 BLb(이하, 판독 비선택 비트선이라고도 칭함)는, 처음에 1.2[V]의 전압으로 충전된다. 이때, 판독 선택 메모리인 안티퓨즈 메모리(2c)가 접속된 워드선 WLa(이하, 판독 선택 워드선이라고도 칭함)에는, 1.2[V]의 판독 선택 워드 전압이 인가됨과 함께, 판독 비선택 메모리로 되는 안티퓨즈 메모리(2a, 2b)만이 접속된 워드선 WLa(이하, 판독 비선택 워드선이라고도 칭함)에는, 0[V]의 판독 비선택 워드 전압이 인가된다.
- [0071] 그 후, 판독 선택 비트선 BLb에는 0[V]의 판독 선택 비트 전압이 인가된다. 이에 의해, 판독 선택 메모리인 안티퓨즈 메모리(2c)에는, 워드선 WLa로부터 정류 소자(3)의 P형 반도체 영역(8)에 1.2[V]의 판독 선택 워드 전압이 인가됨과 함께, 비트선 BLa로부터 메모리 캐패시터(4)의 일단의 확산 영역(5)에 0[V]의 판독 선택 비트 전압이 인가될 수 있다.
- [0072] 이때, 판독 선택 메모리로 되는 안티퓨즈 메모리(2c)는, 메모리 캐패시터(4)의 메모리 게이트 절연막(6)이 절연 파괴되어 데이터가 기입된 상태에 있을 때, 워드선 WLa의 1.2[V]의 판독 선택 워드 전압에 의해, 정류 소자(3)에서 P형 반도체 영역(8)으로부터 N형 반도체 영역(7)으로 순방향 바이어스의 전압이 가해진다. 이에 의해, 안티퓨즈 메모리(2c)에서는, 워드선 WLa의 판독 선택 워드 전압이, 정류 소자(3)로부터 메모리 캐패시터(4)를 통해 비트선 BLa에 인가될 수 있다.
- [0073] 그 결과, 비트선 BLa에는, 1.2[V]의 판독 선택 워드 전압이 안티퓨즈 메모리(판독 선택 메모리)(2c)에서 빌트인 포텐셜분 저하된 전압이 인가될 수 있다. 이에 의해, 비트선 BLa에서는, 안티퓨즈 메모리(2c)를 통해 워드선 WLa와 전기적으로 접속됨으로써, 0[V]의 판독 선택 비트 전압이 0.5[V]로 되어, 전압값이 변화될 수 있다.
- [0074] 덧붙여서, 판독 선택 메모리로 되는 안티퓨즈 메모리(2c)에 있어서, 메모리 캐패시터(4)의 메모리 게이트 절연막(6)이 절연 파괴되어 있지 않고 데이터가 기입되어 있지 않을 때에는, 메모리 캐패시터(4)에 의해, 워드선 WLa와 비트선 BLa의 전기적인 접속이 차단되게 된다. 이에 의해, 비트선 BLa에서는, 0[V]의 판독 선택 비트 전압이 변화되지 않고, 0[V]의 상태를 그대로 유지할 수 있다.
- [0075] 이와 같이 반도체 기억 장치(1)에서는, 비트선(판독 선택 비트선) BLa에 인가되어 있는 판독 선택 비트 전압이 변화되었는지 여부를 검지함으로써, 판독 선택 메모리로 되는 안티퓨즈 메모리(2c)에 데이터가 기입되어 있는지 여부를 판단할 수 있다.
- [0076] 또한, 비트선(판독 선택 비트선) BLa에 접속되고, 또한 데이터를 판독하지 않는 안티퓨즈 메모리(2a)에서는, 워드선(판독 비선택 워드선) WLa에 0[V]의 판독 비선택 워드 전압이 인가되어 있기 때문에, 절령 메모리 캐패시터(4)의 메모리 게이트 절연막(6)이 절연 파괴되어 있어도, 비트선(판독 선택 비트선) BLa의 전압 변화에 기여하는 일은 없다.

- [0077] 덧붙여서, 예를 들어 데이터를 판독하는 안티퓨즈 메모리(2c)에 의해 비트선(판독 선택 비트선) BLa의 전압값이 0.5[V]로 되어 있을 때, 이 판독 선택 비트선 BLa를 공유하는, 데이터를 판독하지 않는 다른 안티퓨즈 메모리(2a)에서 메모리 캐패시터(4)의 메모리 게이트 절연막(6)이 절연 파괴되어 있어도, 당해 안티퓨즈 메모리(2a)에서는, 정류 소자(3)에 역방향 바이어스의 전압이 가해지게 되기 때문에, 0.5[V]의 판독 선택 비트 전압이 정류 소자(3)에 의해 차단되어, 워드선(판독 비선택 워드선) WLa에 인가되어 버리는 것을 방지할 수 있다.
- [0078] 또한, 0[V]의 판독 비선택 워드 전압이 인가된 워드선(판독 비선택 워드선) WLb와, 1.2[V]의 판독 비선택 비트 전압이 인가된 비트선(판독 비선택 비트선) BLb에 접속된 안티퓨즈 메모리(2b)에서도, 절령 메모리 게이트 절연막(6)이 절연 파괴되어 있어도, 정류 소자(3)에서 역방향 바이어스의 전압으로 되기 때문에, 워드선(판독 비선택 워드선) WLb로부터 비트선(판독 비선택 비트선) BLb에의 전압 인가를 정류 소자(3)에 의해 차단할 수 있다.
- [0079] 또한, 1.2[V]의 판독 선택 워드 전압이 인가된 워드선(판독 선택 워드선) WLb와, 1.2[V]의 판독 비선택 비트 전압이 인가된 비트선(판독 비선택 비트선) BLb에 접속된 안티퓨즈 메모리(2d)에서는, 절령 메모리 게이트 절연막(6)이 절연 파괴되어 있어도, 워드선(판독 선택 워드선) WLb 및 비트선(판독 비선택 비트선) BLb의 전압값이 동일하기 때문에, 1.2[V]의 판독 선택 워드 전압이 변동되는 일도 없어, 다른 안티퓨즈 메모리(2c)의 판독 동작에 영향을 주는 일은 없다. 이렇게 하여 반도체 기억 장치(1)에서는, 행렬 형상으로 배치된 안티퓨즈 메모리(2a, 2b, 2c, 2d) 중, 원하는 안티퓨즈 메모리(2c)의 데이터만을 판독할 수 있다.
- [0080] (1-4) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과
- [0081] 이상의 구성에 있어서, 예를 들어 안티퓨즈 메모리(2c)에서는, 웰 S2 상에 메모리 게이트 절연막(6)을 개재하여 메모리 게이트 전극 G가 형성되고, 웰 S2 표면에 형성된 한쪽의 확산 영역(5)에 비트선 콘택트 BC를 통해 비트선 BLa가 접속된 메모리 캐패시터(4)와, 메모리 게이트 전극 G와 워드선 WLb 사이에 형성되며, 워드선 WLb로부터의 전압이 워드선 콘택트 WC를 경유하여 메모리 게이트 전극 G에 인가되는 한편, 메모리 게이트 전극 G로부터 워드선 콘택트 WC에의 전압 인가가 역방향 바이어스의 전압으로 되어, 메모리 게이트 전극 G로부터 워드선 콘택트 WC에의 전압 인가를 차단하는 정류 소자(3)를 형성하도록 하였다.
- [0082] 또한, 안티퓨즈 메모리(2c)에서는, 메모리 캐패시터(4)에 데이터를 기입할 때, 기입 선택 워드선 WLa에 인가된 기입 파괴 워드 전압이, 정류 소자(3)를 통해 메모리 캐패시터(4)의 메모리 게이트 전극 G에 인가되고, 당해 메모리 게이트 전극 G와 기입 선택 비트선 BLa의 전압차에 의해, 메모리 캐패시터(4)의 메모리 게이트 절연막(6)이 절연 파괴되도록 하였다.
- [0083] 한편, 데이터를 기입하지 않는 데이터 비기입 동작의 안티퓨즈 메모리(2b)에서는, 메모리 캐패시터(4)에 접속된 비트선 BLb에 고전압의 비파괴 비트 전압이 인가되었을 때에, 예를 들어 메모리 캐패시터(4)의 메모리 게이트 절연막(6)이 절연 파괴되어 있어도, 기입 비선택 워드선 WLb에 0[V]의 비파괴 워드 전압이 인가되어 있기 때문에, 메모리 캐패시터(4)에 채널이 형성되지 않아, 기입 비선택 비트선 BLb로부터 워드선 WLa에의 전압 인가를 메모리 캐패시터(4)에 의해 차단할 수 있다.
- [0084] 이때, 본 발명의 안티퓨즈 메모리(2b)에서는, 예를 들어 기입 비선택 비트선 BLb가 접속되어 있는 확산 영역(5)에 매우 가까운 개소에서 메모리 게이트 절연막(6)의 절연 파괴가 발생하고, 절령 기입 비선택 비트선 BLb의 전위를 메모리 캐패시터(4)의 채널에 의해 차단할 수 없어, 기입 비선택 비트선 BLb로부터 메모리 캐패시터(4)의 메모리 게이트 전극 G에 비파괴 비트 전압이 인가되어 버려도, 당해 비파괴 비트 전압이 정류 소자(3)에서 역방향 바이어스의 전압으로 되기 때문에, 당해 정류 소자(3)에 의해 메모리 게이트 전극 G로부터 워드선 WLa에의 전압 인가를 확실하게 차단할 수 있다.
- [0085] 이와 같이 본 발명의 안티퓨즈 메모리(2b)에서는, (i) 기입 비선택 워드선 WLb에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(4)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(3)를 역방향 바이어스 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이중의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 판독 시에 있어서의 오동작도 확실하게 방지할 수 있다.
- [0086] 따라서, 안티퓨즈 메모리(2b)에서는, 종래와 같은 제어 회로를 사용하지 않고, 메모리 게이트 전극 G 및 워드선 WLa에 인가되는 전압값에 의해, 메모리 게이트 전극 G로부터 워드선 WLa에의 전압 인가가 역방향 바이어스의 전압으로 되는 반도체 접합 구조의 정류 소자(3)를 형성하고, 당해 정류 소자(3)에 의해 메모리 게이트 전극 G로부터 워드선 WLa에의 전압 인가를 차단하도록 하였기 때문에, 종래와 같은 메모리 캐패시터에의 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회

로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.

- [0087] 또한, 안티퓨즈 메모리(2a, 2b, 2c, 2d)는, 도 2a에 도시한 바와 같이, 정류 소자(3)의 P형 반도체 영역(8) 및 N형 반도체 영역(7)이, 메모리 캐패시터(4)의 메모리 게이트 전극 G와 동일층에 형성되어 있기 때문에, 단층 구조로 이루어지는 메모리 캐패시터(4)의 메모리 게이트 전극 G를 형성하는 일반적인 반도체 제조 프로세스를 이용하여, 메모리 게이트 전극 G를 형성하는 제조 공정에서 정류 소자(3)의 P형 반도체 영역(8) 및 N형 반도체 영역(7)도 형성할 수 있다.
- [0088] (2) 4개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트 및 1개의 비트선 콘택트를 공유하는 경우에 대하여
- [0089] (2-1) 평면 레이아웃의 구성에 대하여
- [0090] 다음에 상술한 안티퓨즈 메모리가 행렬 형상으로 배치된 반도체 기억 장치(1)의 평면 레이아웃의 구성에 대하여 설명한다. 도 2b와의 대응 부분에 동일 부호를 붙여 나타내는 도 3은 예를 들어 함께 16개의 안티퓨즈 메모리(2a₁, 2a₂, 2a₃, 2a₄, 2a₅, 2a₆, 2a₇, 2a₈, 2a₉, 2a₁₀, 2a₁₁, 2a₁₂, 2a₁₃, 2a₁₄, 2a₁₅, 2a₁₆)를 4행4열로 배치하였을 때의 평면 레이아웃의 구성을 도시하고 있다. 이 경우, 반도체 기억 장치(1)에 있어서, 안티퓨즈 메모리(2a₁, 2a₂, 2a₃, 2a₄, 2a₅, 2a₆, 2a₇, 2a₈, 2a₉, 2a₁₀, 2a₁₁, 2a₁₂, 2a₁₃, 2a₁₄, 2a₁₅, 2a₁₆)는 모두 동일 구성을 갖고 있고, 상술한 도 2a 및 도 2b와 마찬가지로, 각각 정류 소자(3)와 메모리 캐패시터(4)를 갖고 있다. 또한, 워드선 콘택트 WC11, WC12, WC13, WC14에 대해서도 모두 동일 구성으로 이루어지기 때문에, 여기에서는, 예를 들어 워드선 콘택트 WC12에 주목하여 이하 설명한다.
- [0091] 이 경우, 워드선 콘택트 WC12가 기립 형성되는 P형 반도체 영역(8)은, 직사각 형상으로 형성되어 있고, 서로 인접하는 4개의 안티퓨즈 메모리(2a₃, 2a₄, 2a₇, 2a₈)에서 공유되고 있다. 실제상, 워드선 콘택트 WC12가 기립 형성된 P형 반도체 영역(8)에는, 열방향으로 인접하는 2개의 안티퓨즈 메모리(2a₃, 2a₄)의 각 N형 반도체 영역(7)이 한 변에 접합되고, 동일하게 열방향으로 인접하는 2개의 안티퓨즈 메모리(2a₇, 2a₈)의 각 N형 반도체 영역(7)이 당해 한 변과 대향하는 타변에 접합되어 있다.
- [0092] 여기서, 예를 들어 안티퓨즈 메모리(2a₇)에 주목하면, P형 반도체 영역(8)과 N형 반도체 영역(7)이 접합되어 있음으로써, PN 접합 다이오드의 정류 소자(3)를 형성하고 있다. 이에 의해, 워드선 콘택트 WC12는, P형 반도체 영역(8)을 공유하는 4개의 안티퓨즈 메모리(2a₃, 2a₄, 2a₇, 2a₈)의 각 정류 소자(3)에 대하여, 워드선(도시하지 않음)으로부터의 소정의 워드 전압을 일률적으로 인가할 수 있다.
- [0093] 또한, 이들 4개의 안티퓨즈 메모리(2a₃, 2a₄, 2a₇, 2a₈)의 각 N형 반도체 영역(7)은 P형 반도체 영역(8)으로부터 멀어지도록 행방향을 향하여 각각 연장되어 있고, 선단부에 접합된 각 메모리 게이트 전극 G가, 각각 상이한 활성 영역(12)에 배치되어 있다. 또한, N형 반도체 영역(7)의 선단부에 일체 형성된 각 메모리 게이트 전극 G와, 활성 영역(12)이 대향한 각 영역에는, 각 안티퓨즈 메모리(2a₃, 2a₄, 2a₇, 2a₈)의 메모리 게이트 절연막(6)이 형성되어 있다.
- [0094] 다음에, 비트선 콘택트 BC11, BC12, BC13, BC14, BC15, BC16, BC17, BC18, BC19에 대하여 이하 설명한다. 이 실시 형태의 경우, 반도체 기억 장치(1)에는, 함께 9개의 비트선 콘택트 BC11, BC12, BC13, BC14, BC15, BC16, BC17, BC18, BC19가 3행3열로 배치되어 있다. 각 비트선 콘택트 BC11, BC12, BC13, BC14, BC15, BC16, BC17, BC18, BC19는, 각각 상이한 활성 영역(12)에 배치되어 있고, 비트선(도시하지 않음)으로부터의 소정의 비트 전압을, 대응하는 활성 영역(12)에 각각 인가할 수 있다.
- [0095] 여기서, 이들 9개의 비트선 콘택트 BC11, BC12, BC13, BC14, BC15, BC16, BC17, BC18, BC19 중, 중앙 영역에 배치된 비트선 콘택트 BC15가 배치된 활성 영역(12)에는, 상이한 P형 반도체 영역(8)에 접속되며, 또한 서로 인접하는 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)가 형성되어 있다. 이에 의해, 중앙 영역에 배치된 비트선 콘택트 BC15는, 서로 인접하는 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)에서 공유되고, 비트선으로부터의 소정의 비트 전압을, 이들 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)에 대하여 일률적으로 인가할 수 있도록 이루어져 있다.
- [0096] 이 경우, 중앙의 비트선 콘택트 BC15가 기립 형성된 활성 영역(12)에는, 당해 비트선 콘택트 BC15를 중심으로, 안티퓨즈 메모리(2a₆, 2a₇)와 안티퓨즈 메모리(2a₁₀, 2a₁₁)가 좌우 대칭으로 배치되어 있다. 구체적으로, 비트선

콘택트 BC15가 기립 형성된 활성 영역(12)의 한 변측에는, 열방향으로 인접하는 2개의 안티퓨즈 메모리(2a₆, 2a₇)의 각 메모리 게이트 전극 G가 대향 배치되고, 이들 안티퓨즈 메모리(2a₆, 2a₇)의 각 메모리 게이트 절연막(6)이 형성되어 있다. 또한 이 활성 영역(12)의 타변측에는, 동일하게 열방향으로 인접하는 다른 안티퓨즈 메모리(2a₁₀, 2a₁₁)의 각 메모리 게이트 전극 G가 대향 배치되고, 이들 안티퓨즈 메모리(2a₁₀, 2a₁₁)의 각 메모리 게이트 절연막(6)이 형성되어 있다.

[0097] 덧붙여서, 반도체 기억 장치(1)의 평면 레이아웃에 있어서 코너부에 배치된 4개의 비트선 콘택트 BC11, BC13, BC17, BC19에는, 각각 대응하는 1개의 안티퓨즈 메모리(2a₁, 2a₄, 2a₁₃, 2a₁₆)만이 접속되어 있다. 이렇게 하여, 이들 코너부에 배치된 각 비트선 콘택트 BC11, BC13, BC17, BC19에서는, 각각 대응하는 1개의 안티퓨즈 메모리(2a₁, 2a₄, 2a₁₃, 2a₁₆)에 대해서만 비트 전압을 인가할 수 있다.

[0098] 또한, 반도체 기억 장치(1)의 평면 레이아웃에 있어서 말단에 배열된 비트선 콘택트 BC11, BC12, BC13, BC14, BC16, BC17, BC18, BC19 중, 코너부 이외에 배치된, 예를 들어 비트선 콘택트 BC12에는, 2개의 안티퓨즈 메모리(2a₂, 2a₃)만이 접속되어 있다. 그리고, 코너부 이외에 배치된 그 밖의 비트선 콘택트 BC14, BC16, BC18에도, 각각 대응하는 2개의 안티퓨즈 메모리(2a₅, 2a₉, 2a₈, 2a₁₂, 2a₁₄, 2a₁₅)만이 접속되어 있다. 이와 같이, 반도체 기억 장치(1)에 있어서, 코너부 이외에 배치된 그 밖의 비트선 콘택트 BC12, BC14, BC16, BC18에서는, 공유하는 안티퓨즈 메모리수가 2개로 되고, 또한, 중앙 영역에 배치된 비트선 콘택트 BC15에서는, 공유하는 안티퓨즈 메모리수가 4개로 되기 때문에, 각 비트선 콘택트마다 1개의 안티퓨즈 메모리를 형성하는 경우에 비해 소형화를 도모할 수 있다.

[0099] 이상의 구성에 있어서, 도 3에 도시한 반도체 기억 장치(1)의 안티퓨즈 메모리(2a₁, 2a₂, 2a₃, 2a₄, 2a₅, 2a₆, 2a₇, 2a₈, 2a₉, 2a₁₀, 2a₁₁, 2a₁₂, 2a₁₃, 2a₁₄, 2a₁₅, 2a₁₆)에서는, 상술한 「(1-4) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, 종래와 같은 제어 회로를 사용하지 않고, 메모리 캐패시터(4)의 메모리 게이트 전극 G 및 워드선에 인가되는 전압값에 의해 정류 소자(3)에 의해 메모리 게이트 전극 G로부터 워드선에 의 전압 인가를 차단할 수 있고, 이렇게 하여, 종래와 같은 메모리 캐패시터에의 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 또한 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.

[0100] 그리고, 예를 들어 본 발명의 반도체 기억 장치(1)에 있어서의 안티퓨즈 메모리(2a₇)에서는, 상술한 「(1-4) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, (i) 워드선(기립 비선택 워드선)에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(4)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(3)를 역방향 바이어스 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이중의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 판독 시에 있어서의 오동작도 확실하게 방지할 수 있다.

[0101] 또한, 도 3에 도시한 반도체 기억 장치(1)에서는, 서로 인접하는 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)에서 1개의 비트선 콘택트 BC15를 공유함과 함께, 예를 들어 서로 인접하는 4개의 안티퓨즈 메모리(2a₃, 2a₄, 2a₇, 2a₈)에서 1개의 워드선 콘택트 WC12를 공유하도록 한 것에 의해, 각 안티퓨즈 메모리마다 비트선 콘택트 및 워드선 콘택트를 각각 개별로 형성하는 경우에 비해 장치 전체로서 소형화를 도모할 수 있다.

[0102] (2-2) 비트선 및 워드선의 평면 레이아웃의 구성에 대하여

[0103] 다음에, 도 3에 도시한 반도체 기억 장치(1)에 있어서의 비트선 및 워드선의 평면 레이아웃에 대하여 이하 설명한다. 도 3과의 대응 부분에 동일 부호를 붙여 나타내는 도 4와 같이, 반도체 기억 장치(1)에는, 1열째의 비트선 콘택트 BC11, BC12, BC13 중, 1행째의 비트선 콘택트 BC11과 3행째의 비트선 콘택트 BC13에 대하여 1열째의 비트선 BL1a가 접속되어 있고, 이들 비트선 콘택트 BC11, BC13 간의 2행째의 비트선 콘택트 BC12에 대하여 다른 2열째의 비트선 BL2a가 접속되어 있다. 이에 의해, 반도체 기억 장치(1)는, 예를 들어 1열째의 비트선 BL1a에 의해, P형 반도체 영역(8)이 각각 상이한 2개의 안티퓨즈 메모리(2a₁, 2a₄)에 대하여 소정의 비트 전압을 일률적으로 인가할 수 있고, 또한 2열째의 비트선 BL2a에 의해, P형 반도체 영역(8)이 각각 상이한 2개의 안티퓨즈 메모리(2a₂, 2a₃)에 대하여 1열째의 비트선 BL1a와는 상이한 소정의 비트 전압을 인가할 수 있다.

- [0104] 또한, 2열째의 비트선 콘택트 BC14, BC15, BC16에서는, 1행째의 비트선 콘택트 BC14와 3행째의 비트선 콘택트 BC16에 대하여 3열째의 비트선 BL3a가 접속되어 있고, 이들 비트선 콘택트 BC14, BC16 간의 2행째의 비트선 콘택트 BC15에 대하여 4열째의 비트선 BL4a가 접속되어 있다. 이에 의해, 반도체 기억 장치(1)는 예를 들어 3열째의 비트선 BL3a에 의해, P형 반도체 영역(8)이 각각 상이한 4개의 안티퓨즈 메모리(2a₅, 2a₉, 2a₈, 2a₁₂)에 대하여 소정의 비트 전압을 일률적으로 인가할 수 있고, 또한 4열째의 비트선 BL4a에 의해, P형 반도체 영역(8)이 각각 상이한 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)에 대하여, 3열째의 비트선 BL3a와는 상이한 소정의 비트 전압을 인가할 수 있다.
- [0105] 또한, 3열째의 비트선 콘택트 BC17, BC18, BC19에서는, 1행째의 비트선 콘택트 BC17과 3행째의 비트선 콘택트 BC19에 대하여 5열째의 비트선 BL5a가 접속되고, 이들 비트선 콘택트 BC17, BC19 간의 2행째의 비트선 콘택트 BC18에 대하여 6열째의 비트선 BL6a가 접속되어 있다. 이에 의해, 반도체 기억 장치(1)는 예를 들어 5열째의 비트선 BL5a에 의해, P형 반도체 영역(8)이 각각 상이한 2개의 안티퓨즈 메모리(2a₁₃, 2a₁₆)에 대하여 소정의 비트 전압을 일률적으로 인가할 수 있고, 또한 6열째의 비트선 BL6a에 의해, P형 반도체 영역(8)이 각각 상이한 2개의 안티퓨즈 메모리(2a₁₄, 2a₁₅)에 대하여, 5열째의 비트선 BL5a와는 상이한 소정의 비트 전압을 인가할 수 있다.
- [0106] 이러한 구성에 더하여, 워드선 콘택트 WC11, WC12, WC13, WC14에는 각각 상이한 워드선 WL1a, WL2a, WL3a, WL4a가 접속되어 있고, 각 워드선 WL1a, WL2a, WL3a, WL4a에 의해, 각 워드선 콘택트 WC11, WC12, WC13, WC14마다 상이한 워드 전압을 인가할 수 있다. 이 실시 형태의 경우, 예를 들어 1행째의 워드선 WL1a는, 1행1열째의 워드선 콘택트 WC11에 접속되어 있고, 당해 워드선 콘택트 WC11을 공유하는 4개의 안티퓨즈 메모리(2a₁, 2a₂, 2a₅, 2a₆)에 소정의 워드 전압을 일률적으로 인가할 수 있다. 또한, 다른 워드선 WL2a, WL3a, WL4a도 마찬가지로, 대응한 워드선 콘택트 WC13, WC12, WC14를 통해 각각 4개의 안티퓨즈 메모리(2a₉, 2a₁₀, 2a₁₃, 2a₁₄, 2a₃, 2a₄, 2a₇, 2a₈, 2a₁₁, 2a₁₂, 2a₁₅, 2a₁₆)에 대하여 소정의 워드 전압을 일률적으로 인가할 수 있다.
- [0107] 여기서, 예를 들어 1개의 비트선 콘택트 BC15에 접속된 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)에 주목하면, 당해 비트선 콘택트 BC15에 접속된 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)에는, 각각 전기적으로 독립적으로 제어할 수 있는 워드선 WL1a, WL2a, WL3a, WL4a가 접속되어 있고, 각 워드선 WL1a, WL2a, WL3a, WL4a에 의해 각각 상이한 워드 전압을 인가할 수 있다. 또한, 예를 들어 1개의 워드선 콘택트 WC12에 접속된 4개의 안티퓨즈 메모리(2a₃, 2a₄, 2a₇, 2a₈)에 주목하면, 당해 워드선 콘택트 WC12에 접속된 4개의 안티퓨즈 메모리(2a₃, 2a₄, 2a₇, 2a₈)에는, 각각 전기적으로 독립적으로 제어할 수 있는 비트선 BL1a, BL2a, BL3a, BL4a가 접속되어 있고, 각 비트선 BL1a, BL2a, BL3a, BL4a에 의해 각각 상이한 비트 전압을 인가할 수 있다.
- [0108] 그리고, 이와 같은 반도체 기억 장치(1)에서는, 비트선 BL1a, BL2a, BL3a, BL4a, BL5a, BL6a 및 워드선 WL1a, WL2a, WL3a, WL4a에 인가하는 전압을 적절히 조정함으로써, 상술한 「(1-2) 데이터의 기입 동작」에 의해, 예를 들어 소정 위치의 안티퓨즈 메모리(2a₁)에만 데이터를 기입할 수 있음과 함께, 상술한 「(1-3) 데이터의 판독 동작」에 의해, 예를 들어 소정 위치의 안티퓨즈 메모리(2a₁)에 있어서의 데이터를 판독할 수 있다.
- [0109] 덧붙여서, 도 4에 있어서의 반도체 기억 장치(1)에서는, 안티퓨즈 메모리수가 16개이기 때문에, 예를 들어 워드선 WL1a가 1개의 워드선 콘택트 WC11에만 접속된 구성으로 되어 있다. 그러나, 안티퓨즈 메모리수를 더 증가시킨 경우에는, 예를 들어 1열째의 워드선 WL1a와 2열째의 워드선 WL2a가, 행방향으로 배열되는 복수의 워드선 콘택트에 대하여 순차적으로 교대로 접속된 구성으로 된다. 예를 들어 1행1열째의 워드선 콘택트 WC11에 접속되어 있는 하나의 워드선 WL1a는, 1행3열째의 워드선 콘택트나, 1행5열째의 워드선 콘택트 등에도 접속되고, 한편, 1행2열째의 워드선 콘택트 WC13에 접속되어 있는 다른 워드선 WL2a는, 1행4열째의 워드선 콘택트나, 1행6열째의 워드선 콘택트 등에도 접속된 구성으로 된다.
- [0110] (3) 다른 실시 형태에 의한 비트선 및 워드선의 평면 레이아웃의 구성에 대하여
- [0111] 도 4에서는, 일례로서, 합계 16개의 안티퓨즈 메모리(2a₁, 2a₂, 2a₃, 2a₄, 2a₅, 2a₆, 2a₇, 2a₈, 2a₉, 2a₁₀, 2a₁₁, 2a₁₂, 2a₁₃, 2a₁₄, 2a₁₅, 2a₁₆)를 4행4열로 배치하고, 이들 안티퓨즈 메모리(2a₁, 2a₂, 2a₃, 2a₄, 2a₅, 2a₆, 2a₇, 2a₈, 2a₉, 2a₁₀, 2a₁₁, 2a₁₂, 2a₁₃, 2a₁₄, 2a₁₅, 2a₁₆)의 배치 위치에 맞추어 비트선 BL1a, BL2a, BL3a, BL4a,

BL5a, BL6a 및 워드선 WL1a, WL2a, WL3a, WL4a를 배치시킨 반도체 기억 장치(1)에 대하여 도시하였다.

- [0112] 여기서, 도 4에 도시한 반도체 기억 장치(1)에서는, 비트선 콘택트 BC11, BC12, BC13의 열을 일단측에 형성하고, 비트선 콘택트 BC17, BC18, BC19의 열을 타단측에 형성하고 있다. 이 경우, 일단측에 있는 1행1열째의 비트선 콘택트 BC11과, 동일하게 일단측에 있는 3행1열째의 비트선 콘택트 BC13에는, 각각 1개의 안티퓨즈 메모리[2a₁(2a₄)]만이 접속된 구성으로 되고, 또한 동일하게 일단측에 있는 2행1열째의 비트선 콘택트 BC12에는, 2개의 안티퓨즈 메모리(2a₂, 2a₃)가 접속된 구성으로 된다.
- [0113] 따라서, 일단측의 비트선 콘택트 BC11, BC13에 접속되는 1열째의 비트선 BL1a는, 각 비트선 콘택트 BC11, BC13을 통해 함께 2개의 안티퓨즈 메모리(2a₁, 2a₄)만이 접속되게 된다. 또한, 동일하게 일단측의 비트선 콘택트 BC12에 접속되는 2열째의 비트선 BL2a도, 비트선 콘택트 BC12를 통해 2개의 안티퓨즈 메모리(2a₂, 2a₃)만이 접속되게 된다.
- [0114] 그리고, 마찬가지로 타단측에 있는 비트선 콘택트 BC17, BC18, BC19의 열에서도, 비트선 콘택트 BC17(BC19)에 1개의 안티퓨즈 메모리[2a₁₃(2a₁₆)]가 접속되고, 나머지 비트선 콘택트 BC18에 2개의 안티퓨즈 메모리(2a₁₄, 2a₁₅)가 접속된 구성으로 된다. 그 때문에, 타단측의 비트선 콘택트 BC17, BC19에 접속되는 5열째의 비트선 BL5a에도, 각 비트선 콘택트 BC17, BC19를 통해 함께 2개의 안티퓨즈 메모리(2a₁₃, 2a₁₆)만이 접속되게 되고, 동일하게 타단측의 비트선 콘택트 BC18에 접속되는 6열째의 비트선 BL6a에도, 비트선 콘택트 BC18을 통해 2개의 안티퓨즈 메모리(2a₁₄, 2a₁₅)만이 접속되게 된다. 이렇게 하여, 말단에 배치된 비트선 콘택트 BC11, BC12, BC13(BC17, BC18, BC19)의 열에 대하여 형성한 비트선 BL1a, BL2a(BL5a, BL6a)에서는, 접속되는 안티퓨즈 메모리수가 2개로 된다.
- [0115] 한편, 중앙 영역에 배치된 비트선 BL3a에는, 비트선 콘택트 BC14, BC16을 통해 함께 4개의 안티퓨즈 메모리(2a₅, 2a₉, 2a₈, 2a₁₂)가 접속되고, 동일하게 중앙 영역에 배치된 비트선 BL4a에는, 비트선 콘택트 BC15를 통해 4개의 안티퓨즈 메모리(2a₆, 2a₇, 2a₁₀, 2a₁₁)가 접속되어 있다. 그 때문에, 도 4에 도시한 반도체 기억 장치(1)에 있어서, 행 어드레스와 열 어드레스에 의한 제어를 효율적으로 행하기 위해서는, 예를 들어 1열째의 비트선 BL1a와 5열째의 비트선 BL5a를 쇼트시켜 동일한 비트 전압에서 동작하는 안티퓨즈 메모리수를 4개로 하고, 또한 2열째의 비트선 BL2a와 6열째의 비트선 BL6a도 쇼트시켜 동일한 비트 전압에서 동작하는 안티퓨즈 메모리수를 4개로 하여, 중앙 영역의 비트선 BL3a, BL4a에 접속되는 안티퓨즈 메모리수(이 경우, 4개)에 맞추는 것이 바람직하다.
- [0116] 즉, 반도체 기억 장치(1)에서는, 1열째의 비트선 BL1a에 각 비트선 콘택트 BC11, BC13을 통해 각각 접속된 함께 2개의 안티퓨즈 메모리(2a₁, 2a₄)와, 5열째의 비트선 BL5a에 비트선 콘택트 BC17, BC19를 통해 각각 접속된 함께 2개의 안티퓨즈 메모리(2a₁₃, 2a₁₆)를 합한 함께 4개의 안티퓨즈 메모리(2a₁, 2a₄, 2a₁₃, 2a₁₆)를, 1열째의 비트선 BL1a와 5열째의 비트선 BL5a의 2개에 의해 동작시키는 것이 바람직하다.
- [0117] 마찬가지로 하여 2열째의 비트선 BL2a에 비트선 콘택트 BC12를 통해 접속된 2개의 안티퓨즈 메모리(2a₂, 2a₃)와, 6열째의 비트선 BL6a에 비트선 콘택트 BC18을 통해 접속된 2개의 안티퓨즈 메모리(2a₁₄, 2a₁₅)를 합한 함께 4개의 안티퓨즈 메모리(2a₂, 2a₃, 2a₁₄, 2a₁₅)도, 2열째의 비트선 BL2a와 6열째의 비트선 BL6a의 2개에 의해 동작시키는 것이 바람직하다.
- [0118] 여기서, 반도체 기억 장치(1)에서는, 예를 들어 1열째의 비트선 BL1a와 5열째의 비트선 BL5a의 2개에 의해 안티퓨즈 메모리(2a₁, 2a₄, 2a₁₃, 2a₁₆)에 대하여 일률적으로 소정의 비트 전압을 인가하는 경우, 4개의 안티퓨즈 메모리[2a₅, 2a₉, 2a₈, 2a₁₂(2a₆, 2a₇, 2a₁₀, 2a₁₁)]를 1개의 구성으로 동작시키는 3열째의 비트선 BL3a나 4열째의 비트선 BL4a는 용량이 상이하게 된다. 그 때문에, 반도체 기억 장치(1)에서는, 데이터의 판독 동작 시에, 예를 들어 판독 속도의 저하 등의 문제가 발생할 우려가 있다.
- [0119] 따라서, 이와 같은 문제점을 해결하기 위해, 도 4와의 대응 부분에 동일 부호를 붙여 나타내는 도 5에 도시한 바와 같이, 반도체 기억 장치(1a)에서는, 일단측에 워드선 콘택트 WC1a, WC2a의 열을 배치함과 함께, 타단측에 워드선 콘택트 WC5a, WC6a의 열을 배치하고, 또한, 일단측의 워드선 콘택트 WC1a, WC2a의 열과, 중앙의 워드선 콘택트 WC3a, WC4a의 열 사이에 하나의 비트선 콘택트 BC1a, BC2a, BC3a의 열을 형성하고, 타단측의 워드선 콘

택트 WC5a, WC6a의 열과, 중앙의 워드선 콘택트 WC3a, WC4a의 열 사이에 다른 비트선 콘택트 BC4a, BC5a, BC6a의 열을 형성하도록 하였다.

- [0120] 또한, 반도체 기억 장치(1a)에서는, 일단측의 워드선 콘택트 WC1a, WC2a의 열과, 중앙의 워드선 콘택트 WC3a, WC4a의 열 사이에 있는 하나의 비트선 콘택트 BC1a, BC2a, BC3a의 열 중, 1행째의 비트선 콘택트 BC1a와 3행째의 비트선 콘택트 BC3a에 1열째의 비트선 BL1b를 접속시키고, 2행째의 비트선 콘택트 BC2a에 2열째의 비트선 BL2b를 접속시킬 수 있다.
- [0121] 이에 의해, 반도체 기억 장치(1a)에서는, 1행째의 비트선 콘택트 BC1a에 접속된 2개의 안티퓨즈 메모리(2b₁, 2b₅)와, 3행째의 비트선 콘택트 BC3a에 접속된 2개의 안티퓨즈 메모리(2b₄, 2b₈)의 합계 4개의 안티퓨즈 메모리(2b₁, 2b₅, 2b₄, 2b₈)를, 1열째에 있는 1개의 비트선 BL1b에 접속시킬 수 있고, 이렇게 하여, 1개의 구성으로 이루어지는 비트선 BL1b에 의해 4개의 안티퓨즈 메모리(2b₁, 2b₅, 2b₄, 2b₈)를 동작시킬 수 있다.
- [0122] 또한, 이 반도체 기억 장치(1a)에서는, 2행째의 비트선 콘택트 BC2a에 접속된 4개의 안티퓨즈 메모리(2b₂, 2b₃, 2b₆, 2b₇)를, 2열째에 있는 1개의 비트선 BL2b에 접속시킬 수 있고, 이렇게 하여, 1개의 구성으로 이루어지는 비트선 BLb에 의해 4개의 안티퓨즈 메모리(2b₂, 2b₃, 2b₆, 2b₇)를 동작시킬 수 있다.
- [0123] 마찬가지로, 반도체 기억 장치(1a)에서는, 타단측의 워드선 콘택트 WC5a, WC6a의 열과, 중앙의 워드선 콘택트 WC3a, WC4a의 열 사이에 있는 다른 비트선 콘택트 BC4a, BC5a, BC6a의 열에서도, 1행째의 비트선 콘택트 BC4a와 3행째의 비트선 콘택트 BC6a에 3열째의 비트선 BL3b를 접속시키고, 2행째의 비트선 콘택트 BC5a에 4열째의 비트선 BL4b를 접속시킬 수 있다.
- [0124] 이에 의해, 반도체 기억 장치(1a)에서는, 1행째의 비트선 콘택트 BC4a에 접속된 2개의 안티퓨즈 메모리(2b₉, 2b₁₃)와, 3행째의 비트선 콘택트 BC6a에 접속된 2개의 안티퓨즈 메모리(2b₁₂, 2b₁₆)의 합계 4개의 안티퓨즈 메모리(2b₉, 2b₁₃, 2b₁₂, 2b₁₆)를, 3열째에 있는 1개의 비트선 BL3b에 접속시킬 수 있고, 이렇게 하여, 1개의 구성으로 이루어지는 비트선 BLb에 의해 4개의 안티퓨즈 메모리(2b₉, 2b₁₃, 2b₁₂, 2b₁₆)를 동작시킬 수 있다.
- [0125] 또한, 이 반도체 기억 장치(1a)에서는, 2행째의 비트선 콘택트 BC5a에 접속된 4개의 안티퓨즈 메모리(2b₁₀, 2b₁₁, 2b₁₄, 2b₁₅)를, 4열째에 있는 1개의 비트선 BL4b에 접속시킬 수 있고, 이렇게 하여, 1개의 구성으로 이루어지는 비트선 BL4b에 의해 4개의 안티퓨즈 메모리(2b₁₀, 2b₁₁, 2b₁₄, 2b₁₅)를 동작시킬 수 있다.
- [0126] 이렇게 하여, 반도체 기억 장치(1a)에서는, 도 4에 도시한 반도체 기억 장치(1)와는 달리, 비트선거리의 접속이 불필요해져, 비트선 BL1b, BL2b, BL3b, BL4b를 모두 1개의 구성으로 할 수 있고, 모두 동일한 용량으로 설정할 수 있기 때문에, 데이터의 판독 동작 시에, 예를 들어 판독 속도의 저하 등의 문제 발생을 방지할 수 있다.
- [0127] 또한, 이 반도체 기억 장치(1a)에 있어서, 1행째의 워드선 콘택트 WC1a, WC3a, WC5a의 행에는, 1열째의 워드선 콘택트 WC1a와 3열째의 워드선 콘택트 WC5a에 동일한 워드선 WL1b가 접속되고, 2열째의 워드선 콘택트 WC3a에 대해 워드선 WL1b와는 상이한 다른 워드선 WL2b가 접속될 수 있다. 또한, 2행째의 워드선 콘택트 WC2a, WC4a, WC6a의 행에는, 1열째의 워드선 콘택트 WC2a와 3열째의 워드선 콘택트 WC6a에 동일한 워드선 WL3b가 접속되고, 2열의 워드선 콘택트 WC4a에 대해 워드선 WL3b와는 상이한 다른 워드선 WL4b가 접속될 수 있다.
- [0128] 그리고, 이와 같은 반도체 기억 장치(1a)에서도, 예를 들어 2행1열째의 비트선 콘택트 BC2a나, 2행2열째의 비트선 콘택트 BC5a에 각각 4개의 안티퓨즈 메모리[2b₂, 2b₃, 2b₆, 2b₇(2b₁₀, 2b₁₁, 2b₁₄, 2b₁₅)]가 접속된 구성을 실현할 수 있어, 상술한 실시 형태와 마찬가지로 소형화를 도모할 수 있다. 또한, 이 반도체 기억 장치(1a)에서도, 예를 들어 1행2열째의 워드선 콘택트 WC3a나, 2행2열째의 워드선 콘택트 WC4a에 각각 4개의 안티퓨즈 메모리[2b₅, 2b₆, 2b₉, 2b₁₀(2b₇, 2b₈, 2b₁₁, 2b₁₂)]를 접속시킨 구성을 실현할 수 있어, 상술한 실시 형태와 마찬가지로 소형화를 도모할 수 있다.
- [0129] 덧붙여서, 이 경우에도, 예를 들어 중앙 영역에 있는 1개의 비트선 콘택트 BC2a에 접속된 4개의 안티퓨즈 메모리(2b₂, 2b₃, 2b₆, 2b₇)에 주목하면, 당해 비트선 콘택트 BC2a에 접속된 4개의 안티퓨즈 메모리(2b₂, 2b₃, 2b₆, 2b₇)에는, 각각 전기적으로 독립적으로 제어할 수 있는 워드선 WL1b, WL2b, WL3b, WL4b가 접속되어 있고, 각 워드선 WL1b, WL2b, WL3b, WL4b에 의해 각각 상이한 워드 전압을 인가할 수 있다. 또한, 예를 들어 1개의 워드선

콘택트 WC3a에 접속된 4개의 안티퓨즈 메모리(2b₅, 2b₆, 2b₉, 2b₁₀)에 주목하면, 당해 워드선 콘택트 WC3a에 접속된 4개의 안티퓨즈 메모리(2b₅, 2b₆, 2b₉, 2b₁₀)에는, 각각 전기적으로 독립적으로 제어할 수 있는 비트선 BL1b, BL2b, BL3b, BL4b가 접속되어 있고, 각 비트선 BL1b, BL2b, BL3b, BL4b에 의해 각각 상이한 비트 전압을 인가할 수 있다.

[0130] 그리고, 이 반도체 기억 장치(1a)에서도, 비트선 BL1b, BL2b, BL3b, BL4b 및 워드선 WL1b, WL2b, WL3b, WL4b에 인가하는 전압을 적절히 조정함으로써, 상술한 「(1-2) 데이터의 기입 동작」에 의해, 예를 들어 소정 위치의 안티퓨즈 메모리(2b₁)에만 데이터를 기입할 수 있음과 함께, 상술한 「(1-3) 데이터의 판독 동작」에 의해 소정 위치의 안티퓨즈 메모리(2b₁)에 있어서의 데이터를 판독할 수도 있다.

[0131] 이상의 구성에 의하면, 반도체 기억 장치(1a)에서는, 말단에 배치된 일방향(이 경우, 행방향)으로 배열되는 각 비트선 콘택트 BC1a, BC4a(BC3a, BC6a)에 각각 2개의 안티퓨즈 메모리[2b₁, 2b₅, 2b₉, 2b₁₃(2b₄, 2b₈, 2b₁₂, 2b₁₆)]를 접속하고 또한 말단에 배치된 타방향(이 경우, 열방향)으로 배열되는 각 워드선 콘택트 WC1a, WC2a(WC5a, WC6a)에도, 각각 2개의 안티퓨즈 메모리[2b₁, 2b₂, 2b₃, 2b₄(2b₁₃, 2b₁₄, 2b₁₅, 2b₁₆)]를 접속하도록 하였다. 또한, 이 반도체 기억 장치(1a)에서는, 중앙 영역에 배치된 나머지 비트선 콘택트 BC2a(BC5a)에 4개의 안티퓨즈 메모리[2b₂, 2b₃, 2b₆, 2b₇(2b₁₀, 2b₁₁, 2b₁₄, 2b₁₅)]를 접속하고, 또한 중앙 영역에 배치된 워드선 콘택트 WC3a(WC4a)에 4개의 안티퓨즈 메모리[2b₅, 2b₆, 2b₉, 2b₁₀(2b₇, 2b₈, 2b₁₁, 2b₁₂)]를 접속하도록 하였다.

[0132] 이에 의해, 반도체 기억 장치(1a)에서는, 비트선 콘택트 BC1a~BC6a 및 워드선 콘택트 WC1a~WC6a를 2개 이상의 안티퓨즈 메모리에서 공유할 수 있는 만큼, 장치 전체로서 소형화를 실현할 수 있고, 나아가, 예를 들어 1개의 비트선 BL1b에 대하여 접속되는 안티퓨즈 메모리수를 동일한 수(이 경우, 4개)로 하여 모두 동일한 용량으로 설정할 수 있고, 이렇게 하여 데이터의 판독 동작 시, 판독 속도의 저하 등의 문제 발생을 방지할 수 있다.

[0133] 덧붙여서, 도 5에 도시한 반도체 기억 장치(1a)는 안티퓨즈 메모리수를 16개로 한 경우에 대하여 설명하였지만, 안티퓨즈 메모리수를 더 증가시킨 경우에는, 예를 들어 1열째의 워드선 WL1b와 2열째의 워드선 WL2b가, 행방향으로 배열되는 복수의 워드선 콘택트에 대하여 순차적으로 교대로 접속된 구성으로 된다. 예를 들어, 1행1열째의 워드선 콘택트 WC1a에 접속되어 있는 워드선 WL1b는, 1행3열째의 워드선 콘택트 WC5a 외에, 1행5열째의 워드선 콘택트 등에도 접속되고, 한편, 1행2열째의 워드선 콘택트 WC3a에 접속되어 있는 워드선 WL2b는, 1행4열째의 워드선 콘택트나, 1행6열째의 워드선 콘택트 등에도 접속된 구성으로 된다.

[0134] 또한, 도 5에 도시한 반도체 기억 장치(1a)에 있어서, 안티퓨즈 메모리수를 16개 이상으로 증가시킨 경우에는, 비트선 콘택트 BC1a, BC4a, ... (BC3a, BC6a, ...)가 양쪽 말단에 있어서 행방향으로 배열되고, 한쪽의 말단으로부터 열방향을 향하여, 비트선 콘택트행과, 워드선 콘택트행이 순차적으로 교대로 배치되고, 또한 1행에 배열되는 비트선 콘택트수를 n개로 하였을 때, 1행에 배열되는 워드선 콘택트수가 (n+1)개로 된다. 또한, 안티퓨즈 메모리수가 16개인 반도체 기억 장치(1a)를 도시한 도 5에서는, 1행에 배열되는 비트선 콘택트수가 2개로 되고, 1행에 배열되는 워드선 콘택트수가 3개로 되어 있다.

[0135] (4) 2개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 열방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여

[0136] 도 3과의 대응 부분에 동일 부호를 붙여 나타내는 도 6은, 예를 들어 합계 16개의 안티퓨즈 메모리(2c₁, 2c₂, 2c₃, 2c₄, 2c₅, 2c₆, 2c₇, 2c₈, 2c₉, 2c₁₀, 2c₁₁, 2c₁₂, 2c₁₃, 2c₁₄, 2c₁₅, 2c₁₆)를 4행4열로 배치한 반도체 기억 장치(21)의 평면 레이아웃의 구성을 도시하고 있다. 이 경우, 반도체 기억 장치(21)에 있어서, 안티퓨즈 메모리(2c₁, 2c₂, 2c₃, 2c₄, 2c₅, 2c₆, 2c₇, 2c₈, 2c₉, 2c₁₀, 2c₁₁, 2c₁₂, 2c₁₃, 2c₁₄, 2c₁₅, 2c₁₆)는 모두 동일 구성을 갖고 있고, 상술한 도 2a 및 도 2b와 마찬가지로, 각각 정류 소자(3)와 메모리 캐패시터(4)를 갖고 있다. 또한, 워드선 콘택트 WC21, WC22, WC23, WC24, WC25, WC26, WC27, WC28에 대해서도 모두 동일 구성으로 이루어지기 때문에, 여기에서는, 예를 들어 워드선 콘택트 WC22에 주목하여 이하 설명한다.

[0137] 이 경우, 워드선 콘택트 WC22가 기립 형성되는 P형 반도체 영역(8)은 직사각 형상으로 형성되어 있고, 행방향으로 인접하는 2개의 안티퓨즈 메모리(2c₂, 2c₆)에서 공유되고 있다. 실제상, 워드선 콘택트 WC22가 기립 형성된 P형 반도체 영역(8)에는, 안티퓨즈 메모리(2c₂)의 N형 반도체 영역(7)이 한 번에 접합되고, 당해 안티퓨즈 메모

리(2c₂)와 행방향으로 인접하는 다른 안티퓨즈 메모리(2c₆)의 N형 반도체 영역(7)이 당해 한 변과 대향하는 타변에 접합되어 있다.

[0138] 여기서, 예를 들어 안티퓨즈 메모리(2c₂)에 주목하면, P형 반도체 영역(8)과 N형 반도체 영역(7)이 접합되어 있음으로써, PN 접합 다이오드의 정류 소자(3)를 형성하고 있다. 이에 의해, 워드선 콘택트 WC22는, P형 반도체 영역(8)을 공유하는 2개의 안티퓨즈 메모리(2c₂, 2c₆)의 각 정류 소자(3)에 대하여, 워드선으로부터의 소정의 워드 전압을 일률적으로 인가할 수 있다.

[0139] 또한, 이들 2개의 안티퓨즈 메모리(2c₂, 2c₆)의 각 N형 반도체 영역(7)은 P형 반도체 영역(8)으로부터 멀어지도록 행방향을 향하여 각각 연장되어 있고, 선단부에 접합된 각 메모리 게이트 전극 G가, 각각 상이한 활성 영역(22)에 배치되어 있다. 또한, N형 반도체 영역(7)의 선단부에 일체 형성된 각 메모리 게이트 전극 G와, 활성 영역(22)이 대향한 각 영역에는, 각 안티퓨즈 메모리(2c₂, 2c₆)의 메모리 게이트 절연막(6)이 형성되어 있다.

[0140] 다음에, 비트선 콘택트 BC21, BC22, BC23, BC24에 대하여 이하 설명한다. 이 실시 형태의 경우, 반도체 기억 장치(21)에는, 합계 4개의 비트선 콘택트 BC21, BC22, BC23, BC24가 행방향으로 나란히 배치되어 있다. 각 비트선 콘택트 BC21, BC22, BC23, BC24는, 각각 상이한 활성 영역(22)에 배치되어 있고, 비트선(도시하지 않음)으로부터의 소정의 비트 전압을, 대응하는 활성 영역(22)에 각각 인가할 수 있도록 이루어져 있다.

[0141] 이 경우, 반도체 기억 장치(21)에서는, 1열째의 비트선 콘택트 BC21이 배치된 활성 영역(22)과, 2열째의 비트선 콘택트 BC22가 배치된 활성 영역(22) 사이에, 행렬 형상으로 배치된 8개의 안티퓨즈 메모리(2c₁, 2c₂, 2c₃, 2c₄, 2c₅, 2c₆, 2c₇, 2c₈)가 형성되어 있다. 1열째의 비트선 콘택트 BC21이 배치된 활성 영역(22)에는, 열방향으로 배열되는 4개의 안티퓨즈 메모리(2c₁, 2c₂, 2c₃, 2c₄)가 형성되어 있고, 한편, 2열째의 비트선 콘택트 BC22가 배치된 활성 영역(22)에는, 열방향으로 배열되는 안티퓨즈 메모리(2c₅, 2c₆, 2c₇, 2c₈)가 형성되어 있다.

[0142] 또한, 반도체 기억 장치(21)에서는, 2열째의 비트선 콘택트 BC22가 배치된 활성 영역(22)과, 3열째의 비트선 콘택트 BC23이 배치된 활성 영역(22)이 병주하고 있고, 상기와 마찬가지로, 3열째의 비트선 콘택트 BC23 및 4열째의 비트선 콘택트 BC24의 각 활성 영역(22) 간에도, 8개의 안티퓨즈 메모리(2c₉, 2c₁₀, 2c₁₁, 2c₁₂, 2c₁₃, 2c₁₄, 2c₁₅, 2c₁₆)가 행렬 형상으로 배치될 수 있다.

[0143] 또한, 이 실시 형태의 경우, 이들 4개의 비트선 콘택트 BC21, BC22, BC23, BC24는, 모두 동일 구성을 갖기 때문에, 여기에서는 비트선 콘택트 BC22에 주목하여 이하 설명한다. 이 경우, 비트선 콘택트 BC22가 배치된 활성 영역(22)은, 열방향으로 배열된 4개의 안티퓨즈 메모리(2c₅, 2c₆, 2c₇, 2c₈)를 따라서 열방향으로 연장된 직사각형 형상으로 이루어지고, 이들 열방향으로 배열된 4개의 안티퓨즈 메모리(2c₅, 2c₆, 2c₇, 2c₈)의 각 메모리 게이트 전극 G가 형성된 구성을 갖는다. 이에 의해, 이 비트선 콘택트 BC22는, 각각 상이한 워드선 콘택트 WC21, WC22, WC23, WC24에 접속되고, 또한 열방향으로 배열된 4개의 안티퓨즈 메모리(2c₅, 2c₆, 2c₇, 2c₈)에 대해, 활성 영역(22)을 통해 비트선으로부터의 소정의 비트 전압을 일률적으로 인가할 수 있도록 이루어져 있다.

[0144] 이상의 구성에 있어서, 도 6에 도시한 반도체 기억 장치(21)의 안티퓨즈 메모리(2c₁, 2c₂, 2c₃, 2c₄, 2c₅, 2c₆, 2c₇, 2c₈, 2c₉, 2c₁₀, 2c₁₁, 2c₁₂, 2c₁₃, 2c₁₄, 2c₁₅, 2c₁₆)에서는, 상술한 「(1-4) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, 종래와 같은 제어 회로를 사용하지 않고, 메모리 캐패시터(4)의 메모리 게이트 전극 G 및 워드선에 인가되는 전압값에 의해 정류 소자(3)에 의해 메모리 게이트 전극 G로부터 워드선에의 전압 인가를 차단할 수 있고, 이렇게 하여, 종래와 같은 메모리 캐패시터에의 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 또한 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.

[0145] 그리고, 예를 들어 본 발명의 반도체 기억 장치(21)에 있어서의 안티퓨즈 메모리(2a₆)에서는, 상술한 「(1-4) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, (i) 워드선(기입 비선택 워드선)에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(4)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(3)를 역방향 바이어스 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이중의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 판독 시에 있어서의 오동작도 확실하게 방지할 수 있다.

- [0146] 또한, 도 6에 도시한 반도체 기억 장치(21)에서는, 열방향으로 배열된 4개의 안티퓨즈 메모리(2c₅, 2c₆, 2c₇, 2c₈)에서 1개의 비트선 콘택트 BC22를 공유함과 함께, 예를 들어 행방향에서 인접하는 2개의 안티퓨즈 메모리(2c₂, 2c₆)에서 1개의 워드선 콘택트 WC22를 공유하도록 한 것에 의해, 각 안티퓨즈 메모리마다 비트선 콘택트 및 워드선 콘택트를 각각 개별로 형성하는 경우에 비해 장치 전체로서 소형화를 도모할 수 있다.
- [0147] (5) 행방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 2개의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여
- [0148] 도 3과의 대응 부분에 동일 부호를 붙여 나타내는 도 7은, 예를 들어 함께 16개의 안티퓨즈 메모리(2d₁, 2d₂, 2d₃, 2d₄, 2d₅, 2d₆, 2d₇, 2d₈, 2d₉, 2d₁₀, 2d₁₁, 2d₁₂, 2d₁₃, 2d₁₄, 2d₁₅, 2d₁₆)를 4행4열로 배치한 반도체 기억 장치(31)의 평면 레이아웃의 구성을 도시하고 있다. 이 경우, 반도체 기억 장치(31)에 있어서, 안티퓨즈 메모리(2d₁, 2d₂, 2d₃, 2d₄, 2d₅, 2d₆, 2d₇, 2d₈, 2d₉, 2d₁₀, 2d₁₁, 2d₁₂, 2d₁₃, 2d₁₄, 2d₁₅, 2d₁₆)는 모두 동일 구성을 갖고 있고, 상술한 도 2a 및 도 2b와 마찬가지로, 각각 정류 소자(3)와 메모리 캐패시터(4)를 갖고 있다. 또한, 워드선 콘택트 WC31, WC32, WC33, WC34에 대해서도 모두 동일 구성으로 이루어지기 때문에, 여기에서는, 예를 들어 워드선 콘택트 WC32에 주목하여 이하 설명한다.
- [0149] 이 경우, 워드선 콘택트 WC32는, 행방향으로 연장된 긴 변 방향을 갖는 P형 반도체 영역(8b)에 배치되어 있고, 당해 P형 반도체 영역(8b)을 따라서 행방향으로 배치된 4개의 안티퓨즈 메모리(2d₂, 2d₆, 2d₁₀, 2d₁₄)에서 공유될 수 있다. 실제상, 워드선 콘택트 WC32가 기립 형성된 P형 반도체 영역(8b)에는, 행방향으로 배열된 4개의 안티퓨즈 메모리(2d₂, 2d₆, 2d₁₀, 2d₁₄)의 각 N형 반도체 영역(7)이 한 번에 접합되어 있다.
- [0150] 여기서, 예를 들어 안티퓨즈 메모리(2d₂)에 주목하면, P형 반도체 영역(8b)과 N형 반도체 영역(7)이 접합되어 있음으로써, PN 접합 다이오드의 정류 소자(3)를 형성하고 있다. 이에 의해, 워드선 콘택트 WC32는, P형 반도체 영역(8b)을 공유하는 4개의 안티퓨즈 메모리(2d₂, 2d₆, 2d₁₀, 2d₁₄)의 각 정류 소자(3)에 대하여, 워드선으로부터의 소정의 워드 전압을 일률적으로 인가할 수 있다.
- [0151] 또한, 이들 4개의 안티퓨즈 메모리(2d₂, 2d₆, 2d₁₀, 2d₁₄)의 각 N형 반도체 영역(7)은, P형 반도체 영역(8b)으로부터 멀어지도록 열방향을 향하여 각각 연장되어 있고, 선단부에 접합된 각 메모리 게이트 전극 G가, 각각 상이한 활성 영역(12)에 배치되어 있다. 또한, N형 반도체 영역(7)의 선단부에 일체 형성된 각 메모리 게이트 전극 G와, 활성 영역(12)이 대향한 각 영역에는, 각 안티퓨즈 메모리(2d₂, 2d₆, 2d₁₀, 2d₁₄)의 메모리 게이트 절연막(6)이 형성되어 있다.
- [0152] 이 경우, 반도체 기억 장치(31)에서는, 이 2행째의 워드선 콘택트 WC32가 기립 형성된 P형 반도체 영역(8b)과, 3행째의 워드선 콘택트 WC33이 기립 형성된 P형 반도체 영역(8b)이 병주하도록 배치되어 있고, 이들 2개의 P형 반도체 영역(8b) 간에, 8개의 안티퓨즈 메모리(2d₂, 2d₃, 2d₆, 2d₇, 2d₁₀, 2d₁₁, 2d₁₄, 2d₁₅)가 행렬 형상으로 배치될 수 있다.
- [0153] 덧붙여서, 이 실시 형태의 경우, 반도체 기억 장치(31)에서는, 2행째의 워드선 콘택트 WC32가 기립 형성된 P형 반도체 영역(8b)의 타변에 대해, 1행째의 워드선 콘택트 WC31이 기립 형성된 P형 반도체 영역(8b)의 한 변이 병주하도록 인접되어 있다. 이 1행째의 워드선 콘택트 WC31이 기립 형성된 P형 반도체 영역(8b)의 타변에는, 행방향으로 배열된 4개의 안티퓨즈 메모리(2d₁, 2d₅, 2d₉, 2d₁₃)의 각 N형 반도체 영역(7)이 접합되어 있다.
- [0154] 또한, 반도체 기억 장치(31)에서는, 3행째의 워드선 콘택트 WC33이 기립 형성된 P형 반도체 영역(8b)의 타변에 대해, 4행째의 워드선 콘택트 WC34가 기립 형성된 P형 반도체 영역(8b)의 한 변이 병주하도록 인접되어 있다. 이 4행째의 워드선 콘택트 WC34가 기립 형성된 P형 반도체 영역(8b)의 타변에는, 행방향으로 배열된 4개의 안티퓨즈 메모리(2d₄, 2d₈, 2d₁₂, 2d₁₆)의 각 N형 반도체 영역(7)이 접합되어 있다.
- [0155] 다음에, 비트선 콘택트 BC31, BC32, BC33, BC34, BC35, BC36, BC37, BC38, BC39, BC40, BC41, BC42에 대하여 이하 설명한다. 이 실시 형태의 경우, 반도체 기억 장치(31)에는, 함께 12의 비트선 콘택트 BC31, BC32, BC33, BC34, BC35, BC36, BC37, BC38, BC39, BC40, BC41, BC42가 3행4열로 배치되어 있다. 이들 비트선 콘택트 BC31, BC32, BC33, BC34, BC35, BC36, BC37, BC38, BC39, BC40, BC41, BC42는, 각각 상이한 활성 영역(12)에 배치되어 있고, 비트선(도시하지 않음)으로부터의 소정의 비트 전압을, 대응하는 활성 영역(12)에 각각 인가할

수 있도록 이루어져 있다.

- [0156] 여기서, 중앙 영역에 배치된 행방향으로 배열되는 비트선 콘택트 BC35, BC36, BC37, BC38은 모두 동일 구성을 갖고 있기 때문에, 그 중, 예를 들어 비트선 콘택트 BC35에 주목하여 이하 설명한다. 이 경우, 비트선 콘택트 BC35가 배치된 활성 영역(12)에는, 상이한 P형 반도체 영역(8b)에 접속되며, 또한 열방향으로 배열되는 2개의 안티퓨즈 메모리(2d₂, 2d₃)가 형성되어 있다. 이에 의해, 비트선 콘택트 BC35는, 이들 2개의 안티퓨즈 메모리(2d₂, 2d₃)에서 공유되고, 비트선으로부터의 소정의 비트 전압을, 이들 2개의 안티퓨즈 메모리(2d₂, 2d₃)에 대하여 일률적으로 인가할 수 있도록 이루어져 있다.
- [0157] 실제로, 이 비트선 콘택트 BC35가 기립 형성된 활성 영역(12)에는, 당해 비트선 콘택트 BC35를 중심으로, 안티퓨즈 메모리(2d₂)와 안티퓨즈 메모리(2d₃)가 상하 대칭으로 배치되어 있다. 구체적으로, 비트선 콘택트 BC35가 기립 형성된 활성 영역(12)의 한 변측에는, 하나의 안티퓨즈 메모리(2d₂)의 메모리 게이트 전극 G가 대향 배치되고, 당해 안티퓨즈 메모리(2d₂)의 메모리 게이트 절연막(6)이 형성되어 있다. 또한, 이 활성 영역(12)의 타 변측에도, 동일하게 다른 안티퓨즈 메모리(2d₃)의 메모리 게이트 전극 G가 대향 배치되고, 당해 안티퓨즈 메모리(2d₃)의 메모리 게이트 절연막(6)이 형성되어 있다.
- [0158] 덧붙여서, 반도체 기억 장치(31)의 평면 레이아웃에 있어서, 말단에서 행방향으로 배치된 4개의 비트선 콘택트 BC31, BC32, BC33, BC34(BC39, BC40, BC41, BC42)에는, 각각 대응하는 1개의 안티퓨즈 메모리[2d₁, 2d₅, 2d₉, 2d₁₃(2d₄, 2d₈, 2d₁₂, 2d₁₆)]만이 접속되어 있다. 이렇게 하여, 이들 말단에서 행방향으로 배치된 각 비트선 콘택트 BC31, BC32, BC33, BC34(BC39, BC40, BC41, BC42)에서는, 각각 대응하는 1개의 안티퓨즈 메모리[2d₁, 2d₅, 2d₉, 2d₁₃(2d₄, 2d₈, 2d₁₂, 2d₁₆)]에 대해서만 비트 전압을 인가할 수 있다.
- [0159] 이와 같이, 말단의 각 비트선 콘택트 BC31, BC32, BC33, BC34, BC39, BC40, BC41, BC42에서는, 각각 1개의 안티퓨즈 메모리(2d₁, 2d₅, 2d₉, 2d₁₃, 2d₄, 2d₈, 2d₁₂, 2d₁₆)에 대해서만 소정의 비트 전압을 인가할 수 있게 되지만, 중앙 영역에 배치된 각 비트선 콘택트 BC35, BC36, BC37, BC38에서는, 각각 대응하는 2개의 안티퓨즈 메모리(2d₂, 2d₃, 2d₆, 2d₇, 2d₁₀, 2d₁₁, 2d₁₄, 2d₁₅)에 대하여 소정의 비트 전압을 일률적으로 인가할 수 있기 때문에, 2개의 안티퓨즈 메모리(2d₂, 2d₃, 2d₆, 2d₇, 2d₁₀, 2d₁₁, 2d₁₄, 2d₁₅)에서 1개의 비트선 콘택트 BC35, BC36, BC37, BC38을 공유시키는 분만큼 장치 전체로서는 소형화를 도모할 수 있다.
- [0160] 이상의 구성에 있어서, 도 7에 도시한 반도체 기억 장치(31)의 안티퓨즈 메모리(2d₁, 2d₂, 2d₃, 2d₄, 2d₅, 2d₆, 2d₇, 2d₈, 2d₉, 2d₁₀, 2d₁₁, 2d₁₂, 2d₁₃, 2d₁₄, 2d₁₅, 2d₁₆)에서는, 상술한 「(1-4) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, 종래와 같은 제어 회로를 사용하지 않고, 메모리 캐패시터(4)의 메모리 게이트 전극 G 및 워드선에 인가되는 전압값에 의해 정류 소자(3)에 의해 메모리 게이트 전극 G로부터 워드선에의 전압 인가를 차단할 수 있고, 이렇게 하여, 종래와 같은 메모리 캐패시터에의 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 또한 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.
- [0161] 그리고, 예를 들어 본 발명의 반도체 기억 장치(31)에 있어서의 안티퓨즈 메모리(2d₂)에서는, 상술한 「(1-4) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, (i) 워드선(기입 비선택 워드선)에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(4)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(3)를 역방향 바이어스 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이중의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 판독 시에 있어서의 오동작도 확실하게 방지할 수 있다.
- [0162] 또한, 도 7에 도시한 반도체 기억 장치(31)에서는, 예를 들어 열방향(이 경우, 행방향)으로 배열되는 4개의 안티퓨즈 메모리(2d₂, 2d₆, 2d₁₀, 2d₁₄)에서 1개의 워드선 콘택트 WC32를 공유함과 함께, 예를 들어 서로 인접하는 2개의 안티퓨즈 메모리(2d₂, 2d₃)에서 1개의 비트선 콘택트 BC35를 공유하도록 한 것에 의해, 각 안티퓨즈 메모리마다 비트선 콘택트 및 워드선 콘택트를 각각 개별로 형성하는 경우에 비해 장치 전체로서 소형화를 도모할 수 있다.

- [0163] (6) N형 MOS(Metal-Oxide-Semiconductor) 트랜지스터를 포함하는 정류 소자를 가진 안티퓨즈 메모리
- [0164] (6-1) 기본 구성
- [0165] 상술한 실시 형태에 있어서는, 정류 소자로서, P형 반도체 영역과 N형 반도체 영역에 의한 반도체 접합 구조를 구비하고, 역방향 바이어스의 전압에 의해 메모리 게이트 전극으로부터의 전압을 차단하는 다이오드형의 정류 소자(3)를 적용하는 경우에 대하여 설명하였지만, 본 발명은 이에 한하지 않고, 예를 들어 정류 소자 게이트 전극과 드레인 영역과 소스 영역에 의한 반도체 접합 구조를 구비하고, 역방향 바이어스의 전압에 의해, 메모리 캐패시터의 메모리 게이트 전극으로부터의 전압을 차단하는 MOS 트랜지스터형의 정류 소자를 적용해도 된다.
- [0166] 여기서, 도 8은 N형 MOS 트랜지스터의 반도체 접합 구조를 가진 정류 소자(43)와, 워드선 WL 및 비트선 BL의 전압차에 의해 절연 파괴되는 메모리 게이트 절연막(6)을 구비한 메모리 캐패시터(44)를 갖는 안티퓨즈 메모리(42)를 도시한다. 이 경우, 메모리 캐패시터(44)에는, 일단은 확산 영역에 비트선 BL이 접속되어 있고, 메모리 게이트 전극 G에 정류 소자(43)가 접속되어 있다. 정류 소자(43)는 정류 소자 게이트 전극 G1과, 드레인 영역이 워드선 WL에 접속되어 있음과 함께, 소스 영역이 메모리 캐패시터(44)의 메모리 게이트 전극 G에 접속된 구성을 갖는다. 이에 의해 정류 소자(43)는 워드선 WL로부터 오프 전압이 인가되는 한, 당해 정류 소자(43)의 트랜지스터가 오프 동작하여, 메모리 게이트 전극 G로부터 워드선 WL에의 전압 인가를 차단할 수 있도록 이루어져 있다.
- [0167] 실제상, 도 9a에 도시한 바와 같이, 안티퓨즈 메모리(42)는, 예를 들어 Si를 포함하는 P형 또는 N형의 웰 S2의 표면에, 절연 부재로 이루어지는 소자 분리층 IL이 형성된 구성을 갖는다. 또한, 웰 S2에는, 소자 분리층 IL의 한쪽의 영역에 정류 소자(43)가 형성되어 있고, 당해 소자 분리층 IL의 다른 쪽의 영역에 메모리 캐패시터(44)가 형성되어 있다. 실제상, 소자 분리층 IL의 일방측의 웰 S2에는, 당해 소자 분리층 IL에 인접하도록 한쪽의 확산 영역(5b)이 표면에 형성되어 있고, 당해 확산 영역(5b)과 소정 간격을 두고 다른 쪽의 확산 영역(5c)이 표면에 형성되어 있다.
- [0168] 이들 확산 영역(5b, 5c) 간의 웰 S2의 표면에는, 게이트 절연막(48)을 개재하여 정류 소자 게이트 전극 G1이 형성되어 있고, 드레인 영역으로 되는 다른 쪽의 확산 영역(5c)과, 정류 소자 게이트 전극 G1에 걸쳐 워드선 콘택트 WC가 기립 형성되어 있다. 또한, 이 실시 형태의 경우, 워드선 콘택트 WC는, 드레인 영역으로 되는 다른 쪽의 확산 영역(5c) 표면의 실리사이드 SC로부터, 정류 소자 게이트 전극 G1의 사이드 월을 통해, 당해 정류 소자 게이트 전극 G1 표면의 실리사이드 SC에 걸쳐 형성되어 있고, 또한 선단부에 워드선 WL이 접속된 구성을 갖는다. 이에 의해, 워드선 콘택트 WC는, 워드선 WL로부터 인가된 워드 전압을, 정류 소자(43)의 드레인 영역으로 되는 확산 영역(5c)과, 정류 소자 게이트 전극 G1의 양쪽에 대하여 인가할 수 있다.
- [0169] 또한, 소자 분리층 IL의 타방측의 웰 S2에는, 당해 소자 분리층 IL과 소정 간격을 두고 확산 영역(5a)이 표면에 형성되어 있고, 선단에 비트선 BL이 접속된 비트선 콘택트 BC가, 당해 확산 영역(5a) 표면의 실리사이드 SC 상에 기립 형성되어 있다. 또한, 소자 분리층 IL과 확산 영역(5a) 사이의 표면에, 메모리 게이트 절연막(6)을 개재하여 메모리 게이트 전극 G가 형성되어 있다. 여기서, 메모리 게이트 전극 G는, 소자 분리층 IL 상의 일부 영역으로부터 메모리 게이트 절연막(6) 상에 걸쳐 형성되어 있고, 양측벽에 사이드 월 SW를 갖는다.
- [0170] 또한, 이 안티퓨즈 메모리(42)에서는, 정류 소자(43)의 소스 영역으로 되는 한쪽의 확산 영역(5b)으로부터, 소자 분리층 IL 상의 메모리 게이트 전극 G에 걸쳐, 콘택트 C1이 형성되어 있고, 정류 소자(43)의 확산 영역(5b)과, 메모리 캐패시터(44)의 메모리 게이트 전극 G가 콘택트 C1에 의해 전기적으로 접속되어 있다. 이렇게 하여, 정류 소자(43)는 워드선 WL로부터 오프 전압이 인가되는 한, 당해 정류 소자(43)의 채널이 비도통 상태로 되어, 메모리 게이트 전극 G로부터 워드선 WL에의 전압 인가를 차단할 수 있도록 이루어져 있다.
- [0171] 또한, 이와 같은 MOS 트랜지스터 구성의 정류 소자(43)를 구비한 안티퓨즈 메모리(42)는, 정류 소자(43)의 정류 소자 게이트 전극 G1과, 메모리 캐패시터(44)의 메모리 게이트 전극 G가 동일한 배선층(동일층)에 형성되어 있고, 또한, 정류 소자 게이트 전극 G1의 막 두께와, 메모리 캐패시터(44)의 메모리 게이트 전극 G가 동일한 막 두께로 형성되어 있다. 이에 의해, 안티퓨즈 메모리(42)에서도, 전체로서 박형화가 도모되어 있다. 또한, 웰 S2 상에 형성된 비트선 콘택트 BC나, 워드선 콘택트 WC, 콘택트 C1, 정류 소자 게이트 전극 G1, 메모리 게이트 전극 G, 비트선 BL, 워드선 WL은 층간 절연층(9)에 의해 덮여 있다.
- [0172] 또한, 도 9a와의 대응 부분에 동일 부호를 붙여 나타내는 도 9b는, 도 9a에 도시한 안티퓨즈 메모리(42)가 형성된 영역에서의 평면 레이아웃의 구성을 도시한다. 또한, 도 9a는 도 9b의 B-B'에서의 측단면 구성으로 된다. 도 9b에 도시한 바와 같이, 안티퓨즈 메모리(42)는, 비트선 콘택트 BC가, 웰 S2의 대응하는 하나의 활성 영역

(46a)에 배치되고, 워드선 콘택트 WC가, 웰의 대응하는 다른 활성 영역(46b)에 배치되어 있다. 메모리 캐패시터(44)는, 메모리 게이트 전극 G의 일부가 하나의 활성 영역(46a)과 대향 배치되고, 메모리 게이트 전극 G와 활성 영역(46a)의 대향 영역에 메모리 게이트 절연막(6)이 형성될 수 있다. 또한, 다른 활성 영역(46a)에는, 정류 소자(43)의 정류 소자 게이트 전극 G1이 형성되어 있고, 또한 안티퓨즈 메모리(42)와 인접하는 다른 안티퓨즈 메모리(도시하지 않음)에 있어서의 정류 소자(43)의 정류 소자 게이트 전극 G1도 형성되어 있다.

[0173] 덧붙여서, 이와 같은 구성을 갖는 안티퓨즈 메모리(42)는, 포토리소그래피 기술, 산화나 CVD(Chemical Vapor Deposition) 등의 성막 기술, 에칭 기술 및 이온 주입법을 이용한 일반적인 반도체 제조 프로세스에 의해 형성할 수 있기 때문에, 여기에서는 그 설명은 생략한다.

[0174] (6-2) 데이터의 기입 동작

[0175] 여기서, 행렬 형상으로 배열된 안티퓨즈 메모리(42) 중, 소정의 안티퓨즈 메모리(42)에만 데이터를 기입하는 경우에는, 도 1에 도시한 반도체 기억 장치(1)와 마찬가지로, 데이터를 기입하는 안티퓨즈 메모리(42)가 접속된 비트선 BL에는 0[V]의 파괴 비트 전압이 인가되고, 데이터를 기입하지 않는 안티퓨즈 메모리(42)만이 접속된 비트선 BL에는 3[V]의 비파괴 비트 전압이 인가될 수 있다.

[0176] 또한, 이때, 데이터를 기입하는 안티퓨즈 메모리(42)가 접속된 워드선 WL에는, 5[V]의 파괴 워드 전압이 인가되고, 데이터가 기입되지 않는 안티퓨즈 메모리(42)만이 접속된 워드선 WL에는, 0[V]의 비파괴 워드 전압이 인가될 수 있다. 또한, 안티퓨즈 메모리(42)가 형성된 웰에는, 파괴 비트 전압과 동일한 0[V]이 인가될 수 있다.

[0177] 따라서, 예를 들어 데이터를 기입하는 안티퓨즈 메모리(42)에서는, 예를 들어 비트선 BL에 0[V]의 파괴 비트 전압이 인가되고, 워드선 WL에 5[V]의 파괴 워드 전압이 인가될 수 있다. 이때, 정류 소자(43)는 워드선 WL로부터 정류 소자 게이트 전극 G1에 5[V]의 파괴 워드 전압이 인가되어 있기 때문에, 정류 소자 게이트 전극 G1 및 소스 영역의 전압차에 의해 온 동작하고, 그 결과, 드레인 영역으로부터 소스 영역으로 순방향 바이어스의 전압이 가해져, 드레인 영역으로부터 소스 영역을 통해, 역치 전압분(Vth분) 내려간 파괴 워드 전압을 메모리 캐패시터(44)의 메모리 게이트 전극 G에 인가할 수 있다. 이때, 메모리 캐패시터(44)는 메모리 게이트 전극 G의 파괴 워드 전압과, 비트선 BL의 파괴 비트 전압의 관계로부터 온 동작하고 채널이 형성되어, 채널에 비트선 BL의 전위가 유도될 수 있다.

[0178] 이에 의해 메모리 캐패시터(44)에는, 메모리 게이트 전극 G와 채널 사이에 파괴 비트 전압 및 파괴 워드 전압에 의한 전압차가 발생할 수 있다. 이렇게 하여, 데이터가 기입되는 안티퓨즈 메모리(42)에서는, 메모리 캐패시터(44)에 있어서 메모리 게이트 전극 G 하부의 메모리 게이트 절연막(6)이 절연 파괴되고, 메모리 게이트 전극 G와 확산 영역이 저저항에서 도통 상태로 되어, 메모리 캐패시터(44)에 데이터가 기입된 상태로 될 수 있다.

[0179] 한편, 비트선 BL에 3[V]의 비파괴 비트 전압이 인가됨과 함께, 워드선 WL에 0[V]의 비파괴 워드 전압이 인가되는, 데이터가 기입되지 않는 안티퓨즈 메모리(42)에서는, 예를 들어 메모리 캐패시터(44)의 메모리 게이트 절연막(6)이 이미 절연 파괴되어 있을 때, 비트선 BL의 3[V]의 비파괴 비트 전압이 메모리 캐패시터(44)의 메모리 게이트 전극 G를 통해 정류 소자(43)의 소스 영역까지 인가될 수 있다. 이때, 안티퓨즈 메모리(42)에서는, 워드선 WL에 0[V]의 비파괴 워드 전압이 인가되어 있기 때문에, 정류 소자(43)의 정류 소자 게이트 전극 G1과 드레인 영역이 0[V]으로 되어, 당해 정류 소자(43)가 오프 상태(비도통 상태)로 된다(제2 차단 기구).

[0180] 또한, 메모리 캐패시터(44)의 메모리 게이트 전극 G와, 정류 소자(43)의 소스 영역 사이의 배선의 전위는, 외부로부터 공급되지 않기 때문에, 정상 상태에서는 웰 전위와 동전위로 되며 0[V]이라 생각해도 된다. 그 때문에, 메모리 캐패시터(44)에 접속된 비트선 BL에 고전압의 비파괴 비트 전압(이 경우, 3[V])이 인가되었을 때에는, 예를 들어 메모리 캐패시터(44)의 메모리 게이트 절연막(6)이 절연 파괴되어 있어도, 워드선(기입 비선택 워드선) WL에 0[V]의 비파괴 워드 전압이 인가되어 있기 때문에, 메모리 캐패시터(44)에 채널이 형성되지 않아, 비트선(기입 비선택 비트선) BL로부터 워드선 WL에의 전압 인가를 메모리 캐패시터(44)에서도 차단할 수 있다(제1 차단 기구).

[0181] 이 때문에, 이 안티퓨즈 메모리(42)에서는, 예를 들어 비파괴 비트 전압(3[V])이 인가되는 비트선(기입 비선택 비트선) BL이 접속되어 있는 확산 영역(5a)에 매우 가까운 개소에서 메모리 게이트 절연막(6)의 절연 파괴가 발생하고, 설령 기입 비선택 비트선 BL의 전위가 메모리 캐패시터(44)의 채널에 의해 차단할 수 없어, 기입 비선택 비트선 BL로부터 메모리 캐패시터(44)의 메모리 게이트 전극 G에 비파괴 비트 전압이 인가되어 버려도, 당해 메모리 게이트 전극 G와 접속된 정류 소자(43)가 오프 상태(비도통 상태)에 있기 때문에, 당해 정류 소자(43)에 의해 메모리 게이트 전극 G로부터 워드선 WL에의 전압 인가를 확실하게 차단할 수 있다. 이와 같이, 안티퓨즈

메모리(42)에서는, 비트선 BL로부터 인가되는 3[V]의 비파괴 비트 전압도, 메모리 캐패시터(44)의 채널 오프 동작(제1 차단 기구)과, 정류 소자(43)의 오프 동작(제2 차단 기구)에 의해 차단할 수 있어, 당해 비파괴 비트 전압이 워드선 WL에 전달되는 것을 확실하게 방지할 수 있다.

[0182] 덧붙여서, 워드선 WL로부터 5[V]의 파괴 워드 전압이 인가되고, 또한 비트선 BL로부터 3[V]의 비파괴 비트 전압이 인가되는, 데이터가 기입되지 않는 안티퓨즈 메모리(42)에서는, 정류 소자(43)로부터 메모리 캐패시터(44)의 메모리 게이트 전극 G에, 역치 전압분 내려간 파괴 워드 전압이 인가되지만, 메모리 게이트 전극 G와 채널 및 확산 영역의 전압차가 작아지기 때문에, 설령 메모리 캐패시터(44)에 있어서 메모리 게이트 절연막(6)이 절연 파괴되어 있지 않을 때라도, 당해 메모리 게이트 절연막(6)이 절연 파괴되지 않고 절연 상태인 채로 되어, 데이터가 기입되지 않는 상태가 유지될 수 있다.

[0183] 또한, 이와 같은 구성을 가진 안티퓨즈 메모리(42)가 행렬 형상으로 배치된 반도체 기억 장치에서도, 상술한 「(1-3) 데이터의 관독 동작」에 의해 원하는 안티퓨즈 메모리(42)의 데이터를 관독할 수 있기 때문에, 여기에서는 그 설명은 생략한다.

[0184] (6-3) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과

[0185] 이상의 구성에 있어서, 데이터를 기입하지 않는 안티퓨즈 메모리(42)에서도, 도 2에 있어서 상술한 안티퓨즈 메모리(2a, 2b)와 마찬가지로, 메모리 캐패시터(44)에 접속된 비트선 BL에 고전압의 비파괴 비트 전압이 인가되었을 때, 예를 들어 메모리 캐패시터(44)의 메모리 게이트 절연막(6)이 절연 파괴되어 있어도, 정류 소자(43)의 채널을 오프 상태(비도통 상태)로 함으로써, 메모리 캐패시터(44)의 메모리 게이트 전극 G로부터 워드선 WL에의 비파괴 비트 전압의 인가를 차단하도록 하였다.

[0186] 따라서, 안티퓨즈 메모리(42)에서도, 도 2에 있어서 상술한 안티퓨즈 메모리(2a, 2b)와 마찬가지로, 종래와 같은 제어 회로를 사용하지 않고, 메모리 게이트 전극 G 및 워드선 WL의 전압값에 의해, 메모리 게이트 전극 G로부터 워드선 WL에의 전압 인가를 오프 동작에 의해 차단하는 트랜지스터 구성의 정류 소자(43)를 형성하도록 하였기 때문에, 메모리 캐패시터(44)에의 각 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.

[0187] 또한, 이와 같은 안티퓨즈 메모리(42)에서도, (i) 워드선(기입 비선택 워드선)에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(44)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(43)를 오프 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이중의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 관독 시에 있어서의 오동작도 확실하게 방지할 수 있다.

[0188] (7) 4개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트 및 1개의 비트선 콘택트를 공유하는 경우에 대하여

[0189] (7-1) 평면 레이아웃의 구성에 대하여

[0190] 다음에 상술한 안티퓨즈 메모리(42)가 행렬 형상으로 배치된 반도체 기억 장치의 평면 레이아웃의 구성에 대하여 설명한다. 도 9b와의 대응 부분에 동일 부호를 붙여 나타내는 도 10은, 예를 들어 합계 16개의 안티퓨즈 메모리(2e₁, 2e₂, 2e₃, 2e₄, 2e₅, 2e₆, 2e₇, 2e₈, 2e₉, 2e₁₀, 2e₁₁, 2e₁₂, 2e₁₃, 2e₁₄, 2e₁₅, 2e₁₆)를 4행4열로 배치하였을 때의 평면 레이아웃의 구성을 도시하고 있다. 이 경우, 반도체 기억 장치(41)에 있어서, 안티퓨즈 메모리(2e₁, 2e₂, 2e₃, 2e₄, 2e₅, 2e₆, 2e₇, 2e₈, 2e₉, 2e₁₀, 2e₁₁, 2e₁₂, 2e₁₃, 2e₁₄, 2e₁₅, 2e₁₆)는 모두 동일 구성을 갖고 있으며, 상술한 도 9a 및 도 9b와 마찬가지로, 각각 정류 소자(43)와 메모리 캐패시터(44)를 갖고 있다. 또한, 워드선 콘택트 WC51, WC52, WC53, WC54에 대해서도 모두 동일 구성으로 이루어지기 때문에, 여기에서는, 예를 들어 워드선 콘택트 WC52에 주목하여 이하 설명한다.

[0191] 이 경우, 워드선 콘택트 WC52가 기립 형성되는 활성 영역(46b)은, 서로 인접하는 4개의 안티퓨즈 메모리(2e₃, 2e₄, 2e₇, 2e₈)에서 공유되고 있다. 실제상, 워드선 콘택트 WC52가 기립 형성된 활성 영역(46b)에는, 열방향으로 인접하는 2개의 안티퓨즈 메모리(2e₃, 2e₄)에서 공유하는 정류 소자 게이트 전극 G1과, 동일하게 열방향으로 인접하는 2개의 안티퓨즈 메모리(2e₇, 2e₈)에서 공유하는 정류 소자 게이트 전극 G1이 형성되어 있다. 워드선 콘택트 WC52는, 이들 2개의 정류 소자 게이트 전극 G1과, 활성 영역(46b)에 걸쳐 형성되어 있다. 이에 의해, 워드선 콘택트 WC52는, 이들 안티퓨즈 메모리(2e₃, 2e₄, 2e₇, 2e₈)의 각 정류 소자 게이트 전극 G1과, 이들 안티

퓨즈 메모리(2e₃, 2e₄, 2e₇, 2e₈)의 정류 소자(43)에 있어서의 각 드레인 영역에, 비트선으로부터의 비트 전압을 일률적으로 인가할 수 있다.

[0192] 또한, 워드선 콘택트 WC52가 기립 형성된 활성 영역(46b)에는, 각 안티퓨즈 메모리(2e₃, 2e₄, 2e₇, 2e₈)의 정류 소자(43)의 소스 영역에, 각각 콘택트 C1을 통해, 각 안티퓨즈 메모리(2e₃, 2e₄, 2e₇, 2e₈)의 메모리 게이트 전극 G가 접속되어 있다.

[0193] 다음에, 비트선 콘택트 BC51, BC52, BC53, BC54, BC55, BC56, BC57, BC58, BC59에 대하여 이하 설명한다. 이 실시 형태의 경우, 반도체 기억 장치(41)에는, 합계 9개의 비트선 콘택트 BC51, BC52, BC53, BC54, BC55, BC56, BC57, BC58, BC59가 3행3열로 배치되어 있다. 각 비트선 콘택트 BC51, BC52, BC53, BC54, BC55, BC56, BC57, BC58, BC59는, 각각 상이한 활성 영역(46a)에 배치되어 있고, 비트선(도시하지 않음)으로부터의 소정의 비트 전압을, 대응하는 활성 영역(46a)에 각각 인가할 수 있도록 이루어져 있다.

[0194] 여기서, 이들 9개의 비트선 콘택트 BC51, BC52, BC53, BC54, BC55, BC56, BC57, BC58, BC59 중, 중앙 영역에 배치된 비트선 콘택트 BC55가 배치된 활성 영역(46a)에는, 상이한 활성 영역(46b)에 접속되며, 또한 서로 인접하는 4개의 안티퓨즈 메모리(2e₆, 2e₇, 2e₁₀, 2e₁₁)가 형성되어 있다. 이에 의해, 중앙 영역에 배치된 비트선 콘택트 BC55는, 서로 인접하는 4개의 안티퓨즈 메모리(2e₆, 2e₇, 2e₁₀, 2e₁₁)에서 공유되고, 비트선으로부터의 소정의 비트 전압을, 이들 4개의 안티퓨즈 메모리(2e₆, 2e₇, 2e₁₀, 2e₁₁)에 대하여 일률적으로 인가할 수 있도록 이루어져 있다.

[0195] 이 경우, 중앙의 비트선 콘택트 BC55가 기립 형성된 활성 영역(46a)에는, 당해 비트선 콘택트 BC55를 중심으로, 안티퓨즈 메모리(2e₆, 2e₇)와 안티퓨즈 메모리(2e₁₀, 2e₁₁)가 좌우 대칭으로 배치되어 있다. 구체적으로, 비트선 콘택트 BC55가 기립 형성된 활성 영역(46a)의 한 변측에는, 열방향으로 인접하는 2개의 안티퓨즈 메모리(2e₆, 2e₇)의 각 메모리 게이트 전극 G가 대향 배치되고, 이들 안티퓨즈 메모리(2e₆, 2e₇)의 각 메모리 게이트 절연막(6)이 형성되어 있다. 또한 이 활성 영역(46a)의 타변측에는, 동일하게 열방향으로 인접하는 다른 안티퓨즈 메모리(2e₁₀, 2e₁₁)의 각 메모리 게이트 전극 G가 대향 배치되고, 이들 안티퓨즈 메모리(2e₁₀, 2e₁₁)의 각 메모리 게이트 절연막(6)이 형성되어 있다.

[0196] 덧붙여, 반도체 기억 장치(41)의 평면 레이아웃에 있어서 코너부에 배치된 4개의 비트선 콘택트 BC51, BC53, BC57, BC59에는, 각각 대응하는 1개의 안티퓨즈 메모리(2e₁, 2e₄, 2e₁₃, 2e₁₆)만이 접속되어 있다. 이렇게 하여, 이들 코너부에 배치된 각 비트선 콘택트 BC51, BC53, BC57, BC59에서는, 각각 대응하는 1개의 안티퓨즈 메모리(2e₁, 2e₄, 2e₁₃, 2e₁₆)에 대해서만 비트 전압을 인가할 수 있다.

[0197] 또한, 반도체 기억 장치(41)의 평면 레이아웃에 있어서 말단을 따라서 배열된 비트선 콘택트 BC51, BC52, BC53, BC54, BC56, BC57, BC58, BC59 중, 코너부 이외에 배치된 비트선 콘택트 BC52에는, 2개의 안티퓨즈 메모리(2e₂, 2e₃)만이 접속되어 있다. 그리고, 코너부 이외에 배치된 그 밖의 비트선 콘택트 BC54, BC56, BC58에도, 각각 대응하는 2개의 안티퓨즈 메모리(2e₅, 2e₉, 2e₈, 2e₁₂, 2e₁₄, 2e₁₅)만이 접속되어 있다. 이와 같이, 반도체 기억 장치(41)에 있어서, 코너부 이외에 배치된 그 밖의 비트선 콘택트 BC52, BC54, BC56, BC58에서는, 공유하는 안티퓨즈 메모리수가 2개로 되고, 또한, 중앙 영역에 배치된 비트선 콘택트 BC55에서는, 공유하는 안티퓨즈 메모리수가 4개로 되기 때문에, 각 비트선 콘택트마다 1개의 안티퓨즈 메모리를 형성하는 경우에 비해 소형화를 도모할 수 있다.

[0198] 이상의 구성에 있어서, 도 10에 도시한 반도체 기억 장치(41)의 안티퓨즈 메모리(2e₁, 2e₂, 2e₃, 2e₄, 2e₅, 2e₆, 2e₇, 2e₈, 2e₉, 2e₁₀, 2e₁₁, 2e₁₂, 2e₁₃, 2e₁₄, 2e₁₅, 2e₁₆)에서는, 상술한 「(6-3) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, 종래와 같은 제어 회로를 사용하지 않고, 메모리 게이트 전극 G 및 워드선 WL의 전압값에 의해, 메모리 게이트 전극 G로부터 워드선 WL에의 전압 인가를 오프 동작에 의해 차단하는 트랜지스터 구성의 정류 소자(43)를 형성하도록 하였기 때문에, 메모리 캐패시터(44)에의 각 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.

[0199] 그리고, 예를 들어 반도체 기억 장치(41)에 있어서의 안티퓨즈 메모리(2e₄)에서는, 상술한 「(6-3) 상기 구성에

의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, (i) 워드선(기입 비선택 워드선)에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(44)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(43)를 오프 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이중의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 판독 시에 있어서의 오동작도 확실하게 방지할 수 있다.

[0200] 또한, 도 10에 도시한 반도체 기억 장치(41)에서는, 서로 인접하는 4개의 안티퓨즈 메모리(2e₆, 2e₇, 2e₁₀, 2e₁₁)에서 1개의 비트선 콘택트 BC55를 공유함과 함께, 예를 들어 서로 인접하는 4개의 안티퓨즈 메모리(2e₃, 2e₄, 2e₇, 2e₈)에서 1개의 워드선 콘택트 WC52를 공유하도록 한 것에 의해, 각 안티퓨즈 메모리마다 비트선 콘택트 및 워드선 콘택트를 각각 개별로 형성하는 경우에 비해 장치 전체로서 소형화를 도모할 수 있다.

[0201] (7-2) 비트선 및 워드선의 평면 레이아웃의 구성에 대하여

[0202] 다음에, 도 10에 도시한 반도체 기억 장치(41)에 있어서의 비트선 및 워드선의 평면 레이아웃에 대하여 이하 설명한다. 도 10과의 대응 부분에 동일 부호를 붙여 나타내는 도 11과 같이, 반도체 기억 장치(41)에는, 1열째의 비트선 콘택트 BC51, BC52, BC53 중, 1행째의 비트선 콘택트 BC51과 3행째의 비트선 콘택트 BC53에 대하여 1열째의 비트선 BL1c가 접속되어 있고, 이들 비트선 콘택트 BC51, BC53 사이의 2행째의 비트선 콘택트 BC52에 대하여 다른 2열째의 비트선 BL2c가 접속되어 있다. 이에 의해, 반도체 기억 장치(41)는 예를 들어 1열째의 비트선 BL1c에 의해, 정류 소자(43)의 활성 영역(46b)이 각각 상이한 2개의 안티퓨즈 메모리(2e₁, 2e₄)에 대하여 소정의 비트 전압을 일률적으로 인가할 수 있고, 또한 2열째의 비트선 BL2c에 의해, 정류 소자(43)의 활성 영역(46b)이 각각 상이한 2개의 안티퓨즈 메모리(2e₂, 2e₃)에 대하여, 1열째의 비트선 BL1c와는 상이한 소정의 비트 전압을 인가할 수 있다.

[0203] 또한, 2열째의 비트선 콘택트 BC54, BC55, BC56에서는, 1행째의 비트선 콘택트 BC54와 3행째의 비트선 콘택트 BC56에 대하여 3열째의 비트선 BL3c가 접속되어 있고, 이들 비트선 콘택트 BC54, BC56 간의 2행째의 비트선 콘택트 BC55에 대하여 4열째의 비트선 BL4c가 접속되어 있다. 이에 의해, 반도체 기억 장치(41)는 예를 들어 3열째의 비트선 BL3c에 의해, 정류 소자(43)의 활성 영역(46b)이 각각 상이한 4개의 안티퓨즈 메모리(2e₅, 2e₈, 2e₉, 2e₁₂)에 대하여 소정의 비트 전압을 일률적으로 인가할 수 있고, 또한 4열째의 비트선 BL4c에 의해, 정류 소자(43)의 활성 영역(46b)이 각각 상이한 4개의 안티퓨즈 메모리(2e₆, 2e₇, 2e₁₀, 2e₁₁)에 대하여, 3열째의 비트선 BL3c와는 상이한 소정의 비트 전압을 인가할 수 있다.

[0204] 또한, 3열째의 비트선 콘택트 BC57, BC58, BC59에서도, 1행째의 비트선 콘택트 BC57과 3행째의 비트선 콘택트 BC59에 대하여 5열째의 비트선 BL5c가 접속되고, 이들 비트선 콘택트 BC57, BC59 간의 2행째의 비트선 콘택트 BC58에 대하여 6열째의 비트선 BL6c가 접속되어 있다. 이에 의해, 반도체 기억 장치(41)는, 예를 들어 5열째의 비트선 BL5c에 의해, 정류 소자(43)의 활성 영역(46b)이 각각 상이한 2개의 안티퓨즈 메모리(2e₁₃, 2e₁₆)에 대하여 소정의 비트 전압을 일률적으로 인가할 수 있고, 또한 6열째의 비트선 BL6c에 의해, 정류 소자(43)의 활성 영역(46b)이 각각 상이한 2개의 안티퓨즈 메모리(2e₁₄, 2e₁₅)에 대하여, 5열째의 비트선 BL5c와는 상이한 소정의 비트 전압을 인가할 수 있다.

[0205] 이러한 구성에 더하여, 워드선 콘택트 WC51, WC52, WC53, WC54에는 각각 상이한 워드선 WL1c, WL2c, WL3c, WL4c가 접속되어 있고, 각 워드선 WL1c, WL2c, WL3c, WL4c에 의해, 각 워드선 콘택트 WC51, WC52, WC53, WC54마다 상이한 워드 전압을 인가할 수 있다. 이 실시 형태의 경우, 예를 들어 1행째의 워드선 WL1c는, 1행1열째의 워드선 콘택트 WC51에 접속되어 있고, 당해 워드선 콘택트 WC51을 공유하는 4개의 안티퓨즈 메모리(2e₁, 2e₂, 2e₅, 2e₆)에 소정의 워드 전압을 일률적으로 인가할 수 있다. 또한, 다른 워드선 WL2c, WL3c, WL4c도 마찬가지로, 대응한 워드선 콘택트 WC53, WC52, WC54를 통해 각각 4개의 안티퓨즈 메모리(2e₉, 2e₁₀, 2e₁₃, 2e₁₄, 2e₃, 2e₄, 2e₇, 2e₈, 2e₁₁, 2e₁₂, 2e₁₅, 2e₁₆)에 대하여 소정의 워드 전압을 일률적으로 인가할 수 있다.

[0206] 여기서, 예를 들어 중앙 영역에 있는 1개의 비트선 콘택트 BC55에 접속된 4개의 안티퓨즈 메모리(2e₆, 2e₇, 2e₁₀, 2e₁₁)에 주목하면, 당해 비트선 콘택트 BC55에 접속된 4개의 안티퓨즈 메모리(2e₆, 2e₇, 2e₁₀, 2e₁₁)에는, 각각 전기적으로 독립적으로 제어할 수 있는 워드선 WL1c, WL2c, WL3c, WL4c가 접속되어 있고, 각 워드선 WL1c, WL2c, WL3c, WL4c에 의해 각각 상이한 워드 전압을 인가할 수 있다. 또한, 예를 들어 1개의 워드선 콘택트

WC52에 접속된 4개의 안티퓨즈 메모리($2e_3, 2e_4, 2e_7, 2e_8$)에 주목하면, 당해 워드선 콘택트 WC52에 접속된 4개의 안티퓨즈 메모리($2e_3, 2e_4, 2e_7, 2e_8$)에는, 각각 전기적으로 독립적으로 제어할 수 있는 비트선 BL1c, BL2c, BL3c, BL4c가 접속되어 있고, 각 비트선 BL1c, BL2c, BL3c, BL4c에 의해 각각 상이한 비트 전압을 인가할 수 있다.

[0207] 그리고, 이와 같은 반도체 기억 장치(41)에서는, 비트선 BL1c, BL2c, BL3c, BL4c, BL5c, BL6c 및 워드선 WL1c, WL2c, WL3c, WL4c에 인가하는 전압을 적절히 조정함으로써, 상술한 「(6-2) 데이터의 기입 동작」에 의해, 예를 들어 소정 위치의 안티퓨즈 메모리($2e_1$)에만 데이터를 기입할 수 있음과 함께, 상술한 「(1-3) 데이터의 판독 동작」에 의해, 예를 들어 소정 위치의 안티퓨즈 메모리($2e_1$)에 있어서의 데이터를 판독할 수 있다.

[0208] 덧붙여서, 도 11에 있어서의 반도체 기억 장치(41)에서는, 안티퓨즈 메모리수가 16개이기 때문에, 예를 들어 워드선 WL1c가 1개의 워드선 콘택트 WC51에만 접속된 구성으로 되어 있다. 그러나, 안티퓨즈 메모리수를 더 증가시킨 경우에는, 예를 들어 1열째의 워드선 WL1c와 2열째의 워드선 WL2c가, 행방향으로 배열되는 복수의 워드선 콘택트에 대하여 순차적으로 교대로 접속된 구성으로 된다. 예를 들어 1행1열째의 워드선 콘택트 WC51에 접속되어 있는 워드선 WL1c는, 1행3열째의 워드선 콘택트나, 1행5열째의 워드선 콘택트 등에도 접속되고, 한편, 1행 2열째의 워드선 콘택트 WC53에 접속되어 있는 워드선 WL2c는, 1행4열째의 워드선 콘택트나, 1행6열째의 워드선 콘택트 등에도 접속된 구성으로 된다.

[0209] (8) 다른 실시 형태에 의한 비트선 및 워드선의 평면 레이아웃의 구성에 대하여

[0210] 도 11에서는, 일례로서, 합계 16개의 안티퓨즈 메모리($2e_1, 2e_2, 2e_3, 2e_4, 2e_5, 2e_6, 2e_7, 2e_8, 2e_9, 2e_{10}, 2e_{11}, 2e_{12}, 2e_{13}, 2e_{14}, 2e_{15}, 2e_{16}$)를 4행4열로 배치하고, 이들 안티퓨즈 메모리($2e_1, 2e_2, 2e_3, 2e_4, 2e_5, 2e_6, 2e_7, 2e_8, 2e_9, 2e_{10}, 2e_{11}, 2e_{12}, 2e_{13}, 2e_{14}, 2e_{15}, 2e_{16}$)의 배치 위치에 맞추어 비트선 BL1c, BL2c, BL3c, BL4c, BL5c, BL6c 및 워드선 WL1c, WL2c, WL3c, WL4c를 배치시킨 반도체 기억 장치(41)에 대하여 도시하였다.

[0211] 여기서, 도 11에 도시한 반도체 기억 장치(41)에서는, 비트선 콘택트 BC51, BC52, BC53의 열을 일단측에 형성하고, 비트선 콘택트 BC57, BC58, BC59의 열을 타단측에 형성하고 있다. 이 경우, 일단측에 있는 1행1열째의 비트선 콘택트 BC51과, 동일하게 일단측에 있는 3행1열째의 비트선 콘택트 BC53에는, 각각 1개의 안티퓨즈 메모리 [$2e_1(2e_4)$]만이 접속된 구성으로 되고, 또한, 동일하게 일단측에 있는 2행1열째의 비트선 콘택트 BC52에는, 2개의 안티퓨즈 메모리($2e_2, 2e_3$)가 접속된 구성으로 된다.

[0212] 따라서, 일단측의 비트선 콘택트 BC51, BC53에 접속되는 1열째의 비트선 BL1c는, 각 비트선 콘택트 BC51, BC53을 통해 합계 2개의 안티퓨즈 메모리($2e_1, 2e_4$)만이 접속되게 된다. 또한, 동일하게 일단측의 비트선 콘택트 BC52에 접속되는 2열째의 비트선 BL2c도, 비트선 콘택트 BC52를 통해 2개의 안티퓨즈 메모리($2e_2, 2e_3$)만이 접속되게 된다.

[0213] 그리고, 마찬가지로 타단측에 있는 비트선 콘택트 BC57, BC58, BC59의 열에서도, 비트선 콘택트 BC57(BC59)에 1개의 안티퓨즈 메모리 [$2e_{13}(2e_{16})$]가 접속되고, 나머지 비트선 콘택트 BC58에 2개의 안티퓨즈 메모리($2e_{14}, 2e_{15}$)가 접속된 구성으로 된다. 그 때문에, 타단측의 비트선 콘택트 BC57, BC59에 접속되는 5열째의 비트선 BL5c에도, 각 비트선 콘택트 BC57, BC59를 통해 합계 2개의 안티퓨즈 메모리($2e_{13}, 2e_{16}$)만이 접속되게 되고, 동일하게 타단측의 비트선 콘택트 BC58에 접속되는 6열째의 비트선 BL6c에도, 비트선 콘택트 BC58을 통해 2개의 안티퓨즈 메모리($2e_{14}, 2e_{15}$)만이 접속되게 된다. 이렇게 하여, 말단에 배치된 비트선 콘택트 BC51, BC52, BC53(BC57, BC58, BC59)의 열에 대하여 형성한 비트선 BL1c, BL2c(BL5c, BL6c)에서는, 접속되는 안티퓨즈 메모리수가 2개로 된다.

[0214] 한편, 중앙 영역에 배치된 비트선 BL3c에는, 비트선 콘택트 BC54, BC56을 통해 합계 4개의 안티퓨즈 메모리 ($2e_5, 2e_9, 2e_8, 2e_{12}$)가 접속되고, 동일하게 중앙 영역에 배치된 비트선 BL4c에는, 비트선 콘택트 BC55를 통해 4개의 안티퓨즈 메모리($2e_6, 2e_7, 2e_{10}, 2e_{11}$)가 접속되어 있다. 그 때문에, 도 11에 도시한 반도체 기억 장치 (41)에 있어서, 행 어드레스와 열 어드레스에 의한 제어를 효율적으로 행하기 위해서는, 예를 들어 1열째의 비트선 BL1a와 5열째의 비트선 BL5a를 쇼트시켜 동일한 비트 전압에서 동작하는 안티퓨즈 메모리수를 4개로 하고, 또한 2열째의 비트선 BL2a와 6열째의 비트선 BL6a도 쇼트시켜 동일한 비트 전압에서 동작하는 안티퓨즈 메모리

수를 4개로 하여, 중앙 영역의 비트선 BL3c, BL4c에 접속되는 안티퓨즈 메모리수(이 경우, 4개)에 맞추는 것이 바람직하다.

- [0215] 즉, 반도체 기억 장치(41)에서는, 1열째의 비트선 BL1c에 각 비트선 콘택트 BC51, BC53을 통해 각각 접속된 합계 2개의 안티퓨즈 메모리(2e₁, 2e₄)와, 5열째의 비트선 BL5c에 비트선 콘택트 BC57, BC59를 통해 각각 접속된 합계 2개의 안티퓨즈 메모리(2e₁₃, 2e₁₆)를 합한 합계 4개의 안티퓨즈 메모리(2e₁, 2e₄, 2e₁₃, 2e₁₆)를, 1열째의 비트선 BL1c와 5열째의 비트선 BL5c의 2개에 의해 동작시키는 것이 바람직하다.
- [0216] 마찬가지로 하여 2열째의 비트선 BL2a에 비트선 콘택트 BC12를 통해 접속된 2개의 안티퓨즈 메모리(2a₂, 2a₃)와, 6열째의 비트선 BL6a에 비트선 콘택트 BC18을 통해 접속된 2개의 안티퓨즈 메모리(2a₁₄, 2a₁₅)를 합한 합계 4개의 안티퓨즈 메모리(2a₂, 2a₃, 2a₁₄, 2a₁₅)도, 2열째의 비트선 BL2a와 6열째의 비트선 BL6a의 2개에 의해 동작시키는 것이 바람직하다.
- [0217] 여기서, 반도체 기억 장치(41)에서는, 예를 들어 1열째의 비트선 BL1c와 5열째의 비트선 BL5c의 2개에 의해 안티퓨즈 메모리(2e₁, 2e₄, 2e₁₃, 2e₁₆)에 대하여 일률적으로 소정의 비트 전압을 인가하는 경우, 4개의 안티퓨즈 메모리[2e₅, 2e₉, 2e₈, 2e₁₂(2e₆, 2e₇, 2e₁₀, 2e₁₁)]를 1개의 구성으로 동작시키는 3열째의 비트선 BL3c나 4열째의 비트선 BL4c는 용량이 상이하게 된다. 그 때문에, 반도체 기억 장치(41)에서는, 데이터의 판독 동작 시에, 예를 들어 판독 속도의 저하 등의 문제가 발생할 우려가 있다.
- [0218] 따라서, 이와 같은 문제점을 해결하기 위해, 도 11과의 대응 부분에 동일 부호를 붙여 나타내는 도 12에 도시한 바와 같이, 반도체 기억 장치(41a)에서는, 일단측에 워드선 콘택트 WC51a, WC52a의 열을 배치함과 함께, 타단측에 워드선 콘택트 WC55a, WC56a의 열을 배치하고, 또한, 일단측의 워드선 콘택트 WC51a, WC52a의 열과, 중앙의 워드선 콘택트 WC53a, WC54a의 열 사이에 하나의 비트선 콘택트 BC51a, BC52a, BC53a의 열을 형성하고, 타단측의 워드선 콘택트 WC55a, WC56a의 열과, 중앙의 워드선 콘택트 WC53a, WC54a의 열 사이에 다른 비트선 콘택트 BC54a, BC55a, BC56a의 열을 형성하도록 하였다.
- [0219] 또한, 반도체 기억 장치(41a)에서는, 일단측의 워드선 콘택트 WC51a, WC52a의 열과, 중앙의 워드선 콘택트 WC53a, WC54a의 열 사이에 있는 하나의 비트선 콘택트 BC51a, BC52a, BC53a의 열 중, 1행째의 비트선 콘택트 BC51a와 3행째의 비트선 콘택트 BC53a에 1열째의 비트선 BL1d를 접속시키고, 2행째의 비트선 콘택트 BC52a에 2열째의 비트선 BL2d를 접속시킬 수 있다.
- [0220] 이에 의해, 반도체 기억 장치(41a)에서는, 1행째의 비트선 콘택트 BC51a에 접속된 2개의 안티퓨즈 메모리(2f₁, 2f₅)와, 3행째의 비트선 콘택트 BC53a에 접속된 2개의 안티퓨즈 메모리(2f₄, 2f₈)의 합계 4개의 안티퓨즈 메모리(2f₁, 2f₅, 2f₄, 2f₈)를, 1열째에 있는 1개의 비트선 BL1d에 접속시킬 수 있고, 이렇게 하여, 1개의 구성으로 이루어지는 비트선 BL1d에 의해 4개의 안티퓨즈 메모리(2f₁, 2f₅, 2f₄, 2f₈)를 동작시킬 수 있다.
- [0221] 또한, 이 반도체 기억 장치(41a)에서는, 2행째의 비트선 콘택트 BC52a에 접속된 4개의 안티퓨즈 메모리(2f₂, 2f₃, 2f₆, 2f₇)를, 2열째에 있는 1개의 비트선 BL2d에 접속시킬 수 있고, 이렇게 하여, 1개의 구성으로 이루어지는 비트선 BL2d에 의해 4개의 안티퓨즈 메모리(2f₂, 2f₃, 2f₆, 2f₇)를 동작시킬 수 있다.
- [0222] 마찬가지로, 반도체 기억 장치(41a)에서는, 타단측의 워드선 콘택트 WC55a, WC56a의 열과, 중앙의 워드선 콘택트 WC53a, WC54a의 열 사이에 있는 다른 비트선 콘택트 BC54a, BC55a, BC56a의 열에서도, 1행째의 비트선 콘택트 BC54a와 3행째의 비트선 콘택트 BC56a에 3열째의 비트선 BL3d를 접속시키고, 2행째의 비트선 콘택트 BC55a에 4열째의 비트선 BL4d를 접속시킬 수 있다.
- [0223] 이에 의해, 반도체 기억 장치(41a)에서는, 1행째의 비트선 콘택트 BC54a에 접속된 2개의 안티퓨즈 메모리(2f₉, 2f₁₃)와, 3행째의 비트선 콘택트 BC56a에 접속된 2개의 안티퓨즈 메모리(2f₁₂, 2f₁₆)의 합계 4개의 안티퓨즈 메모리(2f₉, 2f₁₃, 2f₁₂, 2f₁₆)를, 3열째에 있는 1개의 비트선 BL3d에 접속시킬 수 있고, 이렇게 하여, 1개의 구성으로 이루어지는 비트선 BL3d에 의해 4개의 안티퓨즈 메모리(2f₉, 2f₁₃, 2f₁₂, 2f₁₆)를 동작시킬 수 있다.
- [0224] 또한, 이 반도체 기억 장치(41a)에서는, 2행째의 비트선 콘택트 BC55a에 접속된 4개의 안티퓨즈 메모리(2f₁₀,

2f₁₁, 2f₁₄, 2f₁₅)를, 4열째에 있는 1개의 비트선 BL4d에 접속시킬 수 있고, 이렇게 하여, 1개의 구성으로 이루어지는 비트선 BL4d에 의해 4개의 안티퓨즈 메모리(2f₁₀, 2f₁₁, 2f₁₄, 2f₁₅)를 동작시킬 수 있다.

[0225] 이렇게 하여, 반도체 기억 장치(41a)에서는, 도 11에 도시한 반도체 기억 장치(41)와는 달리, 비트선끼리의 접속이 불필요해져, 비트선 BL1d, BL2d, BL3d, BL4d를 모두 하나의 구성으로 할 수 있고, 모두 동일한 용량으로 설정할 수 있기 때문에, 데이터의 판독 동작 시에, 예를 들어 판독 속도의 저하 등의 문제 발생을 방지할 수 있다.

[0226] 또한, 이 반도체 기억 장치(41a)에 있어서, 1행째의 워드선 콘택트 WC51a, WC53a, WC55a의 행에는, 1열째의 워드선 콘택트 WC51a와 3열째의 워드선 콘택트 WC55a에 동일한 워드선 WL1d가 접속되고, 2열째의 워드선 콘택트 WC53a에 대해 워드선 WL1d와는 상이한 다른 워드선 WL2d가 접속될 수 있다. 또한, 2행째의 워드선 콘택트 WC52a, WC54a, WC56a의 행에는, 1열째의 워드선 콘택트 WC52a와 3열째의 워드선 콘택트 WC56a에 동일한 워드선 WL3d가 접속되고, 2열의 워드선 콘택트 WC54a에 대해 워드선 WL3d와는 상이한 다른 워드선 WL4d가 접속될 수 있다.

[0227] 그리고, 이와 같은 반도체 기억 장치(41a)에서도, 예를 들어 2행1열째의 비트선 콘택트 BC52a나, 2행2열째의 비트선 콘택트 BC55a에 각각 4개의 안티퓨즈 메모리[2f₂, 2f₃, 2f₆, 2f₇(2f₁₀, 2f₁₁, 2f₁₄, 2f₁₅)]가 접속된 구성을 실현할 수 있어, 상술한 실시 형태와 마찬가지로 소형화를 도모할 수 있다. 또한, 이 반도체 기억 장치(41a)에서도, 예를 들어 1행2열째의 워드선 콘택트 WC53a나, 2행2열째의 워드선 콘택트 WC54a에 각각 4개의 안티퓨즈 메모리[2f₅, 2f₆, 2f₉, 2f₁₀(2f₇, 2f₈, 2f₁₁, 2f₁₂)]를 접속시킨 구성을 실현할 수 있어, 상술한 실시 형태와 마찬가지로 소형화를 도모할 수 있다.

[0228] 덧붙여서, 이 경우에도, 예를 들어 중앙 영역에 있는 1개의 비트선 콘택트 BC52a에 접속된 4개의 안티퓨즈 메모리(2f₂, 2f₃, 2f₆, 2f₇)에 주목하면, 당해 비트선 콘택트 BC52a에 접속된 4개의 안티퓨즈 메모리(2f₂, 2f₃, 2f₆, 2f₇)에는, 각각 전기적으로 독립적으로 제어할 수 있는 워드선 WL1d, WL2d, WL3d, WL4d가 접속되어 있어, 각 워드선 WL1d, WL2d, WL3d, WL4d에 의해 각각 상이한 워드 전압을 인가할 수 있다. 또한, 예를 들어 1개의 워드선 콘택트 WC53a에 접속된 4개의 안티퓨즈 메모리(2f₅, 2f₆, 2f₉, 2f₁₀)에 주목하면, 당해 안티퓨즈 메모리 워드선 콘택트 WC53a에 접속된 4개의 안티퓨즈 메모리(2f₅, 2f₆, 2f₉, 2f₁₀)에는, 각각 전기적으로 독립적으로 제어할 수 있는 비트선 BL1d, BL2d, BL3d, BL4d가 접속되어 있어, 각 비트선 BL1d, BL2d, BL3d, BL4d에 의해 각각 상이한 비트 전압을 인가할 수 있다.

[0229] 그리고, 이 반도체 기억 장치(41a)에서도, 비트선 BL1d, BL2d, BL3d, BL4d 및 워드선 WL1d, WL2d, WL3d, WL4d에 인가하는 전압을 적절히 조정함으로써, 상술한 「(6-2) 데이터의 기입 동작」에 의해, 예를 들어 소정 위치의 안티퓨즈 메모리(2f₁)에만 데이터를 기입할 수 있음과 함께, 상술한 「(1-3) 데이터의 판독 동작」에 의해 소정 위치의 안티퓨즈 메모리(2f₁)에 있어서의 데이터를 판독할 수도 있다.

[0230] 이상의 구성에 의하면, 반도체 기억 장치(41a)에서는, 말단에 배치된 일방향(이 경우, 행방향)으로 배열되는 각 비트선 콘택트 BC51a, BC54a(BC53a, BC56a)에 각각 2개의 안티퓨즈 메모리[(2f₁, 2f₅, 2f₉, 2f₁₃(2f₄, 2f₈, 2f₁₂, 2f₁₆)]를 접속하고, 또한, 말단에 배치된 타방향(이 경우, 열방향)으로 배열되는 각 워드선 콘택트 WC51a, WC52a(WC55a, WC56a)에도, 각각 2개의 안티퓨즈 메모리[2f₁, 2f₂, 2f₃, 2f₄(2f₁₃, 2f₁₄, 2f₁₅, 2f₁₆)]를 접속하도록 하였다. 또한, 이 반도체 기억 장치(41a)에서는, 중앙 영역에 배치된 나머지 비트선 콘택트 BC52a(BC55a)에 4개의 안티퓨즈 메모리[2f₂, 2f₃, 2f₆, 2f₇(2f₁₀, 2f₁₁, 2f₁₄, 2f₁₅)]를 접속하고, 또한 중앙 영역에 배치된 워드선 콘택트 WC53a(WC54a)에 4개의 안티퓨즈 메모리[2f₅, 2f₆, 2f₉, 2f₁₀(2f₇, 2f₈, 2f₁₁, 2f₁₂)]를 접속하도록 하였다.

[0231] 이에 의해, 반도체 기억 장치(41a)에서는, 비트선 콘택트 BC51a~BC56a 및 워드선 콘택트 WC51a~WC56a를 2개 이상의 안티퓨즈 메모리에서 공유할 수 있는 만큼, 장치 전체로서 소형화를 실현할 수 있고, 나아가, 예를 들어 1개의 비트선 BL1d에 대하여 접속되는 안티퓨즈 메모리수를 동일한 수(이 경우, 4개)로 하여 모두 동일한 용량으로 설정할 수 있고, 이렇게 하여 데이터의 판독 동작 시, 판독 속도의 저하 등의 문제 발생을 방지할 수 있다.

[0232] 덧붙여서, 도 12에 도시한 반도체 기억 장치(41a)는 안티퓨즈 메모리수를 16개로 한 경우에 대하여 설명하였지

만, 안티퓨즈 메모리수를 더 증가시킨 경우에는, 예를 들어 1열째의 워드선 WL1d와 2열째의 워드선 WL2d가, 행 방향으로 배열되는 복수의 워드선 콘택트에 대하여 순차적으로 교대로 접속된 구성으로 된다. 예를 들어, 1행1열째의 워드선 콘택트 WC51a에 접속되어 있는 워드선 WL1d는, 1행3열째의 워드선 콘택트 WC55a 외에, 1행5열째의 워드선 콘택트 등에도 접속되고, 한편, 1행2열째의 워드선 콘택트 WC53a에 접속되어 있는 워드선 WL2d는, 1행4열째의 워드선 콘택트나, 1행6열째의 워드선 콘택트 등에도 접속된 구성으로 된다.

[0233] 또한, 도 12에 도시한 반도체 기억 장치(41a)에 있어서, 안티퓨즈 메모리수를 16개 이상으로 증가시킨 경우에는, 비트선 콘택트 BC51a, BC54a, ... (BC53a, BC56a, ...)가 양쪽 말단에 있어서 행방향으로 배열되고, 한쪽의 말단으로부터 열방향을 향하여, 비트선 콘택트행과, 워드선 콘택트행이 순차적으로 교대로 배치되고, 또한 1행에 배열하는 비트선 콘택트수를 n개로 하였을 때, 1행에 배열되는 워드선 콘택트수가 (n+1)개로 된다. 또한, 안티퓨즈 메모리수가 16개인 반도체 기억 장치(41a)를 도시한 도 12에서는, 1행에 배열되는 비트선 콘택트수가 2개로 되고, 1행에 배열되는 워드선 콘택트수가 3개로 되어 있다.

[0234] 덧붙여서, 상술한 실시 형태에 있어서는, 도 10에 도시한 바와 같이, 예를 들어 안티퓨즈 메모리(2e₄)에 있어서 정류 소자(43)의 활성 영역(46b)과, 메모리 캐패시터(44)의 메모리 게이트 전극 G가 이격되어 있지만, 활성 영역(46b)으로부터 메모리 게이트 전극 G에 걸쳐 콘택트 C1을 형성하여, 당해 활성 영역(46b) 및 메모리 게이트 전극 G를 콘택트 C1에 의해 전기적으로 접속시킨 경우에 대하여 설명하였지만, 본 발명은 이에 한하지 않고, 도 13에 도시한 바와 같이, 정류 소자의 활성 영역(46b) 상에 메모리 게이트 전극 Ga를 형성하고, 당해 활성 영역(46b)으로부터 메모리 게이트 전극 Ga에 걸쳐 콘택트 C1을 형성하도록 해도 된다.

[0235] 또한, 도 15에 도시한 바와 같이, 정류 소자(43)의 활성 영역(46b)과, 메모리 캐패시터(44)의 메모리 게이트 전극 G를 이격하면서, 활성 영역(46b)에 있어서의 정류 소자(43)의 소스 영역에 콘택트 C2를 형성하고, 메모리 게이트 전극 G에도 다른 콘택트 C3을 형성하여, 이들 콘택트를 C2, C3을 배선(54)에 의해 접속하도록 해도 된다.

[0236] (9) 2개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 열방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여

[0237] 도 10과의 대응 부분에 동일 부호를 붙여 나타내는 도 14는, 예를 들어 함께 16개의 안티퓨즈 메모리(2g₁, 2g₂, 2g₃, 2g₄, 2g₅, 2g₆, 2g₇, 2g₈, 2g₉, 2g₁₀, 2g₁₁, 2g₁₂, 2g₁₃, 2g₁₄, 2g₁₅, 2g₁₆)를 4행4열로 배치한 반도체 기억 장치(51)의 평면 레이아웃의 구성을 도시하고 있다. 이 경우, 반도체 기억 장치(51)에 있어서, 안티퓨즈 메모리(2g₁, 2g₂, 2g₃, 2g₄, 2g₅, 2g₆, 2g₇, 2g₈, 2g₉, 2g₁₀, 2g₁₁, 2g₁₂, 2g₁₃, 2g₁₄, 2g₁₅, 2g₁₆)는 모두 동일 구성을 갖고 있고, 상술한 도 9a 및 도 9b와 마찬가지로, 각각 정류 소자(43)와 메모리 캐패시터(44)를 갖고 있다. 또한, 워드선 콘택트 WC61, WC62, WC63, WC64, WC65, WC66, WC67, WC68에 대해서도 모두 동일 구성으로 이루어지기 때문에, 여기에서는, 예를 들어 워드선 콘택트 WC62에 주목하여 이하 설명한다.

[0238] 이 경우, 워드선 콘택트 WC62가 기립 형성되는 정류 소자(43)의 활성 영역(55a)은 직사각형상으로 형성되어 있고, 행방향으로 인접하는 2개의 안티퓨즈 메모리(2g₂, 2g₆)에서 공유되고 있다. 실제상, 워드선 콘택트 WC62가 기립 형성된 정류 소자(43)의 활성 영역(55a)에는, 안티퓨즈 메모리(2g₂)의 정류 소자 게이트 전극 G2와, 당해 안티퓨즈 메모리(2g₂)와 행방향으로 인접하는 다른 안티퓨즈 메모리(2g₆)의 정류 소자 게이트 전극 G2가 형성되어 있다.

[0239] 여기서, 예를 들어 안티퓨즈 메모리(2g₂)에 주목하면, 활성 영역(55a)에 있는 정류 소자(43)의 드레인 영역과, 정류 소자 게이트 전극 G2에 걸쳐 워드선 콘택트 WC62가 기립 형성되어 있고, 워드선 콘택트 WC62를 통해 이들 드레인 영역 및 정류 소자 게이트 전극 G2에 대하여 소정의 워드 전압을 일률적으로 인가할 수 있다. 또한, 안티퓨즈 메모리(2g₂)에서는, 활성 영역(55a)에 있는 정류 소자(43)의 소스 영역과, 메모리 캐패시터(44)의 메모리 게이트 전극 Ga에 걸쳐 콘택트 C1이 기립 형성되어 있고, 당해 콘택트 C1에 의해, 정류 소자(43)의 소스 영역과 메모리 캐패시터(44)의 메모리 게이트 전극 Ga가 전기적으로 접속되어 있다.

[0240] 또한, 이 워드선 콘택트 WC62는, 안티퓨즈 메모리(2g₂)와 행방향으로 인접하는 다른 안티퓨즈 메모리(2g₆)에 있어서의 정류 소자(43)의 드레인 영역과, 정류 소자 게이트 전극 G2에 걸쳐서도 기립 형성되어 있다. 이에 의해 워드선 콘택트 WC62는, 이들 2개의 안티퓨즈 메모리(2g₂, 2g₆)에 대하여, 워드선으로부터의 소정의 워드 전압을 일률적으로 인가할 수 있다.

- [0241] 덧붙여서, 이들 2개의 안티퓨즈 메모리($2g_2$, $2g_6$)의 각 메모리 게이트 전극 Ga 는, 활성 영역(55a)으로부터 멀어 지도록 행방향을 향하여 각각 연장되어 있고, 선단 부분이 각각 상이한 활성 영역(55b)에 배치되어 있다. 또한, 각 메모리 게이트 전극 Ga 와, 활성 영역(55b)이 대향한 각 영역에는, 각 안티퓨즈 메모리($2g_2$, $2g_6$)의 메모리 게이트 절연막(6)이 형성되어 있다.
- [0242] 다음에, 비트선 콘택트 BC61, BC62, BC63, BC64에 대하여 이하 설명한다. 이 실시 형태의 경우, 반도체 기억 장치(51)에는, 합계 4개의 비트선 콘택트 BC61, BC62, BC63, BC64가 행방향을 나란히 배치되어 있다. 각 비트선 콘택트 BC61, BC62, BC63, BC64는, 각각 상이한 활성 영역(55b)에 배치되어 있고, 비트선(도시하지 않음)으로부터의 소정의 비트 전압을, 대응하는 활성 영역(55b)에 각각 인가할 수 있도록 이루어져 있다.
- [0243] 이 경우, 반도체 기억 장치(51)에서는, 1열째의 비트선 콘택트 BC61이 배치된 활성 영역(55b)과, 2열째의 비트선 콘택트 BC62가 배치된 활성 영역(55b) 사이에, 행렬 형상으로 배치된 8개의 안티퓨즈 메모리($2g_1$, $2g_2$, $2g_3$, $2g_4$, $2g_5$, $2g_6$, $2g_7$, $2g_8$)가 형성되어 있다. 1열째의 비트선 콘택트 BC61이 배치된 활성 영역(55b)에는, 열방향으로 배열되는 4개의 안티퓨즈 메모리($2g_1$, $2g_2$, $2g_3$, $2g_4$)가 형성되어 있고, 한편, 2열째의 비트선 콘택트 BC62가 배치된 활성 영역(55b)에는, 열방향으로 배열되는 안티퓨즈 메모리($2g_5$, $2g_6$, $2g_7$, $2g_8$)가 형성되어 있다.
- [0244] 또한, 반도체 기억 장치(51)에서는, 2열째의 비트선 콘택트 BC62가 배치된 활성 영역(55b)과, 3열째의 비트선 콘택트 BC63이 배치된 활성 영역(55b)이 병주하고 있고, 상기와 마찬가지로, 3열째의 비트선 콘택트 BC63 및 4열째의 비트선 콘택트 BC64의 각 활성 영역(55b) 간에도, 8개의 안티퓨즈 메모리($2g_9$, $2g_{10}$, $2g_{11}$, $2g_{12}$, $2g_{13}$, $2g_{14}$, $2g_{15}$, $2g_{16}$)가 행렬 형상으로 배치될 수 있다.
- [0245] 또한, 이 실시 형태의 경우, 이들 4개의 비트선 콘택트 BC61, BC62, BC63, BC64는, 모두 동일 구성을 갖기 때문에, 여기에서는 비트선 콘택트 BC62에 주목하여 이하 설명한다. 이 경우, 비트선 콘택트 BC62가 배치된 활성 영역(55b)은 열방향으로 배열된 4개의 안티퓨즈 메모리($2g_5$, $2g_6$, $2g_7$, $2g_8$)를 따라서 열방향으로 연장된 직사각형상으로 이루어지고, 이들 열방향으로 배열된 4개의 안티퓨즈 메모리($2g_5$, $2g_6$, $2g_7$, $2g_8$)의 각 메모리 게이트 전극 Ga 가 형성된 구성을 갖는다. 이에 의해, 이 비트선 콘택트 BC62는, 각각 상이한 워드선 콘택트 WC61, WC62, WC63, WC64에 접속되고, 또한 열방향으로 배열된 4개의 안티퓨즈 메모리($2g_5$, $2g_6$, $2g_7$, $2g_8$)에 대해, 활성 영역(55b)을 통해 비트선으로부터의 소정의 비트 전압을 일률적으로 인가할 수 있도록 이루어져 있다.
- [0246] 이상의 구성에 있어서, 도 14에 도시한 반도체 기억 장치(51)의 안티퓨즈 메모리($2g_1$, $2g_2$, $2g_3$, $2g_4$, $2g_5$, $2g_6$, $2g_7$, $2g_8$, $2g_9$, $2g_{10}$, $2g_{11}$, $2g_{12}$, $2g_{13}$, $2g_{14}$, $2g_{15}$, $2g_{16}$)에서는, 상술한 「(6-3) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, 종래와 같은 제어 회로를 사용하지 않고, 메모리 캐패시터(44)의 메모리 게이트 전극 Ga 및 워드선에 인가되는 전압값에 의해 정류 소자(43)에 의해 메모리 게이트 전극 Ga 로부터 워드선에의 전압 인가를 차단할 수 있고, 이렇게 하여, 종래와 같은 메모리 캐패시터에의 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 또한 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.
- [0247] 그리고, 예를 들어 반도체 기억 장치(51)에 있어서의 안티퓨즈 메모리($2g_6$)에서는, 상술한 「(6-3) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, (i) 워드선(기입 비선택 워드선)에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(44)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(43)를 오프 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이종의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 판독 시에 있어서의 오동작도 확실하게 방지할 수 있다.
- [0248] 또한, 도 14에 도시한 반도체 기억 장치(51)에서는, 열방향으로 배열된 4개의 안티퓨즈 메모리($2g_5$, $2g_6$, $2g_7$, $2g_8$)에서 1개의 비트선 콘택트 BC62를 공유함과 함께, 예를 들어 행방향에서 인접하는 2개의 안티퓨즈 메모리($2g_2$, $2g_6$)에서 1개의 워드선 콘택트 WC62를 공유하도록 한 것에 의해, 각 안티퓨즈 메모리마다 비트선 콘택트 및 워드선 콘택트를 각각 개별로 형성하는 경우에 비해 장치 전체로서 소형화를 도모할 수 있다.
- [0249] 또한, 상술한 실시 형태의 경우에 있어서는, 도 14에 도시한 바와 같이, 정류 소자(43)의 활성 영역(55a)과, 메모리 캐패시터(44)의 메모리 게이트 전극 Ga 를 겹치고, 이들 활성 영역(55a)에 있어서의 정류 소자(43)의 소스

영역과, 메모리 게이트 전극 Ga에 걸쳐 콘택트 C1을 형성한 경우에 대하여 설명하였지만, 본 발명은 이에 한하지 않고, 도 15에 도시한 바와 같이, 정류 소자(43)의 활성 영역(55a)과, 메모리 캐패시터(44)의 메모리 게이트 전극 G를 이격하면서, 활성 영역(55a)에 있어서의 정류 소자(43)의 소스 영역에 콘택트 C2를 형성하고, 메모리 게이트 전극 G에도 다른 콘택트 C3을 형성하여, 이들 콘택트를 C2, C3을 배선(54)에 의해 접속하도록 해도 된다.

[0250] 덧붙여서, 상술한 도 9b에서는, 활성 영역(46a)과, 메모리 캐패시터(44)의 메모리 게이트 전극 G가 이격되어 배치되어 있고, 이들 활성 영역(46b) 및 메모리 게이트 전극 G를 1개의 콘택트 C1로 접속시킨 구성으로 하고 있지만, 이와 같은 접속 구성에 대해서는, 도 14에 도시한 반도체 기억 장치(51)에서도 사용할 수 있다. 이 경우에는, 예를 들어 안티퓨즈 메모리(2g₆)에 있어서의 활성 영역(55a)과, 메모리 게이트 전극 Ga를 이격하여 배치시키고, 이들 활성 영역(55a) 및 메모리 게이트 전극 Ga를 1개의 콘택트 C1로 접속시킨 구성으로 될 수 있다.

[0251] (10) 행방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 2개의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여

[0252] 도 10과의 대응 부분에 동일 부호를 붙여 나타내는 도 16은, 예를 들어 함께 16개의 안티퓨즈 메모리(2h₁, 2h₂, 2h₃, 2h₄, 2h₅, 2h₆, 2h₇, 2h₈, 2h₉, 2h₁₀, 2h₁₁, 2h₁₂, 2h₁₃, 2h₁₄, 2h₁₅, 2h₁₆)를 4행4열로 배치한 반도체 기억 장치(61)의 평면 레이아웃의 구성을 도시하고 있다. 이 경우, 반도체 기억 장치(61)에 있어서, 안티퓨즈 메모리(2h₁, 2h₂, 2h₃, 2h₄, 2h₅, 2h₆, 2h₇, 2h₈, 2h₉, 2h₁₀, 2h₁₁, 2h₁₂, 2h₁₃, 2h₁₄, 2h₁₅, 2h₁₆)는 모두 동일 구성을 갖고 있고, 상술한 도 9a 및 도 9b와 마찬가지로, 각각 정류 소자(43)와 메모리 캐패시터(44)를 갖고 있다. 또한, 워드선 콘택트 WC71, WC72, WC73, WC74에 대해서도 모두 동일 구성으로 이루어지기 때문에, 여기에서는, 예를 들어 워드선 콘택트 WC72에 주목하여 이하 설명한다.

[0253] 이 경우, 워드선 콘택트 WC72는, 행방향으로 연장된 긴 변 방향을 갖는 활성 영역(63)에 배치되어 있고, 당해 활성 영역(63)을 따라서 행방향으로 배치된 4개의 안티퓨즈 메모리(2h₂, 2h₆, 2h₁₀, 2h₁₄)에서 공유될 수 있다. 실제상, 워드선 콘택트 WC72가 기립 형성된 활성 영역(63)에는, 행방향으로 배열된 4개의 안티퓨즈 메모리(2h₂, 2h₆, 2h₁₀, 2h₁₄)의 각 정류 소자(43)에 있어서의 드레인 영역 및 소스 영역이 형성되고, 또한 이들 4개의 안티퓨즈 메모리(2h₂, 2h₆, 2h₁₀, 2h₁₄)에서 공유되는 정류 소자 게이트 전극 G3이 형성되어 있다.

[0254] 이 경우, 정류 소자 게이트 전극 G3은, 행방향으로 연장되는 활성 영역(63)의 긴 변 방향과 병주하도록, 행방향으로 연장되는 긴 변 방향을 갖고 있고, 활성 영역(63)을 상하로 분단할 수 있도록 배치되어 있다. 이에 의해 활성 영역(63)에는, 정류 소자 게이트 전극 G3을 경계로, 메모리 캐패시터(44)에 가까운 한쪽의 영역에 소스 영역이 형성되고, 다른 쪽의 영역에 드레인 영역이 형성될 수 있다. 활성 영역(55a)에는, 정류 소자(43)의 드레인 영역과, 정류 소자 게이트 전극 G3에 걸쳐 워드선 콘택트 WC72가 기립 형성되어 있고, 워드선 콘택트 WC72를 통해 이들 드레인 영역 및 정류 소자 게이트 전극 G3에 대하여 소정의 워드 전압을 인가할 수 있다.

[0255] 또한, 이 경우, 워드선 콘택트 WC72가 기립 형성되는 정류 소자 게이트 전극 G3 및 활성 영역(63)의 드레인 영역은, 활성 영역(63)을 따라서 배치된 4개의 안티퓨즈 메모리(2h₂, 2h₆, 2h₁₀, 2h₁₄)에 공유되고 있기 때문에, 워드선 콘택트 WC72에 의해, 이들 4개의 안티퓨즈 메모리(2h₂, 2h₆, 2h₁₀, 2h₁₄)에 대하여 워드선으로부터의 소정의 워드 전압을 일률적으로 인가할 수 있다.

[0256] 여기서, 예를 들어 안티퓨즈 메모리(2h₂)에 주목하면, 활성 영역(63)에 있는 정류 소자(43)의 소스 영역과, 메모리 캐패시터(44)의 메모리 게이트 전극 Ga에 걸쳐 콘택트 C1이 기립 형성되어 있고, 당해 콘택트 C1에 의해, 정류 소자(43)의 소스 영역과, 메모리 게이트 전극 Ga가 전기적으로 접속되어 있다. 또한, 이들 안티퓨즈 메모리(2h₂, 2h₃)의 각 메모리 게이트 전극 Ga는, 동일한 활성 영역(62)에 배치되어 있고, 당해 활성 영역(62)과의 대향한 각 영역에 각 안티퓨즈 메모리(2h₂, 2h₃)의 메모리 게이트 절연막(6)이 형성되어 있다.

[0257] 덧붙여서, 이 반도체 기억 장치(61)에서는, 이 2행째의 워드선 콘택트 WC72가 기립 형성된 활성 영역(63)과, 3행째의 워드선 콘택트 WC73이 기립 형성된 활성 영역(63)이 병주하도록 배치되어 있고, 이들 병주하는 2개의 활성 영역(63) 간에, 8개의 안티퓨즈 메모리(2h₂, 2h₃, 2h₆, 2h₇, 2h₁₀, 2h₁₁, 2h₁₄, 2h₁₅)가 행렬 형상으로 배치될 수 있다.

- [0258] 또한, 이 실시 형태의 경우, 반도체 기억 장치(61)에서는, 2행째의 워드선 콘택트 WC72가 기립 형성된 활성 영역(63)에 있어서의 정류 소자(43)의 드레인 영역에 대해, 1행째의 워드선 콘택트 WC71이 기립 형성된 활성 영역(63)에 있어서의 정류 소자(43)의 드레인 영역이 병주하도록 인접되어 있다. 이 1행째의 워드선 콘택트 WC71이 기립 형성된 활성 영역(63)에 있어서의 정류 소자(43)의 소스 영역은, 행방향으로 배열된 4개의 안티퓨즈 메모리(2h₁, 2h₅, 2h₉, 2h₁₃)의 메모리 게이트 전극 Ga와 콘택트 C1을 통해 접속되어 있다. 또한, 3행째의 워드선 콘택트 WC73이 기립 형성된 활성 영역(63)에 있어서의 정류 소자(43)의 드레인 영역에 대해서도, 4행째의 워드선 콘택트 WC74가 기립 형성된 활성 영역(63)에 있어서의 정류 소자의 드레인 영역이 병주하도록 인접되어 있다. 이 4행째의 워드선 콘택트 WC74가 기립 형성된 활성 영역(63)에 있어서의 정류 소자(43)의 소스 영역은, 행방향으로 배열된 4개의 안티퓨즈 메모리(2h₄, 2h₈, 2h₁₂, 2h₁₆)의 메모리 게이트 전극 Ga와 콘택트 C1을 통해 접속되어 있다.
- [0259] 다음에, 비트선 콘택트 BC71, BC72, BC73, BC74, BC75, BC76, BC77, BC78, BC79, BC80, BC81, BC82에 대하여 이하 설명한다. 이 실시 형태의 경우, 반도체 기억 장치(61)에는, 합계 12의 비트선 콘택트 BC71, BC72, BC73, BC74, BC75, BC76, BC77, BC78, BC79, BC80, BC81, BC82가 3행4열로 배치되어 있다. 이들 비트선 콘택트 BC71, BC72, BC73, BC74, BC75, BC76, BC77, BC78, BC79, BC80, BC81, BC82는, 각각 상이한 활성 영역(62)에 배치되어 있고, 비트선(도시하지 않음)으로부터의 소정의 비트 전압을, 대응하는 활성 영역(62)에 각각 인가할 수 있도록 이루어져 있다.
- [0260] 여기서, 중앙 영역에 배치된 행방향으로 배열되는 비트선 콘택트 BC75, BC76, BC77, BC78은 모두 동일 구성을 갖고 있기 때문에, 그 중, 예를 들어 비트선 콘택트 BC75에 주목하여 이하 설명한다. 이 경우, 비트선 콘택트 BC75가 배치된 활성 영역(62)에는, 상이한 워드선 콘택트 WC72, WC73에 접속되며, 또한 열방향으로 배열되는 2개의 안티퓨즈 메모리(2h₂, 2h₃)가 형성되어 있다. 이에 의해, 비트선 콘택트 BC75는, 이들 2개의 안티퓨즈 메모리(2h₂, 2h₃)에서 공유되고, 비트선으로부터의 소정의 비트 전압을, 이들 2개의 안티퓨즈 메모리(2h₂, 2h₃)에 대하여 일률적으로 인가할 수 있도록 이루어져 있다.
- [0261] 실제상, 이 비트선 콘택트 BC75가 기립 형성된 활성 영역(62)에는, 당해 비트선 콘택트 BC75를 중심으로, 안티퓨즈 메모리(2h₂)와 안티퓨즈 메모리(2h₃)가 상하 대칭으로 배치되어 있다. 구체적으로, 비트선 콘택트 BC75가 기립 형성된 활성 영역(62)의 한 변측에는, 하나의 안티퓨즈 메모리(2h₂)의 메모리 게이트 전극 Ga가 대향 배치되고, 당해 안티퓨즈 메모리(2h₂)의 메모리 게이트 절연막(6)이 형성되어 있다. 또한, 이 활성 영역(62)의 타 변측에도, 동일하게 다른 안티퓨즈 메모리(2h₃)의 메모리 게이트 전극 Ga가 대향 배치되고, 당해 안티퓨즈 메모리(2h₃)의 메모리 게이트 절연막(6)이 형성되어 있다.
- [0262] 덧붙여서, 반도체 기억 장치(61)의 평면 레이아웃에 있어서, 말단에서 행방향으로 배치된 4개의 비트선 콘택트 BC71, BC72, BC73, BC74(BC79, BC80, BC81, BC82)에는, 각각 대응하는 1개의 안티퓨즈 메모리[2h₁, 2h₅, 2h₉, 2h₁₃(2h₄, 2h₈, 2h₁₂, 2h₁₆)]만이 접속되어 있다. 이렇게 하여, 이들 말단에서 행방향으로 배치된 각 비트선 콘택트 BC71, BC72, BC73, BC74(BC79, BC80, BC81, BC82)에서는, 각각 대응하는 1개의 안티퓨즈 메모리[2h₁, 2h₅, 2h₉, 2h₁₃(2h₄, 2h₈, 2h₁₂, 2h₁₆)]에 대해서만 비트 전압을 인가할 수 있다.
- [0263] 이와 같이, 말단의 각 비트선 콘택트 BC71, BC72, BC73, BC74, BC79, BC80, BC81, BC82에서는, 각각 1개의 안티퓨즈 메모리(2h₁, 2h₅, 2h₉, 2h₁₃, 2h₄, 2h₈, 2h₁₂, 2h₁₆)에 대해서만 소정의 비트 전압을 인가할 수 있게 되지만, 중앙 영역에 배치된 각 비트선 콘택트 BC75, BC76, BC77, BC78에서는, 각각 대응하는 2개의 안티퓨즈 메모리(2h₂, 2h₃, 2h₆, 2h₇, 2h₁₀, 2h₁₁, 2h₁₄, 2h₁₅)에 대하여 소정의 비트 전압을 일률적으로 인가할 수 있기 때문에, 2개의 안티퓨즈 메모리(2h₂, 2h₃, 2h₆, 2h₇, 2h₁₀, 2h₁₁, 2h₁₄, 2h₁₅)에서 1개의 비트선 콘택트 BC75, BC76, BC77, BC78을 공유시키는 분만큼 장치 전체로서는 소형화를 도모할 수 있다.
- [0264] 이상의 구성에 있어서, 도 16에 도시한 반도체 기억 장치(61)의 안티퓨즈 메모리(2h₁, 2h₂, 2h₃, 2h₄, 2h₅, 2h₆, 2h₇, 2h₈, 2h₉, 2h₁₀, 2h₁₁, 2h₁₂, 2h₁₃, 2h₁₄, 2h₁₅, 2h₁₆)에서는, 상술한 「(6-3) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, 종래와 같은 제어 회로를 사용하지 않고, 메모리 캐패시터(44)의 메모리 게이트 전극 Ga 및 워드선에 인가되는 전압값에 의해 정류 소자(43)에 의해 메모리 게이트 전극 Ga로부터 워드

선에의 전압 인가를 차단할 수 있고, 이렇게 하여, 종래와 같은 메모리 캐패시터에의 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 또한 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.

[0265] 그리고, 예를 들어 반도체 기억 장치(61)에 있어서의 안티퓨즈 메모리(2h₂)에서는, 상술한 「(6-3) 상기 구성에 의한 반도체 기억 장치의 작용 및 효과」와 마찬가지로, (i) 워드선(기입 비선택 워드선)에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(44)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(43)를 오프 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이중의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 판독 시에 있어서의 오동작도 확실하게 방지할 수 있다.

[0266] 또한, 도 16에 도시한 반도체 기억 장치(61)에서는, 예를 들어 일방향(이 경우, 행방향)으로 배열되는 4개의 안티퓨즈 메모리(2h₂, 2h₆, 2h₁₀, 2h₁₄)에서 1개의 워드선 콘택트 WC72를 공유함과 함께, 예를 들어 서로 인접하는 2개의 안티퓨즈 메모리(2h₂, 2h₃)에서 1개의 비트선 콘택트 BC75를 공유하도록 한 것에 의해, 각 안티퓨즈 메모리마다 비트선 콘택트 및 워드선 콘택트를 각각 개별로 형성하는 경우에 비해 장치 전체로서 소형화를 도모할 수 있다.

[0267] 덧붙여서, 도 16에 도시한 반도체 기억 장치(61)에서도, 예를 들어 안티퓨즈 메모리(2h₂)에 있어서, 정류 소자(43)의 활성 영역(63)과, 메모리 캐패시터(44)의 메모리 게이트 전극 Ga를 이격하고, 활성 영역(63)에 형성한 하나의 콘택트와, 메모리 게이트 전극 Ga에 형성한 다른 콘택트를 배선에 의해 접속하는 구성으로 해도 된다. 또한, 도 9b에 도시한 구성과 같이, 정류 소자(43)의 활성 영역(63)과, 메모리 캐패시터(44)의 메모리 게이트 전극 Ga를 이격하고, 이들 활성 영역(63) 및 메모리 게이트 전극 Ga를 1개의 콘택트 C1로 접속시킨 구성으로 해도 된다.

[0268] (11) 다른 실시 형태

[0269] (11-1) P형 MOS 트랜지스터를 포함하는 정류 소자를 가진 안티퓨즈 메모리

[0270] 상술한 「(6) N형 MOS(Metal-Oxide-Semiconductor) 트랜지스터를 포함하는 정류 소자를 가진 안티퓨즈 메모리」에 있어서는, N형 MOS 트랜지스터로 이루어지는 정류 소자(43)를 형성한 안티퓨즈 메모리(42)에 대하여 설명하였지만, 본 발명은 이에 한하지 않고, 도 8과의 대응 부분에 동일 부호를 붙여 나타내는 도 17과 같이, P형 MOS 트랜지스터로 이루어지는 정류 소자(73)를 형성한 안티퓨즈 메모리(72)를 적용해도 된다. 이 경우, 안티퓨즈 메모리(72)는, P형 MOS 트랜지스터의 반도체 접합 구조를 가진 정류 소자(73)와, 비트선 BL 및 메모리 게이트 전극 G 간의 전압차에 의해 절연 파괴되는 메모리 게이트 절연막(6)을 구비한 메모리 캐패시터(44)를 구비한다.

[0271] 이 경우, 메모리 캐패시터(44)에는, 일단의 확산 영역에 비트선 BL이 접속되어 있고, 메모리 게이트 전극 G에 정류 소자(73)가 접속되어 있다. 정류 소자(73)는 정류 소자 게이트 전극 G1과, 드레인 영역이 메모리 캐패시터(44)의 메모리 게이트 전극 G에 접속되어 있음과 함께, 웰이 웰 제어 단자에 접속되고, 또한 소스 영역이 워드선 WL에 접속된 구성을 갖는다. 이에 의해 정류 소자(73)는 워드선 WL로부터 온 전압이 인가되지 않는 한 오프 동작하기 때문에, 메모리 게이트 전극 G로부터 워드선 WL에의 전압 인가를 차단할 수 있도록 이루어져 있다.

[0272] 여기서, 이와 같은 MOS 트랜지스터 구성의 정류 소자(73)를 구비한 안티퓨즈 메모리(72)에서도, 도 9a에 도시한 바와 같은 단면 구성에 의해 형성할 수 있기 때문에, 정류 소자(73)의 정류 소자 게이트 전극 G1과, 메모리 캐패시터(44)의 메모리 게이트 전극 G를 동일한 배선층(동일층)에 형성할 수 있고, 또한, 정류 소자 게이트 전극 G1의 막 두께와, 메모리 캐패시터(44)의 메모리 게이트 전극 G를 동일한 막 두께로 형성할 수 있다. 이에 의해, 안티퓨즈 메모리(72)에서도, 전체로서 박형화가 도모되어 있다.

[0273] 이와 같은 안티퓨즈 메모리(72)에서는, 데이터 기입 동작 시, 워드선 WL에 5[V]의 파괴 워드 전압이 인가되고, 비트선 BL에 0[V]의 파괴 비트 전압이 인가될 수 있다. 또한, 정류 소자(73)가 형성된 웰에는, 웰 제어 단자로부터 파괴 워드 전압과 동일한 5[V]가 인가될 수 있다. 만약 정류 소자(73)의 소스 영역의 전위가 0[V] 정도였던 것으로 하면, 정류 소자(73)는 온 동작하고, 그 역치 전압을 -0.7[V]로 하면, 소스 영역은 4.3[V]까지 충전되게 된다.

[0274] 이에 의해 메모리 캐패시터(44)에서는, 정류 소자(73)로부터 메모리 게이트 전극 G에 5[V]의 파괴 워드 전압이 인가되고, 이때, 비트선이 0[V]이기 때문에 온 동작하여, 채널 전위도 0V로 된다. 그 결과, 메모리 캐패시터(44)에서는, 메모리 게이트 전극 G와, 채널 및 확산 영역 사이에 파괴 비트 전압 및 파괴 워드 전압에 의한 큰

전압차가 발생할 수 있다. 이렇게 하여, 데이터가 기입되는 안티퓨즈 메모리(72)에서는, 메모리 캐패시터(44)에 있어서 메모리 게이트 전극 G 하부의 메모리 게이트 절연막(6)이 절연 파괴되고, 메모리 게이트 전극 G와 확산 영역이 저저항에서 도통 상태로 되어, 메모리 캐패시터(44)에 데이터가 기입된 상태로 될 수 있다.

[0275] 또한, 상술한 「(6-2) 데이터의 기입 동작」과 마찬가지로, 비트선 BL에 3[V]의 비파괴 비트 전압이 인가됨과 함께, 워드선 WL에 0[V]의 비파괴 워드 전압이 인가되는, 데이터가 기입되지 않는 안티퓨즈 메모리(72)에서는, 예를 들어 메모리 캐패시터(44)의 메모리 게이트 절연막(6)이 이미 절연 파괴되어 있는 경우, 비트선 BL의 3[V]의 비파괴 비트 전압이, 메모리 캐패시터(44)의 메모리 게이트 전극 G를 통해 정류 소자(73)의 소스 영역까지 인가될 수 있다. 그러나 그 경우, 정류 소자(73)가 오프 동작하고 있기 때문에, 안티퓨즈 메모리(72)에서는, 비트선 BL의 3[V]의 비파괴 비트 전압이, 워드선 WL에 인가되는 것을 방지할 수 있어, 워드선 WL의 전위가 변화되는 일은 없다.

[0276] 덧붙여서, 워드선 WL에 5[V]의 파괴 워드 전압이 인가되고, 또한 비트선 BL에 3[V]의 비파괴 비트 전압이 인가되는, 데이터가 기입되지 않는 안티퓨즈 메모리(72)는, 메모리 캐패시터(44)에 있어서 메모리 게이트 전극 G와 확산 영역의 전압차가 작아지기 때문에, 설정 메모리 캐패시터(44)에 있어서 메모리 게이트 절연막(6)이 절연 파괴되어 있지 않을 때라도, 당해 메모리 게이트 절연막(6)이 절연 파괴되지 않고 절연 상태인 채로 되어, 데이터가 기입되지 않는 상태가 유지될 수 있다.

[0277] 또한, 이와 같은 구성을 가진 안티퓨즈 메모리(72)를 행렬 형상으로 배치시킨 반도체 기억 장치에서도, 상술한 「(1-3) 데이터의 판독 동작」에 의해 원하는 안티퓨즈 메모리(72)의 데이터를 판독할 수 있기 때문에, 여기에서는 그 설명은 생략한다.

[0278] 이상의 구성에 있어서, 데이터를 기입하지 않는 안티퓨즈 메모리(72)에서도, 상술과 마찬가지로, 메모리 캐패시터(44)에 접속된 비트선 BL에 고전압의 비파괴 비트 전압이 인가되었을 때, 예를 들어 메모리 캐패시터(44)의 메모리 게이트 절연막(6)이 절연 파괴되어 있어도, 정류 소자(73)의 채널을 오프 상태(비도통 상태)로 함으로써, 메모리 캐패시터(44)의 메모리 게이트 전극 G로부터 워드선 WL에의 비파괴 비트 전압의 인가를 차단하도록 하였다.

[0279] 따라서, 안티퓨즈 메모리(72)에서도, 상기와 마찬가지로, 종래와 같은 제어 회로를 사용하지 않고, 메모리 게이트 전극 G 및 워드선 WL의 전압값에 의해, 메모리 게이트 전극 G로부터 워드선 WL에의 전압 인가를 오프 동작에 의해 차단하는 트랜지스터 구성의 정류 소자(73)를 형성하도록 하였기 때문에, 메모리 캐패시터(44)에의 각 전압 인가를 선택적으로 행하는 스위치 트랜지스터나, 스위치 트랜지스터에 온 오프 동작을 행하게 하기 위한 스위치 제어 회로가 불필요해져, 그만큼, 소형화를 도모할 수 있다.

[0280] 그리고, 이와 같은 안티퓨즈 메모리(72)에서도, (i) 워드선(기입 비선택 워드선) WL에 0[V]의 비파괴 워드 전압을 인가함으로써, 메모리 캐패시터(44)에 채널을 형성하지 않는 것에 의한 제1 차단 기구와, (ii) 정류 소자(73)를 오프 상태로 하여 비파괴 비트 전압을 차단하는 제2 차단 기구의 이중의 차단 기구를 설치할 수 있고, 이것에 의해 정상적인 데이터의 기입 동작을 실행할 수 있기 때문에, 데이터 판독 시에 있어서의 오동작도 확실하게 방지할 수 있다.

[0281] 또한, 이와 같은 안티퓨즈 메모리(72)에서도, 상술한 「(7) 4개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트 및 1개의 비트선 콘택트를 공유하는 경우에 대하여」나, 「(8) 다른 실시 형태에 의한 비트선 및 워드선의 평면 레이아웃의 구성에 대하여」, 「(9) 2개의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 열방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여」, 「(10) 행방향으로 배열된 복수의 안티퓨즈 메모리에서, 1개의 워드선 콘택트를 공유하고, 2개의 안티퓨즈 메모리에서, 1개의 비트선 콘택트를 공유하는 경우에 대하여」와 동일한 구성을 실현할 수 있기 때문에, 각 실시 형태와 마찬가지로, 복수의 안티퓨즈 메모리(72)에서 1개의 비트선 콘택트 및 1개의 워드선 콘택트를 공유할 수 있으므로, 각 안티퓨즈 메모리마다 비트선 콘택트 및 워드선 콘택트를 각각 개별로 형성하는 경우에 비해 장치 전체로서 소형화를 도모할 수 있다.

[0282] (11-2) 트랜지스터 구성의 정류 소자를 구비한 안티퓨즈 메모리에 있어서의 다른 실시 형태에 의한 구성

[0283] 또한, 상술한 실시 형태에 있어서는, 도 9a 및 도 9b에 도시한 바와 같이, 정류 소자(43)의 드레인 영역으로 되는 확산 영역(5c)으로부터, 정류 소자 게이트 전극 G1에 걸쳐 1개의 워드선 콘택트 WC가 기립 형성되어 있는 경우에 대하여 설명하였지만, 본 발명은 이에 한하지 않고, 도 9a와의 대응 부분에 동일 부호를 붙여 나타내는 도 18a나, 도 9b와의 동일 부분에 동일 부호를 붙여 나타내는 도 18b(또한, 도 18a는 도 18b의 C-C' 부분에서의 측

단면 구성을 나타냄)와 같이, 워드선 WL과, 정류 소자(43)의 드레인 영역으로 되는 확산 영역(5c)을 접속하는 워드선 콘택트 WCa1을 형성하고, 또한 당해 워드선 콘택트 WCa1 및 정류 소자 게이트 전극 G1을 다른 워드선 콘택트 WCa2와 배선(83)으로 접속시키도록 해도 된다.

[0284] 또한, 상술한 실시 형태에 있어서는, 도 9a 및 도 9b에 도시한 바와 같이, 정류 소자(43)의 소스 영역으로 되는 확산 영역(5b)으로부터, 메모리 캐패시터(44)의 메모리 게이트 전극 G에 걸쳐 1개의 콘택트 C1이 기립 형성되어 있는 경우에 대하여 설명하였지만, 본 발명은 이에 한하지 않고, 도 18a 및 도 18b에 도시한 바와 같이, 정류 소자(43)의 소스 영역으로 되는 확산 영역(5b)에 지주 형상의 콘택트 C1a를 형성하고, 한편, 메모리 캐패시터(44)의 메모리 게이트 전극 G도 다른 콘택트 C1b를 형성하고, 이들 2개의 콘택트 C1a, C1b를 배선(84)에 의해 접속시키도록 해도 된다. 그리고, 도 18a 및 도 18b에 도시한 바와 같은 구성을 갖는 안티퓨즈 메모리(82)에서도, 상술한 실시 형태와 마찬가지로의 효과를 얻을 수 있다.

[0285] (11-3) 기타

[0286] 또한, 본 발명은 본 실시 형태에 한정되는 것은 아니고, 본 발명의 요지의 범위 내에서 다양한 변형 실시가 가능하고, 예를 들어 상술한 각 실시 형태에 나타내는 안티퓨즈 메모리에 대해서는, 적절히 조합하도록 해도 된다. 또한, 다른 실시 형태로서, 상술한 각 실시 형태에, 도 9에 도시한 N형 트랜지스터의 정류 소자(43)를 가진 안티퓨즈 메모리(42)나, 도 17에 도시한 P형 트랜지스터의 정류 소자(73)를 구비한 안티퓨즈 메모리(72), 도 9a 및 도 18a의 측단면 구성 등을 적절히 조합하도록 해도 된다. 또한, 각 실시 형태에 있어서는, 일방향으로서, 행방향 또는 열방향을 적용해도 되고, 이때, 타방향은, 일방향과 직교하는 열방향 또는 행방향으로 된다.

[0287] 또한, 정류 소자(43)의 활성 영역(소스 영역)과, 메모리 캐패시터(44)의 메모리 게이트 전극에 대해서는 전기적으로 접속되어 있으면 다양한 구성을 적용해도 되고, 예를 들어 도 9b나, 도 13, 도 15에 도시한 바와 같은, 정류 소자(43)의 활성 영역(소스 영역)(46b, 55a)과, 메모리 게이트 전극 Ga, G의 접속 구성에 대하여, 상술한 각종 실시 형태에 적절히 조합하여 사용하도록 해도 된다.

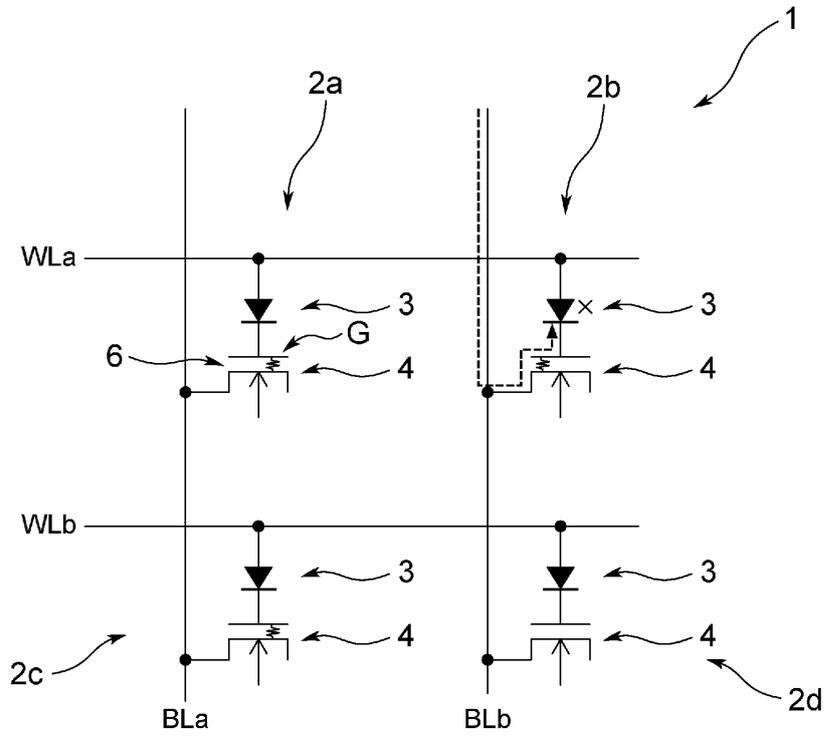
[0288] 또한, 각 실시 형태에 있어서, 안티퓨즈 메모리의 수는 다양한 수로 해도 되고, 이 경우, 안티퓨즈 메모리의 수에 따라서, 비트선 콘택트 및 워드선 콘택트의 개수나, 비트선 및 워드선의 개수도 증감되게 된다. 또한, 이에 의해 반도체 기억 장치에서는, 중앙 영역에 배치되는 비트선 콘택트 및 워드선 콘택트의 개수도 증감되게 된다.

부호의 설명

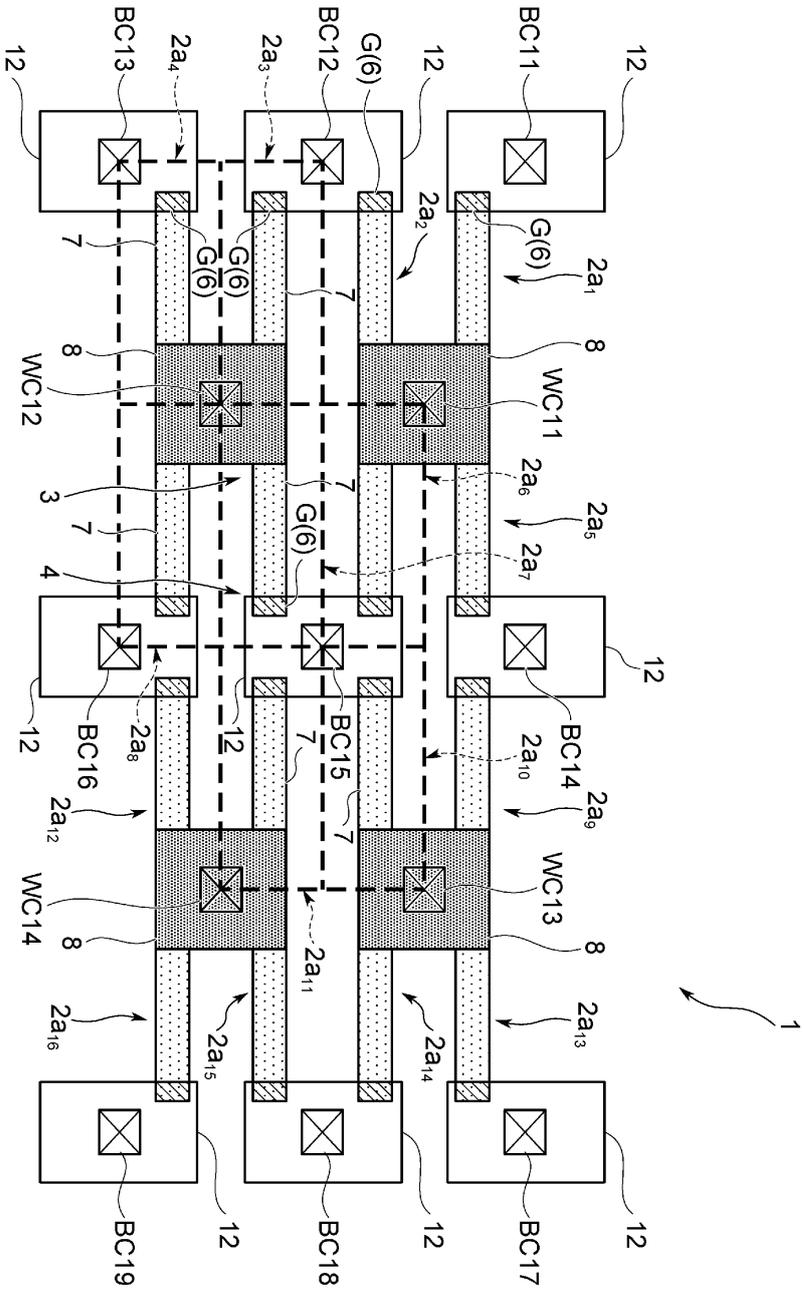
- [0289] 1, 1a, 21, 31, 41, 41a, 51, 61 : 반도체 기억 장치
- 2a, 2b, 2c, 2d, 2a₁…2a₁₆, 2b₁…2b₁₆, 2c₁…2c₁₆, 2d₁…2d₁₆, 2e₁…2e₁₆, 2f₁…2f₁₆, 2g₁…2g₁₆, 2h₁…2h₁₆, 42, 72, 82 : 안티퓨즈 메모리
- 3, 43 : 정류 소자
- 4, 44 : 메모리 캐패시터
- G, Ga : 메모리 게이트 전극
- 6 : 메모리 게이트 절연막
- S2 : 웰
- BC, BC11…BC19, BC1a…BC6a, BC21…BC24, BC31…BC42, BC51…BC59, BC51a…BC56a, BC61…BC64, BC71…BC82 : 비트선 콘택트
- WC, WC11…WC14, WC1a…WC6a, WC21…WC28, WC31…WC34, WC51…WC54, WC51a…WC56a, WC61…WC68, WC71…WC74 : 워드선 콘택트
- WLa, WLb, WL1a…WL4a, WL1b…WL4b, WL1c…WL4c, WL1d…WL4d : 워드선
- BLa, BLb, BL1a…BL6a, BL1b…BL4b, BL1c…BL6c, BL1d…BL4d : 비트선

도면

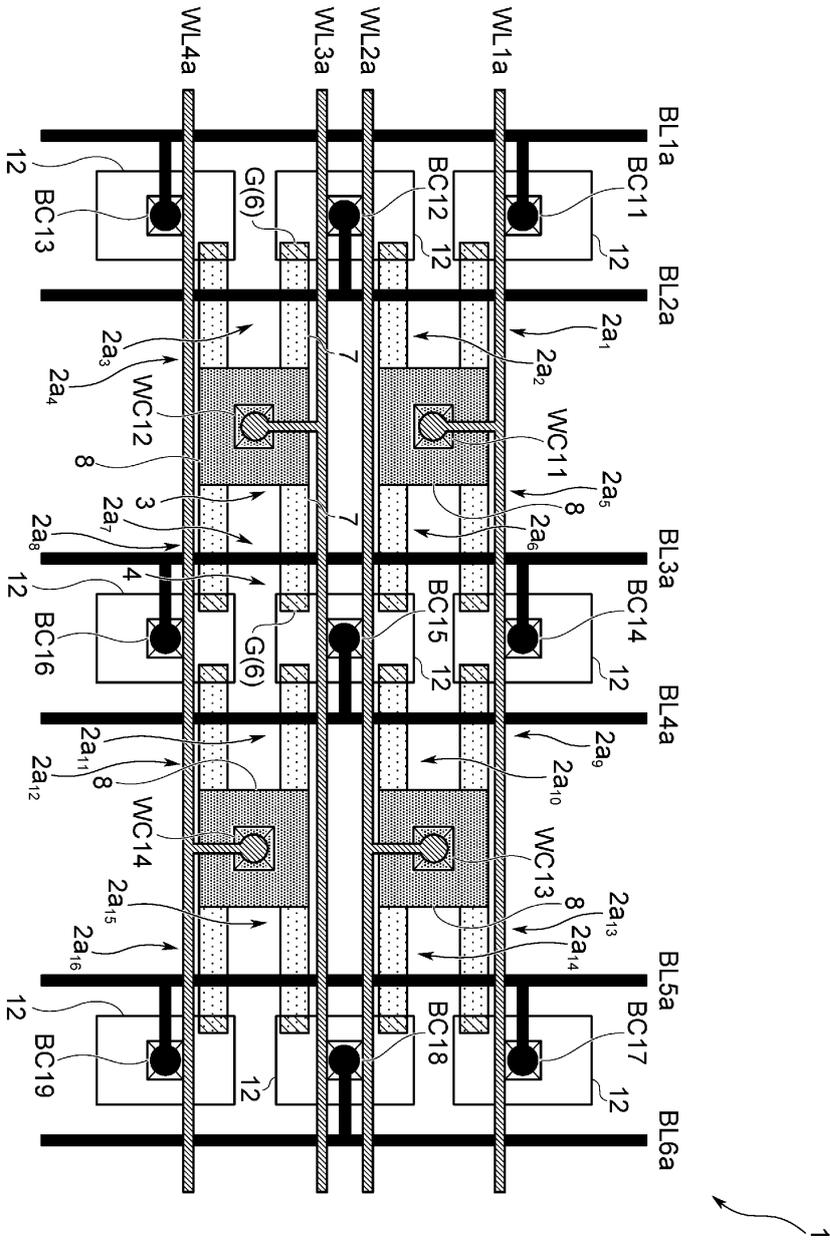
도면1



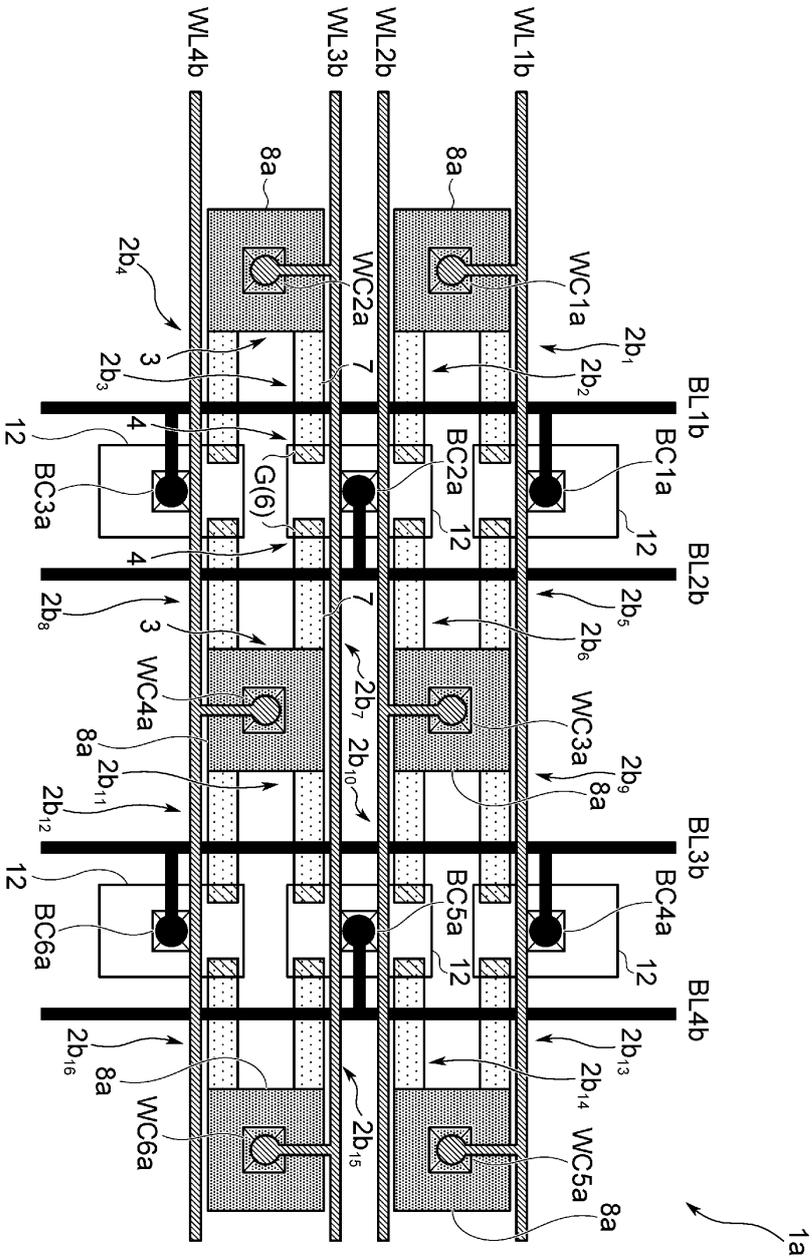
도면3



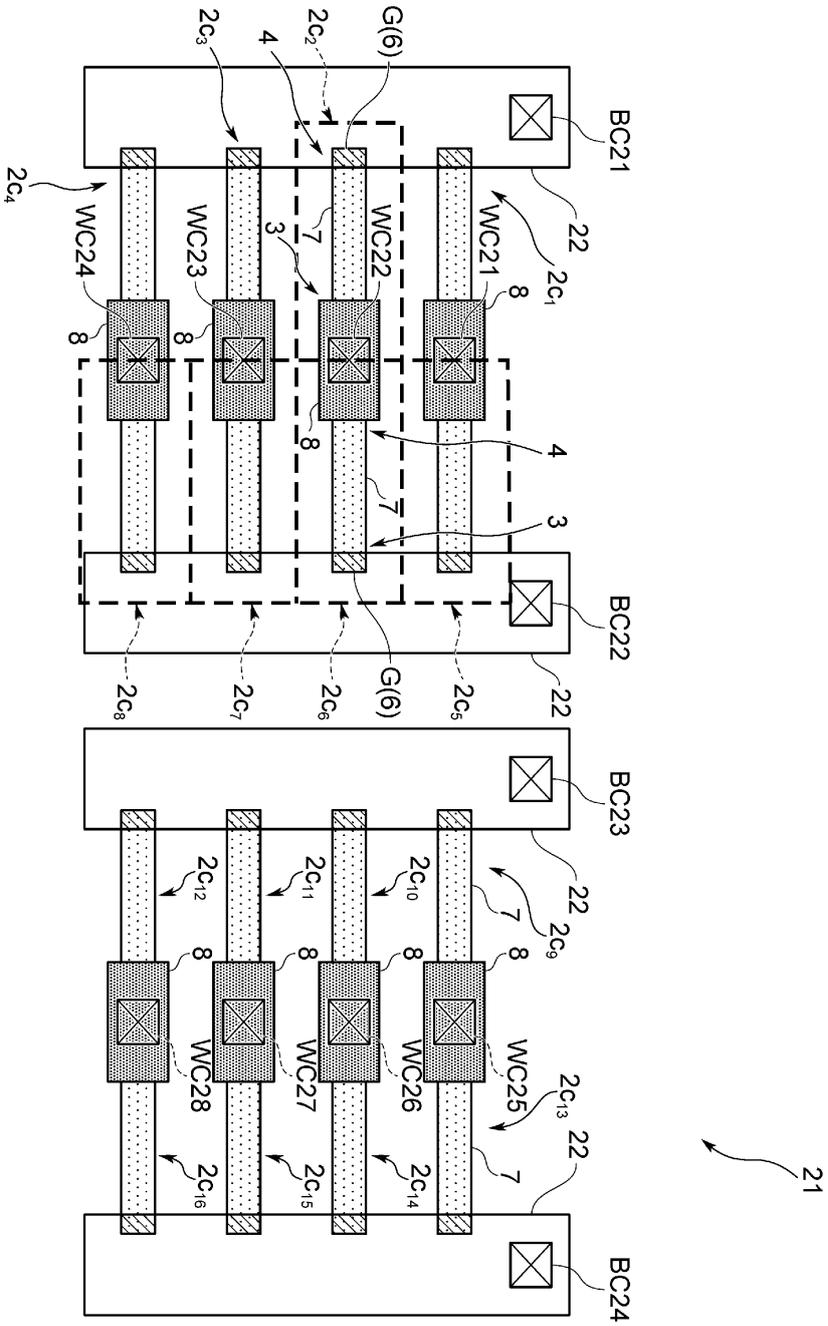
도면4



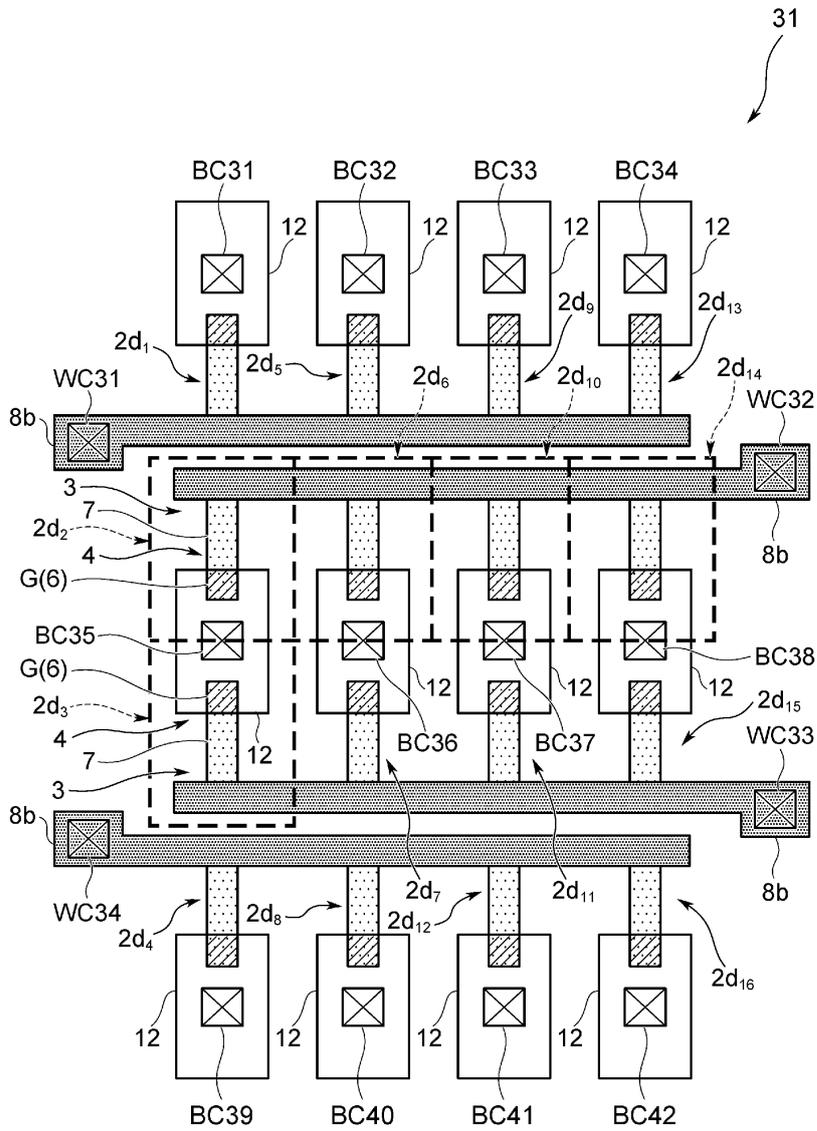
도면5



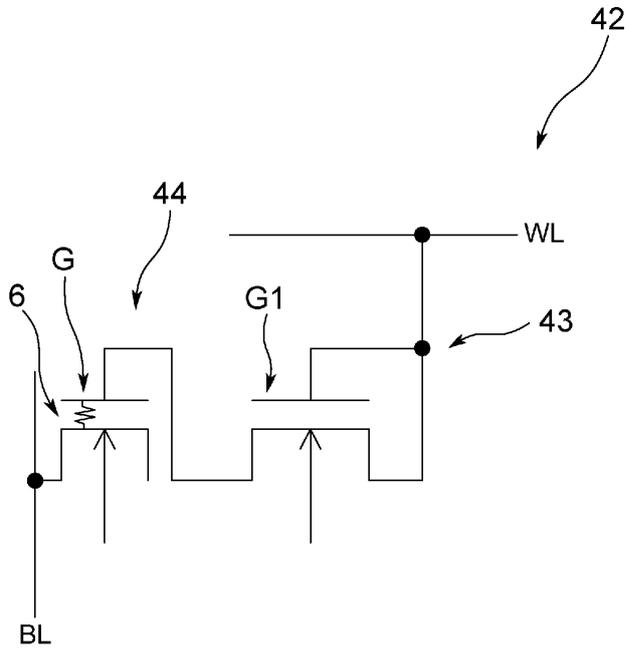
도면6



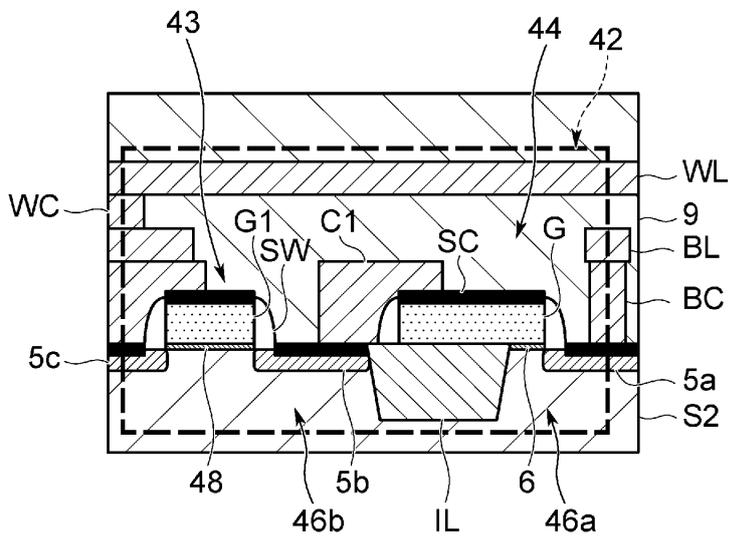
도면7



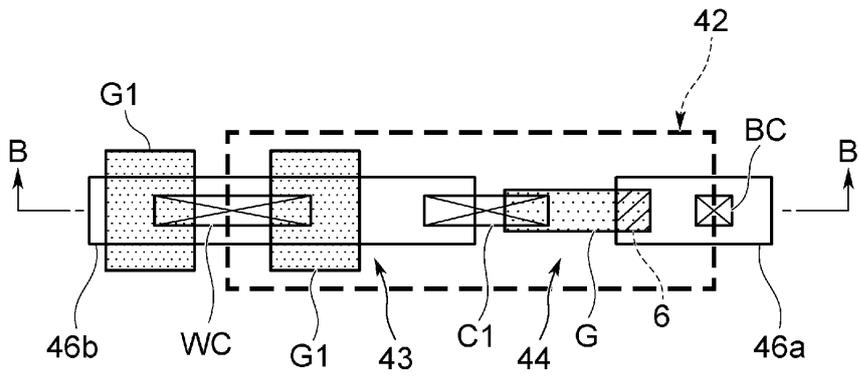
도면8



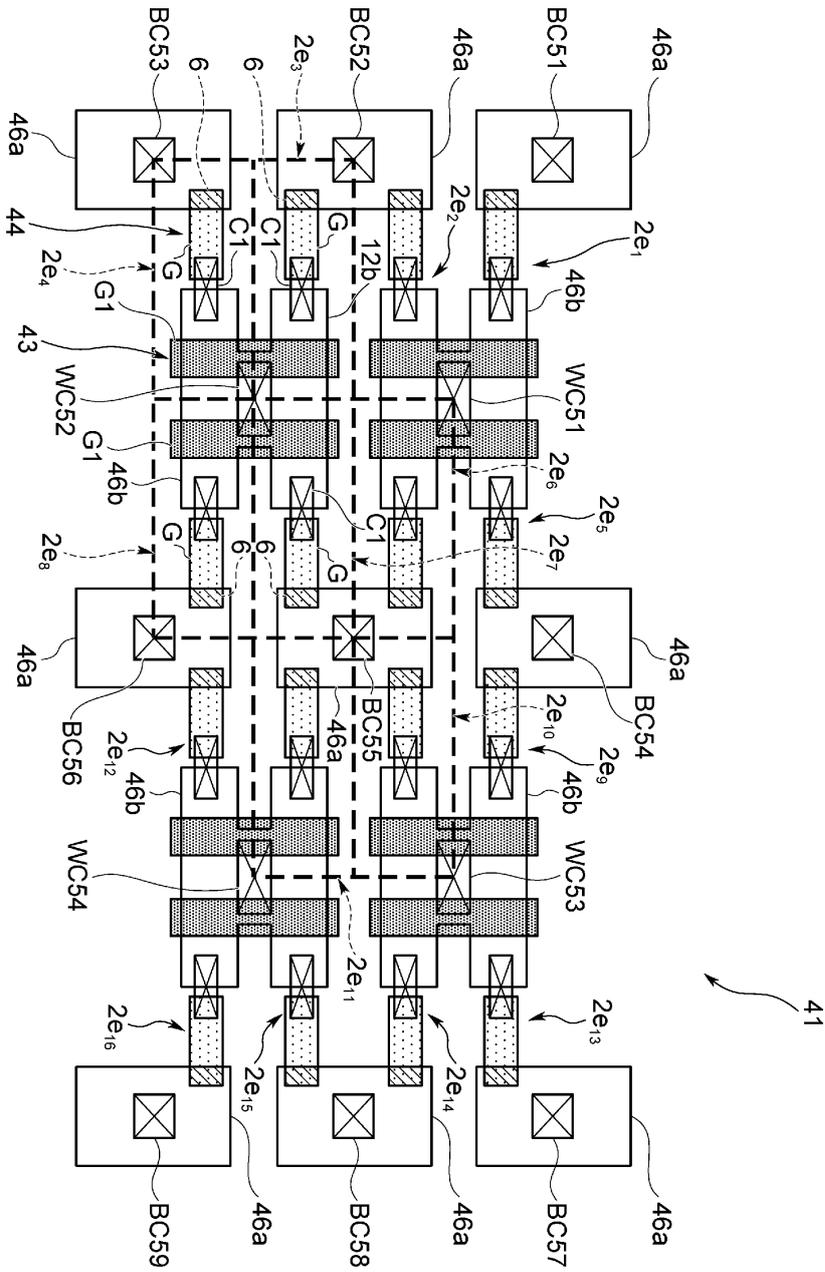
도면9a



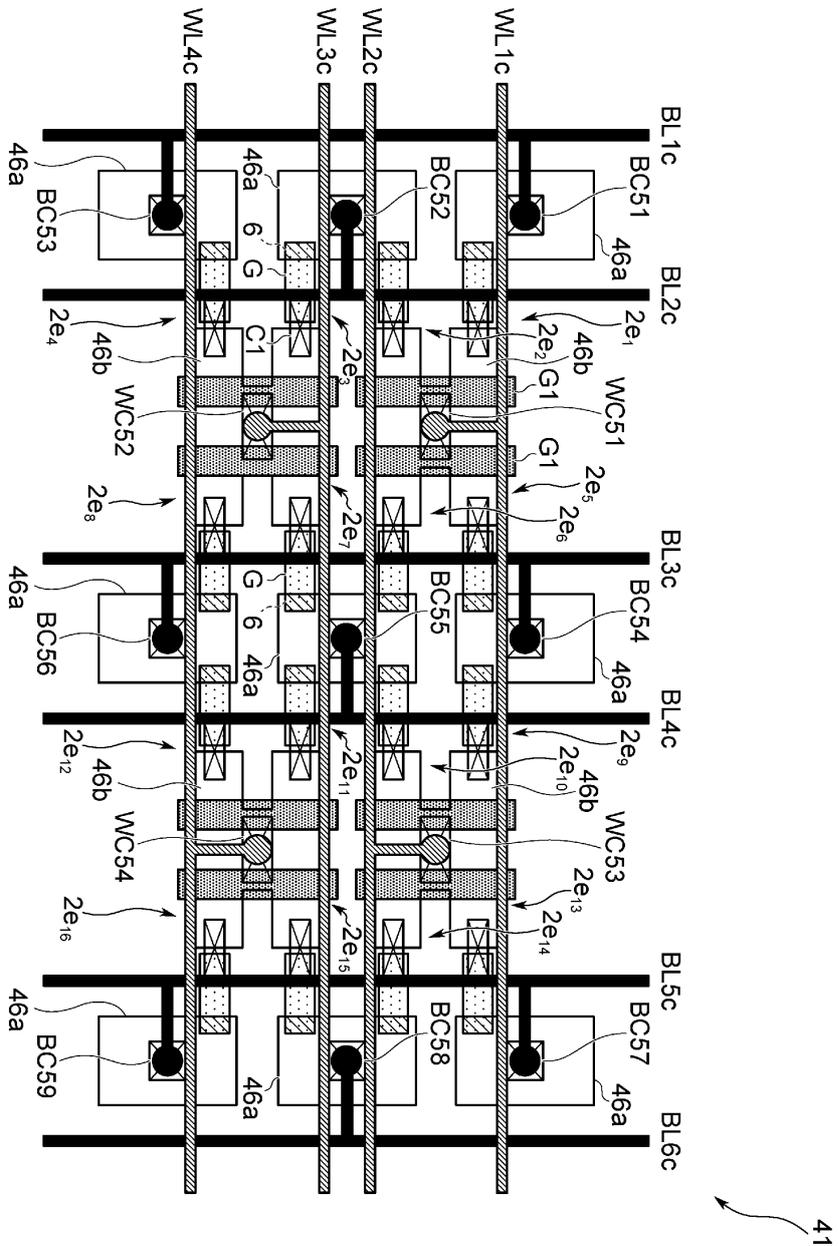
도면9b



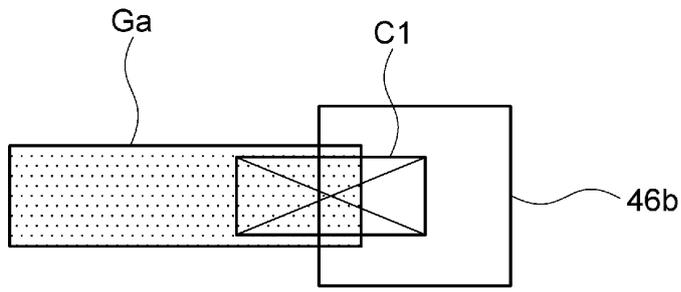
도면10



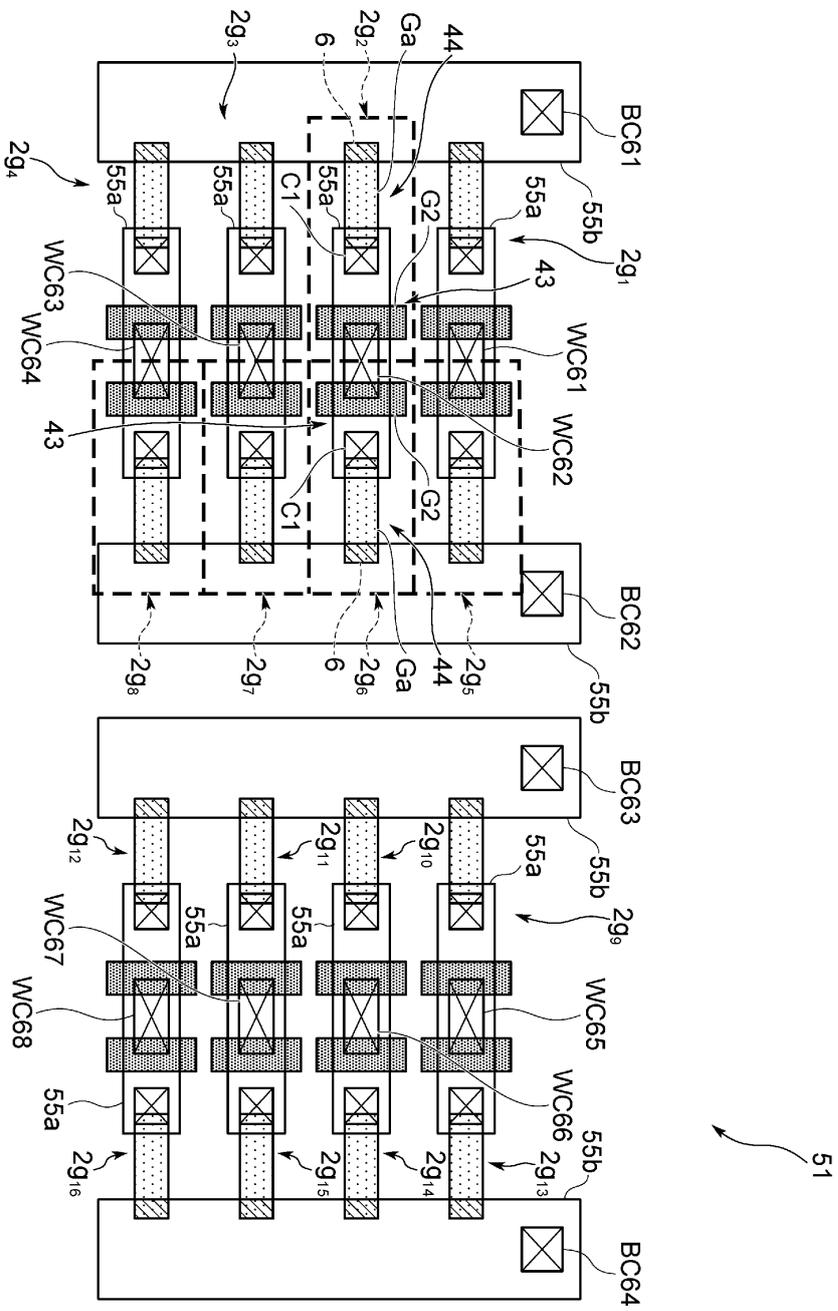
도면11



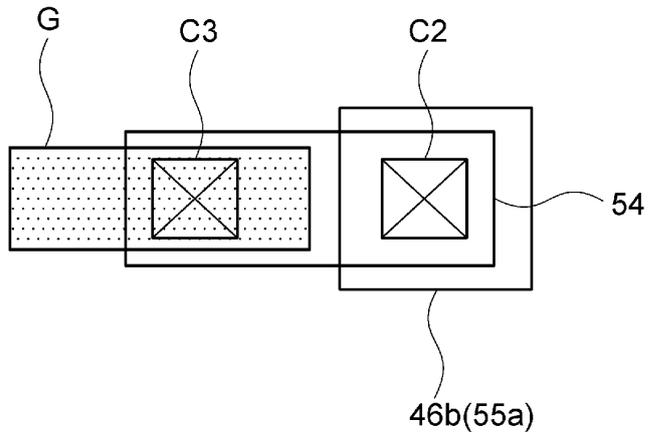
도면13



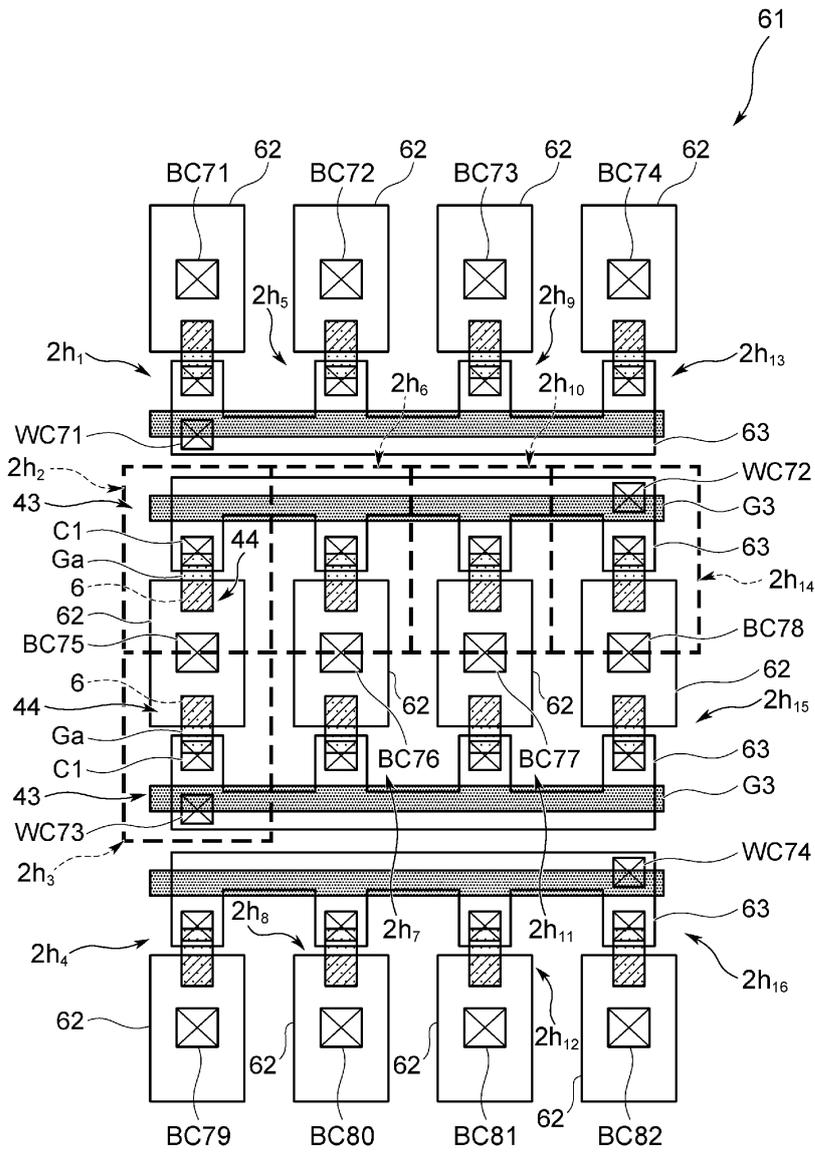
도면14



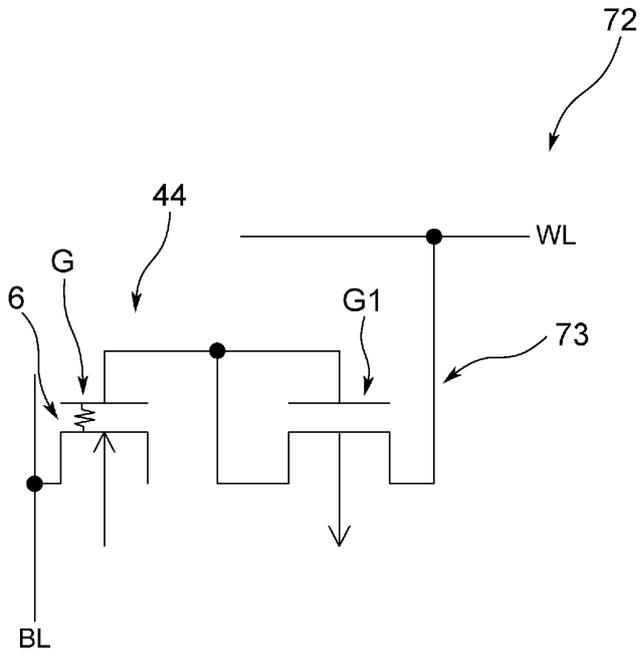
도면15



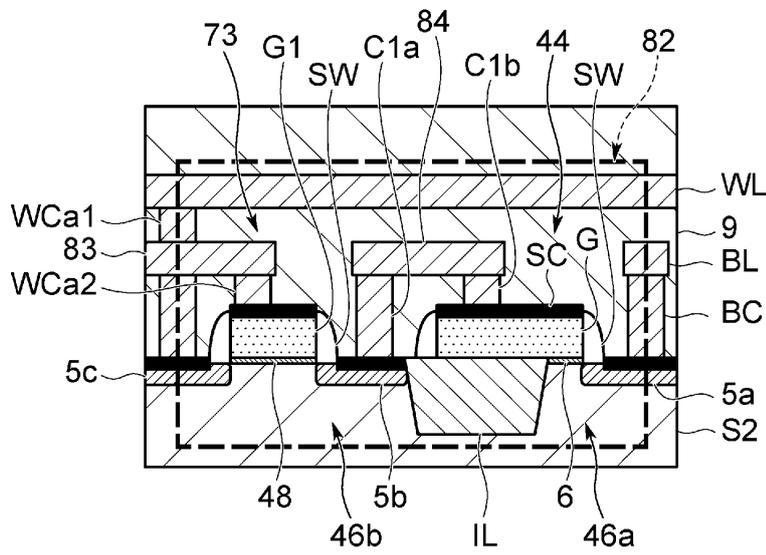
도면16



도면17



도면18a



도면18b

