

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 1 年 7 月 25 日 (2019.7.25)

【公開番号】特開 2017-21789 (P2017-21789A)

【公開日】平成 29 年 1 月 26 日 (2017.1.26)

【年通号数】公開・登録公報 2017-004

【出願番号】特願 2016-122720 (P2016-122720)

【国際特許分類】

G 0 6 F 13/16 (2006.01)

【 F I 】

G 0 6 F 13/16 5 2 0 A

【手続補正書】

【提出日】令和 1 年 6 月 21 日 (2019.6.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

N V D I M M (N o n - V o l a t i l e D u a l I n - L i n e M e m o r y M o d u l e) と、

第 1 アプリケーションに対して前記 N V D I M M 内に第 1 アドレス空間を第 1 アクセス (A c c e s s) モードで割り当て、第 2 アプリケーションに対して前記 N V D I M M 内に第 2 アドレス空間を第 2 アクセスモードで割り当て、少なくとも前記第 1 アドレス空間に対する第 1 アドレスマスクを N V M (N o n - V o l a t i l e M e m o r y) コントロールレジスタ内に格納するように動作する N V M ガバナ (g o v e r n o r) と、を有し、

前記第 1 アドレスマスクは、前記第 1 アクセスモードと関連し、

前記 N V D I M M 内の前記第 1 アドレス空間は、第 1 割り当て要求に応答して前記第 1 アクセスモードを用いて割り当てられ、第 2 割り当て要求に応答して前記第 2 アクセスモードを用いて割り当てられ、

前記 N V M コントロールレジスタは、前記第 2 アクセスモードを使用して割り当てられたアドレス空間に対するアドレスマスクを格納せず、

前記 N V M ガバナは、第 2 アクセスモードを使用して、アドレスマスクが N V M コントロールレジスタに格納されていないアドレス空間をアドレス空間として扱うように動作可能であることを特徴とする不揮発性メモリを含むシステム。

【請求項 2】

前記第 1 アクセスモード及び第 2 のアクセスモードは、それぞれブロック単位のアドレス可能モード (b l o c k - a d d r e s s a b l e m o d e) とバイト単位のアドレス可能モード (b y t e - a d d r e s s a b l e m o d e) とを含むセットから引き出されることを特徴とする請求項 1 に記載の不揮発性メモリを含むシステム。

【請求項 3】

前記 N V M ガバナは、前記バイト単位のアドレス可能モードを使用してバイトアドレス可能アドレス空間にアクセスするためのバイトアドレス可能ロジックと、

前記ブロック単位のアドレス可能モードを使用してブロックアドレス可能アドレス空間へのアクセスをエミュレートするソフトウェア、と、を含み、

前記ソフトウェアは、前記バイトアドレス可能ロジックを使用することを特徴とする請

求項 2 に記載の不揮発性メモリを含むシステム。

【請求項 4】

前記 N V M ガバナは、前記バイト単位のアドレス可能モードを使用してバイトアドレス可能アドレス空間にアクセスするためのバイトアドレス可能ロジックと、

前記ブロック単位のアドレス可能モードを使用してブロックアドレス可能アドレス空間にアクセスするためのブロックアドレス可能ロジックと、を含むことを特徴とする請求項 2 に記載の不揮発性メモリを含むシステム。

【請求項 5】

前記 N V M ガバナは、前記 N V M コントロールレジスタ内のすべてのアドレスマスクに対して並列的なアクセスチェック (A c c e s s C h e c k) を遂行するように動作し、マッチングしたアドレスマスクと関連するアクセスモードを利用してアドレス要請をスケジュールするように動作することを特徴とする請求項 2 に記載の不揮発性メモリを含むシステム。

【請求項 6】

前記 N V D I M M と接続されるプロセッサをさらに有し、

前記プロセッサは、前記 N V M コントロールレジスタを含むことを特徴とする請求項 2 に記載の不揮発性メモリを含むシステム。

【請求項 7】

前記プロセッサ上で動作可能なオペレーティングシステム (O p e r a t i n g S y s t e m) をさらに有し、

前記オペレーティングシステムは、前記 N V M ガバナを含むことを特徴とする請求項 6 に記載の不揮発性メモリを含むシステム。

【請求項 8】

前記第 1 アクセスモードは、第 1 の入出力 (I / O) 要求が前記第 1 アドレス空間からデータをどのように読み書きするかを指定し、

前記第 2 アクセスモードは、第 2 の入出力 (I / O) 要求が前記第 1 アドレス空間からデータをどのように読み書きするかを指定することを特徴とする請求項 1 に記載の不揮発性メモリを含むシステム。

【請求項 9】

前記第 1 アドレス空間は、第 1 サイズを含み、前記第 2 アドレス空間は、第 2 サイズを含み、

前記第 1 サイズは前記第 2 サイズと異なることを特徴とする請求項 1 に記載の不揮発性メモリを含むシステム。

【請求項 10】

N V D I M M (N o n - V o l a t i l e D u a l I n - L i n e M e m o r y M o d u l e) を含むシステムのアクセス方法において、

前記 N V D I M M 内にアドレス空間を割り当てるための要請を受信する段階と、

前記要請されたアドレス空間に対する少なくとも二つのアクセスモードを含むセットから抽出されるアクセスモードを受信する段階と、

前記 N V D I M M 内のアドレス空間を確認する段階と、

前記アクセスモードが第 1 アクセスモードでない場合、前記アドレス空間に対するアドレスマスク及び前記アドレス空間に対するアクセスモードを N V M (N o n - V o l a t i l e M e m o r y) コントロールレジスタに格納する段階と、

前記要請されたアドレス空間として前記 N V D I M M 内のアドレス空間を返還 (r e t u r n) する段階と、

前記第 1 アクセスモードを使用して、アドレスマスクが N V M コントロールレジスタに格納されていないアドレス空間をアドレス空間として処理する段階と、を有することを特徴とする不揮発性メモリを含むシステムのアクセス方法。

【請求項 11】

前記アドレス空間に対する前記アドレスマスクを格納する段階は、前記アドレス空間に

対する前記アクセスモードがブロック単位のアドレス可能モード (block - addressable mode) である場合に、前記アドレス空間に対する前記アドレスマスクを記憶する段階を含むことを特徴とする請求項 10 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 12】

前記アドレス空間に対する前記アドレスマスクを格納する段階は、前記アドレス空間に対する前記アクセスモードがバイト単位のアドレス可能モード (byte - addressable mode) である場合に、前記アドレス空間に対する前記アドレスマスクを記憶する段階を含むことを特徴とする請求項 10 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 13】

前記 NVDIMM 内にアドレス空間を割り当てる要求を受信する段階は、アプリケーションから前記 NVDIMM 内にアドレス空間を割り当てる要求を受信する段階を含み、

前記要求されたアドレス空間に対する少なくとも二つのアクセスモードを含むセットから抽出されるアクセスモードを受信する段階は、アプリケーションから前記要求されたアドレス空間に対する前記アクセスモードを受信する段階を含み、

前記 NVDIMM 内のアドレス空間を確認する段階は、前記アクセスモードを使用して前記 NVDIMM 内に前記アドレス空間を割り当てる段階を含み、

前記アドレス空間を前記要求されたアドレス空間として返還する段階は、前記アドレス空間を前記要求されたアドレス空間としてアプリケーションに返還する段階を含み、

前記アドレス空間は、前記アクセスモードを用いてアクセスされるように設計されることを特徴とする請求項 10 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 14】

前記アドレス空間は、第 1 割り当て要求に応答して少なくとも二つのアクセスモードの内の第 1 アクセスモードを用いて割り当てられ、第 2 割り当て要求に応答して少なくとも二つのアクセスモードの内の第 2 アクセスモードを用いて割り当てられることを特徴とする請求項 10 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 15】

前記少なくとも二つのアクセスモードのそれぞれは、入出力 (I/O) 要求がアドレス空間からデータをどのように読み書きするかを指定することを特徴とする請求項 10 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 16】

前記アドレス空間は第 1 サイズを含み、前記 NVDIMM 内の第 2 アドレス空間は第 2 サイズを含み、

前記第 1 サイズは前記第 2 サイズと異なることを特徴とする請求項 10 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 17】

NVDIMM (Non - Volatile Dual In - Line Memory Module) を含むシステムのアクセス方法において、

前記 NVDIMM からアドレス空間にアクセスするための要請を受信する段階と、

NVM コントロールレジスタ内のアドレスマスクとアドレス空間をマッチングさせようと試みる段階と、

前記アドレス空間が前記 NVM コントロールレジスタ内のアドレスマスクとマッチングしない場合、前記アドレス空間に対するアクセスモードを第 1 アクセスモードとして決定する段階と、

前記アドレス空間が NVM コントロールレジスタ内のアドレスマスクとマッチングする場合、前記アドレス空間に対するアクセスモードを前記 NVM コントロールレジスタからマッチングしたアドレスマスクに対応するアクセスモードとして決定する段階と、

前記アクセスモードを利用して前記 NVDIMM から前記アドレス空間にアクセスするための前記要請をスケジュールする段階と、を有し、

前記 N V M コントロールレジスタは、各アドレスマスクに対応するアクセスモードを格納し、

前記アドレス空間は、第 1 割り当て要求に応答して前記アクセスモードを用いて割り当てられ、第 2 割り当て要求に応答して第 2 アクセスモードを用いて割り当てられるように設計されることを特徴とする不揮発性メモリを含むシステムのアクセス方法。

【請求項 18】

前記アドレス空間に対するアクセスモードを決定する段階は、前記アドレス空間に対してブロック単位のアドレス可能モード及びバイト単位のアドレス可能モードの内の 1 つとしてアクセスモードを決定する段階を含むことを特徴とする請求項 17 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 19】

前記 N V M コントロールレジスタから前記アドレス空間に対する前記アクセスモードを決定する段階は、プロセッサ内の前記 N V M コントロールレジスタから前記アクセスモードを決定する段階を含むことを特徴とする請求項 17 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 20】

前記アドレス空間を前記 N V M コントロールレジスタ内のアドレスマスクとマッチングさせるように試みる段階は、前記アドレス空間を前記 N V M コントロールレジスタ内のアドレスマスクの各々と比較する段階を含むことを特徴とする請求項 17 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 21】

前記アドレス空間を前記 N V M コントロールレジスタ内のアドレスマスクの各々と比較する段階は、並列的に前記アドレス空間を前記 N V M コントロールレジスタ内の前記アドレスマスクの各々と比較する段階を含むことを特徴とする請求項 20 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 22】

前記アクセスモードは、第 1 の入出力 (I / O) 要求が前記アドレス空間からデータをどのように読み書きするかを指定し、

前記第 2 アクセスモードは、第 2 の入出力 (I / O) 要求が前記アドレス空間からデータを読み書きする方法を指定することを特徴とする請求項 17 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 23】

前記アドレス空間は第 1 サイズを含み、前記 N V D I M M 内の第 2 アドレス空間は第 2 サイズを含み、

前記第 1 サイズは前記第 2 サイズと異なることを特徴とする請求項 17 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 24】

N V D I M M (N o n - V o l a t i l e D u a l I n - L i n e M e m o r y M o d u l e) を含むシステムのアクセス方法において、

前記 N V D I M M 内にアドレス空間を割り当てるための要請を受信する段階と、

前記要請されたアドレス空間に対する厳密に二つのアクセスモードを含むセットから抽出されるアクセスモードを受信する段階と、

前記 N V D I M M 内のアドレス空間を確認する段階と、

前記アクセスモードが第 1 アクセスモードではない場合、前記アドレス空間に対するアドレスマスクを N V M (N o n - V o l a t i l e M e m o r y) コントロールレジスタに格納する段階と、

前記要請されたアドレス空間として前記アドレス空間を返還 (r e t u r n) する段階と、を有し、

前記アクセスモードは、前記アドレスマスクが N V M コントロールレジスタに格納されているか否かに応じて決定されることを特徴とする不揮発性メモリを含むシステムのアク

セス方法。

【請求項 2 5】

前記アドレス空間に対する前記アドレスマスクを格納する段階は、前記アドレス空間に対する前記アクセスモードがブロック単位のアドレス可能モードである場合に、前記アドレス空間に対する前記アドレスマスクを格納する段階を含むことを特徴とする請求項 2 4 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 2 6】

前記アドレス空間に対する前記アドレスマスクを格納する段階は、前記アドレス空間に対する前記アクセスモードがバイト単位のアドレス可能モードである場合に、前記アドレス空間に対する前記アドレスマスクを格納する段階を含むことを特徴とする請求項 2 4 に記載の不揮発性メモリを含むシステムのアクセス方法。

【請求項 2 7】

前記アドレス空間に対する前記アドレスマスクを前記 N V M コントロールレジスタに格納する段階は、前記アドレス空間に対するアドレスマスク及びアクセスモードを N V M コントロールレジスタに格納する段階を含むことを特徴とする請求項 2 4 に記載の不揮発性メモリを含むシステムのアクセス方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

上記目的を達成するためになされた本発明による不揮発性メモリを含むシステムは、N V D I M M (N o n - V o l a t i l e D u a l I n - L i n e M e m o r y M o d u l e) と、第 1 アプリケーションに対して前記 N V D I M M 内に第 1 アドレス空間を第 1 アクセス (A c c e s s) モードで割り当て、第 2 アプリケーションに対して前記 N V D I M M 内に第 2 アドレス空間を第 2 アクセスモードで割り当て、少なくとも前記第 1 アドレス空間に対する第 1 アドレスマスクを N V M (N o n - V o l a t i l e M e m o r y) コントロールレジスタ内に格納するように動作する N V M ガバナ (g o v e r n o r) と、を有し、前記第 1 アドレスマスクは、前記第 1 アクセスモードと関連し、前記 N V D I M M 内の前記第 1 アドレス空間は、第 1 割り当て要求に应答して前記第 1 アクセスモードを用いて割り当てられ、第 2 割り当て要求に应答して前記第 2 アクセスモードを用いて割り当てられ、前記 N V M コントロールレジスタは、前記第 2 アクセスモードを使用して割り当てられたアドレス空間に対するアドレスマスクを格納せず、前記 N V M ガバナは、第 2 アクセスモードを使用して、アドレスマスクが N V M コントロールレジスタに格納されていないアドレス空間をアドレス空間として扱うように動作可能であることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

上記目的を達成するためになされた本発明による不揮発性メモリを含むシステムのアクセス方法は、N V D I M M (N o n - V o l a t i l e D u a l I n - L i n e M e m o r y M o d u l e) を含むシステムのアクセス方法において、前記 N V D I M M 内にアドレス空間を割り当てるための要請を受信する段階と、前記要請されたアドレス空間に対する少なくとも二つのアクセスモードを含むセットから抽出されるアクセスモードを受信する段階と、前記 N V D I M M 内のアドレス空間を確認する段階と、前記アクセスモードが第 1 アクセスモードでない場合、前記アドレス空間に対するアドレスマスク及び

前記アドレス空間に対するアクセスモードをNVM(Non-Volatile Memory)コントロールレジスタに格納する段階と、前記要請されたアドレス空間として前記NVDIMM内のアドレス空間を返還(return)する段階と、前記第1アクセスモードを使用して、アドレスマスクがNVMコントロールレジスタに格納されていないアドレス空間をアドレス空間として処理する段階と、を有することを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

また、上記目的を達成するためになされた本発明による不揮発性メモリを含むシステムのアクセス方法は、NVDIMM(Non-Volatile Dual In-Line Memory Module)を含むシステムのアクセス方法において、前記NVDIMMからアドレス空間にアクセスするための要請を受信する段階と、NVMコントロールレジスタ内のアドレスマスクとアドレス空間をマッチングさせようと試みる段階と、前記アドレス空間が前記NVMコントロールレジスタ内のアドレスマスクとマッチングしない場合、前記アドレス空間に対するアクセスモードを第1アクセスモードとして決定する段階と、前記アドレス空間がNVMコントロールレジスタ内のアドレスマスクとマッチングする場合、前記アドレス空間に対するアクセスモードを前記NVMコントロールレジスタからマッチングしたアドレスマスクに対応するアクセスモードとして決定する段階と、前記アクセスモードを利用して前記NVDIMMから前記アドレス空間にアクセスするための前記要請をスケジュールする段階と、を有し、前記NVMコントロールレジスタは、各アドレスマスクに対応するアクセスモードを格納し、前記アドレス空間は、第1割り当て要求に応答して前記アクセスモードを用いて割り当てられ、第2割り当て要求に応答して第2アクセスモードを用いて割り当てられるように設計されることを特徴とする。

また、上記目的を達成するためになされた本発明による不揮発性メモリを含むシステムのアクセス方法は、NVDIMM(Non-Volatile Dual In-Line Memory Module)を含むシステムのアクセス方法において、前記NVDIMM内にアドレス空間を割り当てるための要請を受信する段階と、前記要請されたアドレス空間に対する厳密に二つのアクセスモードを含むセットから抽出されるアクセスモードを受信する段階と、前記NVDIMM内のアドレス空間を確認する段階と、前記アクセスモードが第1アクセスモードではない場合、前記アドレス空間に対するアドレスマスクをNVM(Non-Volatile Memory)コントロールレジスタに格納する段階と、前記要請されたアドレス空間として前記アドレス空間を返還(return)する段階と、を有し、前記アクセスモードは、前記アドレスマスクがNVMコントロールレジスタに格納されているか否かに応じて決定されることを特徴とする。