



등록특허 10-2331588



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년11월30일

(11) 등록번호 10-2331588

(24) 등록일자 2021년11월23일

(51) 국제특허분류(Int. Cl.)

H01G 4/14 (2006.01) H01G 4/30 (2006.01)

(52) CPC특허분류

H01G 4/14 (2013.01)

H01G 4/30 (2013.01)

(21) 출원번호 10-2016-7033250

(22) 출원일자(국제) 2015년05월12일

심사청구일자 2019년11월21일

(85) 번역문제출일자 2016년11월28일

(65) 공개번호 10-2017-0005028

(43) 공개일자 2017년01월11일

(86) 국제출원번호 PCT/US2015/030415

(87) 국제공개번호 WO 2015/175558

국제공개일자 2015년11월19일

(30) 우선권주장

61/991,861 2014년05월12일 미국(US)

(56) 선행기술조사문헌

JP2005509283 A\*

JP2006523384 A\*

US20080002329 A1\*

US20110110015 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

캐페시터 사이언시스 인코포레이티드

미국 94025 캘리포니아주 멘로 파크 오브라이언  
드라이브 1530 스위트 비

(72) 발명자

라자레프, 파넬, 이반

미국, 94025 캘리포니아, 멘로 파크, 콜멘 애비뉴  
808 아파트. 18

(74) 대리인

특허법인에이아이피

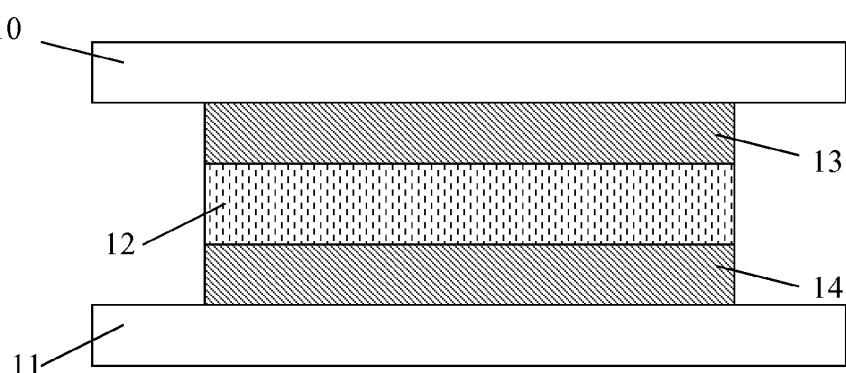
전체 청구항 수 : 총 26 항

심사관 : 전한철

(54) 발명의 명칭 에너지 저장 디바이스 및 이의 생산 방법

### (57) 요약

본 발명은 전반적으로 전기 공학 및 전자공학의 분야에 관한 것이다. 더 구체적으로, 본 발명은 전기 회로의 수동 컴포넌트들에 관한 것으로서, 더 구체적으로는 에너지 저장 디바이스들 및 이의 생산 방법에 관한 것이다. 본 발명은, 제 1 전극, 제 2 전극, 및 상기 제 1 및 제 2 전극들 사이에 배치된 고체 다층 구조체를 포함하는 에너지 저장 디바이스를 제공한다. 상기 전극들은 평평하고 평면적이며 서로 평행하게 배치되고, 상기 고체 다층 구조체는 3개의 균질한 절연 및 전도성 층들을 포함한다.

**대 표 도 - 도2**

## 명세서

### 청구범위

#### 청구항 1

에너지 저장 디바이스로서,

제 1 전극,

제 2 전극, 및

상기 제 1 및 제 2 전극들 사이에 배치된 고체 다층 구조체를 포함하며,

상기 전극들은 평평하고 평면적이며, 서로 평행하게 배치되고,

상기 고체 다층 구조체는  $m$ 개의 절연 및 전도성 층들을 포함하며,

상기 층들은 상기 전극들에 대하여 평행하게 배치되고,

상기 층들을 다음의 시퀀스를 가지며: A-B-(A-B-...A-B-)A, 여기에서,

A는 절연 유전체 재료를 포함하는 균질한 절연 층이고,

B는 균질한 전도성 층이며, 및

$m$ 은 3 이상이고,

절연 층 두께( $d_{ins}$ ), 전도성 층 두께( $d_{cond}$ ), 상기 절연 층들의 수( $n_{ins} \geq 2$ ), 상기 절연 유전체 재료의 유전체 유전율( $\epsilon_{ins}$ ) 및 상기 전도성 층의 유전체 유전율( $\epsilon_{cond}$ )은 다음의 관계를 충족시키며:

$$d_{cond} = p \cdot (n_{ins}/(n_{ins}-1)) \cdot (\epsilon_{cond}/\epsilon_{ins}) \cdot d_{ins}, \text{ 여기에서 } p \geq 3 \text{인, 에너지 저장 디바이스.}$$

#### 청구항 2

청구항 1에 있어서,

상기 절연 층들은 결정질인, 에너지 저장 디바이스.

#### 청구항 3

청구항 1에 있어서,

상기 절연 층들은 다음의 일반적인 구조식 I의 개질된 유기 화합물들을 포함하며:

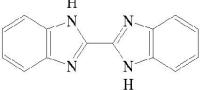
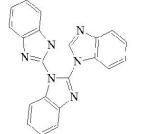
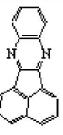
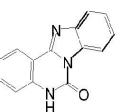
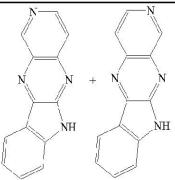
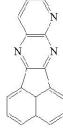
{Cor}(M)n, 구조식 (I),

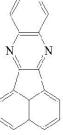
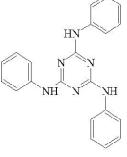
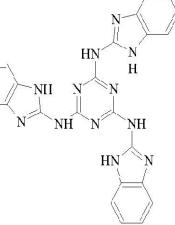
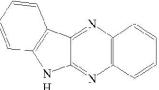
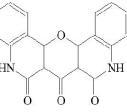
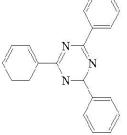
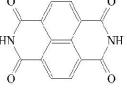
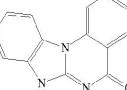
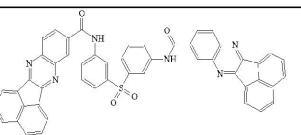
여기에서 Cor은 공액(conjugated)  $\pi$ -시스템을 갖는 폴리사이클릭 유기 화합물이고, M은 개질 작용기(modifying functional group)들이며; n은 상기 개질 작용기들의 수이고, 여기에서 n은 1 이상인, 에너지 저장 디바이스.

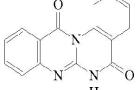
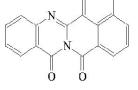
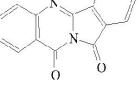
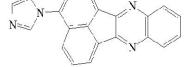
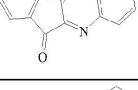
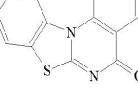
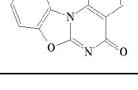
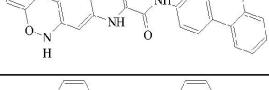
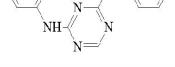
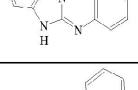
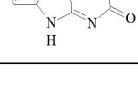
#### 청구항 4

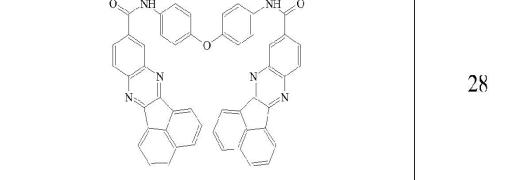
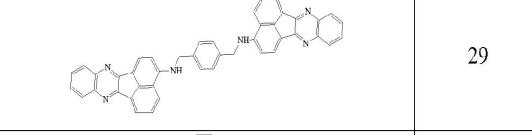
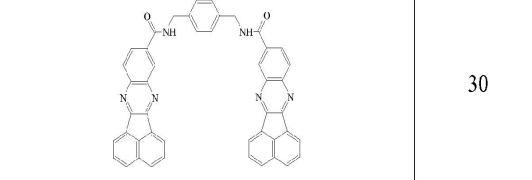
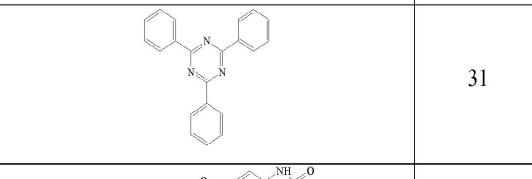
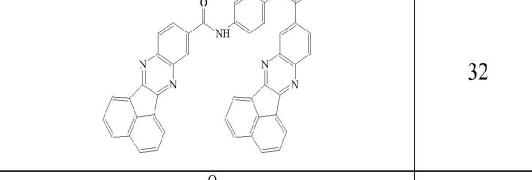
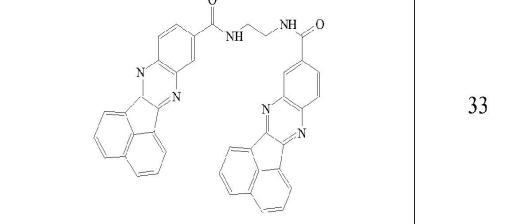
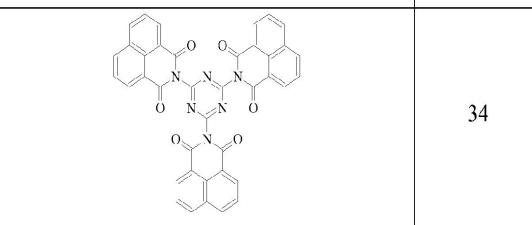
청구항 3에 있어서,

상기 폴리사이클릭 유기 화합물은 올리고페닐, 이미다졸, 피라졸, 아세나프텐, 트리아이진(triazine), 및 인단트론으로 구성된 그룹으로부터 선택되고, 상기 폴리사이클릭 유기 화합물은 다음과 같은 구조들(1-43)로 구성된 그룹으로부터 선택된 일반적인 구조식을 가지며, 상기 구조들(1-43)은:

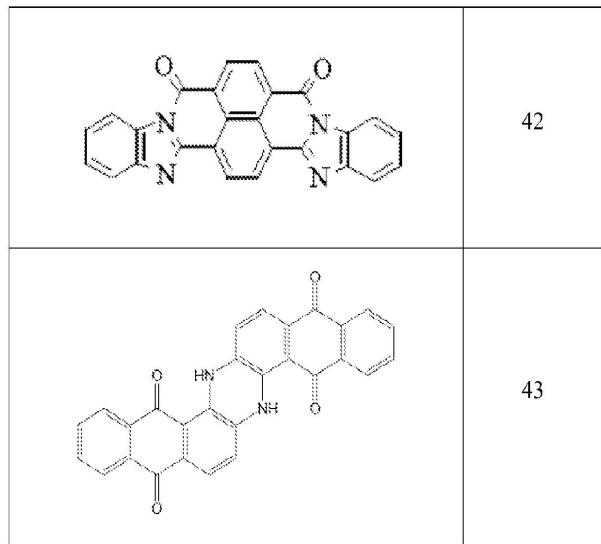
	1
	2
	3
	4
	5
	6

	7
	8
	9
	10
	11
	12
	13
	14
	15

	16
	17
	18
	19
	20
	21
	22
	23
	24
	25
	26
	27

	28
	29
	30
	31
	32
	33
	34

	35
	36
	37
	38
	39
	40
	41
	41



인,

에너지 저장 디바이스.

#### 청구항 5

청구항 3에 있어서,

상기 개질 작용기들은, 알킬, 아릴, 치환된 알킬, 치환된 아릴, 및 이들의 임의의 조합으로 구성된 그룹으로부터 선택되는, 에너지 저장 디바이스.

#### 청구항 6

청구항 1에 있어서,

상기 절연 층들은, 플루오르화된 알킬, 폴리에틸렌, 캐블라, 폴리(비닐리덴 플루오라이드-헥사플루오로프로필렌), 폴리프로필렌, 플루오르화된 폴리프로필렌, 폴리디메틸실록산으로 구성된 그룹으로부터 선택된 폴리머성 재료들을 포함하는, 에너지 저장 디바이스.

#### 청구항 7

청구항 1에 있어서,

상기 절연 층들은 다음의 구조들(44 내지 49)로부터 선택된 유닛들로 형성된 폴리머성 재료를 포함하며, 상기 구조들(44 내지 49)은:

	44
	45
	46
	47
	48
	49

인,

에너지 저장 디바이스.

## 청구항 8

청구항 1에 있어서,

상기 전도성 층들은 결정질인, 에너지 저장 디바이스.

## 청구항 9

청구항 1에 있어서,

상기 전도성 층들은 분자 전도율(molecular conductivity)을 갖는 재료를 포함하는, 에너지 저장 디바이스.

### 청구항 10

청구항 1에 있어서,

상기 전도성 층들은 전기전도성 올리고머들을 포함하는, 에너지 저장 디바이스.

### 청구항 11

청구항 10에 있어서,

상기 전기전도성 올리고머들의 길이방향 층들은 상기 전극들에 대하여 주로 수직으로 향해지는, 에너지 저장 디바이스.

### 청구항 12

청구항 10에 있어서,

상기 전기전도성 올리고머들의 길이방향 층들은 상기 전극들에 대하여 주로 평행하게 향해지는, 에너지 저장 디바이스.

### 청구항 13

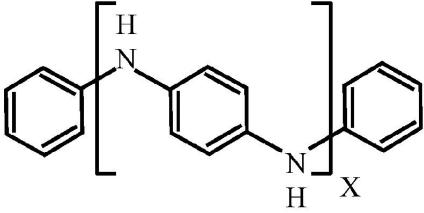
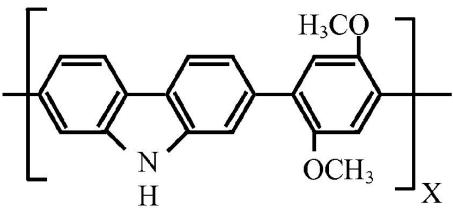
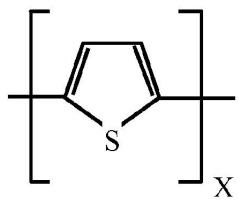
청구항 10에 있어서,

상기 전기전도성 올리고머들은 주로 측방 병진 대칭성을 갖는, 에너지 저장 디바이스.

### 청구항 14

청구항 10에 있어서,

상기 전기전도성 올리고머들은 다음의 구조들(50 내지 56)로 구성된 그룹으로부터 선택되며, 상기 구조들(50 내지 56)은:

	50
	51
	52

	53
	54
	55
	56

○고,

여기에서  $X = 2, 3, 4, 5, 6, 7, 8, 9, 10, 11$  또는  $12$ 인, 에너지 저장 디바이스.

### 청구항 15

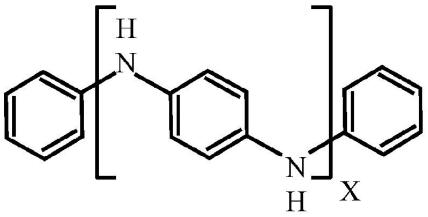
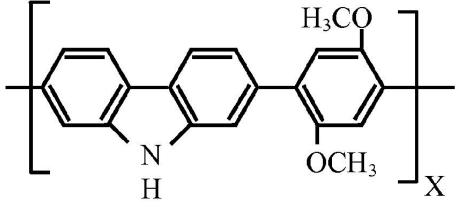
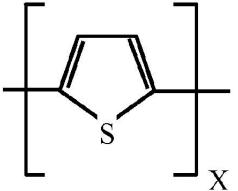
청구항 1에 있어서,

상기 전도성 층들은 저-분자량 전기전도성 폴리머들을 포함하는, 에너지 저장 디바이스.

### 청구항 16

청구항 15에 있어서,

상기 저-분자량 전기전도성 폴리머들은 다음의 구조들(50 내지 56)로 구성된 그룹으로부터 선택된 모노머들을 가지며, 상기 구조들(50 내지 56)은:

	50
	51
	52

	53
	54
	55
	56

이고,

여기에서  $X = 2, 3, 4, 5, 6, 7, 8, 9, 10, 11$  또는  $12$ 인, 에너지 저장 디바이스.

### 청구항 17

청구항 10에 있어서,

상기 전기전도성 올리고머들은 치환기(substitute group)들을 더 포함하고 다음의 일반적인 구조식 II에 의해 설명되며, 상기 일반적인 구조식 II는:

(전기전도성 올리머)-- $R_q$  구조식 (II)이고, 여기에서  $R_q$ 는 치환기들의 세트이며,  $q$ 는 세트  $R_q$  내의 치환기들의 수이고,  $q = 1, 2, 3, 4, 5, 6, 7, 8, 9$ , 또는  $10$ 인, 에너지 저장 디바이스.

### 청구항 18

청구항 17에 있어서,

상기 치환기들  $R$ 은, 알킬, 아릴, 치환된 알킬, 치환된 아릴, 및 이들의 임의의 조합으로 구성된 그룹으로부터 독립적으로 선택되는, 에너지 저장 디바이스.

### 청구항 19

삭제

### 청구항 20

청구항 1에 있어서,

상기 전극들은 Pt, Cu, Al, Ag 및/또는 Au를 포함하는, 에너지 저장 디바이스.

### 청구항 21

청구항 1에 있어서,

상기 전극들은 구리를 포함하며,  $m$ 은 3이고, 상기 절연 유전체 재료 A는 폴리에틸렌을 포함하며, 상기 B는 폴리아닐린(PANI)을 포함하고, 절연 층 두께는  $d_{ins}=25\text{nm}$ 이며, 전도성 층 두께는  $d_{cond}=50\mu\text{m}$ 이고, 항복 전압  $V_{bd}$ 는 약 2 V인, 에너지 저장 디바이스.

### 청구항 22

청구항 1에 있어서,

상기 전극들은 구리를 포함하며,  $m$ 은 7이고, 상기 절연 유전체 재료는 폴리에틸렌을 포함하며, 상기 B는 폴리아닐린(PANI)을 포함하고, 절연 층 두께는  $d_{ins}=25\text{nm}$ 이며, 전도성 층 두께는  $d_{cond}=50\mu\text{m}$ 이고, 항복 전압  $V_{bd}$ 는 약 4 V인, 에너지 저장 디바이스.

### 청구항 23

청구항 1에 따른 상기 에너지 저장 디바이스를 생산하는 방법으로서,

- a) 상기 제 1 전극으로서 역할하는 전도성 기판을 마련하는 단계,
- b) 상기 제 1 전극 상에 상기 다층 구조체를 형성하는 단계, 및
- c) 상기 다층 구조체 상에 상기 제 2 전극을 형성하는 단계를 포함하며,

상기 다층 구조체를 형성하는 단계는, 상기 절연 층들을 적용(application)하는 단계 및 상기 전도성 층들을 적용하는 단계를 교번시키는 단계 또는 상기 절연 및 전도성 층들을 공압출하는 단계를 포함하는, 방법.

### 청구항 24

청구항 23에 있어서,

상기 다층 구조체를 형성하는 상기 단계 b)는 절연 재료의 용액을 적용하는 단계 및 전도성 재료의 용액을 적용하는 단계를 교번시키는 단계를 포함하며, 적용하는 단계들 둘 모두는 그 이후에 고체 절연 층들 및 고체 전도성 층들을 형성하기 위하여 건조시키는 단계가 이어지고, 상기 교번시키는 단계는 상기 다층 구조체의 형성이 완료될 때까지 반복되며, 상기 절연 층은 첫번째 층 및 마지막 층으로서 형성되고, 상기 첫번째 층 및 상기 마지막 층은 각기 전극과 직접 접촉하는, 방법.

### 청구항 25

청구항 23에 있어서,

상기 다층 구조체를 형성하는 상기 단계 b)는 절연 재료의 용융물을 적용하는 단계 및 전도성 재료의 용융물을 적용하는 단계를 교번시키는 단계를 포함하며, 적용하는 단계들 둘 모두는 그 이후에 고체 절연 층들 및 고체 전도성 층들을 형성하기 위하여 냉각시키는 단계가 이어지고, 상기 교번시키는 단계는 상기 다층 구조체의 형성이 완료될 때까지 반복되며, 상기 절연 층은 첫번째 층 및 마지막 층으로서 형성되고, 상기 첫번째 층 및 상기 마지막 층은 각기 전극과 직접 접촉하는, 방법.

## 청구항 26

청구항 23에 있어서,

상기 다층 구조체를 형성하는 상기 단계 b)는, 교번하는 전도성 재료 층들 및 절연 유전체 재료들 층들의 세트를 상기 기판 상에 공압출하는 단계를 포함하며, 그 이후에 상기 다층 구조체를 형성하기 위하여 건조시키는 단계가 이어지는, 방법.

## 청구항 27

청구항 23에 있어서,

상기 다층 구조체를 형성하는 상기 단계 b)는, 교번하는 용융된 전도성 재료 층들 및 용융된 절연 유전체 재료 층들의 세트를 상기 기판 상에 공압출하는 단계를 포함하며, 그 이후에 상기 다층 구조체를 형성하기 위하여 냉각시키는 단계가 이어지는, 방법.

### 발명의 설명

#### 기술 분야

[0001] 상호-참조

[0002] 본 출원은 2014년 05월 12일자로 출원된 미국 가특허 출원 번호 제61/991,861호에 대한 이의을 주장하며, 이는 그 전체가 본원에 참조로서 포함된다.

[0003] 기술분야

[0004] 본 발명은 전반적으로 전기 회로의 수동 컴포넌트들에 관한 것으로서, 더 구체적으로는 에너지 저장 디바이스들 및 이의 생산 방법에 관한 것이다.

### 배경 기술

[0005] 커패시터는 정전기장 형태로 에너지를 저장하기 위해 사용되는 수동 전자 컴포넌트이며, 이는 유전체 층에 의해 분리된 한 쌍의 전극들을 포함한다. 2개의 전극들 사이에 전위 차이가 존재하며, 전기장이 유전체 층 내에 존재한다. 이러한 장은 에너지를 저장하며, 이상적인 커패시터는, 각각의 전극 상의 전기 전하 대 이들 사이의 전위 차이의 비율인 커패시턴스의 단일하고 일정한 값에 의해 특징지어진다. 실제로는, 전극들 사이의 유전체 층이 작은 양의 누설 전류를 통과시킨다. 전극들 및 리드(lead)들은 등가 직렬 저항을 도입하며, 유전체 층은 항복 전압을 야기하는 전기장 강도에 대한 한계를 갖는다. 가장 단순한 에너지 저장 디바이스는 유전율  $\epsilon$ 의 유전체 층에 의해 분리된 2개의 평행한 전극들로 구성되며, 전극들의 각각은 면적 S를 갖고 서로로부터 거리 d 상에 위치된다. 전극들은 면적 S 위에서 균일하게 연장하는 것으로 간주되며, 표면 전하 밀도는 다음의 방정식에 의해 표현될 수 있다:  $\pm p = \pm Q/S$ . 전극들의 폭은 분리 (거리) d보다 훨씬 더 크며, 커패시터의 중심 근처의 전기장은 크기  $E = p / \epsilon$ 를 가지고 균일할 것이다. 전압은 전극들 사이의 전기장의 선 적분으로서 정의된다. 이상적인 커패시터는 식 (1)에 의해 정의되는 일정한 커패시턴스 C에 의해 특징지어진다:

[0006]  $C = Q/V$ , 식 (1),

[0007] 이는 커패시턴스가 면적에 따라 증가하고 거리에 따라 감소한다는 것을 보여준다. 따라서, 커패시턴스는 높은 유전율의 재료들로 만들어진 디바이스들 내에서 최대이다.

- [0008] 항복 강도(breakdown strength)  $E_{bd}$ 로서 알려진 특징적인 전기장은, 커패시터 내의 유전체 층이 전도성이 되는 전기장이다. 이러한 것이 발생하는 전압이 디바이스의 항복 전압으로서 지정되며, 이는 전극들 사이의 간격 및 유전체 강도의 곱에 의해 주어진다:
- [0009]  $V_{bd} = E_{bd}d$ , 식 (2).
- [0010] 커패시터에 저장되는 최대 체적 에너지 밀도는  $\sim \varepsilon \cdot E_{bd}^2$ 에 비례하는 값에 의해 제한되며, 여기에서,  $\varepsilon$ 는 유전체 유전율이며  $E_{bd}$ 는 항복 강도이다. 따라서, 커패시터의 저장되는 에너지를 증가시키기 위하여 유전체의 항복 강도  $E_{bd}$  및 유전체 투자율  $\varepsilon$ 을 증가시켜야 한다.
- [0011] 고 전압 애플리케이션들에 대하여, 훨씬 더 많은 커패시터들이 사용되어야만 한다. 극적으로 항복 전압을 감소 시킬 수 있는 다수의 인자들이 존재한다. 이러한 애플리케이션들에 대하여 전도성 전극들의 기하구조가 중요하다. 특히, 날카로운 에지(edge)들 또는 포인트(point)들은 국부적으로 전기장 강도를 크게 증가시키며, 국부적인 항복을 초래할 수 있다. 일단 국부적인 항복이 임의의 포인트에서 시작하면, 항복이 대향되는 전극에 도달할 때까지 항복이 유전체 층을 통해 빠르게 "트레이스(trace)"할 것이며, 이는 단락 회로를 야기한다.
- [0012] 유전체 층의 항복은 일반적으로 다음과 같이 일어난다. 전기장의 강도가 유전체 재료의 원자들로부터 전자들을 해방시킬 정도로 충분히 높아지며, 이는 전자들이 하나의 전극으로부터 다른 전극으로 전기 전류를 전도시키게끔 만든다. 유전체 내의 불순물들 또는 결정 구조 내의 불완전성들의 존재는 반도체 디바이스들에서 관찰되는 바와 같은 아발란치 항복을 야기할 수 있다.
- [0013] 유전체 재료의 다른 중요한 특징은 그것의 유전체 유전율이다. 상이한 유형들의 유전체 재료들이 커패시터들에 대해 사용되며, 이들은, 세라믹들, 폴리머 필름, 종이, 및 상이한 종류들의 전해 커패시터들을 포함한다. 가장 광범위하게 사용되는 폴리머 필름 재료는 폴리프로필렌 및 폴리에스테르이다. 유전체 유전율의 증가는 체적 에너지 밀도의 증가를 가능하게 하며, 이는 중요한 기술적 과제이다.
- [0014] 폴리아닐린, PANI-DBSA/PAA의 초-고 유전 상수 복합물이 도데실벤젠 살포네이트(dodecylbenzene sulfonate; DBSA)가 존재하는 상태에서 폴리-아크릴산(poly-acrylic acid; PAA)의 수계 분산액 내에서 아닐린의 인 시튜 (in situ) 중합을 사용하여 합성되었다(Chao-Hsien Hoa 등의, "High dielectric constant polyaniline/poly(acrylic acid) composites prepared by in situ polymerization", Synthetic Metals 158(2008), pp. 630-637 참조). 수용성 PAA는 폴리머성 안정제로서 역할하였으며, 이는 거시적 응집 (macroscopic aggregation)으로부터 PANI 입자들을 보호한다. 중량으로 30% PANI를 함유하는 복합물에 대하여, (1 kHz에서) 약  $2.0 \times 10^5$ 의 매우 높은 유전 상수가 획득되었다. 복합물들의 형태적, 유전적 및 전기적 속성들에 대한 PANI 함량의 영향이 조사되었다. 유전체 유전율, 유전 손실, 손실 탄젠트 및 전기적 모듈러스(modulus)의 주파수 의존성이 0.5 kHz 내지 10 MHz의 주파수 범위에서 분석되었다. SEM 현미경 사진은, 높은 PAN 함량(즉, 20 wt.%)을 갖는 복합물들이 PAA 매트릭스 내에서 균일하게 분포된 다수의 나노-스케일(nano-scale) PANI 입자들로 구성된다는 것을 보여준다. 높은 유전 상수들은 PANI 입자들의 작은 커패시터들의 합계에 기인하였다. 이러한 재료의 단점은, 전기장의 증가와 함께 증가하는 이러한 이벤트의 확률을 갖는 전기장 하에서의 적어도 하나의 연속적인 전도성 경로의 형성 및 퍼콜레이션(percolation)의 가능한 발생이다. 이웃하는 전도성 PANI 입자들을 통해 적어도 하나의 연속적인 경로(트랙(track))가 커패시터의 전극들 사이에 형성될 때, 이는 이러한 커패시터의 항복 전압을 감소시킨다.
- [0015] 도핑된 아닐린 올리고머의 단결정들은 간단한 용액-기반 자체-어셈블리(self-assembly) 방법을 통해 생산된다 (Yue Wang 등의, "Morphological and Dimensional Control via Hierarchical Assembly of Doped Oligoaniline Single Crystals", J. Am. Chem. Soc. 2012, 134, pp. 9251-9262 참조). 상세한 메커니즘적 연구들은 상이한 모폴로지(morphology)들 및 치수들의 결정들이 "상향식" 계층적 어셈블리에 의해 생산될 수 있다는 것을 나타내며, 여기에서 1-차원(1-D) 나노섬유들과 같은 구조체들이 더 높은 차수의 아키텍처들로 응집될 수 있다. 1-D 나노섬유들 및 나노와이어들, 2-D 나노리본들 및 나노시트들, 3-D 나노플레이트들, 적층된 시트들, 나노플라워(nanoflower)들, 다공성 네트워크들, 중공형 구들, 및 꼬인 코일들을 포함하는 매우 다양한 결정성 나노구조체들은, 도핑된 올리고머들 사이의 비-공유 상호작용들 및 결정들의 핵형성을 제어함으로써 획득될 수 있다. 이러한 나노스케일 결정들은, 형상-의존적 결정도와 같은 관심이 있는 구조-속성 관계들뿐만 아니라 그들의 별크(bulk) 대응물들에 비하여 향상된 전도성을 나타낸다. 또한, 이러한 구조체들의 모폴로지 및 치수는, 흡수 연구들을 통해 문자-용매 상호작용들을 모니터링함으로써 대부분 이론적으로 설명되고 예측될 수 있다. 모델 시스템

으로서 테트라-아닐린을 사용하면, 이러한 물품 내에 제공되는 결과들 및 전략들은 유기 재료들에 대한 형상 및 크기 제어의 일반적인 기법에 대한 통찰을 제공한다.

[0016] 다중 구조체에 기반하는 공지된 에너지 저장 디바이스가 존재한다. 에너지 저장 디바이스는 제 1 및 제 2 전극들을 포함하며, 다중 구조체는 차단 및 유전체 층들을 포함한다. 제 1 차단 층은 제 1 전극과 유전체 층 사이에 배치되며, 제 2 차단 층은 제 2 전극과 유전체 층 사이에 배치된다. 제 1 및 제 2 차단 층들의 유전 상수들 둘 모두는 개별적으로 유전체 층의 유전 상수보다 더 크다. 도 1은, 전극들(1 및 2)을 포함하며, 다중 구조체가 차단 재료의 층들(6, 7, 8, 9)에 의해 분리되는 유전체 재료로 만들어진 층들(3, 4, 5)을 포함하는, 하나의 예시적인 설계를 도시한다. 따라서 차단 층들(6 및 9)은 전극들(1 및 2)의 근방에 배치되어, 유전체 재료의 유전 상수보다 더 높은 유전 상수에 의해 특징지어진다. 이러한 디바이스의 단점은, 전극들과 직접적으로 접촉하도록 위치된 높은 유전체 유전율의 차단 층들이 에너지 저장 디바이스의 파괴를 초래할 수 있다는 것이다. 복합 재료들에 기반하며 (PANI 입자들과 같은) 극성화된 입자들을 함유하는 높은 유전체 유전율을 갖는 재료들은 페롤레이션 현상을 보여줄 수 있다. 형성된 층들의 다결정질 구조체는, 결정자들 사이의 경계들 상에 다수의 얹힌 화학 결합(tangling chemical bond)들을 갖는다. 사용되는 높은 유전체 유전율을 갖는 재료가 다결정질 구조를 가질 때, 페롤레이션이 결정립(crystal grain)의 경계들을 따라 발생할 수 있다. 공지된 디바이스의 다른 단점은, 모든 층들의 진공 중착인 비싼 제조 절차이다.

[0017] 에너지 저장 디바이스로서 커패시터들은, 예를 들어 배터리와 같은 전기화학적 에너지 저장장치와 대비할 때 공지된 이점을 갖는다. 배터리들과 비교하면, 커패시터들은 매우 높은 전력 밀도, 즉, 충전/재충전 레이트(rate)를 가지고 에너지를 저장하는 것이 가능하며, 아주 작은 열화를 갖는 긴 저장 수명을 가지는 것이 가능하고, 수십 만번 또는 수억 번 충전 및 방전(사이클링)될 수 있다. 그러나, 커패시터들은 일반적으로 배터리의 경우와 같이 작은 체적 또는 중량으로, 또는 낮은 에너지 저장 비용으로 에너지를 저장할 수 없으며, 이는 커패시터들을 일부 애플리케이션들, 예를 들어 전기 차량들에 대하여 비실용적으로 만든다. 따라서, 더 높은 체적 및 질량 에너지 저장 밀도 및 더 낮은 비용의 커패시터들을 제공하는 것이 에너지 저장 기술에 있어서의 진보일 것이다.

[0018] 본 발명은 에너지 저장 디바이스의 보존되는 에너지의 체적 및 질량 밀도의 추가적인 증가의 문제점을 해결하며, 동시에 재료들 및 제조 프로세스의 비용을 감소시킨다.

### 발명의 내용

#### 해결하려는 과제

#### 과제의 해결 수단

[0019] 본 발명의 실시예들은, 제 1 전극, 제 2 전극, 및 상기 제 1 및 제 2 전극들 사이에 배치된 고체 다중 구조체를 포함하는 에너지 저장 디바이스를 제공한다. 상기 전극들은 평평하고 평면적이며 서로 평행하게 배치되고, 상기 고체 다중 구조체는  $m$ 개의 균질한 절연 및 전도성 층들을 포함한다. 상기 층들은 상기 전극들에 대하여 평행하게 배치되며, 상기 층들은 다음의 시퀀스: A-B-(A-B-...A-B-)A를 가지고, 여기에서 A는 절연 유전체 재료를 포함하는 절연 층이며, B는 전도성 층이고, 층들의 수  $m$ 은 3 이상이다.

[0020] 더 추가적인 측면에 있어서, 본 발명은 에너지 저장 디바이스를 생산하는 방법을 제공하며, 상기 방법은, (a) 전극들 중 하나로서 역할하는 전도성 기판을 마련하는 단계, (b) 고체 다중 구조체를 형성하는 단계, 및 (c) 다중 구조체 상에 제 2 전극을 형성하는 단계를 포함하며, 여기에서 다중 구조체를 형성하는 단계는, 절연 및 전도성 층들의 적용(application)을 교번시키는 단계 또는 층들을 공압출하는 단계를 포함한다.

#### 도면의 간단한 설명

[0021] 도 1은 에너지 저장 디바이스를 도시하는 개략적인 예시도이다.

도 2는 본 발명의 일 실시예에 따른 에너지 저장 디바이스를 도시하는 개략적인 예시도이다.

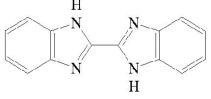
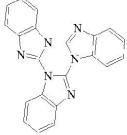
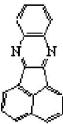
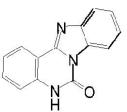
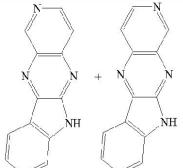
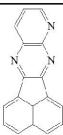
도 3은 본 발명의 다른 실시예에 따른 에너지 저장 디바이스를 도시하는 개략적인 예시도이다.

#### 발명을 실시하기 위한 구체적인 내용

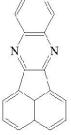
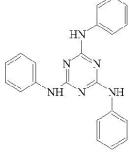
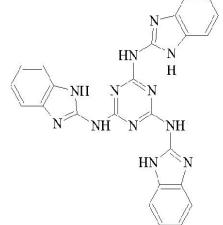
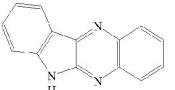
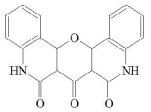
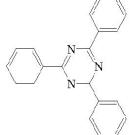
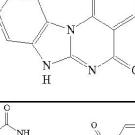
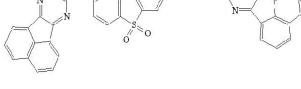
- [0022] 본 발명의 실시예들의 일반적인 설명이 이루어지며, 추가적인 이해는, 본원에서 오로지 예시적인 목적으로 그리고 첨부된 청구항들의 범위를 제한하도록 의도되지 않는 특정한 선호되는 실시예들을 참조함으로써 획득될 수 있다.
- [0023] 에너지 저장 디바이스가 본원에 개시된다. 애플리케이션에 의존하여, 절연 유전체 재료의 유전체 유전율  $\epsilon_{ins}$ 는 광범위한 영역 내에 있을 수 있으며; 대부분의 애플리케이션들에 대하여 이는 약 2 내지 25의 범위 내에 있을 것이다. 절연 층은, 4 eV보다 더 큰 밴드 갭(band gap) 및 0.01 V/nm 근처 사이의 범위 내의 그리고 2.5 V/nm 보다 더 큰 항복 필드 강도(breakdown field strength)에 의해 특징지어지는 재료를 포함한다. 높은 분극성에 기인하여, 전도성 재료는 절연 유전체 재료의 유전체 유전율에 비하여 상대적으로 높은 유전체 유전율  $\epsilon_{cond}$ 를 갖는다. 따라서, 전도성 재료를 포함하는 층은, 절연 층의 재료의 유전체 유전율  $\epsilon_{ins}$ 보다 10 - 100,000배 더 큰 유전체 유전율  $\epsilon_{cond}$ 를 갖는다. 따라서, 절연 층의 전기장 강도  $E_{ins}$  및 전도성 층의 전기장 강도  $E_{cond}$ 는 다음의 비율을 충족시킨다:  $E_{cond} = (\epsilon_{ins}/\epsilon_{cond}) \cdot E_{ins}$  따라서, 전기장 강도  $E_{cond}$ 는 전기장 강도  $E_{ins}$ 보다 훨씬 더 작다. 따라서, 에너지 저장 디바이스의 동작 전압을 증가시키기 위하여, 절연 층들의 수를 증가시키는 것이 필요하다.
- [0024] 본 발명에 따른 에너지 저장 디바이스의 커패시터는 다음의 식에 의해 결정된다:
- [0025] 
$$C = [d_{ins} \cdot n_{ins} / (\epsilon_0 \epsilon_{ins} S) + d_{cond} \cdot (n_{ins}-1) / (\epsilon_0 \epsilon_{cond} \cdot S)]^{-1} =$$
- [0026] 
$$= \epsilon_0 \cdot S \cdot [d_{ins} \cdot n_{ins} / \epsilon_{ins} + d_{cond} \cdot (n_{ins}-1) / \epsilon_{cond}]^{-1}, \text{ 식 (3),}$$
- [0027] 여기에서,  $d_{ins}$ 는 절연 층의 두께이고,  $d_{cond}$ 는 전도성 층의 두께이며,  $n_{ins}$ 는 절연 층들의 수이고,  $\epsilon_0$ 는 진공에서의 유전체 유전율이다.
- [0028] 식 (3)에 따르면, 에너지 저장 디바이스의 커패시터의 값은 다음의 부등식이 수행되는 경우 높은 유전체 유전율을 갖는 층들에 의해 결정된다:
- [0029]  $d_{cond} \gg (n_{ins}/(n_{ins}-1)) \cdot (\epsilon_{cond}/\epsilon_{ins}) \cdot d_{ins}$  또는
- [0030]  $d_{cond} = p \cdot (n_{ins}/(n_{ins}-1)) \cdot (\epsilon_{cond}/\epsilon_{ins}) \cdot d_{ins}, \text{ 여기에서 } p \geq 3, \text{ 식 (4),}$
- [0031]  $n_{ins} > 1$  인 경우,  $d_{cond} = p \cdot (\epsilon_{cond}/\epsilon_{ins}) \cdot d_{ins}, \text{ 식 (5).}$
- [0032] 따라서, 절연 층들은 커패시터의 높은 항복 전압을 제공하며, 전도성 층들은 다층화된 구조체의 높은 유전체 유전율을 제공한다.
- [0033] 본 발명의 일부 실시예들에 있어서, 고체 절연 유전체 층들은, 사용되는 재료 및 제조 절차에 의존하여, 비정질과 결정질 고체 층 사이의 범위 내의 상이한 구조를 가질 수 있다.
- [0034] 개시된 에너지 저장 디바이스의 일 실시예에 있어서, 절연 층들은 일반적인 구조식 I의 개질된 유기 화합물들을 포함한다:
- [0035] {Cor}(M)n, 구조식 (I),
- [0036] 여기에서 Cor은 공액(conjugated)  $\pi$ -시스템을 갖는 폴리사이클릭 유기 화합물이고, M은 개질 작용기(modifying functional group)들이며; n은 개질 작용기들의 수이고, 여기에서  $n \geq 1$ 이다. 본 발명의 일 실시예에 있어서, 폴리사이클릭 유기 화합물은, 표 1에 주어진 바와 같은 구조들(1-43)로부터 선택된 일반적인 구조식을 가지며 올리고페닐(oligophenyl), 이미다졸, 피라졸, 아세나프텐, 트리아이진(triaizine), 인단트론을 포함하는 리스트로부터 선택된다.

[0037]

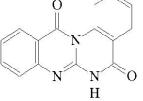
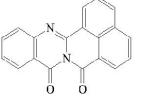
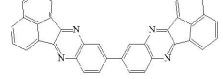
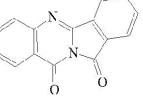
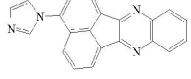
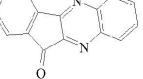
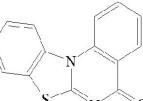
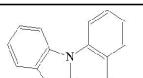
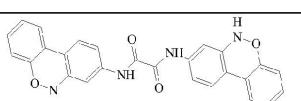
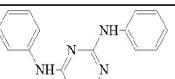
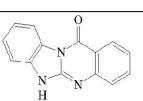
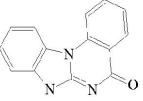
표 1. 절연 층들의 폴리사이클릭 유기 화합물들의 예들

	1
	2
	3
	4
	5
	6

[0038]

	7
	8
	9
	10
	11
	12
	13
	14
	15

[0039]

	16
	17
	18
	19
	20
	21
	22
	23
	24
	25
	26
	27

[0040]

	28
	29
	30
	31
	32
	33
	34

[0041]

	35
	36
	37
	38
	39
	40
	41
	41

[0042]

	42
	43

[0043]

[0044]

본 발명의 다른 실시예에 있어서, 개질 작용기들은, 알킬, 아릴, 치환된 알킬, 치환된 아릴, 및 이들의 임의의 조합을 포함하는 리스트로부터 선택된다. 개질 작용기들은 제조의 스테이지에서의 유기 화합물들의 용해성 및 커페시터의 고체 절연 층에 대한 추가적인 절연 속성을 제공한다. 본 발명의 또 다른 실시예에 있어서, 절연 층들은, 플루오르화된 알킬, 폴리에틸렌, 폴리(비닐리텐 플루오라이드-헥사플루오로프로필렌), 폴리프로필렌, 폴루오르화된 폴리프로필렌, 폴리디메틸실록산을 포함하는 리스트로부터 선택된 폴리머성 재료들을 포함한다. 본 발명의 또 다른 실시예에 있어서, 절연 층들은, 표 2에 주어지는 바와 같은 구조들(44 내지 49)로부터 선택된 폴리머들을 기반으로 형성된 폴리머성 재료를 포함한다.

[0045]

표 2. 절연 층들에 대한 폴리머들의 예들

(44)	
(45)	
(46)	
(47)	
(48)	
(49)	

[0046]

절연 층들에 대하여 의도된 리스트된 재료들은, 나노미터 당 0.1 볼트 이상의 높은 강도의 전기장을 제공한다.

[0047]

다양한 전도성 및 반도체성 (공액) 폴리머들이 본 발명의 전도성 층들로서 사용될 수 있다. 이러한 다양한 폴리머들은 속성들의 고유한 세트를 가지며, 이는 프로세싱 이점들을 갖는 금속들 및 반도체들의 전자적 속성들과 폴리머들의 기계적 속성들을 결합한다(A.J. Heeger 등의, "Semiconducting and Metallic Polymers.", Oxford Graduate Texts, Oxford Press, 2010 참조).

- [0049] 개시된 에너지 저장 디바이스에 대하여, 고체 전도성 층은, 사용되는 재료 및 제조 절차에 의존하여, 비정질과 결정질 고체 층 사이의 범위 내의 상이한 구조를 가질 수 있다.
- [0050] 본 발명의 일 실시예에 있어서, 전도성 층은 결정질이다.
- [0051] 본 발명의 다른 실시예에 있어서, 전도성 층은 분자 전도율(molecular conductivity)을 갖는 재료를 포함한다. 분자 전도율을 갖는 전도성 재료는 유기 분자들을 함유하는 재료를 지칭하며, 여기에서 전기 전하들은 이러한 분자들의 한계들 내에서 외부 전기장의 작용 하에서 이동된다. 이러한 분자의 내부에서의 이동성 전하들의 범위의 결과로서, 전기장을 따라 배향된 전기 쌍극자들이 형성된다(Jean-Pierre Farges, Organic Conductors, Fundamentals and applications, Marcel Dekker Inc. NY. 1994).
- [0052] 본 발명의 일 실시예에 있어서, 전도성 층들은 전기전도성 올리고머들을 포함한다. 본 발명의 다른 실시예에 있어서, 전기전도성 올리고머들의 길이방향 축들은 전극 표면에 대하여 주로 수직으로 향해진다. 본 발명의 또 다른 실시예에 있어서, 전기전도성 올리고머들의 길이방향 축들은 전극 표면에 대하여 주로 평행하게 향해진다.
- [0053] 본 발명의 또 다른 실시예에 있어서, 전기전도성 올리고머들을 포함하는 전도성 층은 주로 측방 병진 대칭성(translational symmetry)을 갖는다. 물체의 병진 대칭성은, 특정 벡터 상의 시프트가 물체를 변화시키지 않는다는 것을 의미한다.
- [0054] 본 발명의 일 실시예에 있어서, 전기전도성 올리고머들은 표 3에 주어지는 바와 같은 구조들(50 내지 56) 중 하나에 대응하는 다음의 구조식들을 포함하는 리스트로부터 선택된다.

표 3. 전도성 층들에 대한 폴리머들의 예들

	50
	51
	52

[0056]

	53
	54
	55
	56

[0057]

[0058] 여기에서  $X = 2, 3, 4, 5, 6, 7, 8, 9, 10, 11$  또는  $12$ 이다.

[0059] 본 발명의 에너지 저장 디바이스의 다른 실시예에 있어서, 전도성 층은 저-분자량 전기전도성 폴리머들을 포함한다. 본 발명의 다른 실시예에 있어서, 저-분자량 전기전도성 폴리머는 표 3에 주어진 바와 같은 구조들(50 내지 56)로부터 선택된 모노머들을 함유한다. 개시된 에너지 저장 디바이스의 다른 실시예에 있어서, 전기전도성 올리머들은 치환기(substitute group)들을 더 포함하며, 이는 일반적인 구조식 II에 의해 설명된다:

[0060] (전기전도성 올리머)-- $R_q$  구조식 (II),[0061] 여기에서  $R_q$ 는 치환기들의 세트이며,  $q$ 는 세트  $R_q$  내의 치환기들의 수이고,  $q = 1, 2, 3, 4, 5, 6, 7, 8, 9$ , 또는  $10$ 이다. 본 발명의 또 다른 실시예에 있어서, 치환체들  $R$ 은 알킬, 아릴, 치환된 알킬, 치환된 아릴, 및 이들의 임의의 조합을 포함하는 리스트로부터 독립적으로 선택된다.[0062] 본 발명의 또 다른 실시예에 있어서, 절연 층의 두께( $d_{ins}$ ), 전도성 층의 두께( $d_{cond}$ ), 절연 층들의 수( $n_{ins} \geq 2$ ), 절연 유전체 재료의 유전체 유전율( $\epsilon_{ins}$ ) 및 전도성 층의 유전체 유전율( $\epsilon_{cond}$ )은 다음의 관계를 충족시킨다:

[0063] 
$$d_{cond} = p \cdot (n_{ins}/(n_{ins}-1)) \cdot (\epsilon_{cond}/\epsilon_{ins}) \cdot d_{ins}, \text{ 여기에서 } p \geq 3. \text{ 식 (6)}$$

- [0064] 개시된 에너지 저장 디바이스의 전극들은, 비제한적으로 Pt, Cu, Al, Ag 또는 Au를 포함하는 임의의 적절한 재료로 만들어질 수 있다.
- [0065] 개시된 에너지 저장 디바이스는 다양한 제조 방법들에 의해 생산될 수 있으며, 이러한 방법들은 일반적으로, a) 전극들 중 하나로서 역할하는 전도성 기판을 마련하는 단계, b) 다층 구조체를 형성하는 단계, 및 c) 다층 구조체 상에 제 2 전극을 형성하는 단계를 포함한다. 다층 구조체를 형성하는 단계는, 절연 및 전도성 층들의 적용을 교번시키는 단계 또는 층들을 공압출하는 단계 중 하나를 포함한다.
- [0066] 본 발명의 일 실시예에 있어서, 다층 구조체를 형성하는 단계의 교번시키는 단계는 액체 절연 및 전도성 층들의 용액의 적용을 연속적으로 교번시키는 단계를 포함하며, 여기에서 각각의 적용 다음에 고체 절연 및 전도성 층들을 형성하기 위하여 건조시키는 단계가 이어진다. 에너지 저장 디바이스의 요구되는 설계에 의존하여, 특히 다층 구조체 내의 층들의 수에 의존하여, 적용을 교번시키는 단계들은 다층 구조체의 형성이 완료될 때까지 반복된다. 이러한 실시예에 있어서, 절연 층은 전극들과 직접 접촉하는 다층 구조체의 첫번째 및 마지막 층으로서 형성된다.
- [0067] 본 발명의 일 실시예에 있어서, 다층 구조체를 형성하는 단계의 교번시키는 단계는 절연 및 전도성 층들의 용융물의 적용들을 연속적으로 교번시키는 단계를 포함하며, 여기에서 각각의 적용 이후에 고체 절연 및 전도성 층들을 형성하기 위하여 냉각시키는 단계가 이어진다. 에너지 저장 디바이스의 요구되는 설계에 의존하여, 특히 다층 구조체 내의 층들의 수에 의존하여, 적용을 교번시키는 단계들은 다층 구조체의 형성이 완료될 때까지 반복된다. 이러한 실시예에 있어서, 절연 층은 전극들과 직접 접촉하는 다층 구조체의 첫번째 및 마지막 층으로서 형성된다.
- [0068] 본 발명의 다른 실시예에 있어서, 층들을 공압출시키는 단계는, 교번하는 전도성 재료들 및 절연 유전체 재료들을 연속적으로 함유하는 액체 층들의 세트를 기판 상에 공압출시키는 단계를 포함하며, 그 이후에 고체 다층 구조체를 형성하기 위하여 건조시키는 단계가 이어진다.
- [0069] 본 발명의 다른 실시예에 있어서, 층들을 공압출시키는 단계는, 전도성 재료들 및 절연 유전체 재료들의 교번하는 용융물을 연속적으로 함유하는 층들의 세트를 기판 상에 공압출시키는 단계를 포함하며, 그 이후에 고체 다층 구조체를 형성하기 위하여 건조시키는 단계가 이어진다.
- [0070] 에너지 저장 디바이스의 설계에 의존하여, 특히 다층 구조체 내의 층들의 수에 의존하여, 압출은 하나의 단계에서 완료될 수 있거나 또는 다층 구조체의 형성이 완료될 때까지 반복될 수 있다. 절연 층은 전극들과 직접 접촉하도록 형성된다.
- [0071] 본 발명이 더 용이하게 이해될 수 있도록 하기 위하여, 다음의 예들에 대한 참조가 이루어지고, 이들은 범위를 제한하려고 의도되지 않으며 본 발명을 예시하도록 의도된다.
- [0072] 예 1
- [0073] 예 1은 2개의 절연 층 및 하나의 전도성 층의 고체 다층 구조체를 포함하는 에너지 저장 디바이스를 설명한다.
- [0074] 에너지 저장 디바이스의 설계가 도 2에 도시되며, 이는 전극들(10 및 11) 및, 전도성 재료로 만들어진 하나의 층(12)으로 분리된 절연 유전체 재료의 2개의 층들(13 및 14)을 포함하는 고체 다층 구조체를 포함한다. 폴리아닐린(PANI)이 전도성 재료로서 사용되었으며, 폴리에틸렌이 절연 유전체 재료로서 사용되었다. 절연 층의 두께는  $d_{ins}=25\text{nm}$ 였다. 전극들(10 및 11)은 구리로 만들어졌다. 폴리에틸렌의 유전율은 2.2와 동일하다(즉,  $\epsilon_{ins}=2.2$ ). 항복 전압은 1 밀리미터의 두께에 대하여  $V_{bd} = 40$  킬로볼트(0.04 v/nm)이며; 따라서, 25-nm 두께의 폴리에틸렌은 1 볼트와 동일한 항복 전압을 가졌다. 따라서, 커패시터의 동작 전압은, 각기 대략적으로 2 V와 동일한 25 nm 두께를 갖는 2개의 절연 층들의 항복 전압  $V_{bd}$ 를 초과하지 않았다. 전도성 폴리머 재료(폴리아닐린(PANI))는 1000과 동일한 유전체 유전율  $\epsilon_{cond}$  및  $d_{cond}=50 \mu\text{m}$ 의 두께를 가졌다.
- [0075] 예 2
- [0076] 예 2은 교번하는 절연 및 전도성 층들의 고체 다층 구조체를 포함하는 에너지 저장 디바이스를 설명한다.
- [0077] 에너지 저장 디바이스의 설계가 도 3에 도시되며, 이는 전극들(15 및 16) 및, 절연 및 전도성 재료들의 교번하는 층들을 포함하는 고체 다층 구조체를 포함하며, 여기에서 절연 유전체 재료의 층들(20, 21, 22, 23)은 전도성 재료로 만들어진 층들(17, 18, 19)로 분리되었다. 폴리아닐린(PANI)이 전도성 재료로서 사용되었으며, 폴리

에틸렌이 절연 유전체 재료로서 사용되었다. 절연 층의 두께는  $d_{ins}=25\text{nm}$ 였다. 전극들(15 및 16)은 구리로 만들어졌다. 폴리에틸렌의 유전체 유전율은 2.2와 동일하며(즉,  $\epsilon_{ins}=2.2$ ), 항복 전압은 1 밀리미터의 두께에 대하여  $V_{bd} = 40$  킬로볼트이다. 따라서, 25-nm의 폴리에틸렌 필름은 1 볼트와 동일한 항복 전압을 갖는다. 따라서, 커패시터의 동작 전압은 약 4 V와 동일한 항복 전압  $V_{bd}$ 를 초과하지 않았다. (폴리아닐린(PANI))을 갖는 전도성 폴리머 재료는 1000과 동일한 유전체 유전율  $\epsilon_{cond}$ 를 가졌다. 이러한 예에 있어서, 전도성 재료를 포함하는 층의 두께는  $d_{cond}=50 \mu\text{m}$ 로서 선택되었다.

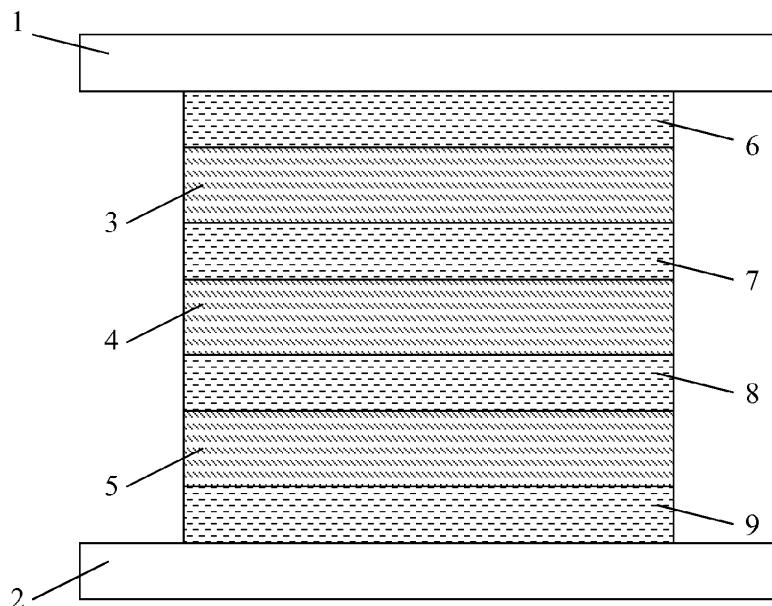
[0078] 예 3

예 3은 커패시터의 동작 전압의 값에 의존하는 절연 층들의 수 및 두께의 계산을 설명한다. 100 볼트의 동작 전압을 갖는 에너지 저장 디바이스를 제조하기 위하여, 약 2500 nm의 절연 재료의 층 두께를 생성하기 위하여 25-nm 두께의 각각의 층의 수가 증가되어야만 하거나 및/또는 층들의 두께가 더 높아져야 할 필요가 있다. 25-nm 두께의 각각의 층을 갖는 절연 층으로서 사용되는 폴리에틸렌을 갖는 에너지 저장 디바이스를 제조하는 산업적인 애플리케이션들에 대하여, 희망되는 동작 전압은 100개가 넘는 층들을 필요로 할 것이다. 이러한 추정은 1 밀리미터의 두께에 대한  $V_{bd} = 40$  킬로볼트의 항복 전압에 기초한다. 이러한 예에 있어서, 전도성 재료의 유전체 유전율은 십만(100,000)과 동일하다. 각각의 전도성 층의 두께는 대략 300 마이크론과 동일하다. 목표 동작 전압이 1000 볼트까지 증가할 때, 절연 층들의 요구되는 수 및 그들의 두께는  $D=N*d=25000 \text{ nm}$ 에 이르기까지 증가되며, 여기에서 D는 모든 층들의 총 두께이고, N-은 층들의 수이며, d-는 각각의 층의 두께이다.

[0080] 본 발명이 특정한 선호되는 실시예를 참조하여 설명되었지만, 당업자들은 다음의 청구항들의 사상 및 범위로부터 벗어나지 않고 다양한 수정들 및 향상들이 이루어질 수 있다는 것을 인식할 것이다.

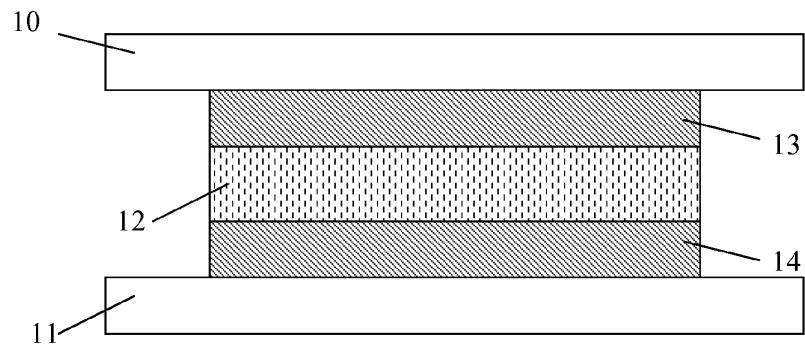
## 도면

### 도면1



## 종래 기술

도면2



도면3

