

República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial

(21) **PI0618032-9 A2**

(22) Data de Depósito: 30/10/2006
(43) Data da Publicação: 16/08/2011
(RPI 2119)



(51) *Int.Cl.:*
G11C 15/04 2006.01

(54) Título: **BUSCA DE MEMÓRIA ENDEREÇÁVEL DE CONTEÚDO DE ALTA VELOCIDADE USANDO CHAVE CODIFICADA ARMAZENADA**

(30) Prioridade Unionista: 28/10/2005 US 11/262,063

(73) Titular(es): Qualcomm Incorporated

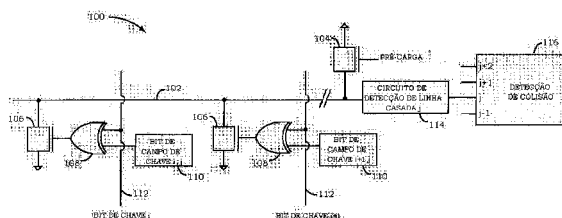
(72) Inventor(es): Chiaming Chai, James Norris Dieffenderfer, Jeffrey Herbert Fischer, Michael Thaithanh Phan

(74) Procurador(es): Montauray Pimenta, Machado & Lioce S/C Ltda

(86) Pedido Internacional: PCT US2006060371 de 30/10/2006

(87) Publicação Internacional: WO 2007/051205 de 03/05/2007

(57) **Resumo:** BUSCA DE MEMÓRIA ENDEREÇÁVEL DE CONTEÚDO DE ALTA VELOCIDADE USANDO CHAVE CODIFICADA ARMAZENADA. A chave de busca e os campos de chave de uma CAM em uma cache são codificados com uma distância Hamming de pelo menos dois para aumentar a velocidade da CAM ao assegurar que cada linha casada em desacordo seja descarregada por pelo menos dois transistores em paralelo. Onde a cache é fisicamente indicada, a chave de busca é um endereço físico. A parte de endereço físico do endereço físico é codificada antes de ser armazenada em um TLB. Os bits de deslocamento de página são codificados em paralelo com o acesso ao TLB, e concatenados com a entrada TLB codificada. Se um endereço de página endereça um tamanho de página de memória grande, uma pluralidade de endereços de sub-página correspondentes podem ser gerados, cada qual endereçando um tamanho de página menor. Estes endereços de sub-página podem ser codificados e armazenados em um micro TLB. A chave codificada e o campo de chave são tolerantes aos erros temporários de bit único.



**"BUSCA DE MEMÓRIA ENDEREÇÁVEL DE CONTEÚDO DE ALTA
VELOCIDADE USANDO CHAVE CODIFICADA ARMAZENADA".**

Campo da Invenção

5 A presente invenção se refere geralmente ao campo de circuitos eletrônicos e especificamente a um método de acesso de alta velocidade a uma memória endereçável de conteúdo utilizando campos de chave codificada e uma chave codificada armazenada.

Descrição da Técnica Anterior

10 Os microprocessadores realizam tarefas computacionais em uma ampla variedade de aplicações, incluindo aplicações integradas tais como dispositivos eletrônicos portáteis. O conjunto de recursos e a funcionalidade aperfeiçoada, sempre em expansão, de tais
15 dispositivos exigem processadores computacionalmente ainda mais potentes. Portanto, aperfeiçoamentos em processadores que aumentam a velocidade de execução são desejáveis.

A maioria dos processadores modernos tira proveito das propriedades de localidade espacial e temporal
20 da maioria dos programas mediante armazenamento das instruções recentemente executadas e dos dados recentemente acessados em uma ou mais caches para pronto acesso por uma cadeia de execução de instrução. Uma cache é uma estrutura de memória de alta velocidade, normalmente em chip,
25 compreendendo uma Memória de Acesso Aleatório (RAM) e uma Memória Endereçável de Conteúdo (CAM) correspondente. As instruções ou dados residem em uma "linha" da cache armazenada na RAM. Para determinar se uma referência específica reside na RAM, uma parte de seu endereço é aplicada à CAM. Uma CAM é uma estrutura de memória
30 específica em que uma entrada de comparação aplicada (referenciada aqui como chave ou chave de busca) é

simultaneamente comparada com os dados armazenados em cada entrada CAM (referenciada aqui como um campo de chave), e a saída da CAM é uma indicação de qual, se houver, campo de chave corresponde com a chave. Em uma cache, a chave e os campos de chave são partes de endereços (virtuais ou físicos), e se ocorrer uma associação (isto é, o acesso "acerta" na cache), o local da correspondência indexa à RAM, e a linha da cache correspondente é acessada.

A Figura 1 ilustra um diagrama em blocos funcional de uma parte de um campo de chave de uma estrutura CAM, indicada geralmente pelo número 100. O campo de chave CAM j inclui uma linha casada (match line) 102 que cobre todas as posições de bit do $j^{\text{ésimo}}$ campo de chave 110. A linha casada 102 é elevada por um sinal de PRÉ-CARGA ativando a porta de um transistor de passagem 104 conectando a linha casada 102 à potência. Em cada bit da $j^{\text{ésima}}$ entrada da CAM, um transistor de passagem 106 é interposto entre a linha casada 102 e o terra. A porta do transistor de descarga 106 é o XOR lógico 108 de um bit de chave 112 e o bit do campo de chave 110 correspondente. Em cada $i^{\text{ésima}}$ posição de bit, se o bit da chave 112 e o bit do campo de chave 110 coincidirem, a saída da porta XOR 108 é baixa e o transistor de passagem 106 não conduz carga da linha casada 102 para o terra. Se o bit da chave 112 e o bit do campo de chave 110 estão em desacordo, a saída da porta XOR 108 é alta, ativando o transistor de passagem 106 e baixando a linha casada 102.

Desta maneira, se qualquer bit da chave 112 estiver em desacordo com qualquer bit correspondente do campo de chave 110, a linha casada 102 é baixada. Inversamente, somente se cada bit da chave 112 e do campo de chave 110 coincidirem, nenhum caminho para o terra é estabelecido, e a linha casada 102 permanece alta. Um

circuito de detecção 114 detecta o nível da $j^{\text{ésima}}$ linha casada 102 em um tempo determinado pelo tempo de descarga da linha casada 102 na pior hipótese. Se cada campo de chave 110 for único, que é o caso em operação da memória temporária normal, então apenas um campo de chave 110 deve coincidir com a chave 112. Neste caso, apenas uma linha casada 102 dentro da CAM permanecerá alta. Para garantir que esse seja o caso, a saída de cada circuito de detecção de linha casada 114 segue para um circuito de detecção de colisão 116, que detecta múltiplos casamentos, e gera um erro se eles ocorrerem. Em aplicações de CAM diferentes de uma memória temporária, múltiplos casamentos podem ocorrer, e um codificador de prioridade (não mostrado) pode selecionar a partir de dois ou mais campos de chave 110 que coincidem com uma chave aplicada 112.

Os campos de chave 110 de uma CAM representativa podem ter de 20 a 30 bits de largura, e a CAM pode incluir 256 entradas. Desse modo, a CAM pode incluir de 5.000 a mais de 7.000 transistores de descarga 106 de linha casada. Para implementar tal número grande de transistores 106 em uma pequena área de chip é preciso que cada transistor 106 seja pequeno. Como transistores pequenos 106 têm capacidade de transporte de corrente inferior, eles requerem uma duração mais longa para descarregar a linha casada 102 no caso de comparação errônea de dados. A pior hipótese é uma comparação errônea de um único bit entre a chave 112 e um campo de chave 110, em que apenas um transistor 106 é ligado, e este deve transportar a corrente para dissipar toda a carga na linha casada 102. Se dois ou mais bits não forem comparados adequadamente, então dois ou mais transistores 106 trabalhariam em paralelo para descarregar mais rapidamente a linha casada 102. Conseqüentemente, a velocidade total de operação da CAM é determinada por

intermédio da temporização de uma comparação errônea de um único bit.

A operação de CAM mais rápida, portanto, pode ser obtida mediante averiguação de se pelo menos dois bits de cada campo de chave 110 em casamento errôneo serão comparados erroneamente. É conhecido na técnica codificar os campos de chave 110 (e correspondentemente, a chave 112) para aumentar suas distâncias Hamming, que é o número de bits que se comparam erroneamente entre quaisquer dois valores digitais. Por exemplo, uma distância Hamming de dois - também conhecida como paridade de bit único - garante que, para uma chave 112 e um campo de chave 110 que diferem em um bit, dois bits serão comparados erroneamente entre uma versão codificada da chave 112 e uma versão codificada do campo de chave 110. Especificamente, os dois bits com comparação errônea nas versões codificadas são os bits que diferem nos dados não-codificados, e o bit de paridade. Deste modo, a codificação da chave 112 e dos campos de chave 110 com paridade de bit único garante que pelo menos dois bits terão comparação errônea em cada linha casada 102 onde existe pelo menos uma diferença de um bit entre a chave 112 e o campo de chave 110. Isto garante que pelo menos dois transistores 106 abaixarão a linha casada 102 em paralelo, resultante em uma operação mais rápida da CAM.

Os campos de chave 112 podem ser facilmente codificados antes de serem gravados na CAM, quando uma linha da cache é substituída no processamento após uma falha da cache. Contudo, para uma cache fisicamente indicada, parte da chave 110 - o endereço de página - é recuperada a partir de um Armazenador de Tradução de Endereços (TLB - Translation Lookaside Buffer) que realiza tradução de endereço virtual/físico, e o restante - o

deslocamento de página - compreende os bits de ordem inferior do endereço virtual gerado na cadeia. No caso de uma cache virtualmente indicada, a chave total 112 é gerada na cadeia. Em qualquer um dos casos, recuperar/gerar o endereço e acessar a CAM está no caminho de temporização crítico, e não existe tempo suficiente para codificar toda, ou uma grande parte, da chave 112 antes de comparar a mesma outra vez com os campos de chave codificada 110, sem aumentar o tempo de ciclo da máquina.

10 Resumo da Invenção

Em uma ou mais modalidades, a parte de endereço de página de um endereço físico que é a chave de busca para uma consulta da CAM, é codificada antes de ser armazenada em um TLB. O endereço de página codificada é então recuperado a partir da TLB na tradução de endereço, e aplicado a CAM como uma chave de busca codificada, para busca contra os campos de chave codificada na CAM. As codificações garantem uma distância Hamming de pelo menos dois, desse modo garantindo que pelo menos dois transistores em paralelo descarreguem uma linha casada para cada campo de chave de não-casado na CAM. Bits de deslocamento de página de um endereço físico, que não são armazenados no TLB, podem ser codificados em paralelo com o acesso TLB, e as duas partes de endereço físico codificadas e concatenadas, antes de acessar a CAM. Em uma modalidade, onde o endereço de página armazenado no TLB endereça um tamanho de página de memória grande, o endereço de página pode ser dividido em uma pluralidade de endereços de sub-página, cada qual endereçando um tamanho de página menor. Estes endereços de sub-páginas podem ser codificados antes de armazenar os mesmos em um micro TLB.

Uma modalidade refere a um método para acessar uma Memória endereçável de conteúdo (CAM) tendo uma

pluralidade de campos de chaves codificadas. Uma chave de busca é codificada e armazenada. A CAM é acessada utilizando a chave de busca armazenada, codificada.

5 Outra modalidade refere a um método para casar um endereço em uma Memória endereçável de conteúdo (CAM). Uma versão codificada do endereço é armazenada como um campo de chave na CAM. Uma versão codificada de pelo menos uma primeira parte do endereço é armazenada em um Armazenador de tradução de endereços (TLB). O endereço codificado do TLB é comparado com uma pluralidade de campos de chave
10 codificada na CAM para detectar um casamento.

Outra modalidade refere a um processador. O processador inclui uma memória temporária compreendendo uma Memória endereçável de conteúdo (CAM) e uma memória de
15 acesso aleatório (RAM). A memória temporária é operativa para armazenar ou fornecer dados para ou de uma entrada RAM quando uma chave de busca casa com um campo de chave correspondente armazenado na CAM. O campo chave é codificado por uma distância Hamming de pelo menos dois. O
20 processador inclui também um Armazenador de Tradução de Endereços (TLB) operativo para armazenar e produzir endereços físicos como chaves de busca para a CAM. Os endereços físicos são codificados pelo mesmo algoritmo como os campos de chave CAM.

25 Breve Descrição das Figuras

Figura 1 - é um diagrama em blocos funcional de parte de uma linha casada representativa em uma estrutura CAM.

Figura 2 - é um diagrama em blocos funcional de
30 um processador.

Figura 3 - é um fluxograma de codificação e armazenamento de um endereço de página.

Figura 4 - é um fluxograma de recuperação de um

endereço de página codificado, codificação de um deslocamento de página, e aplicação do endereço físico codificado a uma CAM.

Descrição Detalhada da Invenção

5 A Figura 2 ilustra um diagrama em blocos funcional de um processador representativo 10. O processador 10 executa instruções em uma cadeia de execução de instrução 12 de acordo com a lógica de controle 14. A cadeia inclui vários registradores ou latches 16,
10 organizados em estágios de cadeia, e uma ou mais Unidades Lógicas Aritméticas (ALU) 18. Um arquivo Registrador de Propósito Geral (GPR) 20 provê registradores compreendendo o topo de uma hierarquia de memória.

 A cadeia busca instruções a partir de uma Cache de Instruções (I-cache) 21, que inclui uma CAM 22 e RAM 23. Permissões e endereçamento de memória de instrução são gerenciados por um Armazenador de Tradução de Endereços do lado de instrução (ITLB) 24. Os dados são acessados a partir de uma Cache de Dados 25, incluindo uma CAM 26 e uma
20 RAM 27. As permissões e endereçamento de memória de dados são gerenciados por um TLB principal 28. Em várias modalidades, o ITLB 24 pode compreender uma cópia de parte do TLB 28. Alternativamente, o ITLB 24 e TLB 28 podem ser integrados.

25 Adicionalmente, o processador 10 pode incluir um micro TLB 29. O micro TLB 29 é um circuito de alta velocidade e pequeno que geralmente contém a maioria dos endereços físicos recentemente acessados a partir do TLB principal 28. O processador 10 pode aplicar primeiramente
30 um endereço virtual ao micro TLB 29, e acessar o TLB principal 28 apenas se o endereço e atributos de página correspondentes não forem encontrados no micro TLB 29. Em uma modalidade, as entradas do micro TLB 29 podem endereçar

tamanhos de página menores do que as entradas TLB 28 correspondentes, como aqui discutido.

Em várias modalidades do processador 10, o I-Cache 21 e D-Cache 25 podem ser integrados, ou unificados. Falhas na I-Cache 21 e/ou D-Cache 25 ocasionam um acesso à memória principal (off-chip) 32, sob o controle de uma interface de memória 30. O processador 10 pode incluir uma interface de entrada/saída (I/O) 34, controlando acesso a vários dispositivos periféricos 36. Os versados na técnica reconhecerão que diversas variações do processador 10 são possíveis. Por exemplo, o processador 10 pode incluir uma cache de segundo nível (L2) para qualquer um ou para ambos I e D 21, 25. Além disso, um ou mais dos blocos funcionais ilustrados no processador 10 podem ser omitidos em uma modalidade específica.

Como conhecido na técnica, a maioria dos programas executa como se eles tivessem uso exclusivo da memória máxima endereçável de processador (por exemplo, 32 bits de endereço). Isto é conhecido como um endereço virtual, e é o modo de endereçamento utilizado na cadeia. Ao acessar a memória atual, o endereço virtual é traduzido em um endereço físico pelo TLB 28 (ou ITLB 24 para instruções). O sistema operacional mapeia cada endereço virtual do programa para regiões específicas da memória conhecidas como páginas de memória. Geralmente, os bits mais significativos ou superiores de um endereço virtual são mapeados para um endereço de página (a parte provida pelo TLB 28). Os bits menos significativos ou inferiores do endereço virtual, conhecidos como o deslocamento de página, indexam os dados dentro da página de memória; o deslocamento de página não é traduzido. Para simplicidade e clareza, a discussão a seguir é apresentada no contexto de acessos de dados para a D-Cache 25, comparando um endereço

obtido a partir do TLB 28 com a CAM 26. Contudo, a mesma descrição se aplica aos acessos de instrução da I-cache 21, ITLB 24 e CAM de I-cache 22.

5 Em uma ou mais modalidades, ao acessar uma cache
fisicamente indicada 25, a codificação da maior parte da
chave 112 a ser aplicada a CAM 26, que é um endereço
físico, é removida do caminho de temporização crítico
mediante realização da codificação antes do armazenamento
do endereço de página no TLB 28. As tabelas de página são
10 estabelecidas no TLB 28 mediante software de sistema
operacional quando os programas são inicializados. Os
endereços de página podem ser codificados neste momento sem
afetar o desempenho do processador. Subseqüentemente, a
partir de um acesso a cache 25, um endereço virtual da
15 cadeia é traduzido pelo TLB 28 para obter um endereço de
página codificado. Os bits de deslocamento de página
necessários podem ser codificados em paralelo para a
consulta de TLB 28, uma vez que esta parte do endereço é
muito mais curta do que o endereço de página, a operação de
20 codificação pode ser concluída no tempo disponível. O
deslocamento de página codificada pode ser então
concatenado com o endereço de página codificada provido
pelo TLB 28, e os bits de paridade gerados por cada
operação de codificação XOR para obter o bit de paridade
25 final. O endereço físico codificado é então aplicado como
uma chave 112 a CAM 26, para comparação com os campos de
chave codificada 110. Isto permite a CAM 26 operar com um
tempo de comparação mais curto mediante utilização dos
campos de chave codificada 110 e uma chave codificada 112
30 para garantir pelo menos duas comparações errôneas e,
portanto, pelo menos dois transistores de descarga 106
ligados para descarregar a linha casada 102 no evento de
pior caso de um casamento errôneo de bit único.

O tamanho do endereço de página armazenado no TLB 28 varia inversamente com o tamanho da página de memória que este endereça. Para um tamanho de página maior, um número menor de bits é traduzido e armazenado no TLB 28, e mais bits do endereço virtual são usados para o deslocamento. Em uma aplicação tendo páginas de memória muito grandes, o número grande de bits de deslocamento de página pode impedir a codificação destes bits "em progresso" (on the fly), em paralelo com o acesso ao TLB 28. Neste caso, os endereços de página podem ser divididos em dois ou mais endereços de sub-página, cada qual endereçando um tamanho de página de memória menor. Por exemplo, o endereço de página que endereça uma página de memória de 64K pode ser fracionado em quatro endereços de sub-página, cada qual endereçando uma página de memória de 4K. Os atributos do TLB 28 para a página de 64K podem ser replicados e associados com cada um dos endereços de sub-página.

Os endereços de sub-página de 4K podem não ser armazenados no TLB 28, uma vez que eles colidiriam com o endereço de página de 64K ao realizar uma operação de tradução. Em uma modalidade, os endereços de sub-página são codificados e armazenados no micro TLB 28. Este é um uso ineficiente do micro TLB 29, uma vez que, por exemplo, quatro entradas são exigidas para traduzir a mesma faixa de endereços virtuais que requerem apenas uma entrada no TLB principal 28. Contudo, os endereços de sub-página codificados armazenados no micro TLB 29 compreendem cada qual mais bits do que o endereço de página correspondente, deixando um número menor de bits que devem ser traduzidos em progresso antes de acessar a CAM 26.

O processo de codificar e armazenar a chave 112, e acessar a chave codificada armazenada 112 e aplicar esta

a CAM 26, de acordo com várias modalidades, é ilustrado nos fluxogramas nas Figuras 3 e 4. A Figura 3 ilustra ações realizadas quando o software do sistema operacional estabelece o TLB 28; a Figura 4 ilustra as etapas de
 5 acessar uma CAM 26 durante execução do programa (isto é, no caminho de temporização crítico).

Com referência à Figura 3, o software do sistema operacional estabelece tabelas de página no TLB 28 (bloco 40). Dependendo do tamanho das páginas de memória (bloco
 10 42), a codificação pode prosseguir por diferentes processos. Se as páginas são relativamente pequenas (bloco 42), significando que o endereço de página é longo e o deslocamento de página é curto, o endereço de página é codificado por uma distância Hamming de pelo menos dois
 15 (bloco 44). O endereço de página codificada é então armazenado no TLB 28 (bloco 46).

Por um lado, se as páginas de memória são grandes (bloco 42), significando que o endereço de página é mais curto e o deslocamento de página é mais longo, pode não
 20 haver tempo suficiente para codificar a parte necessária do deslocamento de página em progresso durante tradução de endereço. Neste caso, dois ou mais endereços de sub-página podem ser gerados, cada qual endereçando uma página de memória menor do que o endereço de página correspondente
 25 (bloco 48). Isto aumenta o comprimento dos endereços de sub-página e reduz o comprimento dos deslocamentos de página correspondentes, permitindo que os deslocamentos sejam codificados em progresso sem afetar o tempo de ciclo da máquina. Cada endereço de sub-página é codificado por
 30 uma distância Hamming de pelo menos dois (bloco 50), e as entradas de sub-página codificadas são armazenadas no micro TLB 29 (bloco 52).

Observe que as denominações de "grande" e

"pequeno", assinalando caminhos de saída do bloco de decisão 42 são relativas. Como usado aqui, um tamanho de página de memória pequeno é este que gera um deslocamento de página pequeno o suficiente para ser codificado em progresso por uma distância Hamming de pelo menos dois em paralelo com um acesso TLB 28. Inversamente, um tamanho de página de memória grande é este que gera um deslocamento de página muito grande a ser codificado em progresso em paralelo com um acesso ao TLB 28. O tamanho de página de memória atual que qualifica como grande ou pequeno pode variar para cada implementação, dependendo de muitos fatores tal como tecnologia de semicondutor, velocidade de clock, voltagem operacional, etc. Na conclusão do fluxograma da Figura 3, endereços de (sub) página codificados de comprimento suficiente são armazenados no TLB 28 ou micro TLB 29.

Durante execução subsequente do programa, uma instrução de acesso a memória gera um endereço virtual na cadeia de execução (bloco 54), e apresenta o endereço virtual ao TLB 28 e/ou micro TLB 29 para tradução. O TLB 28 ou micro TLB 29 traduz o endereço virtual, e provê um endereço de (sub) página codificado (bloco 56). Em paralelo com a consulta de TLB 28 ou micro TLB 29, a parte necessária do deslocamento de página é codificada por uma distância Hamming de pelo menos dois (bloco 58). Em uma modalidade, o endereço de (sub) página codificada e o deslocamento de página codificada são então concatenados, e os dois bits de paridade são dispostos em XOR, produzindo um endereço físico codificado tendo um único bit de paridade (bloco 60). Este endereço físico é então apresentado como uma chave de busca 112 a CAM 26 para comparação com uma pluralidade de campos de chaves codificadas 110 (bloco 62).

Em outra modalidade, o endereço de página e o deslocamento de página são armazenados como campos de chave separados 110 por entrada CAM 100. Isto é, cada entrada CAM 100 inclui dois segmentos de linha casada 102, e uma
5 descarga de qualquer segmento sinalizaria um casamento errôneo. Em uma modalidade, cada segmento de linha casada 102 inclui um circuito de detecção de linha casada 114, e as saídas dos circuitos de detecção de linha casada 114 são dispostas em AND juntas antes de serem aplicadas à lógica
10 de detecção de colisão 116. Neste caso, o endereço de página codificada a partir do TLB 28 ou endereço de sub-página do micro TLB 29 é aplicado à parte de endereço de página correspondente da CAM 26. Em paralelo com o acesso ao TLB 28 ou micro TLB 29, o deslocamento de página é
15 codificado por uma distância Hamming de pelo menos dois. O deslocamento de página codificada é então aplicado a CAM 26 em paralelo com o endereço de (sub) página. Cada endereço de (sub) página codificada e deslocamento de página codificada inclui um bit de paridade.

20 Em outras modalidades, as linhas casadas 102 da CAM 26 (e correspondentemente, as chaves 110) podem ser também segmentadas, quando necessário ou desejado, para velocidade, leque de saída (fan-out), consumo de energia, ou outras considerações de projeto. O número e o
25 comprimento de bit de cada segmento pode ser determinado pela tecnologia de implementação, layout, número de bits a ser comparado, velocidade de ciclo exigida, e similares. Além disso, os segmentos podem ser configurados e dispostos em uma variedade de formas que requerem apenas um circuito
30 de detecção de linha casada 114 por entrada CAM 100. Por exemplo, em uma modalidade, os segmentos de linhas casadas 102 podem ser cascadeados em conjunto, ou ondulados, de tal modo que um circuito de descarga ativo 106 em qualquer

segmento descarregará toda a linha casada 102. Em outra modalidade, a linha casada 102 pode assumir uma estrutura hierárquica em que cada segmento se conecta a uma linha casada global 102, a qual descarrega sempre que quaisquer dos segmentos anexados descarregarem. Os versados na técnica reconhecerão uma ampla variedade de formas nas quais a linha casada 102 pode ser vantajosamente segregada.

Como considerado pelos versados na técnica, os campos de chaves codificadas 110 são carregados na CAM 26 gradualmente mediante operações de processamento de falha de cache. A partir de uma falha de cache, uma instrução de acesso à memória busca os dados desejados a partir da memória principal, e os coloca na RAM 27, substituindo a informação existente. A entrada da CAM 26 correspondente é substituída com o endereço físico codificado que falhou.

Ao codificar a chave 112 e campos de chave 110 de uma CAM 126 utilizando uma distância Hamming de pelo menos dois, pelo menos dois transistores de descarga 106 descarregarão uma linha de casamento 102 para o terra, para cada campo de chave 110 que difere da chave 112 em pelo menos um bit. A temporização de CAM 26 total pode ser vantajosamente ajustada para o tempo exigido para dois transistores 106 descarregarem uma linha casada 102, mais propriamente do que o tempo exigido para que um transistor 106 realize isso, desse modo melhorando a velocidade operacional da CAM 26.

Toda memória de estado sólido tem tendência a erros temporários, que são erros nos dados armazenados ocasionados por partículas carregadas ou irradiação. Erros temporários podem ser causados por partículas alfa, ou distúrbios elétricos causados por raios cósmicos. Ambas as formas de irradiação são aleatórias, e os erros temporários podem induzir um erro de bit único em um campo de chaves

110. Isto faz surgir a perspectiva de um casamento errôneo de bit único entre a chave 112 e o campo de chaves 110. Várias possibilidades são consideradas.

Primeiro, se a chave 112 casa com um campo de chave 110, e o campo de chaves 110 que casam recebe um erro temporário de bit único, a entrada da CAM 26 correspondente pode ou não ser detectada como um acerto. Devido ao fato da temporização de CAM 26 global ser ajustada utilizando um cenário de pior caso de duas comparações errôneas por linha casada 102, uma comparação errônea de bit único pode não ter tempo suficiente para descarregar completamente a linha casada correspondente 102 antes da avaliação pelo circuito de detecção 114. Neste caso, a linha casada 112 será detectada em um estado alto, indicando um casamento. Como a chave 112 deve casar com esse campo de chave 110, e corre apenas o risco de ser interpretada como um casamento errôneo devido a um erro temporário, então detectar um casamento produz operação adequada da cache 25, e o erro temporário não tem consequência.

Em um segundo caso, a comparação errônea de bit único devido a um erro temporário pode abaixar a linha casada 102 de forma suficientemente rápida para que o circuito de detecção associado 114 considere a entrada da CAM 26 como não-casada. Como a chave 112 deve adicionalmente estar em desacordo com entradas da CAM 26 alternadas, isto resulta em uma perda de endereço erroneamente na cache quando este deveria ter um acerto. O processador 10 detectará uma falha da cache, e realizará um acesso à memória principal 32, substituindo a linha correspondente na cache 25 e atualizando a entrada da CAM 26 com o endereço codificado perdido, corrigindo assim o erro temporário (à custa da latência do acesso à memória principal).

Outra possibilidade é que a chave 112 case com um primeiro campo de chave 110, e seja diferente de um segundo campo de chave 110 por um único bit. Devido à codificação da chave 112 e dos campos de chave 110 com uma distância Hamming de dois ou mais, o segundo (casamento errôneo) campo de chave 110 poderia normalmente descarregar através de pelo menos dois transistores de descarga 106. Se qualquer um dos bits de casamento errôneo ou o bit de paridade é o bit corrompido por um erro temporário, a linha casada 102 correspondente será descarregada por apenas um transistor 106, que pode demorar tanto que o circuito de detecção correspondente 114 detecta a linha casada 102 como alta, indicando um casamento. A chave 112 adicionalmente casou com o primeiro campo de chave 110; portanto, a chave 112 parece ter casado, ou acertado, mais do que uma entrada da CAM 26. Neste caso, o circuito de detecção de colisão 116, que monitora a saída de todos os circuitos de detecção de linha casada 114, detectará o casamento duplicado aparente e causará um erro.

Ainda outra possibilidade é que uma chave 112 seja diferente de um campo de chave 110 por dois bits. Codificar a chave 112 e o campo de chave 110 por uma distância Hamming de dois significa que elas terão o mesmo bit de paridade. Por exemplo, um campo de chave 110 compreendendo todos os 0, com paridade par, terá um bit de paridade 0. Uma chave 112 compreende dois 1, e todos os outros bits são 0; esta chave 112 também terá um bit de paridade 0. Se um erro temporário corromper um dos bits 0 do campo de chave 110 para um 1, em uma posição correspondendo a um dos bits 1 na chave 112, então a chave 112 e o campo de chave 110 diferem em apenas um bit (o outro bit 1 na chave 112). Se a temporização da CAM 26 é ajustada para o pior caso de dois circuitos de descarga 106

por casamento errôneo, a linha casada 102 pode permanecer alta neste caso, e um casamento errôneo será detectado pela CAM 26, gerando um acerto errôneo na cache 21, 25.

5 Uma forma de evitar esta possibilidade é a de
codificar a chave 112 e o campo de chave 110 por uma
distância Hamming de três ou mais. Isto é mais complexo em
termos de computação, e requer mais do que um bit de
paridade para cada entrada 100 na CAM 26, assim como para
cada endereço de (sub) página no TLB 28 ou micro TLB 29.
10 Por outro lado, uma distância Hamming de três aumentará a
velocidade da CAM 26 (para a mesma tecnologia), uma vez que
pelo menos três transistores de descargas 106 descarregarão
cada linha casada 102 de comparação errônea (pelo menos na
ausência de erros temporários). Distâncias Hamming de ordem
15 superior são evidentemente possíveis e constituiriam uma
implementação óbvia para os versados na técnica, dado o
ensinamento desta descrição. Contudo, existe um retorno
decrecente na velocidade da CAM 26, à custa de aumentar o
tamanho da CAM 26 e seu consumo de energia mediante adição
20 de mais elementos de armazenamento redundantes 110, portas
XOR 108, e transistores de descarga 106.

Como uma alternativa para aumentar a distância
Hamming, a condição errônea descrita acima pode ser
detectada pelo controlador de cache após o acerto na cache
25 (errôneo), e um erro gerado se a condição for detectada.
Após um acerto na cache, o controlador de cache lê o campo
de chave 110. O bit de paridade é posto de lado, e a
paridade para o campo de chave restante 110 é gerada e
comparada com a paridade lida a partir da CAM 26. Se os
30 bits de paridade não casarem, o controlador da cache
invalida a entrada 100 e gera uma exceção. Após restaurar o
estado da máquina para este antes do acesso a cache, o
processador outra vez acessaria a cache 21, 25, gerando uma

falha da cache. O campo de chave codificado 110 correto será então gravado na CAM 26 como parte da operação de processamento de falha da cache. Como o controlador da cache lê e verifica a paridade do campo de chave 110 após
5 entregar a linha da cache para a cadeia de processador 12, essa operação não afeta adversamente o desempenho da cache.

Embora a presente invenção tenha sido descrita aqui no contexto de uma CAM 26 como parte de uma memória de cache 25, os versados na técnica reconhecerão prontamente
10 que a invenção não é limitada a tal aplicação. Memórias de Conteúdo Endereçável são usadas em uma variedade de circuitos e sistemas, incluindo armazenadores de dados onde os endereços são "espionados" para suportar esquemas de coerência de cache, roteadores de pacote onde endereços IP
15 são buscados em relação a uma CAM, e semelhantes. Em muitas tais aplicações, a velocidade da CAM pode ser aperfeiçoada mediante codificação dos campos de chave para fazer com que dois ou mais circuitos de descarga sejam ativados mediante um casamento errôneo, sem afetar o tempo de ciclo global
20 mediante armazenamento das chaves codificadas a serem aplicadas contra a CAM.

Embora a presente invenção tenha sido descrita aqui com relação a características, aspectos e modalidades específicas da mesma, será evidente que diversas variações,
25 modificações e outras modalidades são possíveis dentro do escopo amplo da presente invenção e, conseqüentemente, todas as variações, modificações e modalidades devem ser consideradas como dentro do escopo da invenção. As modalidades da presente invenção, portanto, devem ser
30 consideradas em todos os aspectos como ilustrativas e não restritivas e todas as mudanças incorporadas pelo significado e faixa de equivalência das reivindicações anexas devem ser aqui aceitas.

REIVINDICAÇÕES

1. Método para acessar uma Memória Endereçável de Conteúdo (CAM) (22, 26) tendo uma pluralidade de campos de chave codificada, compreendendo:

- 5 - codificar (44, 50) uma chave de busca (112);
 - armazenar (46, 52) a chave de busca codificada dentro de um Armazenador de Tradução de Endereço (28, 29);
e

10 - acessar (62) a CAM (22, 26) utilizando a chave de busca codificada, armazenada.

2. Método, de acordo com a reivindicação 1, em que codificar uma chave de busca compreende codificar a chave de busca com uma distância Hamming de dois.

15 3. Método, de acordo com a reivindicação 1, em que codificar uma chave de busca compreende codificar a chave de busca com uma distância Hamming de três.

20 4. Método, de acordo com a reivindicação 1, em que acessar a CAM utilizando a chave de busca codificada, armazenada gera resultados corretos apesar de um erro de bit único em um ou mais campos de chave codificada.

25 5. Método, de acordo com a reivindicação 1, em que codificar uma chave de busca compreende codificar uma primeira parte da chave de busca, e em que armazenar a chave de busca codificada compreende armazenar a primeira parte codificada da chave de busca.

30 6. Método, de acordo com a reivindicação 5, compreendendo também codificar uma segunda parte da chave de busca, e em que acessar a CAM utilizando a chave de busca codificada, armazenada compreende acessar a CAM utilizando a primeira parte codificada, armazenada da chave de busca concatenada com a segunda parte codificada da chave de busca.

7. Método, de acordo com a reivindicação 1, em

que a chave de busca compreende um endereço físico.

8. Método, de acordo com a reivindicação 7, em que armazenar a chave de busca codificada compreende armazenar uma parte de endereço de página codificada do endereço físico em um Armazenador de Tradução de Endereços (TLB).

9. Método, de acordo com a reivindicação 8, compreendendo também:

- gerar dois ou mais endereços de sub-página a partir do endereço de página, cada endereço de sub-página endereçando um tamanho de página de memória menor do que o endereço de página;

- codificar pelo menos um endereço de sub-página; e

- armazenar os endereços de sub-página codificada em um micro TLB;

em que acessar a CAM utilizando a chave de busca codificada, armazenada compreende acessar a CAM utilizando um dos endereços de sub-página codificada no micro TLB.

10. Método, de acordo com a reivindicação 1, em que cada campo de chave codificada é codificado com uma distância Hamming de dois e inclui um bit de paridade, e também compreende, se um casamento for detectado entre a chave de busca codificada e um campo de chave codificado:

- ler o campo de chave codificado, incluindo o bit de paridade armazenado, a partir da CAM;

- regenerar um bit de paridade para o campo de chave codificada;

- comparar o bit de paridade regenerado com o bit de paridade armazenado; e

se os bits de paridade tiverem comparação errônea, gerar um erro.

11. Método, de acordo com a reivindicação 1,

compreendendo também:

- armazenar uma versão codificada de um endereço como um campo de chave na CAM;

- em que armazenar a chave de busca codificada inclui armazenar uma versão codificada de uma parte de endereço de página do endereço em um TLB; e

- em que acessar inclui comparar o endereço codificado a partir do TLB com uma pluralidade de campos de chave codificada na CAM para detectar um casamento.

10 12. Método, de acordo com a reivindicação 11, em que a versão codificada do endereço é o endereço codificado com uma distância Hamming de dois.

15 13. Método, de acordo com a reivindicação 11, em que a versão codificada do endereço é o endereço codificado com uma distância Hamming de três.

20 14. Método, de acordo com a reivindicação 11, em que comparar o endereço codificado a partir do TLB com uma pluralidade de campos de chave codificada na CAM detecta corretamente um casamento apesar de um erro de bit único em um ou mais campos de chave codificada.

25 15. Método, de acordo com a reivindicação 11, compreendendo também codificar uma parte de deslocamento de página do endereço, e em que comparar o endereço codificado a partir do TLB com uma pluralidade de campos de chave codificada na CAM compreende comparar o endereço de página codificada a partir do TLB concatenado com o deslocamento de página codificada com uma pluralidade de campos de chave codificada na CAM.

30 16. Método, de acordo com a reivindicação 11, compreendendo também:

- gerar dois ou mais endereços de sub-página a partir do endereço de página, cada endereço de sub-página endereçando um tamanho de página de memória menor do que o

endereço de página;

- codificar pelo menos um endereço de sub-página;

e

- armazenar os endereços de sub-páginas codificadas em um micro TLB;

em que comparar o endereço codificado do TLB com uma pluralidade de campos de chaves codificadas na CAM compreende comparar um endereço de sub-página codificada do TLB com uma pluralidade de campos de chaves codificadas na CAM.

17. Método, de acordo com a reivindicação 11, em que cada campo de chave codificada na CAM é codificado com uma distância Hamming de dois e inclui um bit de paridade, e compreendendo também, se um casamento for detectado entre o endereço codificado do TLB e um campo de chave codificada na CAM:

- ler o campo de chave codificada, incluindo o bit de paridade armazenado, a partir da CAM;

- regenerar um bit de paridade para o campo de chave codificada;

- comparar o bit de paridade regenerado com o bit de paridade armazenado; e se os bits de paridade tiverem comparação errônea, gerar um erro.

18. Método, de acordo com a reivindicação 1, em que a CAM está incluída em uma cache que é estruturalmente separada do TLB.

19. Método, de acordo com a reivindicação 23, em que a cache corresponde a uma cache de instrução ou uma cache de dados.

20. Processador, compreendendo:

- uma memória cache (21, 25) compreendendo uma Memória Endereçável de Conteúdo (CAM) e Memória de Acesso Aleatório (RAM) (23, 27), a cache operativa para armazenar

ou fornecer dados para ou de uma entrada RAM quando uma chave de busca (112) casa com um campo de chave (110) correspondente armazenado na CAM, os campos de chave codificada por uma distância Hamming de pelo menos dois; e

5 - um Armazenador de Tradução de Endereços (TLB) (28, 29) operativo para armazenar e produzir endereços de página como chaves de busca para a CAM, os endereços de página codificados pelo mesmo algoritmo que os campos de chave da CAM.

10 21. Processador, de acordo com a reivindicação 20, em que os campos de chave CAM e os endereços físicos TLB são codificados por uma distância Hamming de três.

15 22. Processador, de acordo com a reivindicação 20, compreendendo também um micro TLB operativo para armazenar dois ou mais endereços de sub-página correspondendo a um endereço de página no TLB, os endereços de sub-página endereçando um tamanho de página de memória menor do que o endereço de página TLB, o micro TLB operativo para fornecer um dos endereços de sub-página como
20 uma chave de busca para a CAM.

25 23. Processador, de acordo com a reivindicação 20, em que cada entrada CAM compreende uma linha casada pré-carregada para um estado alto, e descarregado através de um transistor de descarga para cada bit da chave de busca que casa erroneamente com um bit correspondente do
30 campo de chave armazenado nesta entrada, e em que o transistor de descarga associado a um bit de paridade é operativo para descarregar mais corrente do que os outros transistores de descarga na entrada CAM.

24. Processador, de acordo com a reivindicação 20, em que, se uma chave de busca casa com um campo de chave, a cache é também operativa para ler o campo de chave e um bit de paridade de campo de chave armazenado,

regenerar um bit de paridade para o campo de chave, comparar o bit de paridade regenerado e o bit de paridade armazenado, e se os bits de paridade estiverem em desacordo, gerar um erro.

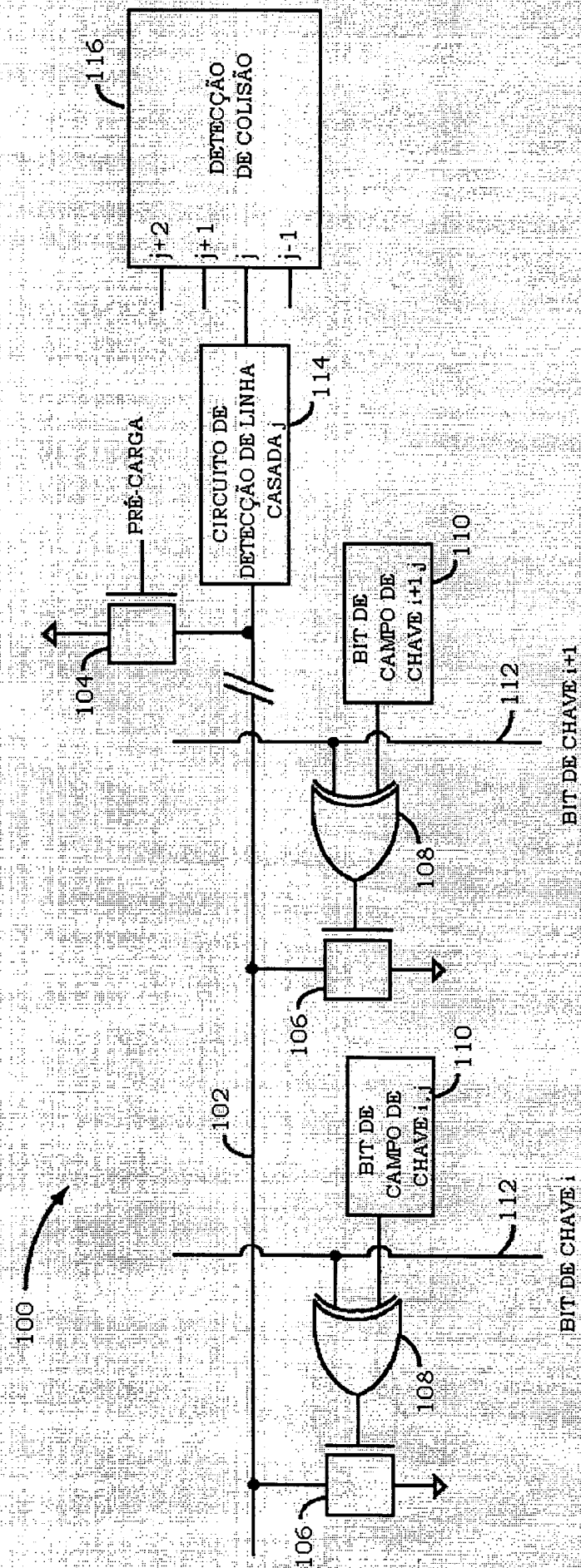


FIGURA 1

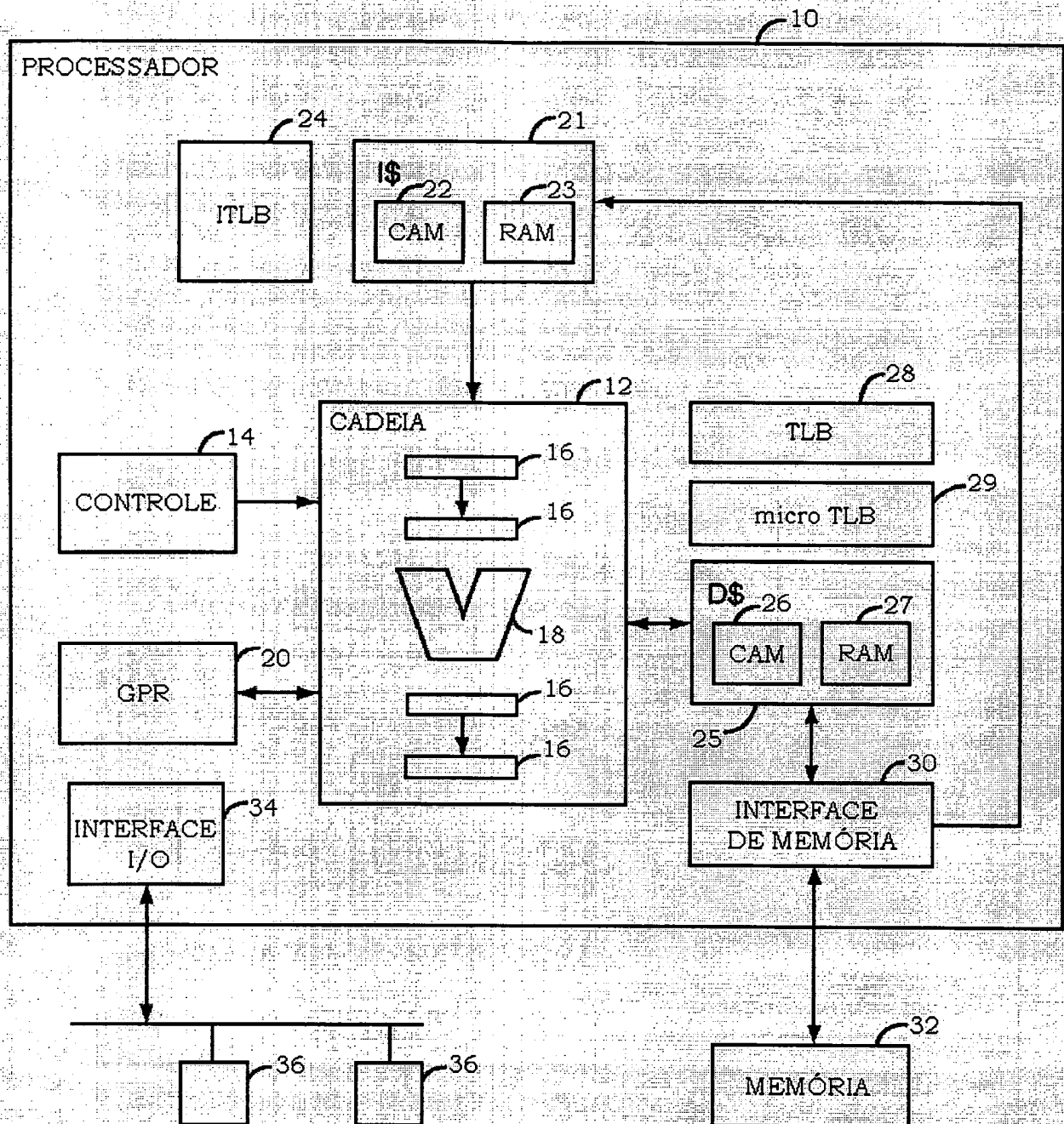


FIGURA 2

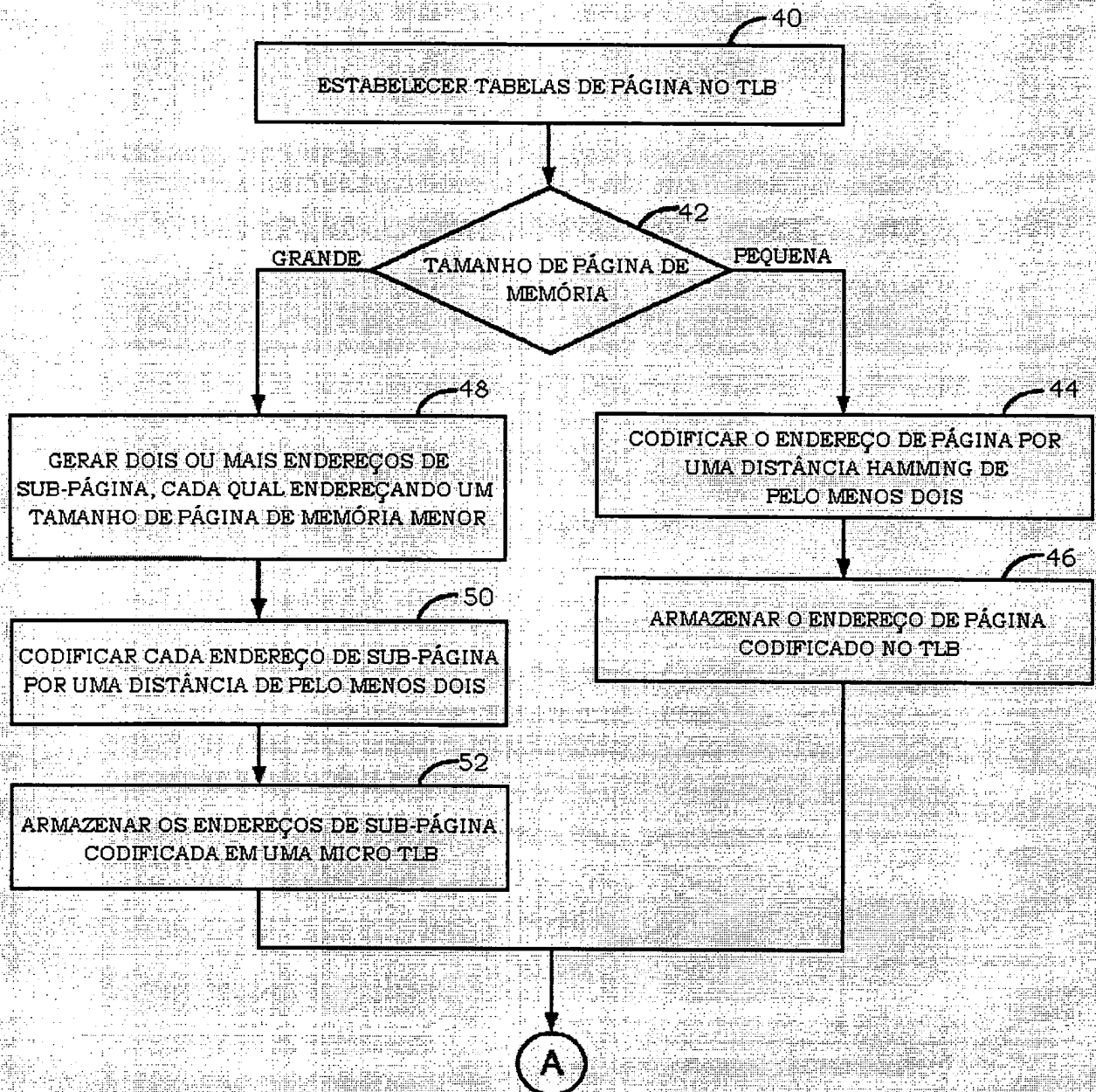


FIGURA 3

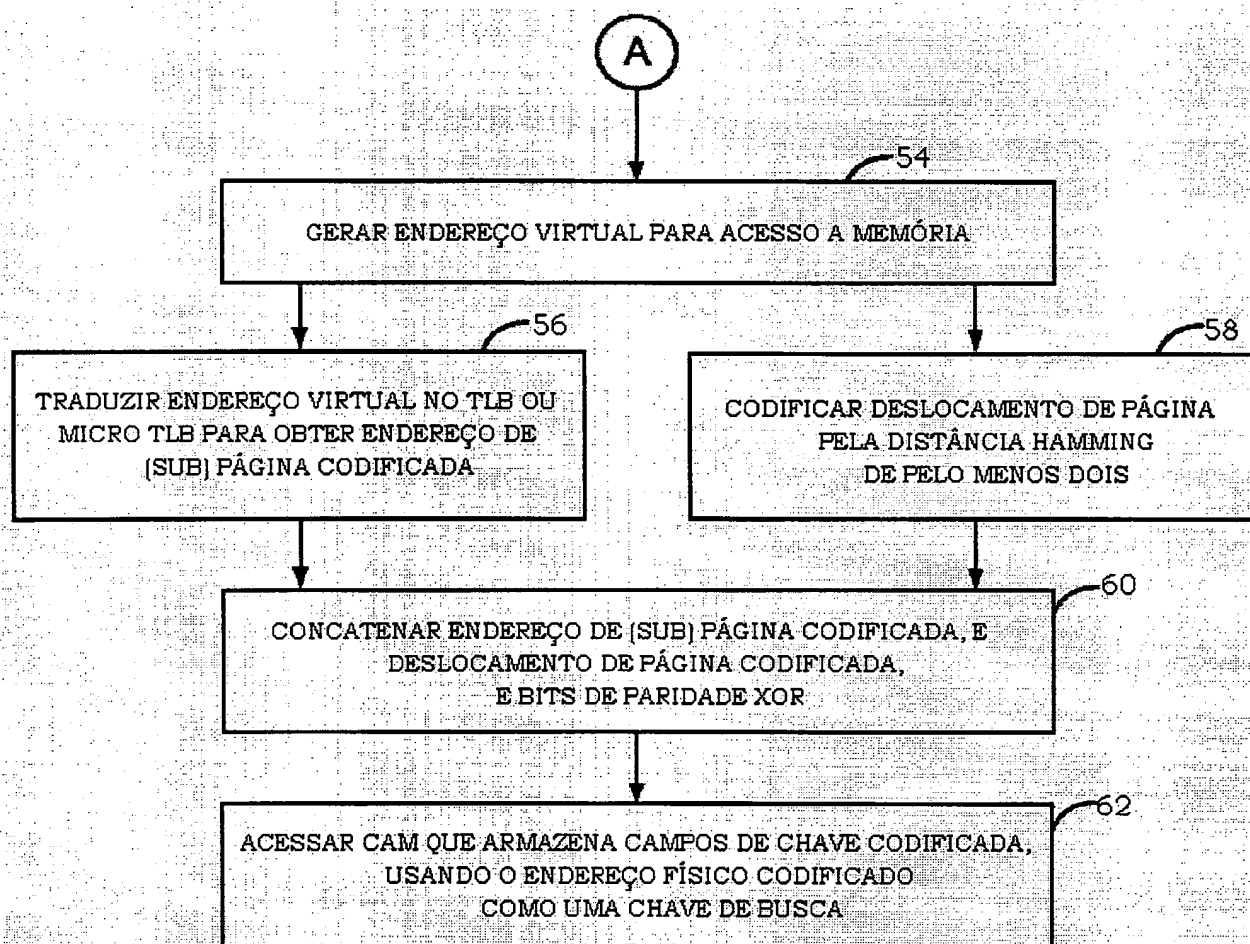


FIGURA 4

RESUMO

"BUSCA DE MEMÓRIA ENDEREÇÁVEL DE CONTEÚDO DE ALTA VELOCIDADE USANDO CHAVE CODIFICADA ARMAZENADA".

A chave de busca e os campos de chave de uma CAM
5 em uma cache são codificados com uma distância Hamming de
pelo menos dois para aumentar a velocidade da CAM ao
assegurar que cada linha casada em desacordo seja
descarregada por pelo menos dois transistores em paralelo.
Onde a cache é fisicamente indicada, a chave de busca é um
10 endereço físico. A parte de endereço físico do endereço
físico é codificada antes de ser armazenada em um TLB. Os
bits de deslocamento de página são codificados em paralelo
com o acesso ao TLB, e concatenados com a entrada TLB
codificada. Se um endereço de página endereça um tamanho de
15 página de memória grande, uma pluralidade de endereços de
sub-página correspondentes podem ser gerados, cada qual
endereçando um tamanho de página menor. Estes endereços de
sub-página podem ser codificados e armazenados em um micro
TLB. A chave codificada e o campo de chave são tolerantes
20 aos erros temporários de bit único.