



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월11일
 (11) 등록번호 10-0868419
 (24) 등록일자 2008년11월05일

(51) Int. Cl.

H01L 23/12 (2006.01)

(21) 출원번호 10-2003-7015778
 (22) 출원일자 2003년12월02일
 심사청구일자 2007년04월04일
 번역문제출일자 2003년12월02일
 (65) 공개번호 10-2004-0023608
 (43) 공개일자 2004년03월18일
 (86) 국제출원번호 PCT/JP2002/003434
 국제출원일자 2002년04월05일
 (87) 국제공개번호 WO 2002/103793
 국제공개일자 2002년12월27일
 (30) 우선권주장 JP-P-2001-00172503 2001년06월07일 일본(JP)
 (56) 선행기술조사문헌 일본공개특허공보 특개2000-299431(2000.10.24)

(73) 특허권자 가부시끼가이샤 르네사스 테크놀로지
 일본국 도쿄도 치요다쿠 오테마치 2초메 6반 2고

(72) 발명자 가도요시유키
 일본국도쿄오토코다이라시조우쓰이혼쵸오5초메20반1고가부시끼가이샤히타치세이사쿠쇼한도 타이그루프나이
 나이토타카히로
 일본국도쿄오토코다이라시조우쓰이혼쵸오5초메20반1고가부시끼가이샤히타치세이사쿠쇼한도 타이그루프나이
 (뒷면에 계속)

(74) 대리인 특허법인 원전

전체 청구항 수 : 총 14 항

심사관 : 박귀만

(54) 반도체장치 및 그 제조방법

(57) 요약

멀티 칩 모듈(MCM)의 패키지 기판(1)의 주면 위에 실장된 3개의 칩(2A, 2B, 2C)중, DRAM이 형성된 칩(2A) 및 플래시 메모리가 형성된 칩(2B)은, Au 범프(4)를 통해서 패키지 기판(1)의 배선(5)과 전기적으로 접속되어 있고, 칩(2A, 2B)의 주면(하면)과 패키지 기판(1)의 주면과의 간극에는, 언더필수지(6)가 충전되어 있다. 2개의 칩(2A, 2B)의 위에는 고속 마이크로 프로세서가 형성된 칩(2C)이 실장되며, Au 와이어(8)를 통해서 패키지 기판(1)의 본딩패드(9)와 전기적으로 접속되어 있다.

(72) 발명자

사토토시히코

일본국도오쿄오토코다이라시조우쓰이혼쵸오5쵸메2
0반1고가부시킴가이샤히타치세이사쿠쇼한도타이그
루프나이

이케가미히카루

일본국도오쿄오토코다이라시조우쓰이혼쵸오5쵸메2
0반1고가부시킴가이샤히타치세이사쿠쇼한도타이그
루프나이

기쿠치타카후미

일본국도오쿄오토코다이라시조우쓰이혼쵸오5쵸메2
0반1고가부시킴가이샤히타치세이사쿠쇼한도타이그
루프나이

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

반도체 장치로서,

주면, 복수의 배선 라인들 및 복수의 전극 패드들을 포함하는 배선 기관;

주면, 복수의 반도체 요소들 및 복수의 전극들을 포함하는 제1 반도체 칩으로서, 상기 제1 반도체 칩은, 이 제1 반도체 칩의 주면이 상기 배선 기관의 주면에 대향하도록 하는 방식으로 복수의 제 1 범프 전극들을 통해 배선 기관의 주면상에 장착되는 제 1 반도체 칩,

주면, 복수의 반도체 요소들 및 복수의 전극들을 포함하는 제 2 반도체 칩으로서, 상기 제 2 반도체 칩은 이 제 2 반도체 칩의 주면이 상기 배선 기관의 주면에 대향하고, 제 2 반도체 칩의 한쪽 면이 제 1 반도체 칩의 한쪽 면에 인접하도록 복수의 제2 범프 전극들을 통해 배선 기관의 주면상에 장착되는 제 2 반도체 칩;

주면, 복수의 반도체 요소들 및 복수의 전극들을 포함하는 제 3 반도체 칩으로서, 상기 제 3 반도체 칩은 이 제 3 반도체 칩의 배면이 상기 제 1 및 제 2 반도체 칩들의 배면에 대향하는 식으로 상기 제 1 및 제 2 반도체 칩들 상에 적층되는 제 3 반도체 칩,

상기 제 3 반도체 칩의 복수의 전극들과 상기 복수의 패드들과 각기 전기적으로 접속되는 복수의 본딩 와이어;

상기 제 1 반도체 칩의 주면과 상기 배선 기관의 주면 사이에, 상기 제 2 반도체 칩의 주면과 상기 배선 기관의 주면 사이에 그리고 상기 제 1 반도체 칩의 한쪽면과 상기 제 2 반도체 칩의 한쪽면 사이에 밀봉을 위한 제 1 수지 부재; 및

상기 제 1 반도체 칩, 상기 제 2 반도체 칩, 상기 제 3 반도체 칩, 상기 배선 기관의 주면의 일부 그리고 상기 제 1 수지 부재의 일부를 밀봉하는 제 2 수지 부재;를 구비하고,

상기 제 1 수지 부재는 제 1 실리카 필터를 포함하고, 상기 제 1 실리카 필터는 제 1 입자 직경을 갖고;

상기 제 2 수지 부재는 제 2 실리카 필터를 포함하고, 상기 제 2 실리카 필터는 제 2 입자 직경을 포함하고; 그리고

상기 제 1 입자 직경은 상기 제 2 입자 직경보다 작은 반도체 장치.

청구항 40

제 39 항에 있어서,

상기 제 1 입자 직경은 상기 제 1 반도체 칩의 한쪽 면과 상기 제 2 반도체 칩의 한쪽 면 사이의 거리보다 작은 반도체 장치.

청구항 41

제 39 항에 있어서,

상기 복수의 제 1 범프 전극들과 복수의 제 2 범프 전극들은 Au 범프들인 반도체 장치.

청구항 42

제 39 항에 있어서,

상기 제 1 및 제 2 반도체 칩들은 복수의 메모리 소자를 갖는 메모리 회로를 포함하고, 그리고 상기 제3 반도체 칩은 프로그램에 따라 동작하도록 된 마이크로프로세서 회로를 포함하는 반도체 장치.

청구항 43

제 39 항에 있어서,

DRAM 또는 플래시 메모리는 상기 제 1 반도체 칩의 주면상에 형성되는 반도체 장치.

청구항 44

제 39 항에 있어서,

상기 제 1 실리카 필터는 70 내지 100 μm 의 제 1 입자 직경을 갖고, 상기 제 2 실리카 필터는 3 μm 의 제 2 입자 직경을 갖는 반도체 장치.

청구항 45

제 40 항에 있어서,

상기 제 1 반도체 칩의 한쪽 면과 상기 제 2 반도체 칩의 한쪽 면 사이의 간격은 20 내지 60 μm 인 반도체 장치.

청구항 46

반도체 장치로서,

주면, 복수의 배선 라인들 및 복수의 전극 패드들을 포함하는 배선 기관;

주면, 복수의 반도체 요소들 및 복수의 전극들을 포함하는 제1 반도체 칩으로서, 상기 제1 반도체 칩은, 이 제1 반도체 칩의 주면이 상기 배선 기관의 주면에 대향하도록 하는 방식으로 복수의 제1 범프 전극들을 통해 배선 기관의 주면상에 장착되는 제 1 반도체 칩;

주면, 복수의 반도체 요소들 및 복수의 전극들을 포함하는 제 2 반도체 칩으로서, 상기 제 2 반도체 칩은 이 제 2 반도체 칩의 주면이 상기 배선 기관의 주면에 대향하고, 상기 제 1 및 제 2 반도체 칩들의 한쪽 면들이 서로 인접하도록 하는 방식으로 복수의 제 2 범프 전극들을 통해 배선 기관의 주면 상에 장착되는 제 2 반도체 칩;

주면, 복수의 반도체 요소들 및 복수의 전극들을 포함하는 제 3 반도체 칩으로서, 상기 제 3 반도체 칩은 상기 제 3 반도체 칩의 배면이 상기 제 1 및 제 2 반도체 칩들의 배면에 대향하는 식으로 상기 제 1 및 제 2 반도체 칩들상에 적층되는 제 3 반도체 칩;

상기 제 3 반도체 칩의 복수의 전극들과 상기 복수의 패드들과 각기 전기적으로 접속되는 복수의 본딩 와이어;

상기 제 1 반도체 칩의 주면과 상기 배선 기관의 주면 사이에, 상기 제 2 반도체 칩의 주면과 상기 배선 기관의 주면 사이에 그리고 상기 제 1과 제 2의 반도체 칩들의 인접하는 한쪽 면들의 사이의 밀봉을 위한 제 1 수지 부재; 및

상기 제 1 반도체 칩, 상기 제 2 반도체 칩, 상기 제 3 반도체 칩, 상기 배선 기관의 주면의 일부 그리고 상기 제 1 수지 부재의 일부를 밀봉하는 제 2 수지 부재;를 구비하고,

상기 제 1 수지 부재는 제 1 실리카 필터를 포함하고, 상기 제 1 실리카 필터는 상기 제 1 및 제 2 반도체 칩들

의 인접 한쪽 면들 사이의 간격보다 작은 제 1 입자 직경을 갖고; 그리고

상기 제 2 수지 부재는 제 2 실리카 필터를 포함하고, 상기 제 2 실리카 필터는 상기 제 1 및 제 2 반도체 칩들의 인접 한쪽 면들 사이의 간격보다 큰 입자 직경을 갖는 반도체 장치.

청구항 47

반도체 장치를 제조하는 방법으로서,

(a) 복수의 패키지 기판 형성 영역들, 복수의 패키지 기판 형성 영역들 사이에 배치된 다이싱 영역, 상기 패키지 기판 형성 영역들과 다이싱 영역에 연속적으로 형성된 복수의 배선 라인들 및 복수의 배선 라인들과 전기적으로 접속된 복수의 전극 패드들을 포함하는 배선 기판을 제공하는 단계;

(b) 상기 복수의 패키지 기판 형성 영역들 각각 위에 복수의 반도체 칩을 장착하는 단계;

(c) 상기 복수의 반도체 칩들 및 상기 복수의 전극 패드들을 전기적으로 접속하는 단계;

(d) 상기 복수의 반도체 칩들 및 상기 배선 기판의 주면을 수지에 의해 밀봉하는 단계;

(e) 다이싱 기구로 상기 다이싱 영역을 절삭하는 단계를 포함하고,

상기 다이싱 영역에 형성된 복수의 배선 라인들의 부분들을 제거하는 단계는 단계 (a) 다음 및 단계 (e) 전에 수행되는 반도체 장치 제조 방법.

청구항 48

제 47 항에 있어서,

전해 도금법에 의해 상기 복수의 배선 라인들 상에 Ni 및 Au 도금이 형성되는 반도체 장치 제조 방법.

청구항 49

제 47항에 있어서,

상기 다이싱 영역에 형성된 상기 복수의 배선 라인들의 부분들이 라우터에 의해 제거되는 반도체 장치 제조 방법.

청구항 50

제 49 항에 있어서,

상기 다이싱 기구는 라우터 보다 좁은 폭을 갖는 다이싱 블레이드인 반도체 장치 제조 방법.

청구항 51

제 47항에 있어서,

상기 복수의 패키지 기판 형성 영역들 각각의 연속성 테스트는 상기 다이싱 영역내에 형성된 복수의 배선 라인들을 제거한 후에 수행되는 반도체 장치 제조 방법.

청구항 52

제 47항에 있어서,

상기 복수의 반도체 칩들은 상기 배선 기판의 주면 상에 장착되는 반도체 장치 제조 방법.

명세서

기술분야

<1> 본 발명은, 반도체장치 및 그 제조기술에 관한 것으로서, 특히, 복수의 반도체 칩을 동일한 배선기판 위에 탑재한 멀티 칩 모듈(Multi-Chip Module;MCM) 또는 멀티 칩 패키지(Multi-Chip Package;MCP)에 적용하는 유효한 기술에 관한 것이다.

배경 기술

- <2> 플래시 메모리와 DRAM(Dynamic Random Access Memory) 등의 메모리 LSI를 대용량화하는 대책의 하나로써, 이들 메모리 LSI가 형성된 반도체 칩(메모리 칩)을 적층하여 단일 패키지에 밀봉한 메모리 모듈구조가 여러가지 제안되어 있다.
- <3> 예를 들면, 일본특허공개 평4-302164호 공보는, 하나의 패키지내에 동일한 기능, 동일한 사이즈의 복수의 반도체 칩을 절연층을 통해서 계단 형태로 적층하고, 각각의 반도체 칩의 계단 형태 부분에 노출한 본딩패드와 패키지의 인너리드를 와이어를 통해서 전기적으로 접속한 패키지 구조를 개시하고 있다.
- <4> 또한, 일본공개특허 평 11-204720호 공보는, 절연성 기관 위에 열압착 시트를 통해서 제1 반도체 칩을 탑재하고, 이 제1 반도체 칩 위에 열압착 시트를 통해서, 외형 치수가 제1 반도체 칩 보다도 작은 제2 반도체 칩을 탑재하며, 제1 및 제2 반도체 칩의 본딩패드와 절연성 기관 위의 배선층을 와이어를 통해서 전기적으로 접속하고, 제1 및 제2 반도체 칩과 와이어를 수지에 의해 밀봉한 패키지 구조를 개시하고 있다.
- <5> (발명의 개시)
- <6> 본 발명자들은, 하나의 패키지내에 복수개의 반도체 칩(이하, 간단히 칩이라 한다)을 탑재한 멀티 칩 모듈을 개발하고 있다.
- <7> 본 발명자들이 개발중인 멀티 칩 모듈은, DRAM(Dynamic Random Access Memory)이 형성된 칩과, 플래시 메모리가 형성된 칩과, 고속 마이크로 프로세서(MPU:초소형 연산처리장치)가 형성된 칩을 단일 수지 패키지내에 밀봉함으로써, 복수개의 메모리 칩을 수지 밀봉한 종래의 메모리 모듈보다도 범용성이 높은 시스템을 실현하고자 하는 것이다.
- <8> 또한, 이 멀티 칩 모듈은, 실장 면적을 축소하기 위해, 3개의 칩중, DRAM이 형성된 칩과 플래시 메모리가 형성된 칩을 패키지 기관의 주면(主面) 위에 나열해서 배치하고, 플립 칩 방식에 따라 실장한다. 또한, 마이크로 프로세서가 형성된 제3 칩은, 상기 2개의 메모리 칩 위에 적층하고, 와이어 본딩방식에 따라 실장한다.
- <9> 그렇지만, 상기와 같은 구조의 멀티 칩 모듈은, 고밀도 실장의 관점에서, 나열해서 배치한 2개의 메모리 칩의 간격이 수 10 μ m 정도로 극히 좁고, 더구나 이들 2개의 메모리 칩 위에 제3 칩이 적층되기 때문에, 이들 3개의 칩을 몰드 수지로 밀봉하고자 하면, 2개의 메모리 칩의 간극으로 몰드 수지가 들어가는 것이 곤란하다는 문제가 있다.
- <10> 일반적으로, 몰드 수지중에는, 몰드 수지의 열팽창계수를 실리콘 칩의 그것에 가깝게 하기 위해, 실리카 필러가 혼입되어 있다. 그러나, 이 실리카 필러의 입자 지름(예를 들면 70~100 μ m)은, 상기한 2개의 메모리 칩의 간격(수 10 μ m)보다도 크기 때문에, 이것이 메모리 칩의 간극으로 몰드 수지가 충전되기 어렵다는 원인의 하나로 되어 있다.
- <11> 2개의 메모리 칩의 간극이 몰드 수지로 충전되지 않으면, 그곳에 공기 정체(void)가 생기기 때문에, 보이드내의 공기의 열팽창이 반복되는 것에 기인하여, 보이드를 중심으로 몰드 수지와 칩의 박리가 확대되어, 예를 들면 MCP를 실장 기관에 땀납 리플로우 기술을 이용해서 실장할 때, 패키지 크랙을 일으킬 염려가 있다.
- <12> 본 발명의 목적은, 복수개의 칩을 배선기관에 탑재하고 그 주면을 수지 밀봉한 멀티칩 모듈의 신뢰성, 고밀도 실장화, 저코스트화를 촉진시키는 기술을 제공하는데 있다.
- <13> 본 발명의 다른 목적은, 복수개의 칩 위에 다른 칩을 적층하여 수지 밀봉한 멀티 칩 모듈의 신뢰성을 향상시키는 기술을 제공하는데 있다.
- <14> 본 발명의 다른 목적은, 복수개의 칩 위에 다른 칩을 적층하여 수지 밀봉한 멀티 칩 모듈의 제조 코스트를 저감할 수 있는 기술을 제공하는데 있다.
- <15> 본 발명의 상기 및 그 이외의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.
- <16> 본원에 있어서 개시되는 발명중, 대표적인 것의 개요를 간단히 설명하면, 이하와 같다.
- <17> 본 발명의 멀티 칩 모듈은, 주면에 복수의 배선과 복수의 전극패드가 형성된 배선기관과, 상기 배선기관의 주면의 제1 영역에 실장되고, 복수의 제1 범프전극을 통해서 상기 배선에 전기적으로 접속된 제1 반도체 칩과, 상기 배선기관의 주면의 제2 영역에 실장되고, 복수의 제2 범프전극을 통해서 상기 배선에 전기적으로 접속된 제2 반도체 칩과, 상기 제1, 제2 반도체 칩 위에 적층되어, 복수의 본딩와이어를 통해서 상기 전극패드에 전기적으로

접속된 제3 반도체 칩과, 상기 제1, 제2 반도체 칩과 상기 배선기판과의 사이 및 상기 제1 반도체 칩과 상기 제2 반도체 칩과의 간극에 충전된 제1 밀봉 수지와, 상기 제1, 제2, 제3 반도체 칩을 기밀(氣密) 밀봉하는 제2 밀봉 수지를 포함해서 구성된 것이다.

- <18> 또한, 본 발명의 멀티 칩 모듈의 제조방법은, 이하의 공정을 가지는 것이다.
- <19> (a) 주면이 복수의 배선기판 형성영역으로 구획되어, 상기 복수의 배선기판 형성영역의 각각에 복수의 배선과 복수의 전극패드가 형성된 직사각 형태의 기판(멀티 배선기판 또는 다수개 취득기판이라 한다), 주면에 복수의 제1 범프전극이 형성된 제1 반도체 칩, 주면에 제2 범프전극이 형성된 제2 반도체 칩 및 제3 반도체 칩을 각각 준비하는 공정,
- <20> (b) 상기 복수의 배선기판 형성영역의 각각의 제1 영역에, 그 주면이 상기 멀티 배선기판의 주면과 대향하도록 상기 제1 반도체 칩을 배치하고, 상기 복수의 배선기판 형성영역의 각각의 제2 영역에, 그 주면이 상기 멀티 배선기판의 주면과 대향하도록 상기 제2 반도체 칩을 배치함으로써, 상기 복수의 제1 범프전극을 통해서 상기 제1 반도체 칩과 상기 멀티 배선기판의 배선을 전기적으로 접속하며, 상기 복수의 제2 범프전극을 통해서 상기 제2 반도체 칩과 상기 멀티 배선기판의 배선을 전기적으로 접속하는 공정,
- <21> (c) 상기 제1, 제2 반도체 칩과 상기 멀티 배선기판과의 사이 및 상기 제1 반도체 칩과 상기 제2 반도체 칩과의 간극에 제1 밀봉 수지를 충전하는 공정,
- <22> (d) 상기 제1, 제2 반도체 칩 위에, 그 이면(裏面)이 상기 제1, 제2 반도체 칩과 대향하도록, 상기 제3 반도체 칩을 적층한 후, 복수의 본딩와이어를 통해서 상기 제3 반도체 칩과 상기 멀티 배선기판의 상기 전극패드를 전기적으로 접속하는 공정,
- <23> (e) 상기 멀티 배선기판의 주면에 실장된 상기 제1, 제2, 제3 반도체 칩을 제2 밀봉 수지로 기밀 밀봉하는 공정,
- <24> (f) 상기 멀티 배선기판을 상기 복수의 배선기판 형성영역의 경계부에 따라서 다이싱하는 것에 의해, 그 주면에 상기 제1, 제2, 제3 반도체 칩이 실장된 배선기판을 얻는 공정.

산업상 이용 가능성

- <154> 본 발명의 바람직한 일 실시형태에 의하면, 복수개의 칩의 위에 다른 칩을 적층하여 수지 밀봉한 멀티 칩 모듈의 신뢰성을 향상시킬 수 있다.
- <155> 본 발명의 바람직한 다른 실시형태에 의하면, 복수개의 칩의 위에 다른 칩을 적층하여 수지 밀봉한 멀티 칩 모듈의 제조 코스트를 저감할 수 있다.

도면의 간단한 설명

- <25> 도 1은, 본 발명의 일 실시형태인 반도체장치의 평면도이다.
- <26> 도 2는, 본 발명의 일 실시형태인 반도체장치의 단면도이다.
- <27> 도 3은, 본 발명의 일 실시형태인 반도체장치의 평면도이다.
- <28> 도 4는, 본 발명의 일 실시형태인 반도체장치의 제조에 이용하는 멀티 배선기판의 평면도이다.
- <29> 도 5는, 본 발명의 일 실시형태인 반도체장치의 제조에 이용하는 멀티 배선기판의 평면도이다.
- <30> 도 6은, 도 5에 나타내는 멀티 배선기판의 주요부 확대 평면도이다.
- <31> 도 7은, 도 5에 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <32> 도 8은, 도 5에 나타내는 멀티 배선기판의 주요부 확대 평면도이다.
- <33> 도 9는, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <34> 도 10은, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 평면도이다.
- <35> 도 11은, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.

- <36> 도 12는, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 평면도이다.
- <37> 도 13은, 본 발명의 일 실시형태인 반도체장치의 제조에 이용하는 반도체 칩의 평면도이다.
- <38> 도 14는, 본 발명의 일 실시형태인 반도체장치의 제조에 이용하는 반도체 칩의 평면도이다.
- <39> 도 15는, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <40> 도 16은, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <41> 도 17은, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 평면도이다.
- <42> 도 18은, 본 발명의 일 실시형태인 반도체장치의 제조에 이용하는 반도체 칩의 평면도이다.
- <43> 도 19는, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 반도체 웨이퍼의 사시도이다.
- <44> 도 20은, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 반도체 웨이퍼의 측면도이다.
- <45> 도 21은, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <46> 도 22는, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 평면도이다.
- <47> 도 23은, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 평면도이다.
- <48> 도 24는, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <49> 도 25는, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <50> 도 26은, 본 발명의 일 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <51> 도 27은, 본 발명의 다른 실시형태인 반도체장치의 제조에 이용하는 반도체 칩의 평면도이다.
- <52> 도 28은, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <53> 도 29는, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <54> 도 30은, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <55> 도 31은, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 평면도이다.
- <56> 도 32는, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <57> 도 33은, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <58> 도 34는, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <59> 도 35는, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <60> 도 36은, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <61> 도 37은, 본 발명의 다른 실시형태인 반도체장치의 제조방법을 나타내는 멀티 배선기판의 주요부 확대 단면도이다.
- <62> 도 38은, 본 발명의 다른 실시형태인 반도체장치의 단면도이다.
- <63> 도 39는, 도 38의 일부를 확대해서 나타내는 단면도이다.
- <64> 도 40은, 본 발명의 다른 실시형태인 반도체장치의 핀(단자) 배치도이다.

- <65> 도 41은, 본 발명의 다른 실시형태인 반도체장치에서 테스트 핀의 배치를 나타내는 멀티 배선기판의 평면도이다.
- <66> 도 42는, 본 발명의 다른 실시형태인 반도체장치에서 어드레스 핀군과 데이터 핀 군의 배치를 나타내는 멀티 배선기판의 평면도이다.
- <67> 도 43은, 메모리 칩의 어드레스 핀군과 데이터 핀군의 배치를 나타내는 평면도이다.
- <68> 도 44는, 본 발명의 다른 실시형태인 반도체장치에서 메모리 칩의 최적 실장방향을 나타내는 평면도이다.
- <69> 도 45의 (a)~(c)는, 본 발명의 다른 실시형태인 반도체 칩에서 메모리 칩의 최적 실장방향을 나타내는 개략 평면도이다.
- <70> 도 46은, 본 발명의 다른 실시형태인 반도체장치의 단면도이다.
- <71> (발명을 실시하기 위한 최선의 형태)
- <72> 이하, 본 발명의 실시형태를 도면에 의거해서 상세히 설명한다. 또, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 가지는 것에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.
- <73> (실시형태 1)
- <74> 도 1은 본 실시형태의 반도체장치의 상면을 나타내는 평면도, 도 2는 이 반도체장치의 단면도, 도 3은 이 반도체장치의 하면을 나타내는 평면도이다.
- <75> 본 실시형태의 반도체장치는, 패키지 기판(1)의 주면(主面) 위에 3개의 칩(2A, 2B, 2C)을 실장하고, 이들 칩(2A, 2B, 2C)을 몰드 수지(3)로 밀봉한 멀티 칩 모듈(MCM)이다. 3개의 칩(2A~2C)중 2개의 칩(2A, 2B)은, 패키지 기판(1)의 주면 위에 나열해서 배치되고, 그들 주면에 형성된 복수개의 Au 범프(4)를 통해서 패키지 기판(1)의 배선(5)과 전기적으로 접속되어 있다. 즉, 칩(2A, 2B)의 각각은, 플립 칩 방식에 따라 실장되어 있다.
- <76> 칩(2A, 2B)의 주면(하면)과 패키지 기판(1)의 주면과의 간극에는, 언더필수지(밀봉 수지)(6)가 충전되어 있다. 칩(2A)은, 예를 들면 복수의 기억소자를 가지는 기억회로를 포함하는 DRAM이 형성된 실리콘 칩이고, 칩(2B)은, 예를 들면 메모리 칩이 형성된 실리콘 칩이다.
- <77> 칩(2C)은, 2개의 칩(2A, 2B)을 겹치도록 배치되고, 접착제(7)에 의해 칩(2A, 2B)의 상면에 접촉되어 있다. 칩(2C)의 주면에 형성된 본딩패드(13)는 복수개의 Au 와이어(8)에 의해 패키지 기판(1)의 본딩패드(9)와 전기적으로 접속되어 있다. 즉, 칩(2C)은 와이어 본딩방식에 따라 실장되어 있다. 칩(2C)은, 예를 들면 프로그램으로 동작하는 프로세서 회로를 포함하는 고속 마이크로 프로세서(MPU: 초소형 연산처리장치)가 형성된 실리콘 칩이다.
- <78> 상기 3개의 칩(2A, 2B, 2C)을 실장하는 패키지 기판(1)은, 유리 섬유를 포함한 에폭시수지(유리·에폭시수지)와 같은 범용 수지를 주체로 하여 구성된 다층 배선기판이고, 그 주면(상면), 하면 및 내부에 4~6층 정도의 배선(5)이 형성되어 있다.
- <79> 패키지 기판(1)의 하면에는, 상기 배선(5)과 전기적으로 접속된 복수의 전극패드(10)가 어레이 형태로 배치되어 있고, 각각의 전극패드(10)에는, 멀티 칩 모듈(MCM)의 외부 접속단자를 구성하는 뿔뿔 범프(11)가 접속되어 있다. 멀티 칩 모듈(MCM)은 이들 뿔뿔 범프(11)를 통해서 전자기기의 배선기판 등에 실장된다. 패키지 기판(1)의 주면 및 하면에는 배선(5)과 칩(2A, 2B)과의 접속부, 본딩패드(9), 전극패드(10) 등의 표면을 제외하고, 에폭시계 수지와 아크릴계 수지 등으로 이루어지는 솔더 레지스트(절연막)(12)이 코팅되어 있다.
- <80> 상기 멀티 칩 모듈(MCM)의 칩수의 일예를 설명하면, 패키지 기판(1)의 외형 칩수는, 종(縱)×횡(橫)=13mm×13mm, 두께 0.3mm이다. 패키지 기판(1)에 실장된 칩(2A, 2B, 2C)의 두께는, 각각 0.15mm, 나란히 배치된 2개의 칩(2A, 2B)의 간격은, 20 μ m~100 μ m이다. 칩(2A, 2B, 2C)을 밀봉하는 몰드 수지(3)의 두께는 0.66mm, 몰드 수지(3)의 상면에서 뿔뿔 범프(11)의 하단까지의 거리, 즉 멀티 칩 모듈(MCM)의 실장 높이는 1.468mm이다.
- <81> 다음에, 상기와 같이 구성된 본 실시형태의 반도체장치의 제조방법을 도 4~도 26을 이용해서 공정 순서대로 설명한다.
- <82> 도 4~도 8은, 멀티 칩 모듈(MCM)의 제조에 이용하는 직사각형의 기판(이하, 멀티 배선기판 또는 멀티 배선기판(100)이라 한다)을 나타내고 있다. 도 4는 이 멀티 배선기판(100)의 주면(칩 실장면)을 나타내는 전체 평면도,

도 5는 이면을 나타내는 전체 평면도이다. 또한, 도 6은 멀티 배선기판(100)의 일부를 나타내는 평면도와 측면도, 도 7은 멀티 배선기판(100)의 일부를 나타내는 단면도, 도 8은 멀티 배선기판(100)의 일부(패키지 기판 1개분의 영역)를 나타내는 확대 평면도이다.

- <83> 멀티 배선기판(100)은, 상기 패키지 기판(1)의 모체가 되는 기판이다. 이 멀티 배선기판(100)을 도 4, 도 5에 나타내는 다이싱 라인(L)에 따라서 격자 형태로 절단(다이싱), 개편화하는 것에 의해 복수개의 패키지 기판(1)이 얻어진다. 도면에 나타내는 멀티 배선기판(100)의 경우는, 그 장변방향이 6 블록의 패키지 기판 형성영역으로 구획되고, 단변방향이 3블록의 패키지 기판 형성영역으로 구획되어 있으므로, $3 \times 6 = 18$ 개의 패키지 기판(1)이 얻어진다.
- <84> 상기 멀티 배선기판(100)은, 유리·에폭시수지와 같은 범용 수지를 주체로 하여 구성된 다층 배선기판이다. 멀티 배선기판(100)의 주면에는, 배선(5) 및 본딩패드(9)가 형성되어 있고, 이면에는 전극패드(10)가 형성되어 있다. 또한, 멀티 배선기판(100)의 내층에는, 복수 층의 배선(5)이 형성되어 있다. 패키지 기판(1)을, 저렴한 범용 수지를 사용하여 제조하는 것에 의해, 멀티 칩 모듈(MCM)의 제조 원가를 저감할 수 있다.
- <85> 멀티 배선기판(100)의 주면의 배선(5) 및 본딩패드(9)와, 이면의 전극패드(10)는, 멀티 배선기판(100)의 양면에 부착한 Cu 박(箔)을 에칭하는 것에 의해 형성된다. 멀티 배선기판(100)의 주면의 배선(5)중 솔더 레지스트(12)로 덮여져 있지 않은 영역, 즉 칩(2A, 2B)의 Au 범프(4)가 접속되는 영역의 표면에는, Ni 및 Au의 도금이 시행되어 있다. 또한, 본딩패드(9)의 표면 및 전극패드(10)의 표면에도, Ni 및 Au의 도금이 시행되어 있다. 이들 도금은, 무전해 도금법으로 형성하는 것도 가능하지만, 무전해 도금법으로 형성한 도금층은 막 두께가 얇고, 본딩패드(9) 위에 Au 와이어(4)를 접속한 경우에 충분한 접착 강도를 확보하기 어려우므로, 상기 Ni 및 Au의 도금은, 무전해 도금법보다도 막 두께를 두껍게 할 수 있는 전해 도금법으로 형성된다.
- <86> 배선(5), 본딩패드(9) 및 전극패드(10)의 표면에 전해 도금법으로 Ni 및 Au의 도금을 시행하는 경우는, 배선(5), 본딩패드(9) 및 전극패드(10)가 멀티 배선기판(100)의 전체 영역에서 도통한 상태로 도금처리를 행하고, 이어서 다이싱 라인(L) 위의 배선(5)을 라우터로 절단한 후, 각 패키지 기판 형성영역의 도통시험을 행한다. 그 때문에, 도 6 및 도 7에 나타낸 바와 같이, 멀티 배선기판(100)의 주면의 다이싱 라인(L)에는, 이 영역의 배선(5)을 라우터로 절단했을 때 홈(101)이 남아 있다. 상기 라우터 가공에 의해, 도통시험을 행하기 위한 각 패키지 기판 사이의 연속해서 형성된 배선이 절단되므로, 도통시험을 개별로 할 수 있고, 또한 멀티 배선기판(100)을 완전히 절단하지 않으므로, 일괄 몰드공정과 그 후의 기판 반송처리를 용이하게 할 수 있다. 절단된 배선의 단부가 홈(101)의 측면에서 노출하고 있다.
- <87> 도 8에 나타내는 바와 같이, 패키지 기판 형성영역의 주변부에는, 칩 실장영역을 둘러싸도록 복수의 본딩패드(13)가 형성되어 있다. 본딩패드(13)는 패키지 기판 형성영역의 4변에 따라서 2열로 배치되어 있다. 본딩패드(13)와 칩 실장영역과의 사이에는, 칩 실장영역을 둘러싸도록 댄 영역(16)이 설치되어 있다. 이 댄 영역(16)은, 솔더 레지스트(12)가 형성되어 있지 않은 영역이고, 그 내측 및 외측의 솔더 레지스트(12)가 형성된 영역보다도 표면의 높이가 낮게 되어 있기 때문에, 칩(2A, 2B)의 하부에 언더필수지(6)를 충전할 때, 이 언더필수지(6)가 패키지 기판 형성영역의 주변부, 즉 본딩패드(13)가 형성된 영역으로 흐르는 것을 방지하는 기능을 갖고 있다.
- <88> 상기 멀티 배선기판(100)을 사용해서 멀티 칩 모듈(MCM)을 제조하기 위해서는, 도 9(패키지 기판 2개분의 영역을 나타내는 단면도) 및 도 10(패키지 기판 1개분의 영역을 나타내는 확대 평면도)에 나타내는 바와 같이, 멀티 배선기판(100)의 주면의 칩 실장영역에 수지테이프(6a)를 부착한다. 수지테이프(6a)는, 예를 들면 입자 지름 3 μm 정도의 실리카를 분산시킨 열경화형 에폭시계 수지로 이루어지는 것으로, 미리 2개의 칩(2A, 2B)과 거의 동일한 칫수가 되도록 재단(裁斷)해 놓는다. 수지테이프(6a)는, 수지중에 도전성의 미세 분말을 분산시킨 이방성 도전성수지(ACF) 등으로 구성하는 것도 가능하다. 수지테이프(6a)는, 각 반도체 칩(2A, 2B)과 거의 동일한 칫수의 2장의 분할된 테이프를 이용하여도 된다.
- <89> 또, 대기중에 방치한 멀티 배선기판(100)에는 대기중의 수분이 침투하고 있기 때문에, 그대로 수지테이프(6a)를 부착하면, 양자의 접촉성이 저하할 우려가 있다. 따라서, 멀티 배선기판(100)의 주면에 수지테이프(6a)를 부착할 때에는, 그 직전에 멀티 배선기판(100)을 베이킹하여 수분을 제거해 놓는 것이 바람직하다. 베이킹 조건은 예를 들면 125 $^{\circ}\text{C}$, 2시간 정도이다. 또한, 상기 베이킹 처리에 계속해서 멀티 배선기판(100)을 플라즈마 처리하고, 그 표면을 활성화하는 것에 의해, 수지테이프(6a)와 멀티 배선기판(100)과의 접촉성을 더 향상시킬 수 있다.
- <90> 다음에, 도 11 및 도 12에 나타내는 바와 같이, 멀티 배선기판(100)의 주면에 부착한 수지테이프(6a)의 위에 2개의 칩(2A, 2B)을 페이스 다운방식으로 탑재한다. 이때, 칩(2A)과 칩(2B)의 간극을 20 μm ~100 μm 정도로 설정한

다. 수지테이프(6a)에 포함되는 실리카의 입자 지름은 3 μ m 정도이기 때문에, 칩(2A)과 칩(2B)의 간극을 20 μ m까지 좁게하여도, 이 간극에 언더필수지(6)를 충전시킬수 있다. 다른 한편, 칩(2A)과 칩(2B)의 간극이 너무 넓으면, 이 간극이 언더필수지(6)로 완전히 충전되지 않게 되어, 후의 몰드공정에서 이 간극에 공기 정체(void)가 생기는 경우가 있다. 또한, 칩(2A)과 칩(2B)의 간극을 넓게 하는 것은 개개의 배선기판의 면적을 크게 하는 것을 의미하며, 고밀도 실장을 저해하는 것이다.

<91> 도 13에 나타내는 바와 같이, DRAM이 형성된 칩(2A)의 주면에는, 미리 볼 본딩법을 이용해서 Au 범프(4)를 형성해 놓는다. 또한, 도 14에 나타내는 바와 같이, 플래시 메모리가 형성된 칩(2B)의 주면에도, 같은 방법으로 Au 범프(4)를 형성해 놓는다. 이들 Au 범프(4)는 웨이퍼 프로세스의 최종공정에서 형성한다. 즉, 통상의 웨이퍼 프로세스를 완료한 후, 웨이퍼의 본딩패드 위에 볼 본딩법을 이용해서 Au 범프(4)를 형성하고, 그 후, 웨이퍼를 다이싱하는 것에 의해, 개편화된 칩(2A, 2B)을 얻는다.

<92> 통상, DRAM의 본딩패드는, 칩의 중앙에 일렬로 배치되지만, 플래시 메모리의 본딩패드는, 칩의 단변에 따라 2열로 배치된다. 그 때문에, DRAM의 본딩패드는, 플래시 메모리의 그것에 비해 패드의 피치가 좁게 되고, 그것에 따라 패드의 지름도 작게 된다(예를 들면 플래시 메모리의 단자 피치가 150 μ m인 경우, DRAM의 그것은 85 μ m 정도이다). 따라서, DRAM의 본딩패드 위에 Au 범프(4)를 형성하는 경우는, 지름이 가는(예를 들면 직경 20 μ m) Au선을 사용하고, 플래시 메모리의 본딩패드 위에 Au 범프(4)를 형성하는 경우는, 지름이 굵은(예를 들면 직경 30 μ m) Au선을 사용하는 것이 통상이다.

<93> 그러나, 본 실시형태의 멀티 칩 모듈(MCM)은, 2개의 칩(2A, 2B) 위에 제3 칩(2C)을 적층하므로, 칩의 두께 및 Au 범프(4)의 지름을 2개의 칩(2A, 2B)으로 동일하게 하는 것에 의해, 양자의 실장 높이를 일치시킬 필요가 있다. 따라서, 본 실시형태에서는 플래시 메모리의 본딩패드 위에 Au 범프(4)를 형성할 때 사용하는 Au선은, DRAM의 본딩패드 위에 Au 범프(4)를 형성할 때 사용하는 Au선과 동일한 지름(예를 들면 직경 20 μ m)의 것을 사용한다. 이 경우, 솔더 레지스트(12)의 두께(예를 들면 25 μ m)를 고려하면, 가는 Au선을 사용하여 형성한 Au 범프(4)는, 본딩패드와의 접촉면적이 적게 되어, 접촉 불량을 일으킬 가능성이 있다. 그래서, 본 실시형태에서는, Au 범프(4)와 본딩패드와의 접촉면적을 확보하기 위해, Au 범프(4) 위에 Au 범프(4)를 포개서 본딩하는 다단 범프 구조를 채용한다.

<94> 다음에, 도 15에 나타내는 바와 같이, 2개의 칩(2A, 2B) 위에 바닥면이 평탄한 히트 툴(히트 블록이라고도 한다)(102)을 짝 누른다. 히트 툴(102)의 가압압력은, 예를 들면 15kg/10mm², 온도는 예를 들면 235 $^{\circ}$ C이다. 이것에 의해, 수지테이프(6a)를 용융하고, 칩(2A, 2B)과 멀티 배선기판(100)의 간극 및 칩(2A)과 칩(2B)의 간극에 언더필수지(6)가 충전됨과 동시에, 칩(2A, 2B)의 Au 범프(4)와 멀티 배선기판(100)의 배선(5)(도 15에는 도시하지 않는다)이 전기적으로 접속된다. 언더필수지(6)는, 칩(2A, 2B)의 주면(반도체소자 및 전극(본딩패드) 형성면)을 보호하는, 칩(2A, 2B)을 멀티 배선기판(100)에 접촉하는, 범프전극(4)과 멀티 배선기판(100)의 전극패드의 접속강도를 확보하는 등의 목적으로 형성된다.

<95> 이와 같이, 본 실시형태에서는, 칩(2A, 2B)과 거의 동일한 칫수로 가공한 수지테이프(6a)를 용융시키는 것에 의해, 칩(2A, 2B)과 멀티 배선기판(100)의 간극 및 칩(2A)과 칩(2B)의 간극에 언더필수지(6)를 충전한다. 이 방법에 의하면, 예를 들면 칩(2A, 2B)의 주변에 디스펜서를 사용해서 액상의 언더필수지를 공급하는 충전방법에 비교한 경우, 언더필수지(6)가 칩(2A, 2B)의 주위로 돌출하는 양을 적게 할 수 있으므로, 칩(2A, 2B)을 둘러싸도록 배치된 멀티 배선기판(100) 위의 본딩패드(9)가 언더필수지(6)로 덮이는 것은 아니다.

<96> 다음에, 도 16 및 도 17에 나타내는 바와 같이, 2개의 칩(2A, 2B) 위에 칩(2C)을 탑재한다. 도 18에 나타내는 바와 같이, 마이크로 프로세서가 형성된 칩(2C)의 주면에는, 그 4변에 따라서 본딩패드(13)가 형성되어 있다. 본딩패드(13)의 수는, 칩(2A)과 칩(2B)에 형성된 본딩패드의 수보다도 많다. 이와 같이 본딩패드 수가 비교적 적은 칩을 범프전극에 의해 페이스 다운 실장하고, 본딩패드 수가 비교적 많은 칩을 와이어 본딩에 의해 페이스 업 실장하는 것에 의해, 배선기판의 배선 밀도(배선 피치)와 배선의 길이를 저감하여, 저코스트로 고밀도 실장된 패키지를 제공할 수 있다.

<97> 칩(2C)은, 멀티 배선기판(100)과 칩(2C)을 접속하는 Au 와이어(8)의 길이가 가능한 한 균일하게 되도록, 각 패키지 기판 형성영역의 중앙에 배치한다. 또한, 칩(2C)의 이면에는 미리 칩(2C)과 동일한 칫수로 채단된 테이프 형태의 접착제(7)를 부착해 놓는다. 칩(2C)의 이면에 테이프 형태의 접착제(7)를 부착하기 위해서는, 예를 들면 도 19 및 도 20에 나타내는 바와 같이, 통상의 웨이퍼 프로세스를 완료한 웨이퍼(14)의 이면에 다이싱 테이프(15)를 부착할 때, 웨이퍼(14)와 다이싱 테이프(15)와의 사이에 테이프 형태의 접착제(7)를 끼워 넣고, 이 상태로 웨이퍼(14)를 다이싱하는 것에 의해 칩(2C)을 얻는다. 그 후, 칩(2C)의 이면의 다이싱 테이프(15)를 제거하

면, 칩(2C)의 이면에 칩(2C)과 동일한 칩수의 접착제(7)가 남는다. 접착제(7)는, 예를 들면 폴리이미드수지계의 접착제를 사용한다.

- <98> 다음에, 멀티 배선기판(100)을 가열 로(爐)내에서 180℃, 1시간 정도 가열한다. 이 가열처리에 의해, 접착제(7)를 부드럽게 하고, 칩(2A, 2B)의 위에 칩(2C)이 접착된다.
- <99> 다음에, 도 21 및 도 22에 나타내는 바와 같이, 멀티 배선기판(100)의 본딩패드(9)와 칩(2C)의 본딩패드(13)(도 21, 도 22에는 도시하지 않음)를 Au 와이어(8)로 접속한다. Au 와이어(8)의 접속은, 예를 들면 초음파 진동과 열압착을 병용한 와이어 본딩을 사용해서 행한다.
- <100> 다음에, 도 23 및 도 24에 나타내는 바와 같이, 멀티 배선기판(100)을 몰드 금형(도시하지 않음)에 장착하고, 멀티 배선기판(100)의 주면 전체를 일괄해서 수지 밀봉한다. 몰드 수지(3)는, 예를 들면 입자 지름 70 μ m~100 μ m 정도의 실리카를 분산시킨 열경화형 에폭시계수지로 이루어진다. 전술한 바와 같이, 칩(2A, 2B)과 멀티 배선기판(100)의 간극 및 칩(2A)과 칩(2B)의 간극에는, 미리 언더필수지(6)가 충전되어 있으므로, 멀티 배선기판(100)의 주면을 수지 밀봉했을 때, 이들 간극에 공기 정체(void)가 생기는 일은 없다.
- <101> 다음에, 도 25에 나타내는 바와 같이, 멀티 배선기판(100)의 이면의 전극패드(9)(도 25에는 도시하지 않음)에 뿔납 범프(11)를 접속한다. 뿔납 범프(11)의 접속은, 예를 들면 저융점의 Pb-Sn 공정합금으로 이루어지는 뿔납 볼을 전극패드(9)의 표면에 공급한 후, 뿔납 볼을 리플로우시키는 것에 의해 행한다.
- <102> 다음에, 도 26에 나타내는 바와 같이, 멀티 배선기판(100)을 도 4, 도 5에 나타내는 다이싱 라인(L)에 따라서 절단, 개편화하는 것에 의해, 상기 도 1~도 3에 나타낸 본 실시형태의 멀티 칩 모듈(MCM)을 완성한다. 멀티 배선기판(100)을 절단하는 경우에는, 멀티 배선기판(100)의 다이싱 라인(L)에 형성된 홈(101)(도 6 및 도 7 참조)의 폭보다도 좁은 폭의 다이싱 블레이드를 사용한다. 이렇게 하면, 패키지 기판(1)의 측면의 일부가 몰드수지(3)로 덮여지므로(도 2 참조), 패키지 기판(1)의 측면에서 내부로 침입하는 수분의 양이 저감되어, 멀티 칩 모듈(MCM)의 신뢰성이 향상한다. 개편화된 멀티 칩 모듈(MCM)은, 예를 들면 프린트 배선기판(PCB) 등의 실장 준비 기판에, 뿔납 범프(11)를 통해서 실장된다.
- <103> (실시형태 2)
- <104> 본 실시형태의 반도체장치의 제조방법을 도 27~도 34를 이용해서 공정 순서대로 설명한다.
- <105> 상기 실시형태 1에서는, DRAM이 형성된 칩(2A)의 주면 및 플래시 메모리가 형성된 칩(2B)의 주면에 각각 Au 범프(4)를 형성하였지만, 본 실시형태에서는, Au 범프(4) 대신에 뿔납 범프(20)를 사용한다.
- <106> 도 27은 DRAM이 형성된 칩(2A)의 주면에 뿔납 범프(20)를 형성한 상태를 나타내는 평면도이다. 도시하는 바와 같이, 뿔납 범프(20)는, 칩(2A)의 주면에 어레이 형태로 배치되어 있다. 본딩패드(13)와 뿔납 범프(20)는, 재배선이라 불리는 Cu 배선(21)을 통해서 전기적으로 접속되어 있다. Cu 배선(21)은, 본딩패드(13)의 피치를 뿔납 범프(20)의 피치로 변환하는 인터포저로서 기능하고, 이것에 의해 뿔납 범프(20)의 피치를 본딩패드(13)의 피치보다도 넓게 할 수 있으므로, 패키지 기판(1)으로서 고가의 빌드 업 기판을 사용하지 않아도 되고, 배선(5)의 피치가 넓은 저렴한 수지 기판을 사용할 수 있다.
- <107> Cu 배선(21) 및 뿔납 범프(20)는, 웨이퍼 프로세스의 최종 공정에서 형성된다. 즉, Cu배선(21)은, 웨이퍼의 표면 보호막 위에 폴리이미드 수지 등의 유기절연막을 형성한 후, 이 유기절연막 위에 전해 도금법 등을 이용해서 형성된다. Cu 배선(21)과 본딩패드(13)는, 본딩패드(13) 위의 유기절연막에 형성한 스투홀을 통해서 전기적으로 접속된다. 또한, 뿔납 범프(20)는 Cu 배선(21)의 일단에 스크린 인쇄법으로 뿔납 페이스트를 인쇄하고, 다음에, 웨이퍼를 가열하여 이 뿔납 페이스트를 용융시키는 것에 의해 형성한다. 뿔납 범프(20)는, 예를 들면 2중량%의 Sn을 포함하는 Pb-Sn합금(액상선 온도 320℃~325℃) 등으로 구성한다. 또, 도시는 생략하지만, 플래시 메모리가 형성된 칩(2B)의 주면에도 같은 방법으로 Cu 배선(21) 및 뿔납 범프(20)를 형성한다.
- <108> 다음에, 도 28에 나타내는 바와 같이, 멀티 배선기판(100) 각각의 패키지 기판 형성영역에 칩(2A, 2B)을 위치 결정한 후, 멀티 배선기판(100)을 전기로내에서 340℃ 정도로 가열하여 뿔납 범프(20)를 리플로우 하는 것에 의해, 칩(2A, 2B)의 뿔납 범프(20)와 멀티 배선기판(100)의 배선(5)을 전기적으로 접속한다.
- <109> 다음에, 도 29에 나타내는 바와 같이, 2개의 칩(2A, 2B) 위에 칩(2C)을 탑재한다. 칩(2A, 2B)과 칩(2C)과의 접속은, 상기 실시형태 1과 같이, 칩(2C)의 이면에 부착한 접착제(7)를 사용한다.
- <110> 다음에, 도 30 및 도 31에 나타내는 바와 같이, 멀티 배선기판(100)의 본딩패드(9)와 칩(2C)의 본딩패드(13)를

Au 와이어(8)로 접속한다. Au 와이어(8)의 접속은, 상기 실시형태 1과 같이, 예를 들면 초음파진동과 열압착을 병용한 와이어 본딩을 사용해서 행한다.

- <111> 다음에, 도 32에 나타내는 바와 같이, 칩(2A, 2B)의 주변부에 디스펜서 등을 사용해서 액상의 언더필수지(6)를 공급한 후, 언더필수지(6)를 가열, 경화시키는 것에 의해, 칩(2A, 2B)과 멀티 배선기판(100)의 간극 및 칩(2A)과 칩(2B)의 간극에 언더필수지(6)를 충전한다. 액상의 언더필수지(6)는 유동성이 높고, 또한 첨가되어 있는 실리카 필러의 입자 지름은 칩(2A)과 칩(2B)의 간극(20 μ m~100 μ m 정도)보다도 작기(3 μ m 정도) 때문에, 칩(2A)과 칩(2B)의 간극을 언더필수지(6)로 완전히 충전할 수 있다.
- <112> 또한, 본 실시형태에서는, 액상의 언더필수지(6)를 칩(2A, 2B)의 주변부로 공급할 때, 패키지 기판 형성영역의 주변부에도 공급하고, 본딩패드(13)의 표면이 언더필수지(6)로 덮여지도록 한다. 언더필수지(6)는 전체 본딩패드(13)의 표면을 완전히 덮을 필요는 없다. 이 상태로 언더필수지(6)를 경화하면, 본딩패드(13)의 표면에 접속된 Au 와이어(8)의 일단부가 언더필수지(6)에 의해 고정되기 때문에, 본딩패드(13)와 Au 와이어(8)의 접속신뢰성이 향상한다. 또한, 언더필수지(6)를 충전 전에 와이어 본딩공정이 완료하고 있으므로, 언더필수지(6)에 의해 기판 위의 형성된 전극패드의 오염도 회피할 수 있다.
- <113> 다음에, 도 33에 나타내는 바와 같이, 멀티 배선기판(100)을 몰드 금형(도시하지 않음)에 장착하고, 멀티 배선기판(100)의 주변 전체를 일괄해서 수지 밀봉한다. 몰드 수지(3)는, 예를 들면 입자 지름 70 μ m~100 μ m 정도의 실리카를 분산시킨 열경화형 에폭시계 수지로 이루어진다. 전술한 바와 같이, 칩(2A, 2B)과 멀티 배선기판(100)의 간극 및 칩(2A)과 칩(2B)의 간극에는 미리 언더필수지(6)가 충전되어 있으므로, 멀티 배선기판(100)의 주변을 수지 밀봉했을 때, 이들 간극에 공기 정체(void)가 생기는 일은 없다. 또한, 본 실시형태에서는, Au 와이어(8)의 일단부가 언더필수지(6)에 의해 본딩패드(13)의 표면에 고정되어 있으므로, 용융한 몰드 수지(3)를 몰드 금형내에 주입했을 때의 압력에 의한 Au 와이어(8)의 단선을 확실하게 방지할 수 있다.
- <114> 다음에, 도 34에 나타내는 바와 같이, 멀티 배선기판(100)의 이면의 전극패드(10)에 뿔뿔 뿔(11)를 접속한다. 도시는 생략하지만, 그 후, 상기 실시형태 1과 같은 방법으로 멀티 배선기판(100)을 절단하는 것에 의해, 본 실시형태의 멀티 칩 모듈(MCM)을 완성한다.
- <115> (실시형태 3)
- <116> 본 실시형태의 반도체장치의 제조방법을 도 35~도 37을 이용해서 공정 순서대로 설명한다.
- <117> 우선, 도 35에 나타내는 바와 같이, 칩(2A, 2B)의 뿔뿔 뿔(20)과 멀티 배선기판(100)의 배선(5)을 전기적으로 접속하고, 계속해서 2개의 칩(2A, 2B)의 위에 접촉체(7)를 통해서 칩(2C)을 탑재한 후, 멀티 배선기판(100)의 본딩패드(9)와 칩(2C)의 본딩패드(13)를 Au 와이어(8)로 접속한다. 여기까지의 공정은, 상기 실시형태 2의 도 27~도 31에 나타낸 공정과 동일하다.
- <118> 다음에, 도 36에 나타낸 바와 같이, 멀티 배선기판(100)을 몰드 금형(도시하지 않음)에 장착하고, 멀티 배선기판(100)의 주변 전체를 일괄해서 수지 밀봉한다. 이때, 본 실시형태에서는, 상기 실시형태 1, 2에서 이용한 언더필수지(6)와 같이, 첨가되어 있는 실리카 필러의 입자 지름이 3 μ m 정도의 몰드 수지(3)를 사용한다. 이 몰드 수지(3)에 첨가되어 있는 실리카 필러의 입자 지름은, 칩(2A)과 칩(2B)의 간극(20 μ m~100 μ m 정도)보다도 작기 때문에, 칩(2A, 2B)과 멀티 배선기판(100)의 간극 및 칩(2A)과 칩(2B)의 간극을 몰드 수지(3)로 완전히 충전할 수 있다. 이 몰드 수지(3)는, 상기 실시형태 1, 2에서 이용한 입자 지름 70 μ m~100 μ m 정도의 실리카가 첨가된 몰드 수지(3)에 비해서 고가이지만, 칩(2A, 2B)과 멀티 배선기판(100)의 간극 및 칩(2A)과 칩(2B)의 간극에 언더필수지(6)를 충전하는 공정을 생략할 수 있다.
- <119> 다음에, 도 37에 나타내는 바와 같이, 상기 실시형태 1, 2와 같은 방법으로 멀티 배선기판(100)의 이면의 전극패드(9)에 뿔뿔 뿔(11)를 접속한다. 도시는 생략하지만, 그 후, 상기 실시형태 1, 2와 같은 방법으로 멀티 배선기판(100)을 절단하는 것에 의해, 본 실시형태의 멀티 칩 모듈(MCM)을 완성한다.
- <120> (실시형태 4)
- <121> 도 38은, 본 실시형태의 반도체장치를 나타내는 단면도, 도 39는 도 38의 일부를 확대하여 나타내는 단면도이다.
- <122> 본 실시형태의 반도체장치는, DRAM이 형성된 1개의 칩(2A)을 패키지 기판(1)의 주변 위에 실장함과 동시에, 고속 마이크로 프로세서(MPU)가 형성된 1개의 칩(2C)을 칩(2A)의 상부에 적층하고, 이들 2개의 칩(2A, 2C)을 몰드

수지(3)로 밀봉한 멀티 칩 모듈(MCM)이다.

- <123> 하층의 칩(2A)은, 패키지 기판(1)의 주면에 형성된 Au 범프(4)를 통해서 패키지 기판(1)의 배선(5)과 전기적으로 접속되어 있다. 즉, 칩(2A)은, 플립 칩 방식에 따라 실장되어 있다. 칩(2A)의 주면(하면)과 패키지 기판(1)의 주면과의 간극에는, 언더필수지(6)가 충전되어 있다.
- <124> 상층의 칩(2C)은, 접착제(7)에 의해 칩(2A)의 상면에 접촉되어 있다. 칩(2C)의 주면에 형성된 본딩패드(13)는, 복수개의 Au 와이어(8)에 의해 패키지 기판(1)의 본딩패드(9)와 전기적으로 접속되어 있다. 즉, 칩(2C)은, 와이어 본딩방식에 의해 실장되어 있다.
- <125> 상기 2개의 칩(2A, 2C)을 실장하는 패키지 기판(1)의 하면에는, 상기 배선(5)에 전기적으로 접속된 복수의 전극패드(10)가 어레이 형태로 배치되어 있고, 각각의 전극패드(10)에는, 멀티 칩 모듈(MCM)의 외부 접속단자(핀)을 구성하는 뱀납 범프(11)가 접속되어 있다. 패키지 기판(1)의 주면 및 하면에는, 배선(5)과 칩(2A)과의 접속부, 본딩패드(9), 전극패드(10) 등의 표면을 제외하고, 에폭시계수지와 아크릴계수지 등으로 이루어지는 솔더 레지스트(12)가 코팅되어 있다.
- <126> 상기 도 13에 나타내는 바와 같이, DRAM이 형성된 칩(2A)은, 직사각형의 평면 형상을 가지고, 그 주면의 중앙부에는 복수의 Au 범프(4)가 일렬로 배치되어 있다. 또한, 상기 도 18에 나타내는 바와 같이, 마이크로 프로세서가 형성된 칩(2C)은, 거의 정사각형의 평면 형상을 가지고, 그 주면의 4변에 따라서 본딩패드(13)가 형성되어 있다. 칩(2C)에 형성된 본딩패드(13)의 수는, 칩(2A)에 형성된 본딩패드(Au 범프(4))의 수보다도 많다.
- <127> 전술한 바와 같이, 본딩패드의 수가 적고, 본딩패드의 최소 피치가 큰 칩(2A)과, 본딩패드의 수가 많고, 본딩패드의 피치가 작은 칩(2C)을 적층하는 경우는, 본딩패드의 최소 피치가 큰 칩(2A)을 Au 범프(4)에 의해 페이스 다운 실장하고, 본딩패드의 최소 피치가 작은 칩(2C)을 와이어 본딩에 의해 페이스 업 실장한다. 이것에 의해, 패키지 기판(1)에 대한 배선 밀도의 요구를 완화할 수 있으므로, 패키지 기판(1)에 대해서 보다 저렴한 것을 사용하는 것이 가능하게 되어, 저코스트로 고밀도 실장이 가능한 패키지를 제공할 수 있다.
- <128> 도 39에 나타내는 바와 같이, 상기와 같은 직사각형의 평면 형상을 가지는 1개의 칩(2A)의 위에 거의 정사각형의 평면 형상을 가지는 칩(2C)을 적층하는 경우에는, 상층의 칩(2C)의 주변부가 하층의 칩(2a)의 주변부보다도 외측으로 돌출하는(오버 에칭) 경우가 있다.
- <129> 이때, 상층의 칩(2C)의 오버 에칭량이 크면, 이 칩(2C)의 주변부에 형성된 본딩패드(13) 위에 Au 와이어(13)를 본딩할 때, 칩(2C)의 주변부에 가하는 하중에 따라 칩(2C)이 깨질 염려가 있다. 그 대책으로서, 하층의 칩과 기판과의 간극에 충전하는 수지의 양을 많게 하는 것에 의해, 칩(2C)의 주변부 바로 밑에도 충전해 주는 방법이 생각될 수 있다(일본특허공개 2000-2999431호 공보). 이 방법에 의하면, 와이어 본딩시에 상층의 칩(2C)의 주변부에 하중이 가해져도, 칩(2C)의 주변부는 수지에 의해 지지되고 있으므로, 칩(2C)의 깨짐을 방지할 수 있다.
- <130> 그러나, 상기한 대책은, 언더필수지(6)의 공급량의 제어에 의해, 하층 칩(2A)으로부터 그 외주로의 언더필수지(6)의 돌출량을 제어하는 것이므로, 그 돌출량의 정확한 제어는 곤란하다. 특히, 하층 칩(2A)의 접착공정에 있어서, 과도한 언더필수지(6)의 돌출에 의해, 패키지 기판(1) 주면 위의 본딩패드(9)를 오염시켜 버리면, 그 후의 와이어본딩 공정에 있어서 본딩와이어와 본딩패드(9)와의 비접속 불량을 초래할 염려가 있다. 또한, 이와 같은 문제를 해결하기 위해, 비록 과도한 언더필수지(6)의 돌출이 있더라도 본딩패드(9)가 오염되지 않도록, 상층 칩(2C)의 본딩패드(13)가 배치되는 영역으로부터 본딩패드(9)까지의 거리를 충분히 확보하도록 하면, 패키지 기판(1)의 대형화, 더 나아가서는 MCM의 대형화에 연결되어 바람직하지 않다.
- <131> 그래서, 본 실시형태에서는, 도 39에 나타내는 바와 같이, 언더필수지(6)의 돌출량의 변동이 있었다고 하여도 본딩패드(9)의 오염이 발생하지 않도록, 상층 칩(2C)이 하층 칩(2A)의 외측으로 오버 에칭하고 있는 경우에 있어서, 상층 칩(2C)의 본딩패드(13)를 언더필수지(6)의 돌출부에서 지탱하지 않는 구성으로 함과 동시에, 와이어 본딩 공정시의 상층 칩(2C)의 깨짐을 방지하기 위해, 상층 칩(2C)이 지탱되어 있지 않은 부분의 길이(h)를 최대한도 1.5mm 이하, 바람직하게는 1mm 이하로 설정한다.
- <132> 도 40은, 본 실시형태에 의한 멀티 칩 모듈(MCM)의 핀(단자) 배치도이다.
- <133> 본 실시형태의 멀티 칩 모듈(MCM)에 사용되는 패키지 기판(1)은, 고속 마이크로 프로세서(MPU)가 형성된 1개의 칩(2C)을 실장하기 위해 설계된 패키지 기판과 공통의 핀 배치를 가지고 있다. 따라서, 도 40에 나타내는 핀중, 2개의 칩(2A, 2C)에 공통하는 핀인 제어 핀(CASL, RASL, CS3, RDWR, WE1, WE0: 이하, 모두 C로 표기), 어드레스 핀(A0~A14: 이하, 모두 A로 표기) 및 데이터 핀(D0~D15: 이하 모두 D로 표기)의 각각은, 공통의 배선(5)으로

접속된다.

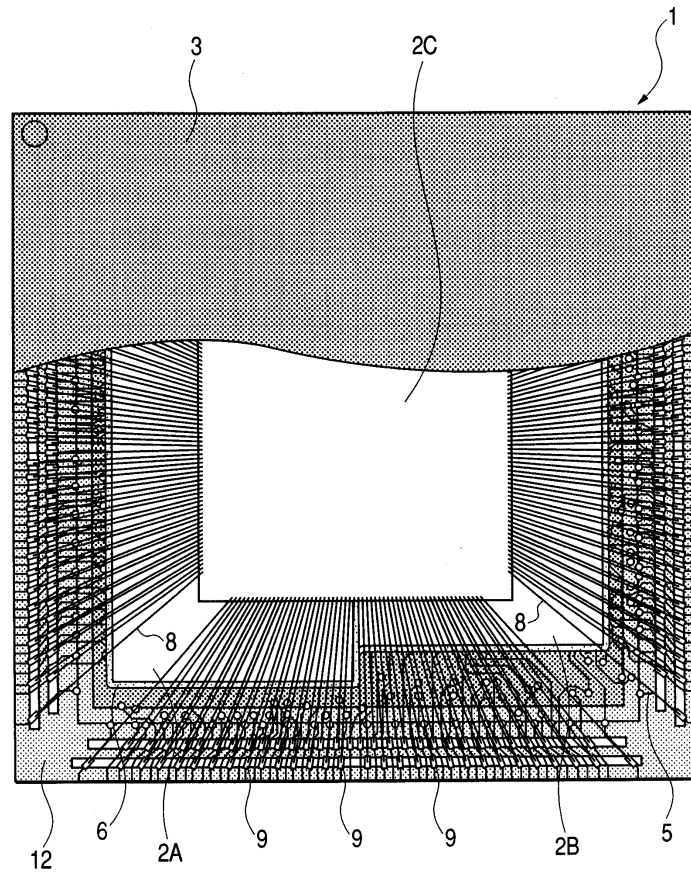
- <134> 또한, 칩(2C) 이외에 칩(2A)을 실장하여 멀티 칩 모듈(MCM)을 구성하는 경우, 패키지 기판(1)에는 칩(2C)의 전기적 특성을 테스트하는 핀 이외에 칩(2A)의 특성을 테스트하는 핀(DRAM의 경우, 2개 정도)이 필요하게 된다. 그래서, 본 실시형태에서는, 도 41에 나타내는 바와 같이, 칩 실장영역의 바로 밑에 칩(2A)의 테스트 핀(11t)을 배치한다.
- <135> 이 경우, 패키지 기판(1)의 중앙 부근에 테스트 핀(11t)을 배치하면 테스트 핀(11t)에 접속되는 배선(5)이 길게 되므로, 패키지 기판(1)의 배선 설계가 곤란하게 된다. 다른 한편, 테스트 핀(11t)에 접속되는 배선(5)의 길이를 최단 거리로 하기 위해, 다른 핀(뿔뿔 뿔뿔(11))이 배치되어 있는 영역에 인접하여 테스트 핀(11t)을 배치하면, 다른 핀(뿔뿔 뿔뿔(11))과 테스트 핀(11t)과의 거리가 좁게 되므로, 테스트 핀(11t)에 인접하는 다른 핀에 접속되는 배선(5)의 레이아웃이 곤란해지며, 이 경우는 MCM을 실장하기 위한 실장 기판의 배선 설계가 곤란해진다.
- <136> 상기와 같은 문제를 해결하기 위해서는, 도 41에 나타내는 바와 같이, 다른 핀(뿔뿔 뿔뿔(11))이 배치되어 있는 영역에 인접하여 테스트 핀(11t)을 배치하는 것이 아니라, 그것보다도 더 1열 내측에 테스트 핀(11t)을 배치하는 것이 좋다. 또한, 다른 핀(뿔뿔 뿔뿔(11))중에 넉넉한 핀이 2개 있는 경우는, 이 넉넉한 핀이 배치되는 영역에 테스트 핀(11t)을 배치하면 된다.
- <137> 이와 같이, 고속 마이크로 프로세서(MPU)가 형성된 1개의 칩(2C)을 실장하기 위해 설계된 패키지 기판과 공통의 핀 배치(테스트 핀(11t)을 제외하고)를 가지는 패키지 기판(1)을 사용하여 멀티 칩 모듈(MCM)을 구성하는 것에 의해, 패키지 기판(1)의 설계 코스트를 저감할 수 있다. 또한, 패키지 기판(1)의 사용의 편리함도 향상한다.
- <138> 도 42는, 패키지 기판(1)의 어드레스 핀(A)군과 데이터 핀(D)군의 배치를 나타내고 있다. 도면에 나타내는 바와 같이, 고속 마이크로 프로세서(MPU)와 같이 핀수가 많은 칩(2C)을 실장하는 패키지 기판(1)은, 일반적으로, 어드레스 핀(A)끼리, 데이터 핀(D) 끼리를 각각 특정의 영역에 집중해서 배치함과 동시에, 어드레스 핀(A)군과 데이터 핀(D)군을 인접해서 배치하는 것에 의해, 예를 들면 패키지 기판(1)을 외장의 메모리 칩과 접속할 때의 배선 길이를 단축할 수 있도록 하고 있다.
- <139> 한편, 도 43에 나타내는 바와 같이, DRAM이 형성된 칩(2A)은, 일반적으로, 칩(2A)의 장변 방향의 일단측에 어드레스 핀(A)군을 배치하고, 타단측에 데이터 핀(D)군을 배치한다.
- <140> 따라서, 본 실시형태와 같이, 칩(2A)의 위에 칩(2C)을 적층하여 멀티 칩 모듈(MCM)을 구성하는 경우는, 도 44에 나타내는 바와 같이, 패키지 기판(1)의 어드레스 핀(A)군과 칩(2A)의 어드레스 핀(A)군 및 패키지 기판(1)의 데이터 핀(D)군과 칩(2A)의 데이터 핀(D)군이 각각 근접해서 배치되도록, 칩(2A)의 방향을 레이아웃하는 것이 좋다.
- <141> 이것에 의해, 패키지 기판(1)의 어드레스 핀(A)군과 칩(2A)의 어드레스 핀(A)군을 접속하는 배선(5)군 및 패키지 기판(1)의 데이터 핀(D)군과 칩(2A)의 데이터 핀(D)군을 접속하는 배선(5)군을 패키지 기판(1) 위에서 서로 교차하지 않도록 레이아웃할 수 있으므로, 패키지 기판(1)의 배선 설계가 용이하게 된다.
- <142> 도 45의 (a)~(c)는 패키지 기판(1)의 어드레스 핀(A)군과 데이터 핀(D)군의 레이아웃을 예시한 것이다. 여기서, 부호(D > A)를 붙인 영역은, 주로 데이터 핀(D)군이 배치된 영역, 부호(A > D)를 붙인 영역은, 주로 어드레스 핀(A)군이 배치된 영역을 나타내고 있다. 이들 예에서는, DRAM이 형성된 칩(2A)을, 도면에 나타낸 바와 같은 방향으로 레이아웃하는 것에 의해, 패키지 기판(1)의 어드레스 핀(A)군과 칩(2A)의 어드레스 핀(A)군을 접속하는 배선(5)군 및 패키지 기판(1)의 데이터 핀(D)군과 칩(2A)의 데이터 핀(D)군을 접속하는 배선(5)군을 패키지 기판(1) 위에서 서로 교차하지 않도록 레이아웃 할 수 있다.
- <143> 본 실시형태는, DRAM이 형성된 칩(2A)의 위에 칩(2C)을 적층한 멀티 칩 모듈(MCM)이지만, 예를 들면 도 14에 나타낸 것과 같은 플래시 메모리가 형성된 칩(2B) 위에 칩(2C)을 적층하여 멀티 칩 모듈(MCM)을 구성하는 경우도, 칩(2B)의 방향을 상기와 같이 레이아웃하는 것이 좋다.
- <144> 즉, 상기 도 14에 나타낸 것과 같은 플래시 메모리가 형성된 칩(2B)에 있어서는, 일반적으로 대향하는 2개의 단변의 한쪽에 어드레스 핀(A)군이 배치되고, 다른 한쪽에 데이터 핀(D)군이 배치된다. 따라서, 이 경우도, 패키지 기판(1)의 어드레스 핀(A)군과 칩(2B)의 어드레스 핀(A)군 및 패키지 기판(1)의 데이터 핀(D)군과 칩(2B)의 데이터 핀(D)군이 각각 근접해서 배치되도록, 칩(2B)의 방향을 레이아웃하는 것에 의해 패키지 기판(1)의 어드레스 핀(A)군과 칩(2B)의 어드레스 핀(A)군을 접속하는 배선(5)군 및 패키지 기판(1)의 데이터 핀(D)군과 칩

(2B)의 데이터 핀(D)군을 접속하는 배선(5)군을 패키지 기판(1) 위에서 서로 교차하지 않도록 레이아웃 할 수 있다.

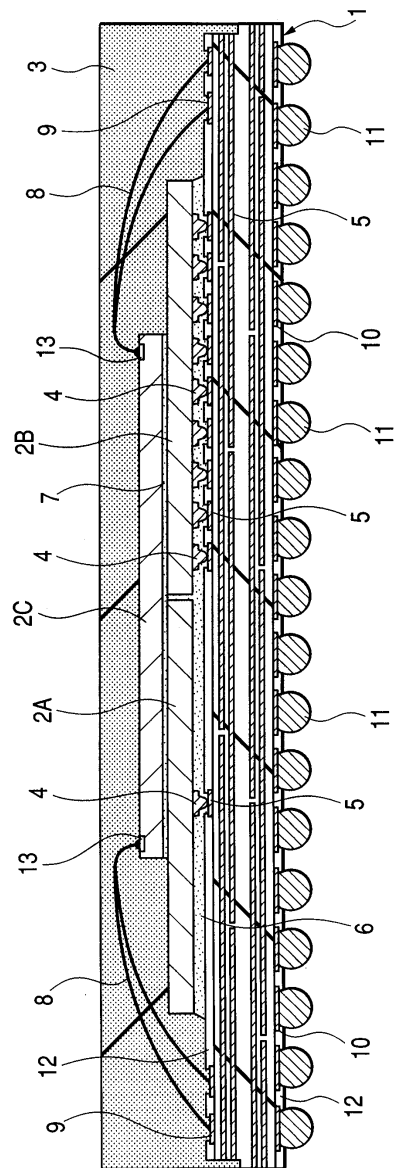
- <145> 또한, 상기 실시형태 1의 멀티 칩 모듈(MCM)과 같이, DRAM이 형성된 칩(2A) 및 플래시 메모리가 형성된 칩(2B)의 위에 고속 마이크로 프로세서(MPU)가 형성된 칩(2C)을 적층하는 경우에, 상기 MPU 칩(2C)의 토대가 되는 칩(2A, 2B)의 중심이 패키지 기판(1)의 중심과 일치하지 않는 경우가 있다. 통상, 배선기판 위에 칩을 적층하는 경우, 토대가 되는 칩의 중심에, 적층되는 칩의 중심을 맞추어 배치하는 것이 일반적이지만, 상기 DRAM 칩(2A) 및 플래시 메모리 칩(2B)에 비교해서 핀수도 많고, 또한 최소 본딩패드 피치도 작은 MPU 칩(2C)의 배치를, 토대가 되는 칩의 중심에 맞추기 위해, 모듈 기판(1)의 중심으로부터 어긋나게 해 버리면, 본딩와이어의 길이의 불균일 등의 문제를 초래하여 버린다는 문제가 있다.
- <146> 즉, MPU 칩(2C)과의 접속에 필요한 모듈 기판(1) 위의 본딩패드(9)는, 그 수가 매우 많기 때문에, 가능한 한 모듈 기판(1)의 외주에 따라서 배치하는 것으로, 그 본딩패드(9)의 간격을 확보할 수 있다. 그러나, MPU 칩(2C)의 배치가 모듈 기판(1)의 중심으로부터 어긋나버리면, MPU 칩(2C)의 외주에 따라서 배치된 본딩패드(13)와, 모듈 기판(1) 위의 본딩패드(9)와의 거리가 불균일하게 되기 때문에, 본딩와이어(8)의 길이에 치우침이 생기고, 특히 본딩와이어(8)가 길게 된 부분에서의 수지 밀봉시의 와이어 흐름, 쇼트 등의 문제가 발생할 염려가 있다.
- <147> 이와 같은 문제를 해결하기 위해, MPU 칩(2C)의 중심이 모듈 기판(1)의 중심으로부터 어긋난 채, 본딩패드(13)와 본딩패드(9)의 거리를 균일하게 하기 위해서는, 본딩패드(9)의 간격을 좁게 하여, 모듈 기판(1)의 주면 위에 수납되도록 배치하거나 혹은 본딩패드(9)를 모두 배치할 수 있도록 모듈 기판(1)을 대형화 할 필요가 있다.
- <148> 따라서, 기판의 중심으로부터 어긋난 위치에 배치된 칩(2A), 칩(2B)의 위에 칩(2C)을 적층하는 경우라도, 칩(2C)의 핀수가 칩(2A), 칩(2B)에 비교해서 많고, 칩(2C)에 대응하는 본딩패드(9)의 피치를 보다 완화할 필요가 있는 경우에는, 칩(2C)의 중심을 칩(2A)의 중심보다도 패키지 기판(1)의 중심에 가까워지도록 적층하는 것이 바람직하다.
- <149> 이상 본 발명자에 의해 이루어진 발명을 상기 실시형태에 의거해서 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 말할 필요도 없다.
- <150> 예를 들면 상기 실시형태 4와 같이, DRAM이 형성된 1개의 칩(2A)과 MPU가 형성된 1개의 칩(2C)을 조합하여 멀티 칩 모듈(MCM)을 구성하는 것과 같은 경우는, 도 46에 나타내는 바와 같이, 패키지 기판(1)의 주면 위에 DRAM이 형성된 1개의 칩(2A)과 더미 칩(2D)을 나열해서 배치하고, 이들 2개의 칩(2A, 2D)의 상부에 칩(2C)을 적층하여도 된다. 이 경우, 더미 칩(2D)은, 예를 들면 집적회로가 형성되어 있지 않은 경면 웨이퍼를 다이싱하여 형성하고, 그 두께를 칩(2A)의 두께와 Au 범프(4)의 높이를 합계한 두께와 같게 한다. 이와 같은 실장방법은, 예를 들면 상층의 칩(2C)의 바깥 지름 치수가 하층의 칩(2A)의 바깥 지름 치수보다도 상당히 크고, 상기 도 39에서 설명한 하층의 칩(2A)에 대한 상층의 칩(2C)의 오버행량(h)이 1.5mm 이하로 설정할 수 없는 경우에 유효하다.
- <151> 패키지 기판 위에 플립 칩 방식으로 실장하는 칩은, DRAM 단독, 플래시 메모리 단독, DRAM과 플래시 메모리의 조합에 한정되는 것은 아니고, DRAM끼리, 플래시 메모리끼리, DRAM 또는 플래시 메모리와 SRAM(Static Random Access Memory) 등, 각종 메모리 칩을 임의로 조합하는 것이 가능하다. 또한, 메모리 칩의 위에 적층하는 칩도 마이크로 프로세서와 ASIC에 한정되는 것은 아니고, 메모리 칩보다도 피치가 좁은 LSI가 형성된 칩을 사용하는 것이 가능하다. 또, 패키지 기판 위에 실장하는 칩의 수도 2개 혹은 3개로 한정되는 것은 아니다.
- <152> 패키지 기판 위에는, 콘덴서와 저항소자 등 칩 이외의 소형 전자부품을 실장하는 것도 가능하다. 예를 들면, 메모리 칩의 외주에 따라서 칩 콘덴서를 탑재하는 것에 의해, 메모리 칩의 구동시에 생기는 노이즈를 저감하여 고속 동작을 실현할 수 있다.
- <153> 또한, 칩을 실장하는 패키지 기판으로서 빌드 업 기판을 사용하거나, 패키지 기판의 일부에 방열용의 캡을 부착하거나 하는 등, 본 발명의 요지를 변경하지 않는 범위에서 여러가지 설계 변경을 행할 수 있다.

도면

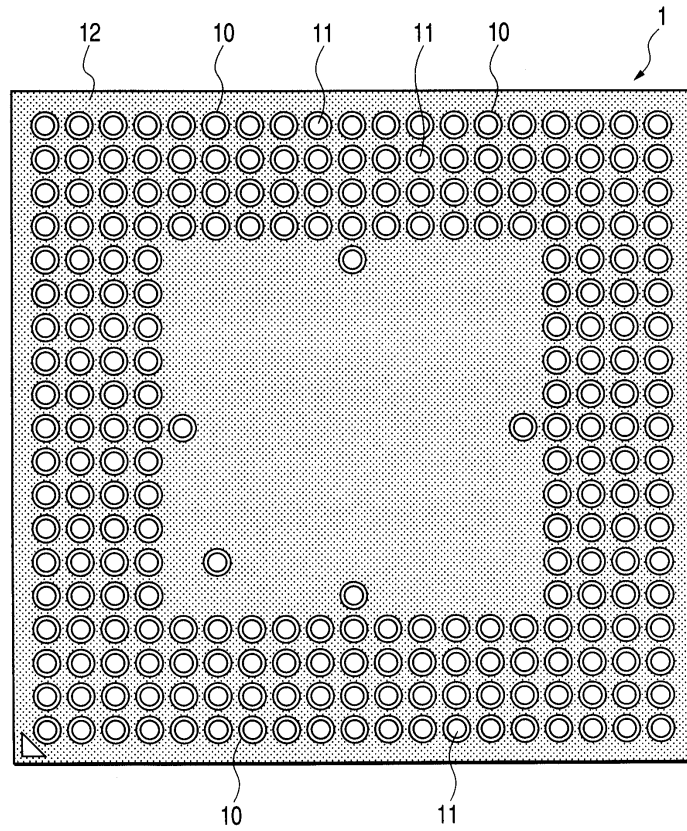
도면1



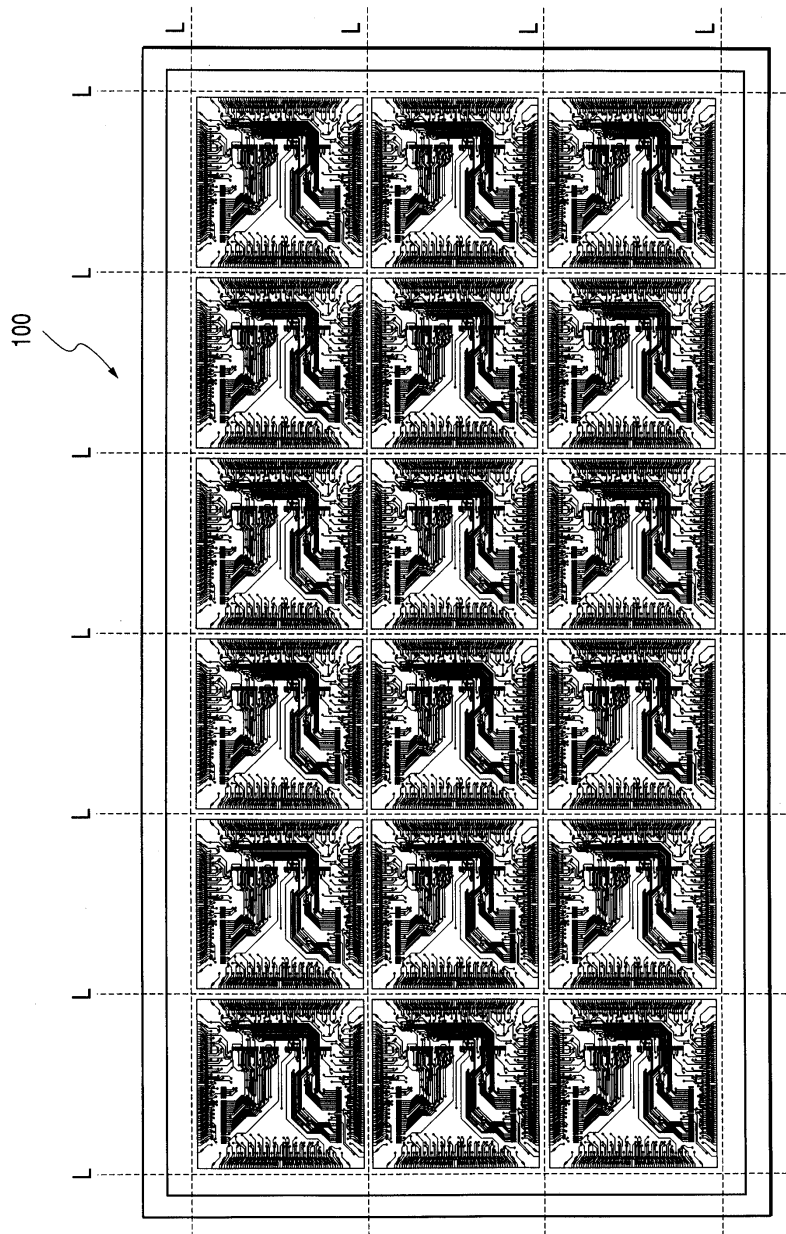
도면2



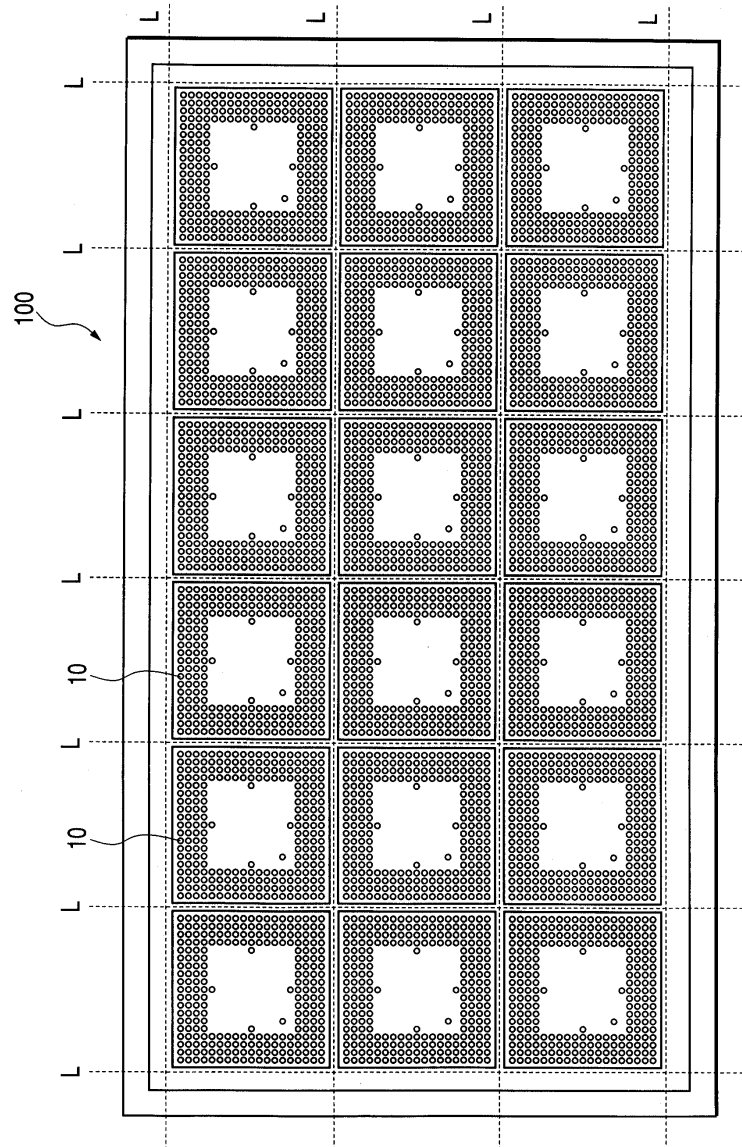
도면3



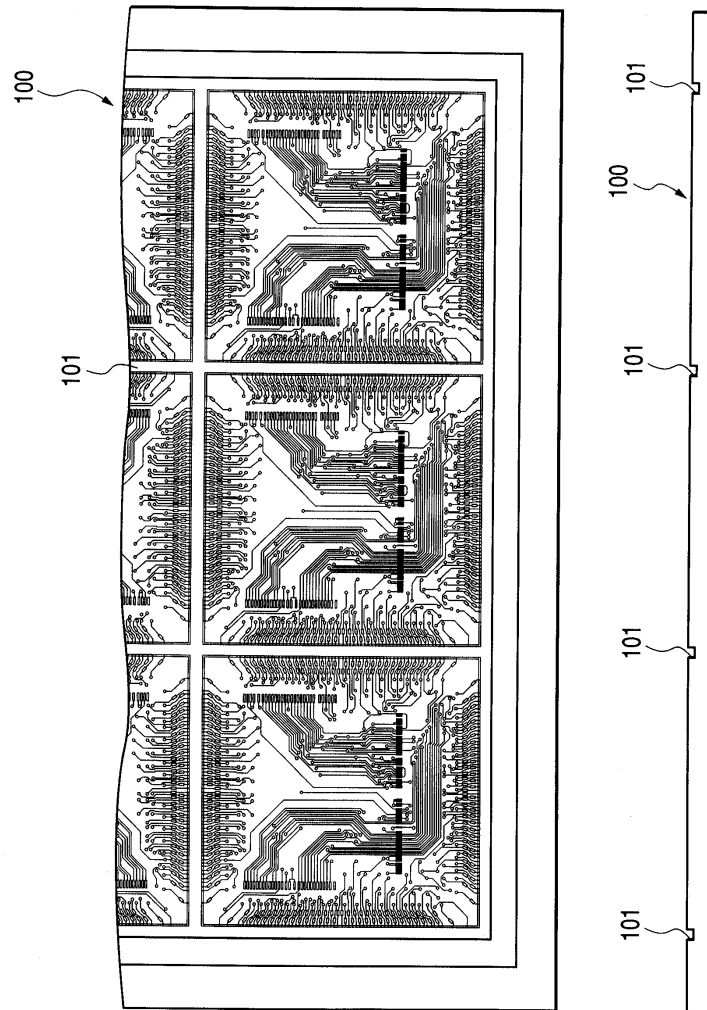
도면4



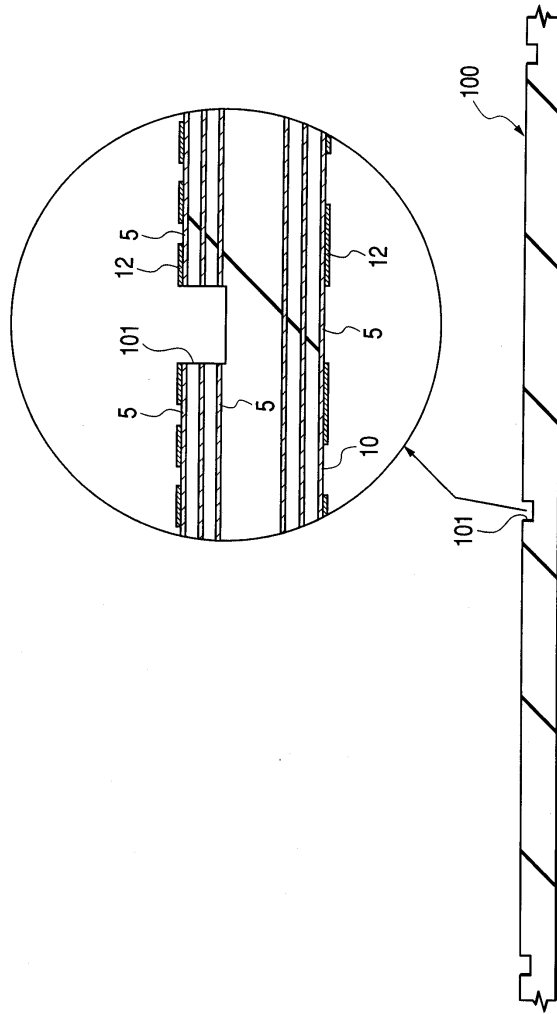
도면5



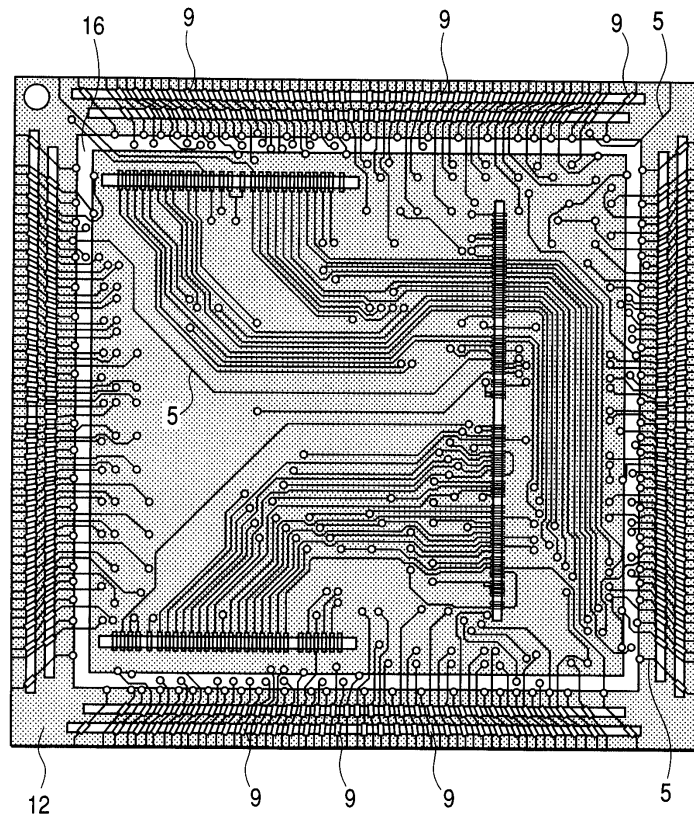
도면6



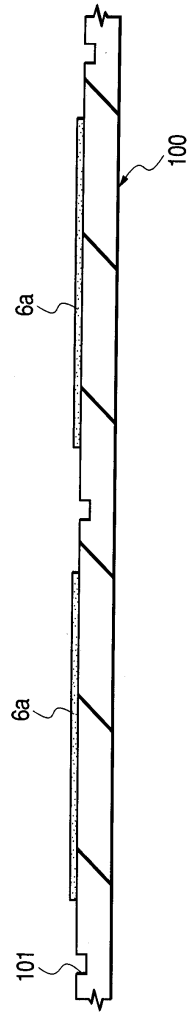
도면7



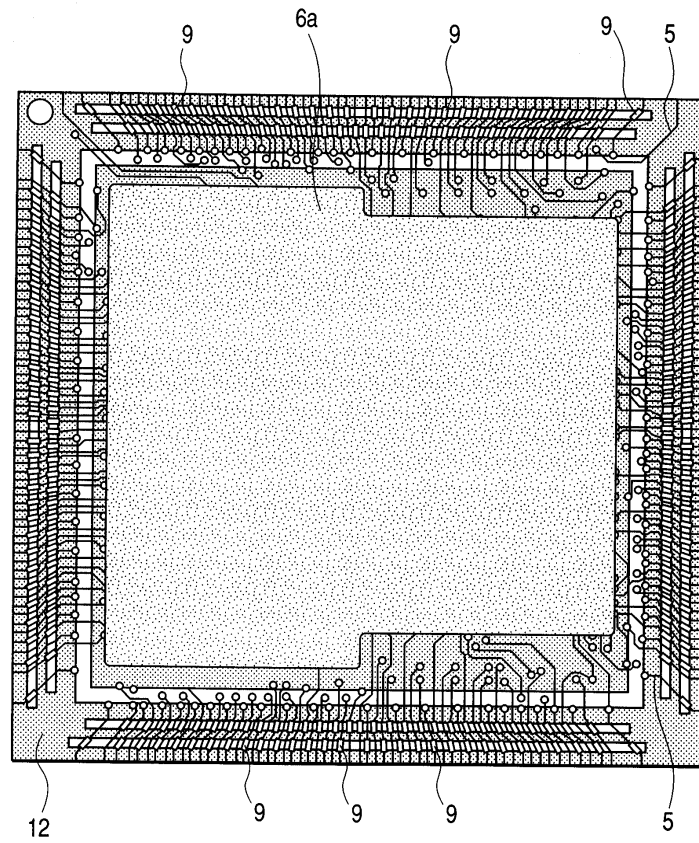
도면8



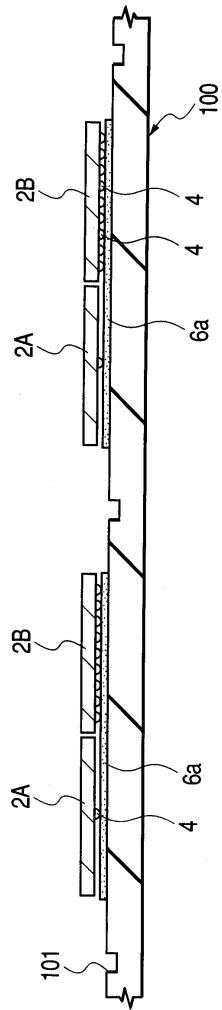
도면9



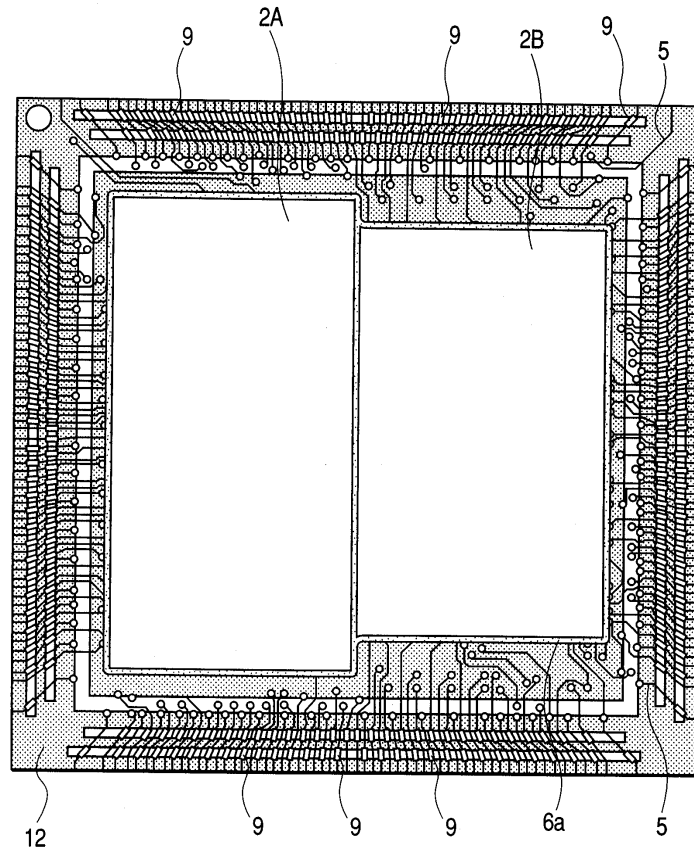
도면10



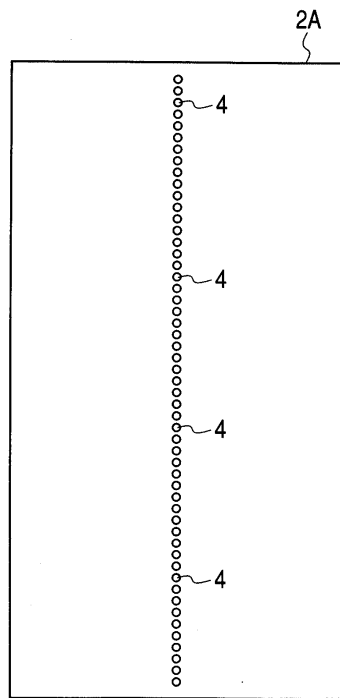
도면11



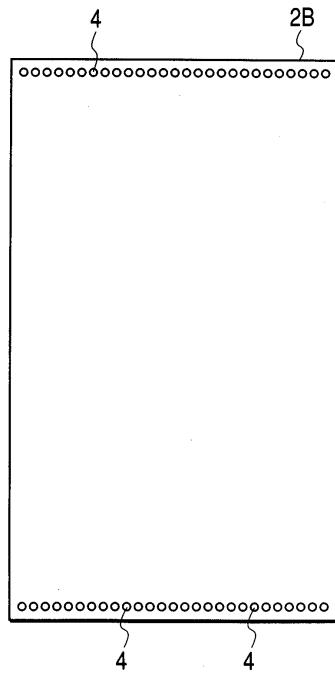
도면12



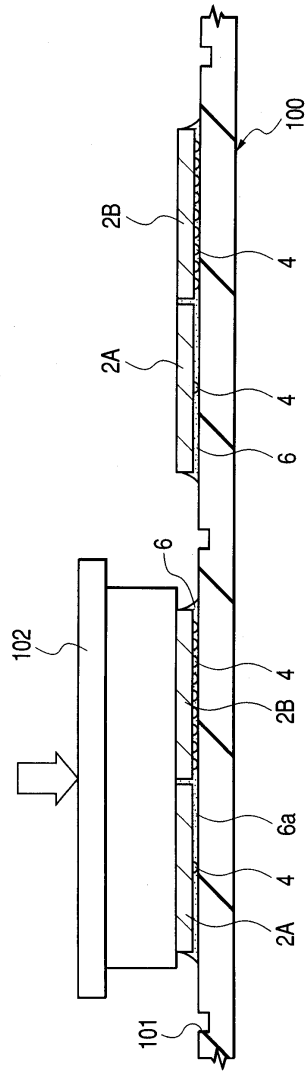
도면13



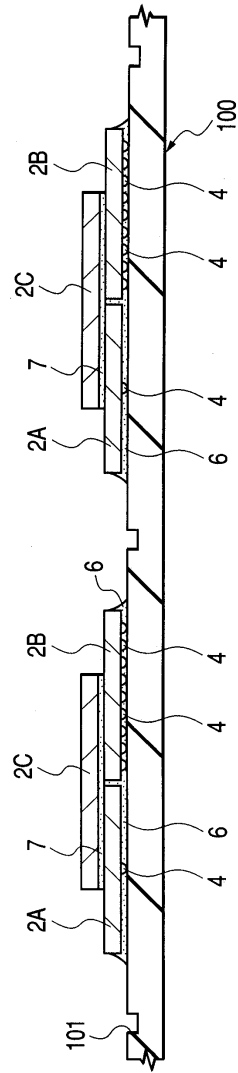
도면14



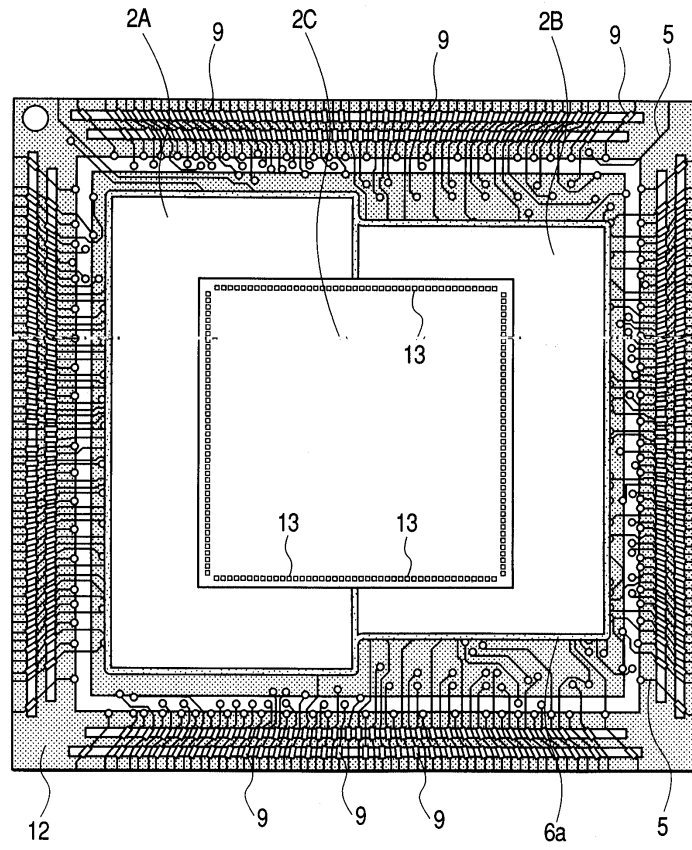
도면15



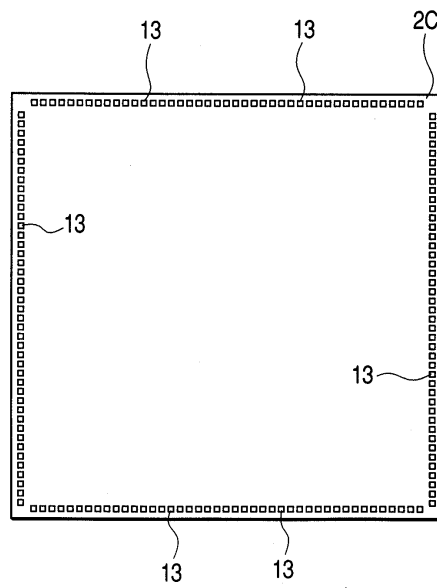
도면16



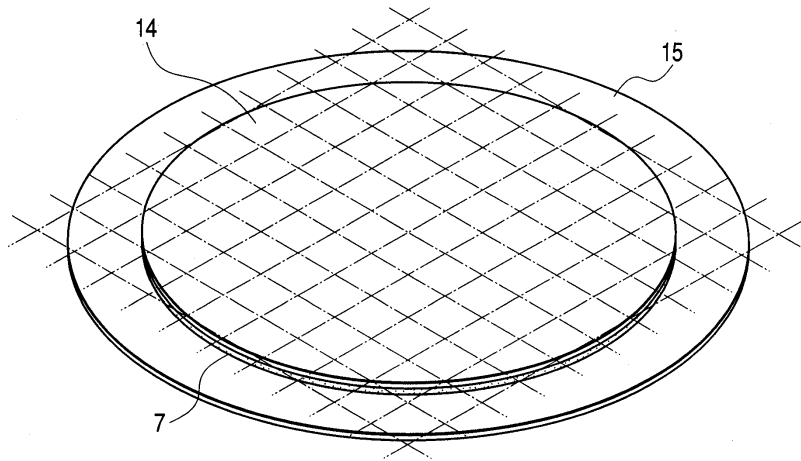
도면17



도면18



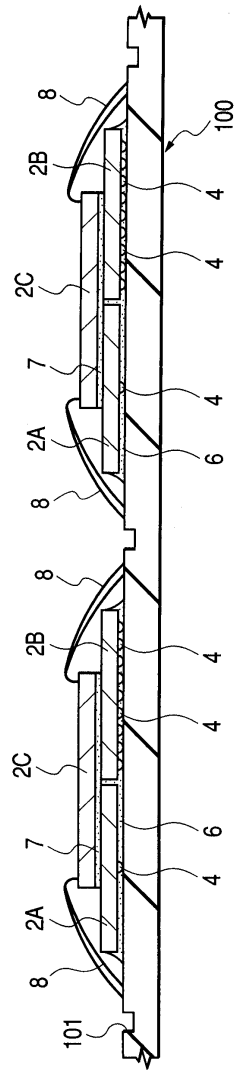
도면19



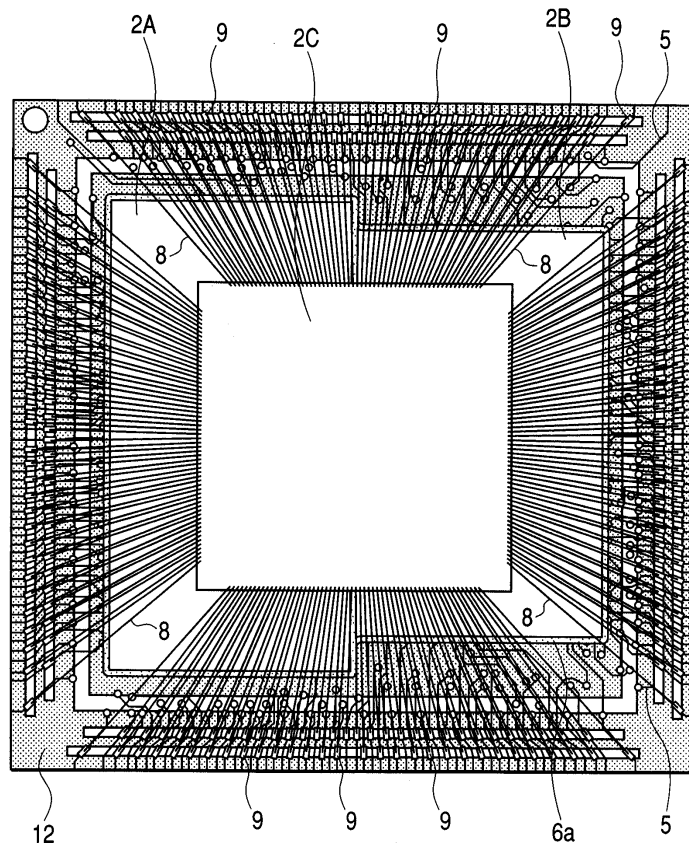
도면20



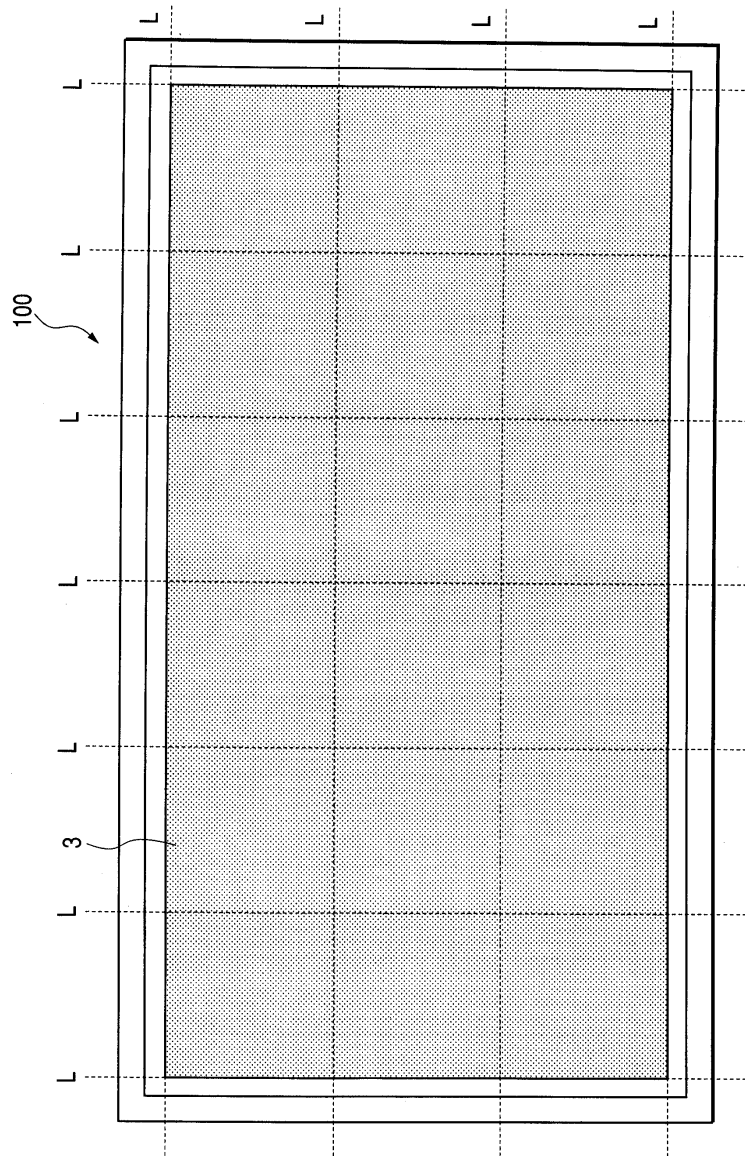
도면21



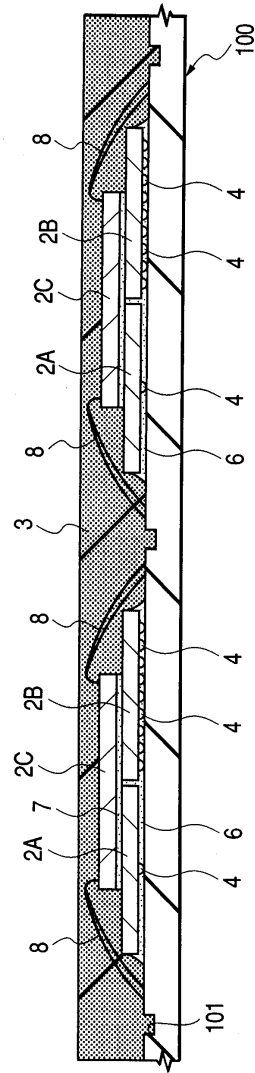
도면22



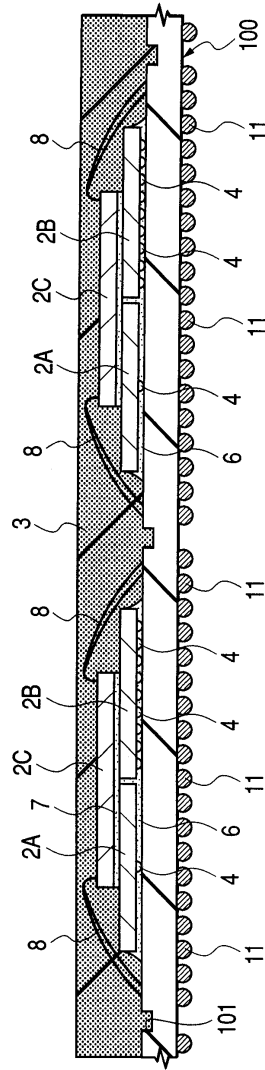
도면23



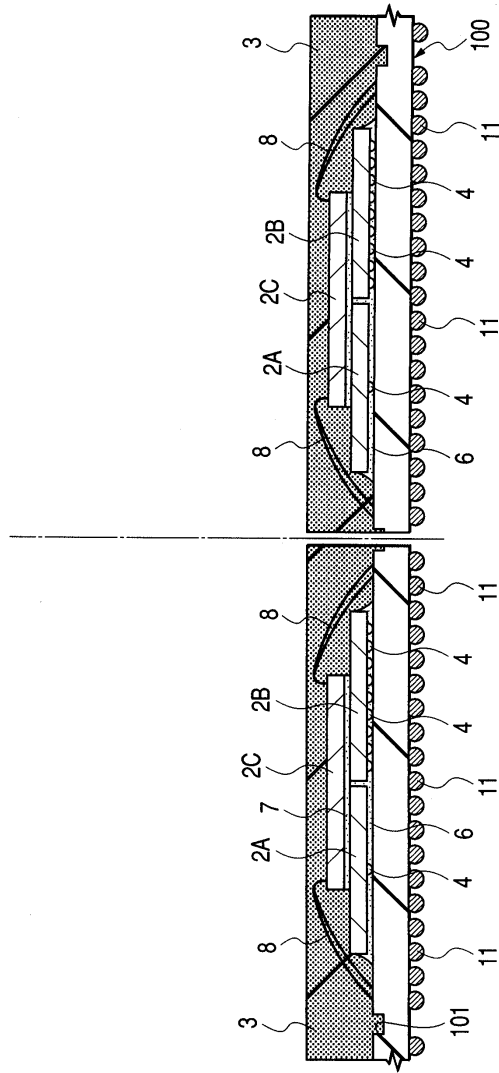
도면24



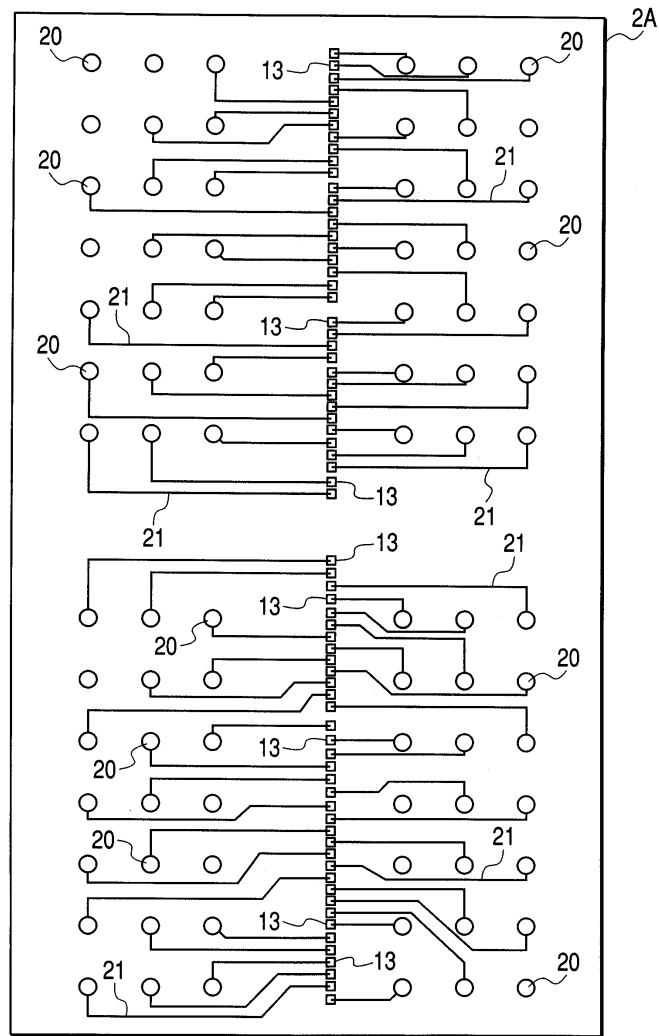
도면25



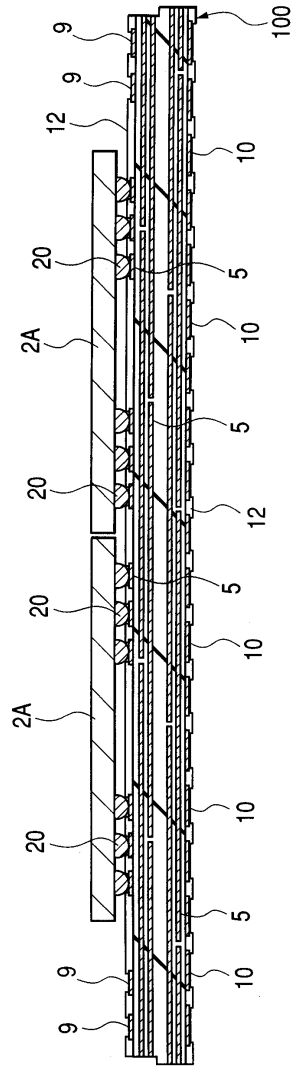
도면26



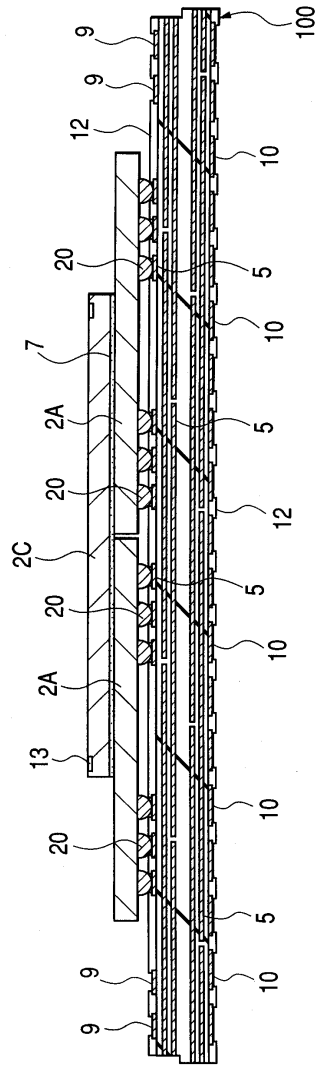
도면27



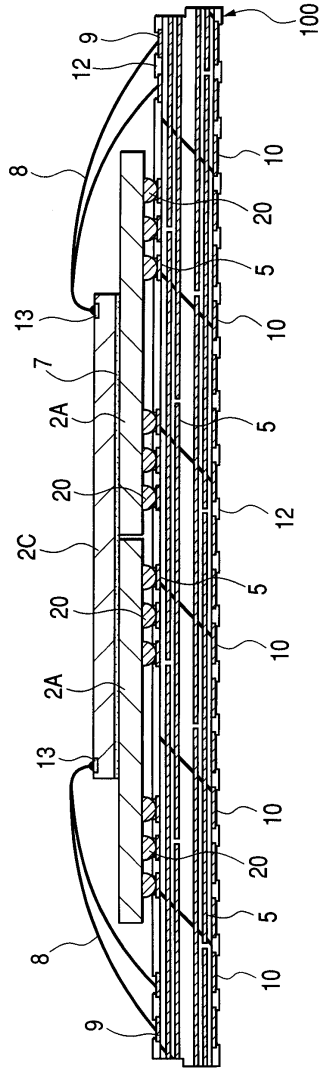
도면28



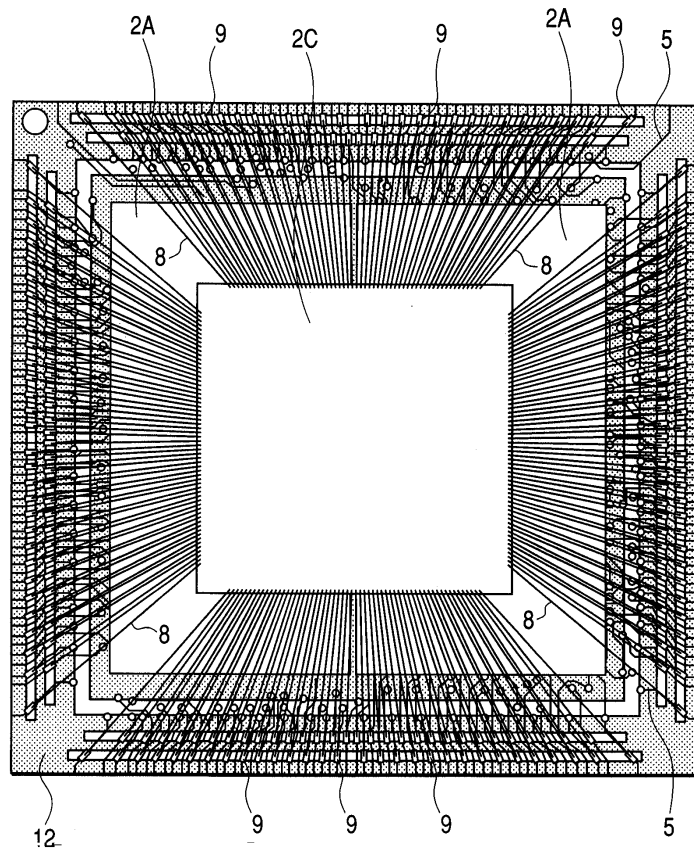
도면29



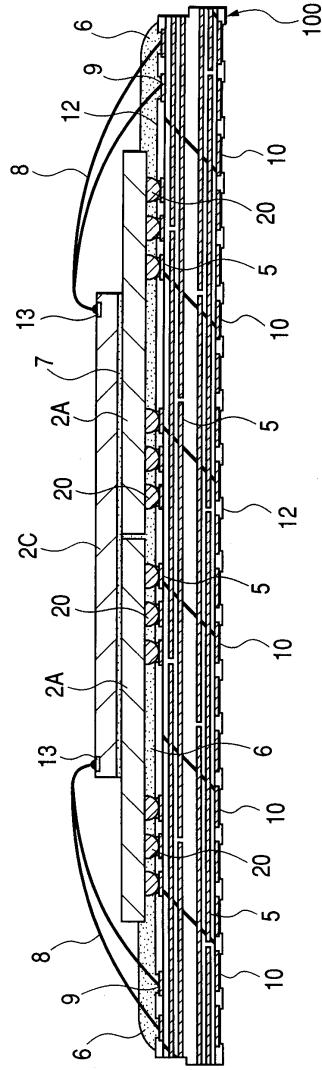
도면30



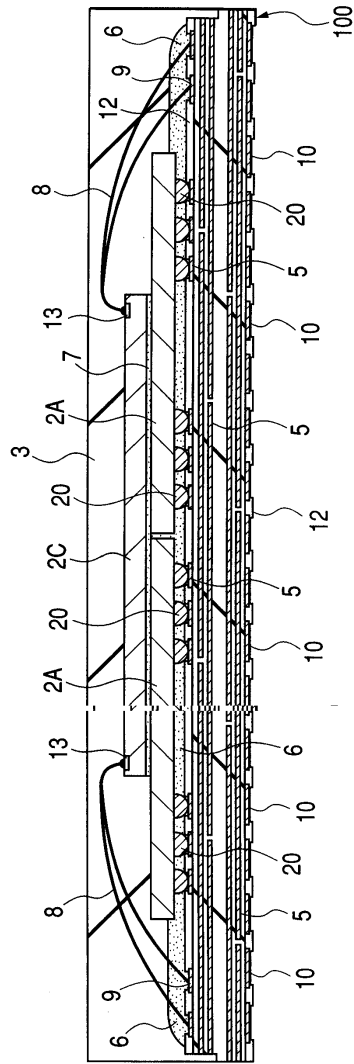
도면31



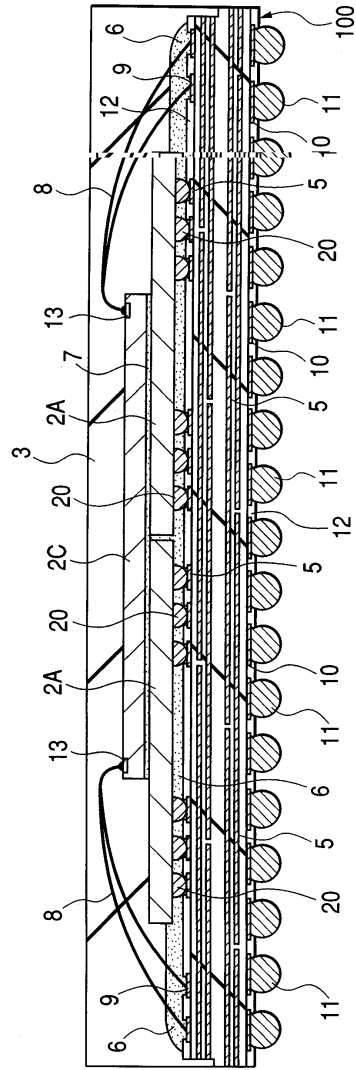
도면32



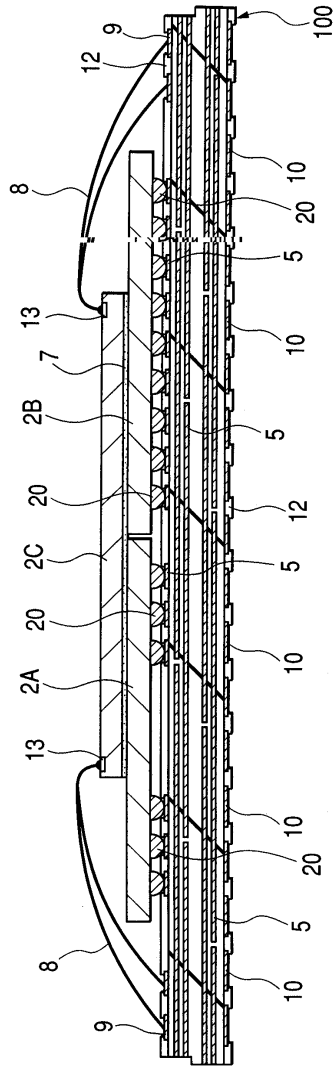
도면33



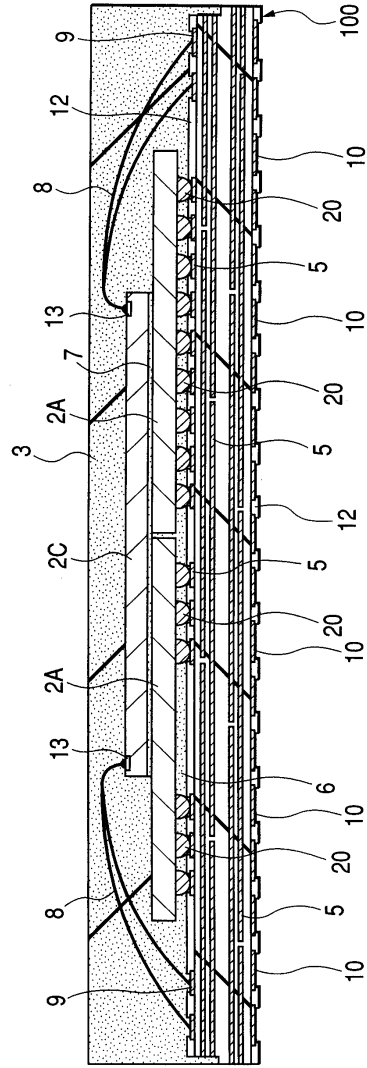
도면34



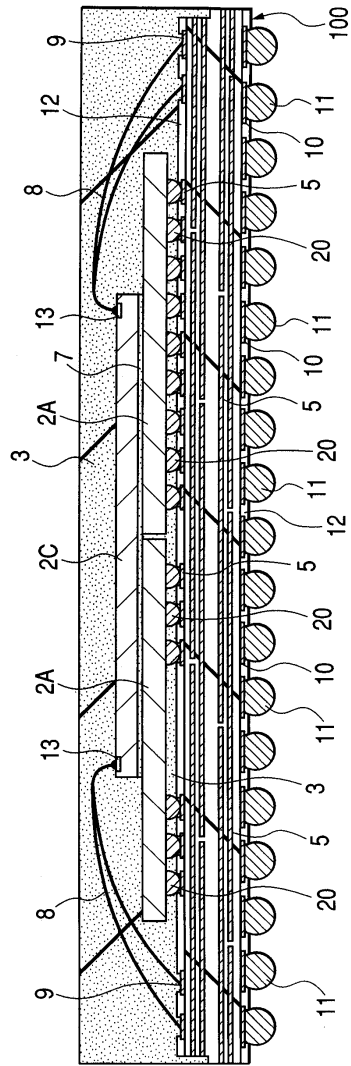
도면35



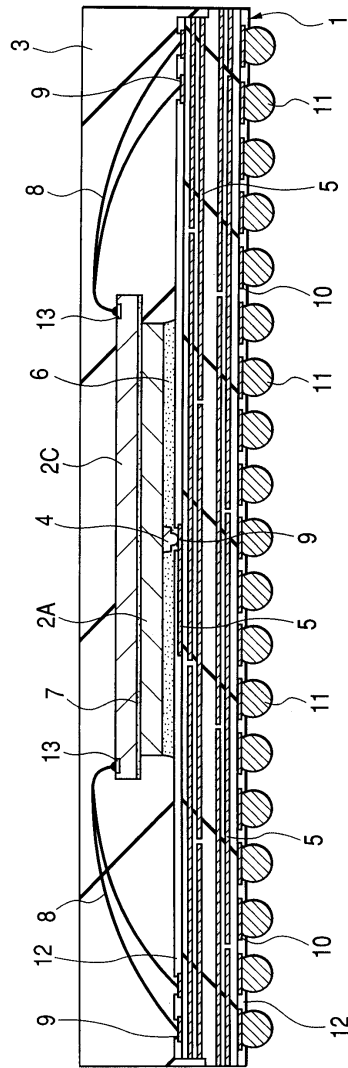
도면36



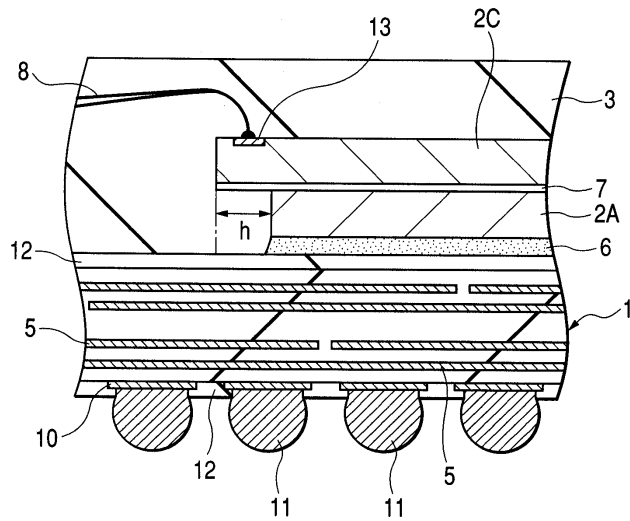
도면37



도면38



도면39

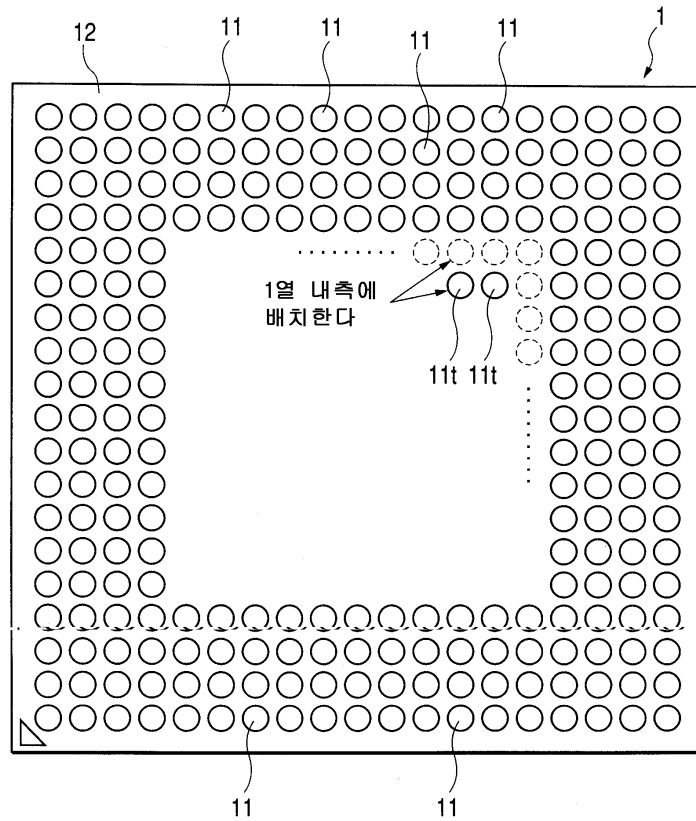


도면40

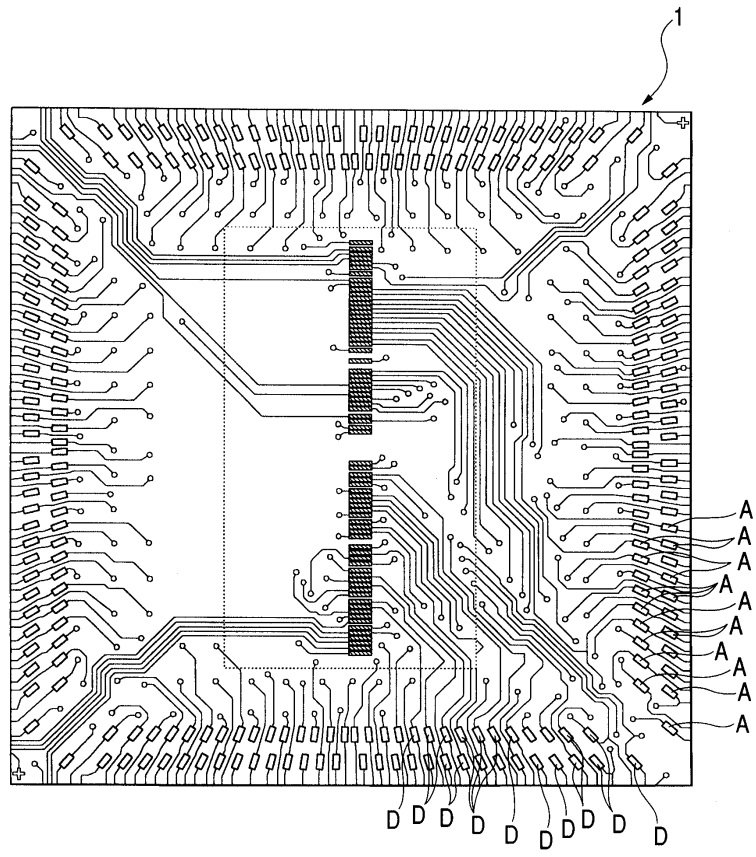
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	
19																		C		19
18																C				18
17																				17
16																	C			16
15																				15
14												11t	11t			C				14
13																C				13
12																			C	12
11																				11
10																				10
9																				9
8																			A	8
7																	A	A		7
6																A	A		A	6
5																A		A	A	5
4													D	D	D	D	A	A		4
3													D				A	A		3
2												D	D	D		D	D	A	A	2
1												D			D	D	D	D	D	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	

A : 어드레스 핀
 C : 제어 핀
 D : 데이터 핀
 11t : 테스트 핀

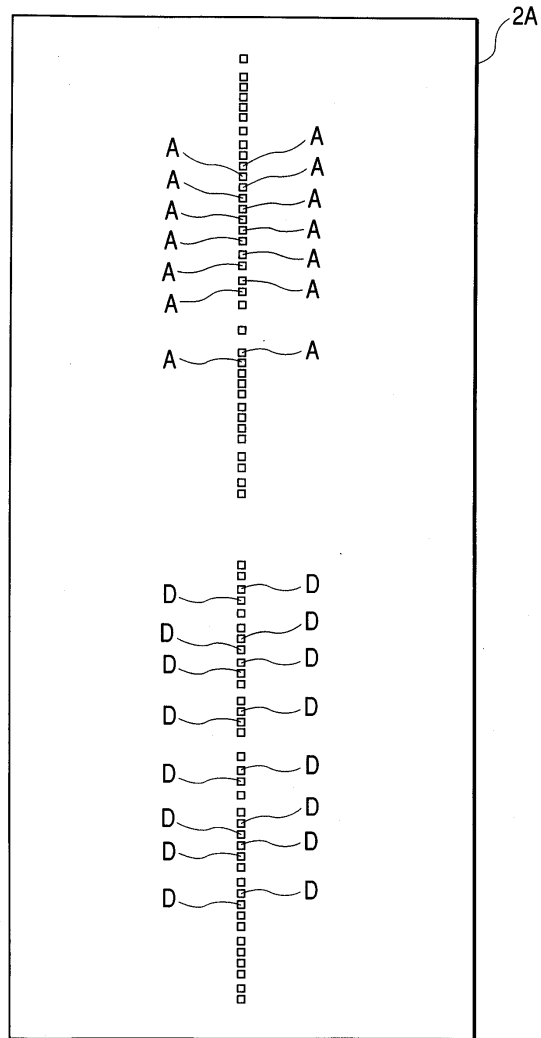
도면41



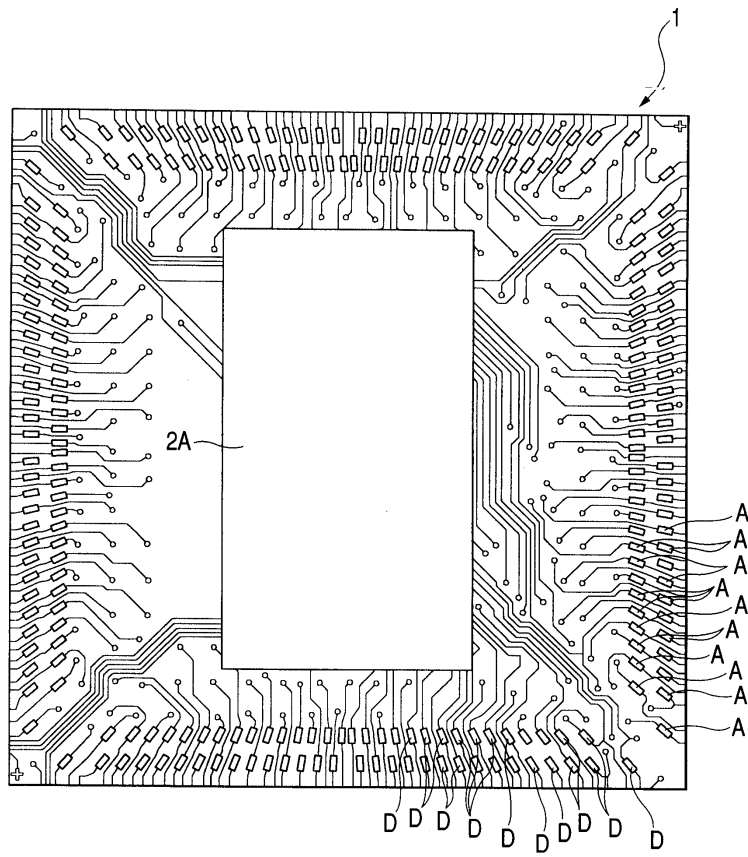
도면42



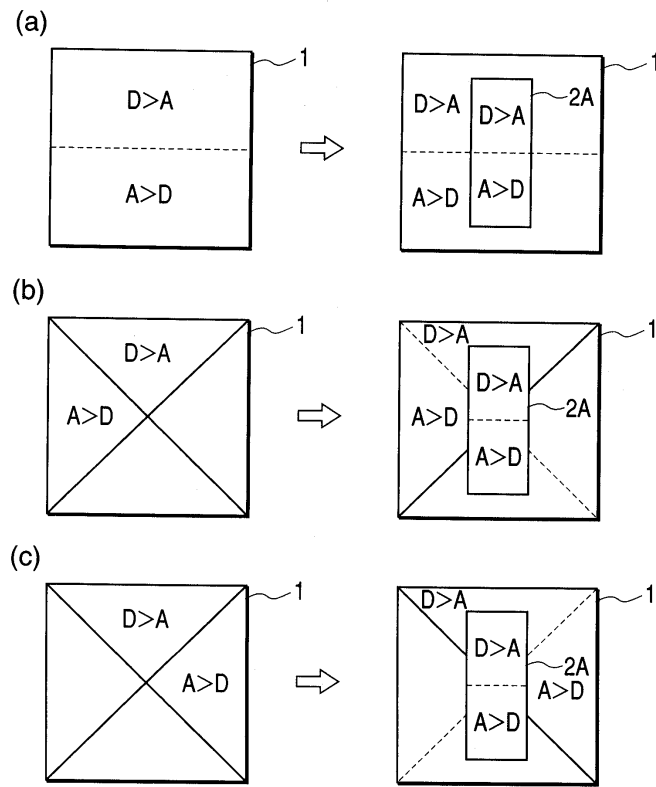
도면43



도면44



도면45



도면46

