

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5367459号  
(P5367459)

(45) 発行日 平成25年12月11日(2013.12.11)

(24) 登録日 平成25年9月20日(2013.9.20)

(51) Int.Cl. F I  
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A  
 HO 1 L 27/14 (2006.01) HO 1 L 27/14 D

請求項の数 1 (全 9 頁)

(21) 出願番号	特願2009-129262 (P2009-129262)	(73) 特許権者	000003078
(22) 出願日	平成21年5月28日 (2009.5.28)		株式会社東芝
(65) 公開番号	特開2010-278232 (P2010-278232A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成22年12月9日 (2010.12.9)	(74) 代理人	100108855
審査請求日	平成23年8月2日 (2011.8.2)		弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 半導体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

複数の光電変換素子が配置された画素領域と、  
 前記画素領域の周辺に配置されたダミー画素領域、黒基準領域、ロジック回路領域を含む回路領域と、

前記画素領域及び前記回路領域に配置された銅配線と、

前記銅配線上に配置され、シリコン窒化膜により構成されたキャップ層と

を具備し、

前記画素領域及び前記回路領域の前記銅配線上以外の前記キャップ層が除去され、前記ダミー画素領域において、前記銅配線の無い領域が垂直方向上の同一位置に無いことを特徴とする半導体撮像装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばCMOSイメージセンサ等の半導体撮像装置に関する。

【背景技術】

【0002】

半導体撮像装置、特にCMOSイメージセンサは、近年微細化が進み、1.4µmピッチ以降では、配線として銅(Cu)を使用するのが一般的である。Cu配線を用いた撮像装置は、Cuの拡散及び酸化を防止するため、Cu配線上にSi<sub>3</sub>N<sub>4</sub>膜により構成され

20

たキャップ層が形成される。このSiNキャップ層は、光の透過率を低下させる。このため、画素領域において、光路上のSiNキャップ層が除去されている。

【0003】

一方、画素領域の周囲には、画素領域とほぼ同様の構成のダミー画素領域、黒基準信号を生成するための黒基準領域、アナログ信号処理領域、及びデジタル信号処理領域としてのロジック回路領域が配置されている。これらの領域には光が照射されず、画素上にCu配線も存在する。このため、SiNキャップ層は除去していない（例えば特許文献1参照）。

【0004】

ところで、半導体装置の処理工程において、例えばゲート酸化膜に生じた未結合手としてのダングリングボンドを水素により終端させる、所謂シンター処理と呼ばれる熱処理が行なわれる。しかし、上記SiNキャップ層は水素を通過しにくいいため、シンター処理において、SiNキャップ層が除去された画素領域と、SiNキャップ層を有するダミー画素領域、黒基準領域やロジック回路領域では水素が基板へ導入される量に差が生じる。すなわち、画素領域に比べてダミー画素領域、黒基準領域及びロジック回路領域への水素導入量が少なく、これらの領域においてダングリングボンドが十分に終端されない箇所が残る。このため、ダミー画素領域、黒基準領域やロジック回路領域においてトランジスタのリーク電流が増大し、特に、暗時において、画素領域とダミー画素領域、黒基準領域、アナログ信号処理領域やロジック回路領域の特性に差が生じるという問題があった。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-199059号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、画素領域とその他の領域の半導体素子の特性を揃えることが可能な半導体撮像装置を提供しようとするものである。

【課題を解決するための手段】

【0007】

本発明の半導体撮像装置の態様は、複数の光電変換素子が配置された画素領域と、前記画素領域の周辺に配置されたダミー画素領域、黒基準領域、ロジック回路領域を含む回路領域と、前記画素領域及び前記回路領域に配置された銅配線と、前記銅配線上に配置され、シリコン窒化膜により構成されたキャップ層とを具備し、前記画素領域及び前記回路領域の前記銅配線上以外の前記キャップ層が除去され、前記ダミー画素領域において、前記銅配線の無い領域が垂直方向上の同一位置に無いことを特徴とする。

【発明の効果】

【0008】

本発明は、画素領域とその他の領域の半導体素子の特性を揃えることが可能な半導体撮像装置を提供する。

【図面の簡単な説明】

【0009】

【図1】本発明に係る半導体撮像装置の実施形態を示す平面図。

【図2】図1に示すII-II線に沿った断面図。

【図3】図2に示す半導体撮像装置の製造方法を示す断面図。

【図4】図3に続く製造工程を示す断面図。

【図5】図4に続く製造工程を示す断面図。

【図6】図5に続く製造工程を示す断面図。

【図7】図6に続く製造工程を示す断面図。

【図8】従来の半導体撮像装置の暗時の出力特性を示す図。

10

20

30

40

50

【図 9】本実施形態に係る半導体撮像装置の暗時の出力特性を示す図。

【図 10】本発明の変形例を示す断面図。

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態について、図面を参照して説明する。

【0011】

図 1 は、本実施形態が適用される半導体撮像装置の一例を示している。この半導体撮像装置 1 において、画素領域 (PER) 2 は、後述する複数の画素が行及び列にマトリクス状に配置されている。これら画素は、例えば光電変換素子としてのフォトダイオードとトランジスタにより構成されている。画素領域 2 の周囲にはダミー画素領域 (DMR) 3 が配置されている。このダミー画素領域 3 は、例えば画素領域 2 と同様の構成とされている。ダミー画素領域 3 の行及び列に対応して黒基準領域 4 が配置されている。この黒基準領域 4 は、例えば遮光されたフォトダイオードとトランジスタにより構成され、黒基準信号を生成する。フォトダイオードとトランジスタは、画素領域 2 と同様の構成とされている。黒基準領域 4 及びダミー画素領域 3 の周囲には、アナログ信号回路及びデジタル信号回路を含むロジック回路領域 5 が形成されている。

10

【0012】

図 2 は、図 1 の I I - I I 線に沿った断面図を示している。

【0013】

半導体基板としてのシリコン基板 11 内の素子分離領域 12 は、基板 11 の表面領域を画素領域 (PER) 2 とダミー画素領域 (DPR) 3 とを分離している。画素領域 2 とダミー画素領域 3 の基板 11 上には、転送トランジスタ T a、T b を構成するゲート電極 13 a、13 b がゲート絶縁膜を介して形成されている。これらゲート電極 13 a、13 b の一方側面に対応する基板 11 内に光電変換素子としての N 型フォトダイオード領域 14 a、14 b、P 型フォトダイオード領域 15 a、15 b が形成され、ゲート電極 13 a、13 b の他方側面に対応する基板 11 内に例えばドレイン領域としての拡散層 16 a、16 b が形成されている。

20

【0014】

基板 11 の上には、ゲート電極 13 a、13 b を覆う第 1 層間絶縁膜 17 及び第 2 層間絶縁膜 19 が形成されている。第 1 層間絶縁膜 17 内に拡散層 16 に接続されたコンタクト 18 a、18 b が形成され、第 2 層間絶縁膜 19 内に第 1 Cu (銅) 配線 20 a、20 b、20 c が形成されている。第 1 Cu 配線 20 a、20 b は、コンタクト 18 a、18 b に接続されている。これら第 1 Cu 配線 20 a、20 b、20 c 上には、例えばシリコン窒化膜により構成された第 1 キャップ層 21 が形成されている。この第 1 キャップ層 21 は、銅の拡散を防止するものである。この第 1 キャップ層 21 は光の透過率が低いため、画素領域 2 の N 型及び P 型フォトダイオード 14 a、15 a の上部に位置する部分は除去されている。さらに、この第 1 キャップ層 21 は、後述するアニール処理において、水素の透過を妨げる。このため、ダミー画素領域 3、図示せぬ黒基準領域 4、及びロジック回路領域 5 において、第 1 Cu 配線上以外の第 1 キャップ層 21 が除去されている。

30

【0015】

第 1 キャップ層 21 及び第 2 層間絶縁膜 19 上に第 3 層間絶縁膜 22 が形成されている。この第 3 層間絶縁膜 22 及び第 1 キャップ層 19 内にコンタクト 23 a、23 b が形成され、第 3 層間絶縁膜 22 内に第 2 Cu 配線 23 c が形成されている。コンタクト 23 a、23 b は、第 1 Cu 配線 20 a、20 b にそれぞれ接続されるとともに、第 2 Cu 配線 23 c に接続されている。第 2 Cu 配線 23 c の上には、第 2 キャップ層 24 が形成されている。この第 2 キャップ層 24 も画素領域 2 の上方、ダミー画素領域 3、黒基準領域 4、及びロジック回路領域 5 の第 2 Cu 配線上以外の領域において除去されている。

40

【0016】

第 2 キャップ層 24、第 3 層間絶縁膜 22 上にパッシベーション膜としての例えばシリコン酸化膜 25 が形成され、このシリコン酸化膜 25 上にパッシベーション膜としての例

50

えばシリコン窒化膜 2 6 が形成される。シリコン窒化膜 2 6、シリコン酸化膜 2 5、第 2 キャップ層 2 4 内に例えばアルミニウムにより構成されたボンディングパッド 2 7 a が形成されている。このボンディングパッド 2 7 a は、第 2 C u 配線 2 3 c に接続されている。

【 0 0 1 7 】

また、画素領域 2 において、フォトダイオード 1 4 a、1 5 a に対応するシリコン窒化膜 2 6 上にはカラーフィルタ 2 8 が形成され、このカラーフィルタ 2 8 上にマイクロレンズ 2 9 が形成されている。さらに、ダミー画素領域 3、黒基準領域 4、ロジック回路領域 5 に対応するシリコン窒化膜 2 6 上には、例えばアルミニウムにより構成された遮光膜 2 7 b が形成され、ダミー画素領域 3、黒基準領域 4、ロジック回路領域 5 は、遮光膜 2 7 b により遮光されている。

10

【 0 0 1 8 】

次に、図 3 乃至図 7 を参照して上記構成の半導体撮像装置の製造方法について説明する。図 3 乃至図 7 において、図 2 と同一部分には同一符号を付す。

【 0 0 1 9 】

図 3 に示すように、例えば P 型のシリコン基板 1 1 内に例えばシリコン酸化膜により素子分離領域 1 2 が形成される。この後、基板 1 1 上にゲート絶縁膜としてのシリコン酸化膜、及びポリシリコン層が形成される。これらポリシリコン層及びシリコン酸化膜がエッチングされ、転送トランジスタ T a、T b のゲート電極 1 3 a、1 3 b が形成される。これらゲート電極 1 3 a、1 3 b 及び図示せぬ例えばレジストパターンをマスクとして N 型不純物、及び P 型不純物がイオン注入され、N 型フォトダイオード 1 4 a、1 4 b、P 型フォトダイオード 1 5 a、1 5 b、及び N 型拡散層 1 6 a、1 6 b が形成される。

20

【 0 0 2 0 】

この後、図 4 に示すように、基板 1 1 上に例えばシリコン酸化膜が例えば化学気相成長 ( C V D ) により堆積される。このシリコン酸化膜が、化学機械的研磨 ( C M P ) 法を用いて平坦化され、第 1 層間絶縁膜 1 7 が形成される。この第 1 層間絶縁膜 1 7 に、フォトリソグラフィ法を用いて拡散層 1 6 a、1 6 b を露出する第 1 コンタクトホールが形成され、この第 1 コンタクトホール内に例えばタングステンが埋め込まれ、コンタクト 1 8 a、1 8 b が形成される。

【 0 0 2 1 】

次いで、基板 1 1 の全面に例えばシリコン酸化膜により構成された第 2 層間絶縁膜 1 9 が堆積される。この第 2 層間絶縁膜 1 9 に、フォトリソグラフィ法を用いてコンタクト 1 8 a、1 8 b を露出する第 1 配線溝やその他の第 1 配線溝が形成される。その後、全面に C u 膜が堆積され、C M P 法を用いて C u 膜が平坦化され、第 1 配線溝内に第 1 C u 配線 2 0 a、2 0 b、2 0 c が形成される。続いて、第 1 C u 配線 2 0 a、2 0 b、2 0 c の酸化及び拡散防止のため、第 1 C u 配線 2 0 a、2 0 b、2 0 c 及び第 2 層間絶縁膜 1 9 の全面にシリコン窒化膜が堆積され、キャップ層 2 1 が形成される。

30

【 0 0 2 2 】

次に、図 5 に示すように、光の透過率低下を防止するため、画素領域 2 の光路上のキャップ層 2 1 が、フォトリソグラフィ法を用いて除去される。この時、ダミー画素領域 3 の第 1 C u 配線 2 0 b、2 0 c 上以外のキャップ層 2 1、及び図示せぬ黒基準領域やロジック回路領域の第 1 C u 配線上以外のキャップ層が除去される。すなわち、例えばダミー画素領域 3、黒基準領域及びロジック回路領域において、第 1 C u 配線上以外のキャップ層 2 1 の殆どが除去される。

40

【 0 0 2 3 】

次に、図 6 に示すように、全面に例えばシリコン酸化膜により構成された第 3 層間絶縁膜 2 2 が堆積され、キャップ層 2 1 及び第 2 層間絶縁膜 1 9 が覆われる。この後、フォトリソグラフィ法を用いて、第 3 層間絶縁膜 2 2、キャップ層 2 1 に第 1 C u 配線 2 0 a、2 0 b を露出する第 2 コンタクトホール及び第 2 コンタクトホールと連通する第 2 配線溝が形成される。続いて、第 2 C u 膜が全面に堆積され、C M P 法を用いて第 2 C u 膜が

50

平坦化される。このデュアルダマシン工程により、第2 Cu配線23a、23b及び第2 Cu配線23cが形成される。その後、全面に第2 Cu配線23cの酸化及び拡散防止のためのシリコン窒化膜が堆積され、キャップ層24が形成される。

【0024】

次に、図7に示すように、光の透過率低下を防止するため、画素領域2の光路上のキャップ層24がフォトリソグラフィ法を用いて除去される。この時、ダミー画素領域3や図示せぬ黒基準領域やロジック回路領域においても、第2 Cu配線上以外のキャップ層24が除去される。

【0025】

次に、図2に示すように、例えばシリコン酸化膜により構成されたパッシベーション膜25とシリコン窒化膜により構成されたパッシベーション膜26が順次堆積される。その後、基板11は、水素ガス雰囲気内で400程度の温度により熱処理としてのシンター処理が行われる。この処理により、シリコン窒化膜中に含まれる水素がシリコン基板中に拡散され、シリコンとゲート酸化膜との界面のダングリングボンドが水素により終端される。

【0026】

この後、フォトリソグラフィ法を用いて、パッシベーション膜26、25、キャップ層21がエッチングされ、第2 Cu配線23cを露出する開口が形成される。次いで、アルミニウム層が堆積され、フォトリソグラフィ法を用いてアルミニウム層がパターンニングされる。この結果、開口内にボンディングパッド27aが形成され、ダミー画素領域3や黒基準領域及びロジック回路領域上に光を遮断するための遮光膜27bが形成される。次いで、画素領域2の光路に対応するパッシベーション膜26上にカラーフィルタ28とマイクロレンズ29が形成され、半導体撮像装置としてのCMOSイメージセンサが完成される。カラーフィルタは、例えばR、G、Gr、Gbにより構成されている。

【0027】

上記実施形態によれば、画素領域2では光路上のシリコン窒化膜により構成されたキャップ層21、24を除去している。さらに、ダミー画素領域3や黒基準領域やロジック回路領域の第1、第2 Cu配線20b、20c、23c上以外のキャップ層21、24も除去している。このため、熱処理において、画素領域2と、ダミー画素領域3、黒基準領域及びロジック回路領域とにおいて、水素が基板へ入る量を均一化することができる。したがって、画素領域2、ダミー画素領域3、黒基準領域及びロジック回路領域のダングリングボンドを水素により確実に終端させることができ、トランジスタのリーク電流を抑制することができる。このため、画素領域2と、ダミー画素領域3、黒基準領域及びロジック回路領域とにおいて、暗時の出力特性の差を抑制することが可能である。

【0028】

図8、図9は、図1に示すIII-III線(Xアドレス)に沿った画素の暗時の出力レベル(R、G、Gr、Gb)を示すものであり、図8は従来例、図9は本実施形態の場合を示している。

【0029】

暗時の出力レベルは、Xアドレスに沿って一定であることが理想である。しかし、図8に示す従来例の場合、ダミー画素領域や黒基準領域及びロジック回路領域において、リーク電流が生じるため、これらの領域からの出力レベルと画素領域からの出力レベルとに約25LSBの差が生じている。

【0030】

これに対して、図9に示す本実施形態の場合、ダミー画素領域や黒基準領域及びロジック回路領域のリーク電流が抑制されている。このため、これらの領域からの出力レベルと画素領域からの出力レベルと差は、約5LSBに改善されていることが分かる。

【0031】

また、上記実施形態によれば、第1、第2 Cu配線20a、20b、20c、及び第1 Cu配線23c上にシリコン窒化膜により構成されたキャップ層21、24が形成されて

10

20

30

40

50

いる。このため、Cuの拡散及び酸化を防止することが可能である。

【0032】

図10は、本発明の変形例を示すものである。

【0033】

図2に示す実施形態の場合、ダミー画素領域3において、第1Cu配線20bと第1Cu配線20cとの間で第1Cu配線の無い領域と、第2Cu配線23cの無い領域が、垂直方向上のほぼ同一位置に存在している。

【0034】

これに対して、図10に示す変形の場合、ダミー画素領域3において、第1Cu配線20bと第1Cu配線20cとの間で第1Cu配線の無い領域と、第2Cu配線23cと第2Cu配線23dとの間で第2Cu配線の無い領域が、垂直方向上の同一位置に無い。しかも、これら第1、第2Cu配線20b、20c、23c、23d上には、光の透過率が低いシリコン窒化膜により構成されたキャップ層21、24が形成されている。したがって、本変形例によれば、遮光性能を向上させることが可能である。

10

【0035】

また、上記実施形態は、CMOSイメージセンサに本発明を適用した場合について説明したが、これに限らず、Cu配線を用いた他のセンサや半導体装置に適用可能なことは言うまでもない。

【0036】

その他、本発明は、上記実施形態に限定されるものではなく、発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

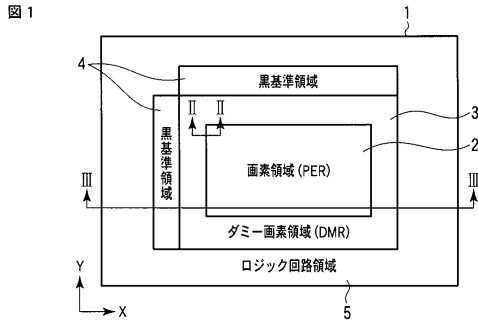
20

【符号の説明】

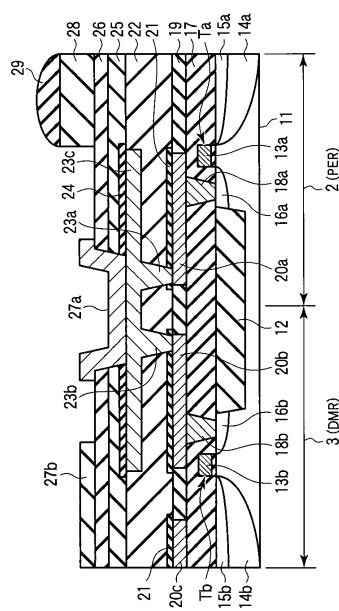
【0037】

1...半導体撮像装置、2...画素領域、3...ダミー画素領域、4...黒基準領域、5...ロジック回路領域、11...シリコン基板、Ta、Tb...転送トランジスタ、20a、20b、20c...第1Cu配線、23c、23d...第2Cu配線、21、24...キャップ層(シリコン窒化膜)。

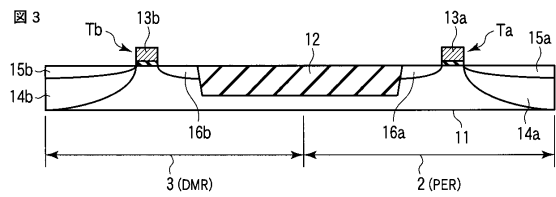
【図1】



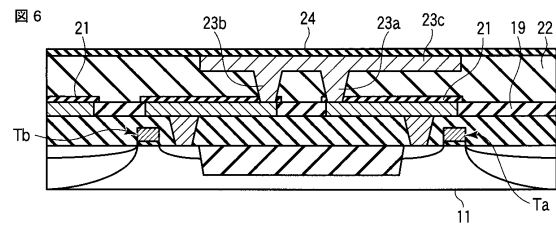
【図2】



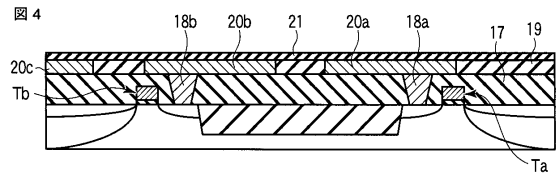
【図3】



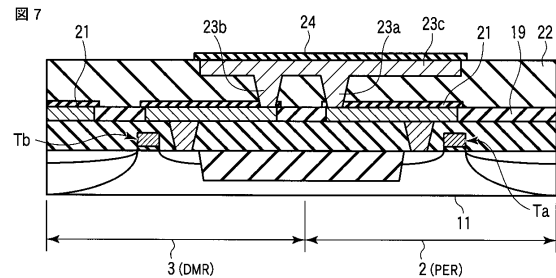
【図6】



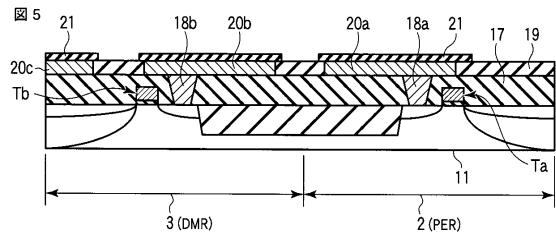
【図4】



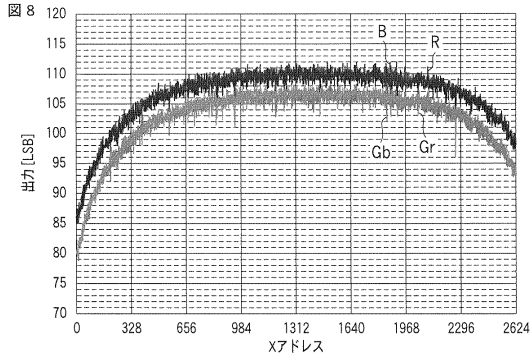
【図7】



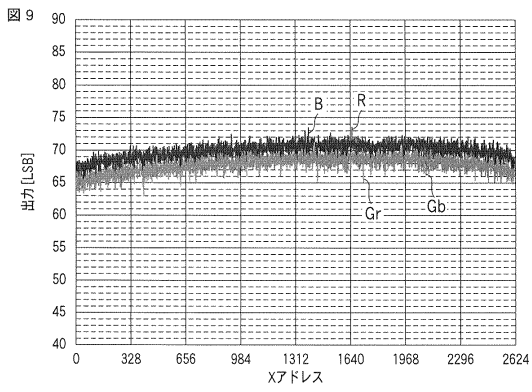
【図5】



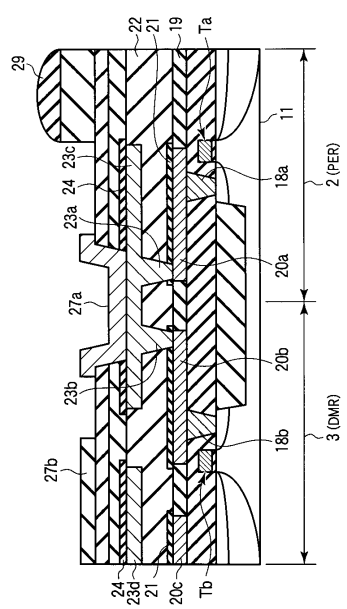
【図 8】



【図 9】



【図 10】





## フロントページの続き

- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100103034  
弁理士 野河 信久
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100100952  
弁理士 風間 鉄也
- (74)代理人 100101812  
弁理士 勝村 紘
- (74)代理人 100070437  
弁理士 河井 将次
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (74)代理人 100127144  
弁理士 市原 卓三
- (74)代理人 100141933  
弁理士 山下 元
- (72)発明者 小池 英敏  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 行武 哲太郎

- (56)参考文献 特開2003-324189(JP,A)  
特開2009-99626(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 27/14 - 27/148